

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4053885号
(P4053885)

(45) 発行日 平成20年2月27日 (2008. 2. 27)

(24) 登録日 平成19年12月14日 (2007. 12. 14)

(51) Int. Cl.	F I
H03G 3/30 (2006.01)	H03G 3/30 B
H04B 1/04 (2006.01)	H04B 1/04 E

請求項の数 23 (全 13 頁)

(21) 出願番号	特願2002-564831 (P2002-564831)	(73) 特許権者	500395510
(86) (22) 出願日	平成13年12月17日 (2001. 12. 17)		アセロス コミュニケーションズ インク
(65) 公表番号	特表2005-501438 (P2005-501438A)		.
(43) 公表日	平成17年1月13日 (2005. 1. 13)		アメリカ合衆国 カリフォルニア州 94
(86) 国際出願番号	PCT/US2001/048871		085-3512 サニーヴェイル アル
(87) 国際公開番号	W02002/065633		マノール アヴェニュー 529
(87) 国際公開日	平成14年8月22日 (2002. 8. 22)	(74) 代理人	100058479
審査請求日	平成16年6月17日 (2004. 6. 17)		弁理士 鈴江 武彦
(31) 優先権主張番号	60/258, 150	(74) 代理人	100091351
(32) 優先日	平成12年12月22日 (2000. 12. 22)		弁理士 河野 哲
(33) 優先権主張国	米国 (US)	(74) 代理人	100088683
(31) 優先権主張番号	09/927, 425		弁理士 中村 誠
(32) 優先日	平成13年8月10日 (2001. 8. 10)	(74) 代理人	100108855
(33) 優先権主張国	米国 (US)		弁理士 蔵田 昌俊

最終頁に続く

(54) 【発明の名称】 一定のパワー出力を有するトランシーバのための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

実質的に一定の出力パワーを有し、パケットの始めに複数のトレーニングシンボルを各データパケットが含んでいる複数のデータパケットからのデータを含んでいる増幅された差分信号を時間にわたって供給する送信機において使用される増幅装置において、

可変利得を有しており、差分信号を入力し、増幅された差分信号を出力する可変利得増幅器と、

前記可変利得増幅器に電氣的に結合され、前記可変利得増幅器の出力信号を入力し、出力パワーを有する電力増幅された差分信号を出力する電力増幅器と、

前記電力増幅段に結合され、検出されたパワー信号が複数のトレーニングシンボルのいくつかの期間中に少なくともシンボルあたり一度、あるインターバルで生成されるように出力パワーを示す検出されたパワー信号を供給するパワー検出器を含んでいるパワー検出回路と、

前記パワー検出回路および前記可変利得増幅器に電氣的に結合されて前記パワー検出回路の出力信号を供給され、前記可変利得増幅器の利得を制御する電力制御回路とを含んでおり、この電力制御回路が、

各パケット送信中の複数のトレーニングシンボルのいくつかの各期間中に検出されたパワー信号が予め定められたパワーより低い場合に、前記可変利得増幅器の利得を定められた大きさのステップの段階的なインクリメントで増加させ、

検出されたパワー信号が出力パワーしきい値を超えないように条件的に要求された場合

10

20

には前記可変利得増幅器の利得を定められた大きさのステップの段階的なデクリメントで減少させるように構成されている装置。

【請求項 2】

電力制御回路は、予め定められたパワーに達した後にパケット当り一度、最初のトレーニングシンボルの送信前にそのパケットの始めにおいて可変利得を減少させる請求項 1 記載の装置。

【請求項 3】

電力制御回路は、最初のパケットに対する利得が段階的に増加されることによりトレーニングシンボルの最後に設定された最終的な利得を、次のパケットの増幅のための初期利得値として使用するために可変利得増幅器の利得を前記最後に設定された利得に維持するように構成されている請求項 2 記載の装置。

10

【請求項 4】

電力制御回路は、データの各パケットに対して予め定められた最大回数まで可変利得の段階的な増加を行うように構成されている請求項 1 記載の装置。

【請求項 5】

可変利得増幅器、電力増幅器および電力制御回路は、集積回路チップ上に形成されている請求項 1 記載の装置。

【請求項 6】

パワー検出回路は、

現在のパワー検出信号を生成するパワー検出器と、基準パワーを検出して基準パワー検出信号を生成するパワー検出器との 2 つの整合されたパワー検出器と、

20

現在のパワー検出信号と基準パワー検出信号とを比較して、現在の出力パワーがパワーしきい値より低いか否かを決定する比較装置とを含んでいる請求項 1 記載の装置。

【請求項 7】

電力制御回路は、検出されたパワー信号の受取りを開始するために予め定められたインターバルで比較装置をストローブする請求項 6 記載の装置。

【請求項 8】

入力差分信号内の複数のデータパケットはそれぞれ、予め定められたパワーを獲得するためにトレーニングシーケンスとして使用された複数の既知の初期シンボル値を含んでいる請求項 1 記載の装置。

30

【請求項 9】

さらに、第 1 の誘導的に同調された変換された差分信号を入力差分信号として前記可変利得増幅器に供給する第 1 のアップミキサと、

前記可変利得増幅器と電力増幅器との間に電氣的に結合され、増幅された差分信号を入力信号として供給され、その増幅された信号から生じた信号として第 2 の誘導的に同調されて変換された差分信号を出力する第 2 のアップミキサとを含んでいる請求項 1 記載の装置。

【請求項 10】

電力制御回路は、予め定められたパワーに達した後にパケット当り一度、最初のトレーニングシンボルの送信前にそのパケットの始めにおいて可変利得を減少させる請求項 9 記載の装置。

40

【請求項 11】

電力制御回路は、最初のパケットに対する利得が段階的に増加されることによりトレーニングシンボルの最後に設定された最終的な利得を、次のパケットの増幅のための初期利得値として使用するために可変利得増幅器の利得を前記最後に設定された利得に維持するように構成されている請求項 10 記載の装置。

【請求項 12】

電力制御回路は、データの各パケットに対して予め定められた最大回数まで可変利得の段階的な増加を行うように構成されている請求項 9 記載の装置。

【請求項 13】

50

第1および第2のアップミキサ、可変利得増幅器、電力増幅器ならびに電力制御回路は、集積回路チップ上に形成されている請求項9記載の装置。

【請求項14】

第1のアップミキサはベースバンド差分信号を中間周波数差分信号に変換し、

第2のアップミキサはこの中間周波数差分信号を無線周波数差分信号に変換する請求項9記載の装置。

【請求項15】

パワー検出回路は、

現在のパワー検出信号を生成するパワー検出器と、基準パワーを検出して基準パワー検出信号を生成するパワー検出器との2つの整合されたパワー検出器と、

現在のパワー検出信号と基準パワー検出信号を比較して、現在の出力パワーがパワーしきい値より低いか否かを決定する比較装置とを含んでいる請求項9記載の装置。

【請求項16】

電力制御回路は、検出されたパワー信号の受取りを開始するために予め定められたインターバルで比較装置をストローブする請求項15記載の装置。

【請求項17】

入力差分信号内の複数のデータパケットはそれぞれ、予め定められたパワーを獲得するためにトレーニングシーケンスとして使用された複数の既知の初期シンボル値を含んでいる請求項9記載の装置。

【請求項18】

出力が一定のCMOSトランシーバによりデジタルデータパケットを送信する方法において、

データ値を含んでいる第1のデジタルデータパケットのデジタル信号をアナログ信号に変換して生成した第1のアナログ差分信号を増幅して第1の増幅されたアナログ差分信号を獲得し、この増幅するステップは可変利得増幅器および電力増幅器を使用して増幅するステップを含んでおり、

前記第1のアナログ差分信号を増幅したとき、第1のデジタルデータパケットの信号の増幅利得の段階的調節を行う第1の複数の予め定められたインターバルのそれぞれにおいて、第1のデジタルデータパケットの第1のアナログ差分信号の出力パワーが予め定められた基準パワーに達しているか否かを決定し、

その出力パワーが第1の複数の予め定められたインターバルのそれぞれの期間中に予め定められた基準パワーに達しない場合、第1の複数の予め定められたインターバルのそれぞれにおいて可変利得増幅器の利得を定められた大きさのステップの段階的なインクリメントにより増加させるステップを含んでいる方法。

【請求項19】

前記第1のデジタルデータパケットの第1の複数の予め定められたインターバルの後に出力パワーが予め定められた基準パワーに到達していない場合には、その最後の利得が次のパケットの増幅のための可変利得増幅器の初期利得値として使用される請求項18記載の方法。

【請求項20】

第2のデジタルデータパケットの信号の段階的増幅を行う第2のデータ値を含んでいる第2のデジタルデータパケットのデジタル信号をアナログ信号に変換して生成した第2のアナログ差分信号を増幅して第2の増幅されたアナログ差分信号を獲得するステップをさらに含んでおり、

前記第2のアナログ差分信号は、可変利得増幅器の利得を定められた大きさのステップの段階的なインクリメントにより増加させることのできる第2のデジタルデータパケットに対する第2の複数の予め定められたインターバルを含んでおり、第2の複数の予め定められたインターバルの最初のインターバルにおいて、可変利得増幅器の利得はその前の第1のデジタルデータパケットの最後に設定された利得を初期利得値として段階的インクリメントが行われる請求項19記載の方法。

10

20

30

40

50

【請求項 2 1】

第 1 の複数の予め定められたインターバル期間中に出力パワーがそのとき最適な利得に基づいて最適パワーレベルに達した場合、前記第 1 のデジタルデータパケットに後続し第 2 のデータ値を含む第 2 のデジタルデータパケットの第 2 のアナログ差分信号を受取ったとき、その第 2 のデジタルデータパケットの第 2 のアナログ差分信号は、可変利得増幅器の利得を定められた大きさのステップの段階的なインクリメントで増加させるることのできる第 2 の複数の予め定められたインターバルを含み、最適な利得から減少された別の利得で第 2 の複数の予め定められたインターバルの最初のインターバルを増幅する請求項 1 8 記載の方法。

【請求項 2 2】

前記別の利得はユーザ構成可能な量だけ減少される請求項 2 1 記載の方法。

【請求項 2 3】

前記第 2 の複数の予め定められたインターバルのそれぞれにおいて前記第 1 のデジタルデータパケットに後続する第 2 のデジタルデータパケットの第 2 のアナログ差分信号を増幅したとき、第 2 のデジタルデータパケットの第 2 のアナログ差分信号の出力パワーが予め定められた基準パワーに達しているか否かを決定し、

その出力パワーが第 2 のデジタルデータパケットに対する第 2 の複数の予め定められたインターバルのそれぞれの期間中に予め定められた基準パワーに達しない場合に、第 2 の複数の予め定められたインターバルのそれぞれにおいて可変利得増幅器の利得を定められた大きさのステップの段階的なインクリメントで増加させるステップをさらに含んでいる請求項 2 1 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に、相補形金属酸化膜半導体（CMOS）トランシーバに関する。とくに、本発明は、CMOS トランシーバからの一定の出力パワーを得るための方法および装置に関する。

【0002】

【従来の技術】

トランシーバは、通信信号の送信および受信をそれぞれ行うことのできる送信機および受信機を含んでいるよく知られている回路である。通常、送信機は、送信されるべき信号の最後の増幅段を提供する電力増幅器（PA）を含んでいる。

【0003】

大部分の通常の設計では、電力増幅器は送信機および、またはトランシーバの他の部品から物理的に分離されたコンポーネントとして構成されている。また、ヒ化ガリウム（GaAs）またはシリコンバイポーラ接合トランジスタ（SiBJT）から形成された電力増幅器が典型的に使用され、その理由は、それらが、CMOS 回路内に形成されたトランジスタより、そのトランジスタが n チャンネルトランジスタか、あるいは p チャンネルトランジスタであるかにかかわらず、固有の高い破壊電圧を有するためである。このような設計により所望の増幅特性を有する電力増幅器は可能であるが、それらは費用を犠牲にして実現される。GaAs、SiBJT またはその他の非 CMOS 電力増幅器が CMOS 集積回路内のトランジスタより費用がかかるだけでなく、非 CMOS 電力増幅器は送信機および、またはトランシーバのコンポーネントと同じ集積チップ上に形成されることができない。これら 2 つの要因のために、結果的に得られるトランシーバの全体的費用が増加する。

【0004】

電力増幅器を含む単一チップ上に送信機および受信機回路の大部分が存在するトランシーバを有することは有益であることが認識されている。たとえば、1999 年の IEEE 国際ソリッドステート回路会議で発表された T.Cho 氏他による論文（“A Single Chip CMOS Direct-Conversion for 900MHz Spread Spectrum Digital Cordless Phones”）には、

集積された電力増幅器を含むCMOSトランシーバチップが記載されている。改善されたCMOS電力増幅器はまた、2000年9月15日に出願され、電力増幅器を集積する利点を認識している本出願人にその権利が譲渡された米国特許出願第09/663,101号明細書(“CMOS TRANSCEIVER HAVING AN INTEGRATED POWER AMPLIFIER”)に記載されている。

【0005】

それにもかかわらず、CMOS電力増幅器の主要な欠点は、それらが温度およびプロセス変化に敏感であるために広い範囲のパワーレベル変動を示すことである。CMOS電力増幅器における高い効率および一定のパワーレベルは、低い破壊電圧および低い電流駆動、損失の多い基板の技術によって妨害される。

10

【0006】

さらに、通常の送信機の設計は、出力パワーが多数の異なった変数の関数に基づいて送信されるように動作する。CDMA環境において、たとえば、移動局の送信機のパワー出力は典型的に、その移動局送信機と現在使用されている基地局との間の距離に基づいている。このような環境において、出力パワーは、たとえば、移動局の送信機が基地局に接近している場合に増加する。動作において、送信機の一部である可変利得増幅器の利得は中間周波数(IF)段または無線周波数(RF)段のいずれかで変化され、それによって送信出力パワーを低下させる。この状況において、出力パワーはある期間中非常に大きくなる可能性があるが、それは全体的なシステム要求内において許容可能である。

20

【0007】

しかしながら別の環境では、出力パワーは常時予め指定されたレベルを越えてはならないことがたとえば米国連邦通信委員会により要求されている。このような環境において、上述した設計は使用されることができない。パワーが予め特定された最大レベルを越える例を考慮するために、平均出力パワーはその最大レベルよりはるかに低くなければならないため、システム性能が許容不可能なレベルに劣化する。

【0008】

【発明が解決しようとする課題】

したがって、上記の欠点を克服するCMOSトランシーバチップに集積された可変利得増幅器および電力増幅器を含む送信機が望ましい。

【0009】

本発明の目的は、実質的に一定のパワー出力を供給する集積されたCMOSトランシーバチップ上の送信機を提供することである。

30

【0010】

本発明の別の目的は、出力パワーが予め定められた最大出力パワーを越えないようにするために出力パワーを漸次的に段階的に増加させることを可能にする装置および方法を提供することである。

【0011】

本発明のさらに別の目的は、現在の出力パワーからバックオフすべきか否かを決定するために感知された出力パワーを使用して可変利得増幅器を動作させる方法を提供することである。

40

【0012】

本発明のさらに別の目的は、折返しカスコード段および、または利得が1のセルのミラリングアレイを含む可変利得増幅器を提供することである。

【0013】

【課題を解決するための手段】

本発明の上記の単独または組合せられた目的はとくに、データパケットを個々に含んでいるアナログ差分信号を処理する電力制御回路を送信機内に含んでいるトランシーバと、これを動作する方法とにより達成される。電力制御回路は、最初に既知の決定論値を有する各パケット内における一連のデータシンボルを送信し、正しいパワーレベルに対してトランシーバシステムを周期的にストロブし、最適な利得に到達するまで最大出力パワーを

50

越えずにトランシーバのパワーレベルを段階的に増加させる。

【0014】

とくに、電力制御回路は、パワー検出器と比較装置の組合せから得られた出力パワーを示す信号を受取り、受取られた信号のレベルに基づいて可変利得増幅器を調節する。初期動作中、可変利得増幅器の利得は、最初に送信されるパケットにおいて最初のシンボルを送信しているときに、予め定められた、ユーザ構成可能であることが好ましい初期利得に設定される。可変利得増幅器が安定し、また、対応的に正確な出力パワーが得られることを保証するための適切な待機時間の後に、電力制御回路は、出力パワーを示す信号を、そのシンボルが送信されている最中に受取るために比較装置をストローブする。出力パワーおよびしたがって利得が非常に低い場合には、電力制御回路は予め定められた最大出力パワーに達するように、しかしこれを越えないように利得を反復的にインクリメントする。

10

【0015】

出力パワーが獲得されると、パケット単位で減少された利得に対応した量だけ出力パワーを低下させることができるように後続する各パケットの送信の始めに予め定められた量だけ利得を減少させることにより、予め定められた最大出力パワーをこの出力パワーが越えないようにされている。その代りに、比較装置は、次のパケットの送信中に出力パワーを少なくとも1つまたはおそらく2以上のステップでバックオフ (back off) するために使用される比較の結果を、各パケット内のシンボルのトレーニングシーケンス期間中にストローブされることのできる。

20

【0016】

このように構成された可変利得増幅器により、電力制御回路は、小さいステップでインクリメントするように利得を変化させることが可能となり、それによって電力制御回路により実施される電力制御アルゴリズムが動作することが可能となる。

【0017】

【発明の実施の形態】

以下、図面を参照として本発明の非制限的な例示的な実施形態により本発明の上記およびその他の目的、特徴および利点をさらに詳細に説明する。なお、いくつかの図面において同じ参照符号が一貫して本発明の類似した部品を表している。

以下、添付図面に例が示されている本発明の好ましい実施形態を詳細に参照とする。便宜上、同じまたは類似した部品を示すために同じ参照符号が図面において一貫して使用される。

30

【0018】

この明細書を考慮し、ここに開示されている本発明を行うことによって、別の実施形態が当業者に明らかになるであろう。この明細書および例は単なる一例に過ぎず、本発明の技術的範囲は添付されている請求の範囲および等価なものにより示される。

【0019】

図1は、電力制御回路100の1実施形態のブロック図を示している。図1に示されているように、I Fアップミキサ110はトランシーバにより受信された信号を、たとえば、1 GHzのI F周波数および5 GHzのR F周波数等の、I F周波数に変換する。I Fアップミキサ110に続く、そのI F信号を増幅するI F可変利得増幅器130は、好ましい実施形態において5ビットの入力制御入力を含み、0 dBから15.5 dBまで0.5 dBのステップで調整可能である。その後、増幅されたI F信号はR Fアップミキサ178に送られ、このミキサがI F信号をR F信号に変換する。

40

【0020】

I F可変利得増幅器130の利得は、ダイの温度およびデバイスプロセスコーナーのようないくつかの要因に基づいている。

【0021】

その後、R Fアップミキサ178からの出力は電力増幅器180に供給され、この増幅器は送信されるべき信号を増幅する。送信された信号のパワーを感知するために、パワー検出器が使用される。好ましい実施形態において、図1に示されているように二重整合パワー検出

50

器182が使用される。パワー検出器の1つ182Aは電力増幅器180のドレインにおいて無線周波数(RF)信号から得られる送信された信号を検出するために使用され、他方の182Bは基準信号を検出するために使用される。この基準信号は、示されているようにデジタルアナログ変換器186を使用して適切なレベルのアナログ信号を生成するために使用される予め定められたデジタル値を使用して発生される。各パワー検出器182は、大きい容量性負荷(4 pF)により非常に低い電流(200 nA)でバイアスされた本質的にソースフォロワ回路である。2つの整合されたパワー検出器の出力が比較され、パワー検出器の出力が整合したときに最適なパワーに達する。同じプロセスから形成された整合したパワー検出器を使用することによって、可能な限り温度およびプロセスから独立した最適なパワーが得られる。

10

【0022】

パワー検出器182Aおよび182Bのそれぞれの出力は比較装置188に供給され、この比較装置188は以下に説明するように適切なインターバルでストローブされ、比較装置188から得られた送信された信号と基準信号との間の差は電力制御回路190に入力される。以下図2を参照としてさらに説明するように、パケット単位で行われることが望ましい可変利得増幅器130の利得設定により結果的に出力パワーが実質的に一定となるように、電力制御回路190は定常状態動作を獲得して維持するために使用される。以下において可変利得増幅器130は、多数の利得セルを含む単一の利得段として説明されているが、その代りに、いくつかの可変利得増幅器がIFおよびRFの両送信機部分において使用されることが可能であり、その後ここに説明されている電力制御回路190に基づいて複合利得が決定され、使用

20

【0023】

電力制御回路190は、ここに説明されている電力制御アルゴリズムを実行する有限状態マシンとして構成されることが好ましく、それはハードウェアベースの論理回路であることが好ましい。このような電力制御回路190の使用により、システムによって任意の所定のパケットに対して送信され、依然FCCパワー要求の範囲内であることのできる最大出力パワーに近いがこれを越えないパワーレベルでの動作が可能になる。

【0024】

上述した各コンポーネントは、同じ集積回路チップ上に形成されることが好ましい。また、出力パワー検出回路はパワー検出器182Aおよび182B、デジタルアナログ変換器186および比較装置188により構成されているものとして説明されているが、出力パワーを検出するために別のタイプの回路素子が使用されることができる。

30

【0025】

図2は、利得制御プロセスの動作を詳細に説明するために使用される本発明による電力制御アルゴリズムの状態図を示している。

【0026】

リセット信号がパワー制御回路190により受取られた後、ステップ202においてパワー制御回路190は、送信が開始することを示すTX_on信号を待つ。この時点で、gainSelectフラグはデフォルト初期利得値が使用されることを示す“1”に設定され、steadyStateフラグは定常状態動作がまだ達成されていないことを示す“0”に設定される。

40

【0027】

送信が所望されていることを示すTX_on信号が受取られると、次にステップ204において、回路オーバーライド動作が所望されているか否かが決定され、これは典型的にバーンイン試験中に行われる。この場合、gainSelectフラグは“1”の状態に維持され、それによって予め設定されたバーンイン利得値が使用されることを示す。したがって、ステップ205において、オーバーライド動作が行われた場合、電力増幅器180がひとたびオンになると、バーンイン試験動作が完了するまで、バーンイン利得はアップミキサ110および可変利得増幅器130に供給される。

【0028】

50

しかしながら、ステップ204において正常な動作モードが発生した場合、`gainSelect`フラグは“0”に設定され、使用される利得は可変利得増幅器130を正常モード動作初期利得値に設定する。この状態において、送信された最初の8のような、最初の少数のデータシンボルは、既知の決定論初期値を有することが好ましく、したがって電力制御回路が定常状態条件をさらに正確に達成することを可能にする。好ましい実施形態において、利得制御は、送信された信号を受取った受信機中において決定論値を有する残っているデータシンボルが自動利得制御（AGC）に対して使用されることができるよう最初の、5のような、少数のデータシンボルのある初期数についてのみ行われる。さらに、好ましい実施形態において、各シンボルの長さは0.8秒であるため、利得変化が最初の5シンボル中に発生した場合、適切な利得を得るために4秒が提供され、各パケットの持続期間は約1m秒である。

10

【0029】

VGA130に対する利得設定が獲得され、電力増幅器180がオンに切替えられると、パケット送信の残りのものに対して可変利得増幅器130を最初に動作させるために正常モード動作初期利得値が使用される。その後、初期待機ステップ206において、システムはこの初期利得値に設定することが可能となる。初期待機時間は予め定められることができるが、以下に説明するように、典型的に利得ステップ間で使用される待機時間より長い。

【0030】

その初期待機時間の後、電力制御回路190は、適切な定常状態の利得に到達するために使用される正常動作モジュールに入ります。ステップ208において、出力パワーは比較装置188をストロブすることによってチェックされ、それが低い場合には、利得を利得ステップで増加させることにより調節する。

20

【0031】

好ましい実施形態において、早期のステップにおいて利得がある予め定められたしきい値だけ所望の利得より低い場合は最初に2.0dBの大きさのステップが使用可能であるが、利得は0.5dBのインクリメントだけ増加されてもよい。しかしながら、どの程度の利得ステップが使用されようとも、本発明の重要な特徴は、送信された信号のパワー全体が予め定められた最大値を個々の利得ステップによって越えないようにされることであり、この最大値は典型的に上述されたFCC規定に対応する。またステップ208中に、次の待機インターバルが設定され、好ましい実施形態において、それは再び62.5n秒のステップにおいて2n秒までのものであることができる。

30

【0032】

ステップ208および210は、電力制御アルゴリズムのコアを表している。ステップ208において、電力制御比較装置がストロブされ、出力パワーは低過ぎるか否かが決定される。パワーが低過ぎる場合、アルゴリズムは利得設定を1インクリメントだけ増加させ、ステップ210に進み、利得変更後待機期間を待機する。ステップ208および210は後続的に繰返され、利得は(1)利得の変化に割当てられた時間期間が時間切れになるか、あるいは(2)最適な出力パワーに達するまで増加する。上述した2つの条件のいずれかが満たされたとき、アルゴリズムは保留状態212に入り、そのパケットの持続期間中既存の利得設定が保持される。

40

【0033】

最適な出力パワーに達しなかったことを意味する条件(1)が満たされた場合、次のパケットに対応したデータの送信準備が整うまで、パケットの残りのものは現在の利得設定で送信される。そのパケットの送信時間の終わりに、電力増幅器180は、次のパケットの送信準備が整うまでオフに切替えられる。次のパケットの送信時点で、アルゴリズムはステップ204に入り、前のパケットで到達された利得設定が新しい現在のパケットに対して初期利得設定として使用される。次のパケットが送信されるときに、“1”に設定されていた`gainSelect`フラグは、デフォルト初期利得値が使用されないがその初期利得値が前のパケットからの最後の利得値であることを示す“0”に設定される。このパワーを増加させるパケット単位のサイクルは、最適なパワーに達するまで反復される。最適な

50

パワーに達したとき、steady Stateフラグは“1”に設定され、以下に説明するように、必要ならば電力制御回路190がパワーを減少することを可能にする。

【0034】

本発明はまた、最適利得設定に到達すると、動作条件により要求された場合には、あたかも温度変化が出力パワーの増加を生じさせたかのようにその利得設定を減少させるメカニズムを含んでいる。これを行うために、“最適パワー”のパケットに後続する各パケットの始めにおけるPAOFF状態204中、利得は2dBのようなユーザ構成可能な量だけ減少させられ、(1) 上述の利得を増加するプロセスによって同じ利得設定を回復するか、あるいは(2) 動作条件により要求された場合には低い利得設定に設定する。(1) または(2) のどちらの場合でも、システムは同じ出力パワーを回復しなければならない。10
パワーはすでに最適値に非常に近くなっているので、この方法は、出力パワーがターゲット出力パワーのユーザ構成可能なステップの範囲内であることを保証しなければならない。その代り、比較装置は、次のパケットの送信中に少なくとも1つのまたはおそらくもっと多くのステップにより出力パワーをバックオフするために使用される比較の結果において各パケットの範囲内のシンボルのトレーニングシーケンス中にストローブされることができる。電力制御回路100の動作を説明してきたが、以下、電力制御回路100中で使用されるいくつかの回路をさらに説明する。

【0035】

図3は、アップミキサ110と可変利得増幅器130との間の誘導性負荷折返しカスコードレベルシフト段を詳細に示している。好ましい実施形態に示されているように、ベースバンド 20
信号をIFレベルにするIFアップミキサ110、あるいは好ましい実施形態に示されているように、IF信号をRFレベルにするRFアップミキサ178は、通常の技術を使用して形成されることができる。しかしながら、本発明は、IFミキサ110の出力において誘導的に同調されるレベルシフト段を提供する。DP(正)およびDN(負)として示されており、ミキサ112から出力される差分出力信号は、誘導性負荷折返しカスコード回路に送信される。DCバイアスでその各ゲートがバイアスされ、その結果、固定した予め定められたDCドレイン電流がPMOSトランジスタ中を流れることになるPMOSトランジスタ118および120は、ミキサ110の出力においてレベルシフト回路を完成させる。レベルシフトブロックの目的は、アップミキサ回路110のVDD基準駆動出力を、NMOS電流ミ 30
ラーを駆動するのに適した接地基準信号に変換すると共に、アップミキサ回路110の差分出力を低インピーダンス(電流モード)のノードに変換し、それによって同調された出力ロードの品質係数(Q)に対するアップミキサ回路の感度を低くすることである。別の形態では、PMOS共通ゲート段を有するレベルシフトブロックは、1の電流利得を有する折返しカスコード段として動作し、アップミキサ回路110から接地にAC電流を再び導く。

【0036】

図4は、電力制御回路100の可変利得増幅器130を詳細に示している。最初に、可変利得増幅器130を構成しているブロックを説明する。可変利得増幅器は、入力電流負荷ブロック1 40
32、複数のスイッチネットワークブロック142-1乃至142-n、および対応した複数の利得セル160-1乃至160-nを含んでいる。利得セル160はそれぞれ上述され、以下さらに詳細に説明する利得のステップインクリメントを可能にするために以下に説明するように複製さ(repligate)れている。

【0037】

最初に図4の入力電流負荷ブロック132を詳細に説明する。この入力電流負荷ブロック132はNMOSトランジスタ134、136、138および140を含んでおり、そのNMOSトランジスタ134および136のゲートは第1のDC電圧によってバイアスされ、それらは電流ミラート 50
ランジスタ138および140に対するカスコードトランジスタとして一緒に機能する。各トランジスタ138および140のゲートならびに各トランジスタ134および136のドレインはそれぞれ、示されているように入力電流負荷ブロックから信号GNおよびGPとして出力されたINPおよびINN入力信号を受取る。

【0038】

次に図4のスイッチネットワーク142を詳細に説明する。このネットワーク142はPMOSトランジスタ144および148ならびにNMOSトランジスタ146および150を含んでいる。トランジスタ144および146は1対として動作し、以下さらに詳細に説明するようにトランジスタ134および136のゲートにおけるカスコード電圧を利得セルブロック160の1対の外側のトランジスタ162および170に切替えるために使用され、一方トランジスタ148および150は1対として動作し、以下さらに詳細に説明するようにトランジスタ134および136のゲートにおけるカスコード電圧を利得セル160の1対の内側のトランジスタ164および168に切替えるために使用される。各トランジスタ144および146はPOS__B入力信号に基づいて切替えられ、一方各トランジスタ148および150はNEG__B入力信号に基づいて切替えられる。動作において、POS__BおよびNEG__Bのいずれか一方が同時にオンである可能性があるが、両者が同時にオンにはならない。PMOSトランジスタ144および148はそれらのバルクノードがそれらのソースノードに結合されて低いオン抵抗を提供し、それによってそれらのスイッチ特性が改善され、またトランジスタ144、146、148および150の大きさは固定されており、以下詳細に説明するように互いにミラーするように選択されている入力電流負荷ブロック132および利得ブロック160内のトランジスタと違って任意の他の装置の大きさに関連付けられていないことも認識される。

10

【0039】

図4の利得セル160-1のような各利得セル160は本質的に、トランジスタ162乃至172から形成されたNMOS電流ミラーである。利得セル160を詳細に説明する前に、利得セル160からの電流出力は、入力電流負荷ブロック132に与えられた電流入力INPおよびINNをミラーすることが認識される。したがって、トランジスタ162、164、168および170の大きさを定めることにより、トランジスタ134乃至140の大きさが入力電流負荷ブロック132からミラーされる。

20

【0040】

トランジスタ166のゲートがGP信号により制御され、トランジスタ172のゲートがGN信号により制御され、おそらくトランジスタ162および170、または164および168のいずれかがPOS__BおよびNEG__B信号の状態に応じてオンに切替えられることにより、各利得セルは、極性が正の設定と極性が負の設定の2つの利得設定を提供される。正の利得設定において、トランジスタ166および172からの電流は、通常の電流ミラー構成においてトランジスタ162および170をそれぞれ通って流れる。負の利得設定において、電流ミラーのドレイン出力は反転され、トランジスタ166および172からの電流は通常の電流ミラー構成においてトランジスタ164および168をそれぞれ通って流れ、その結果AC利得は同じであるが極性が逆の電流利得セルが得られる。

30

【0041】

動作において、可変利得増幅器130における利得セル160の多数のものは、2つの信号GNおよびGPが利得セルの全てに共通するGNおよびGP入力を駆動し、2つの出力OUTNおよびOUTPがその利得セルの全てに共通するOUTNおよびOUTP出力によって駆動されるように並列に接続されることが認識されるであろう。このタイプの多数の利得セルの並列接続により小さいインクリメントな利得ステップが可能になる。動作において、“正に接続される”利得セルは“負に接続される”利得セルより常に多くなり、その結果全体的な構成が正になる。

40

【0042】

可変利得増幅器130内には、上述した利得セル160と同様に構成された単一の利得セル160'が含まれている。この利得セル160'は“正に接続される”ことおよび“負に接続される”ことが共に可能であり、それによってそれは中性利得構成で配置されることが可能になると共に、この利得セルをオンまたはオフに切替えるだけで微調節が行われることが可能になり、その利得インクリメントはこの利得セル160'が存在しない場合の半分になることが実効的に可能となる。したがって、たとえば、利得が0.5 dB、1.5 dB、2.0 dB、2.5 dBおよび3.0 dBでステップされた場合、微調節セルは状態を数回

50

変更するであろう。種々のPOS__BおよびNEG__B信号はそれぞれ、説明したようにデジタル的に動作する電力制御回路によって制御されていることもまた認識される。したがって、各利得ステップは正に接続された利得セルと負に接続された利得セルの組合せであってよいので、各利得ステップの相対的な大きさが正確に制御されることが可能であることが認識されるであろう。

【0043】

以上、特定の実施形態を参照として本発明を説明してきたが、上記の開示の修正、種々の変更および置換は自由であり、本発明のいくつかの特徴は、本発明の技術的範囲を逸脱することなくいくつかの例において別の特徴を対応的に使用することなく使用されることが認識されるであろう。

【図面の簡単な説明】

【図1】 本発明による電力制御回路の1実施形態のブロック図。

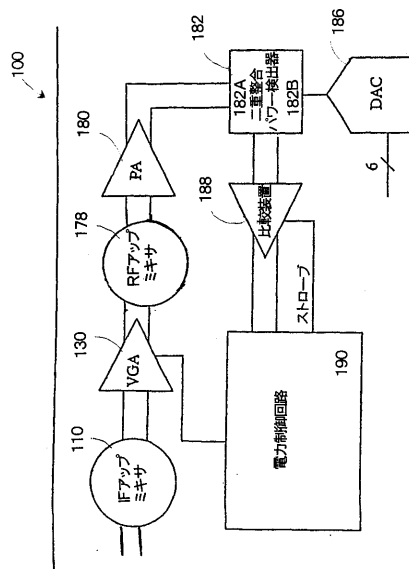
【図2】 本発明による電力制御アルゴリズムの状態図。

【図3】 本発明による電力制御回路のアップミキサと中間周波数可変利得増幅器との間の誘導性負荷折返しカスコードレベルシフト段を示す概略図。

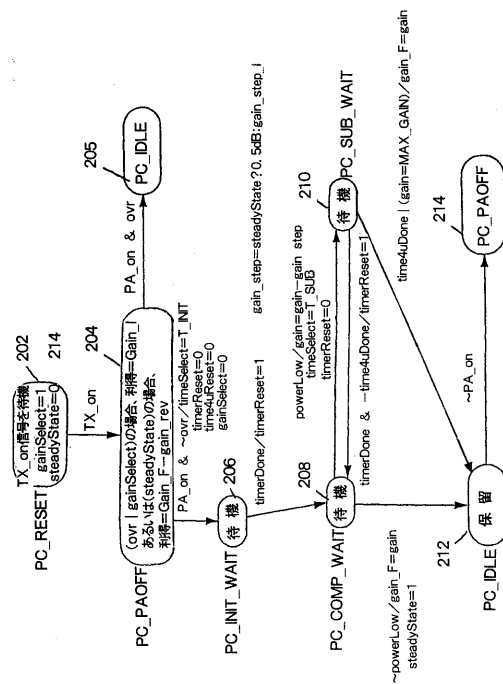
【図4】 本発明による電力制御回路の可変利得増幅器を示す概略図。

10

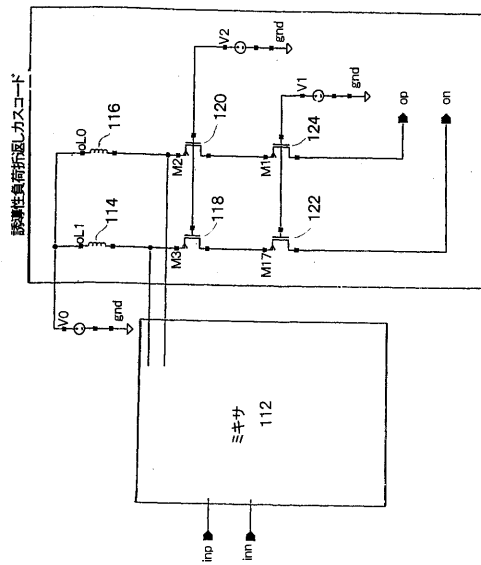
【図1】



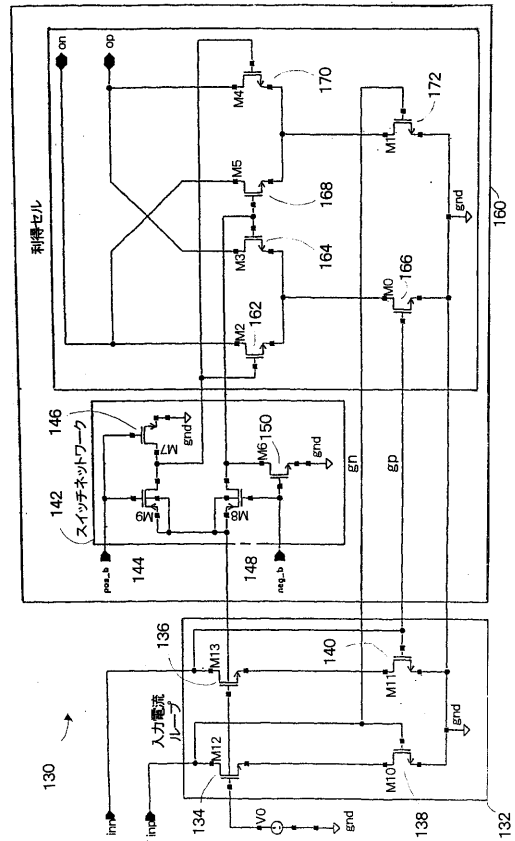
【図2】



【図 3】



【図 4】



フロントページの続き

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 カクジンスキー、ブライアン・ジェイ

アメリカ合衆国、カリフォルニア州 94022、ロス・アルトス、ナンバー213、ホームステッド・コート 2240

審査官 吉村 博之

(56)参考文献 特表平06-505847 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03G 1/00-3/34