

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-242585

(P2012-242585A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 611H	
	G09G 3/20 670J	
	G09G 3/20 611J	
審査請求 未請求 請求項の数 20 O L (全 43 頁) 最終頁に続く		

(21) 出願番号	特願2011-112280 (P2011-112280)	(71) 出願人	000002185
(22) 出願日	平成23年5月19日 (2011.5.19)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100094363
			弁理士 山本 孝久
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	豊村 直史
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	山下 淳一
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

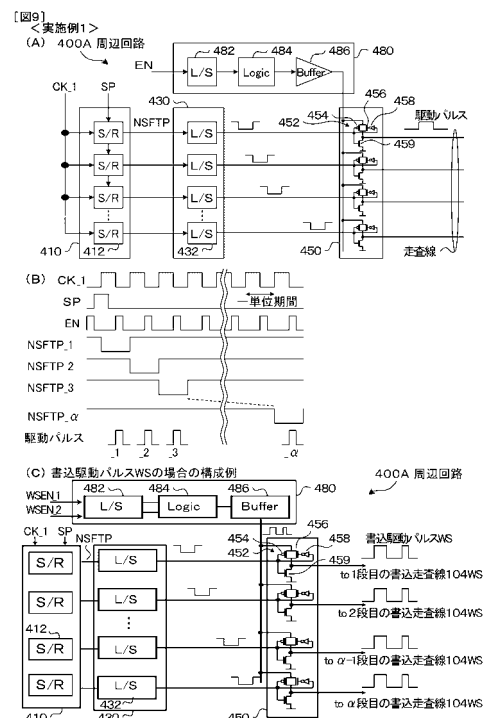
(54) 【発明の名称】 表示装置、電子機器、及び、表示装置の駆動方法

(57) 【要約】

【課題】駆動パルスの形状がばらつくことに起因する表示むら現象を抑制することのできる技術を提供する。

【解決手段】表示装置や電子機器は、表示部と、保持容量と、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタとを有する画素回路が所定の方に配列されている画素部を備える。画素部には、所定の方に配列されている各書込トランジスタと各駆動トランジスタの少なくとも一方を駆動するために駆動パルス进行供給する駆動線（走査線）が配されており、この駆動線を選択する選択部を更に備える。表示装置や電子機器は、駆動パルスの元になるパルス信号を生成するパルス生成部を備えており、パルス生成部で生成されたパルス信号に基づいて選択部が複数の駆動線へ駆動パルスを供給する。

【選択図】図9



【特許請求の範囲】**【請求項 1】**

表示部と、
保持容量と、
映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、
保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタ、
とを有する画素回路が所定の方向に配列されている画素部を備え、
画素部には、所定の方向に配列されている各書込トランジスタと各駆動トランジスタの
少なくとも一方を駆動するために駆動パルス进行供給する駆動線が配されており、
駆動線を選択する選択部と、
駆動パルスの元になるパルス信号を生成するパルス生成部、
とを更に備え、
選択部は、パルス生成部で生成されたパルス信号に基づいて、複数の駆動線へ駆動パルス
进行供給する
表示装置。

10

【請求項 2】

駆動線の総数よりも少ない数のパルス生成部を備える
請求項 1 に記載の表示装置。

【請求項 3】

全駆動線について 1 つのパルス生成部が設けられている
請求項 2 に記載の表示装置。

20

【請求項 4】

駆動線の配列方向における中間部にパルス生成部が配置されている
請求項 3 に記載の表示装置。

【請求項 5】

全駆動線の内の一部の複数の駆動線を一単位として、一単位ごとにパルス生成部が設け
られている
請求項 2 に記載の表示装置。

【請求項 6】

一単位ごとに、駆動線の配列方向における中間部にパルス生成部が配置されている
請求項 5 に記載の表示装置。

30

【請求項 7】

パルス生成部は、画素部の外部に設けられている
請求項 1 に記載の表示装置。

【請求項 8】

選択部の駆動線を選択に基づき、パルス生成部で生成されたパルス信号を取り込んで、
駆動線に供給するスイッチ回路、を駆動線ごとに有するスイッチ部
を更に備えた請求項 1 に記載の表示装置。
表示装置。

40

【請求項 9】

スイッチ回路は、トランスファークラップ構造である
請求項 8 に記載の表示装置。

【請求項 10】

パルス生成部は、各駆動線について、同じタイミングのパルス信号を生成する
請求項 8 に記載の表示装置。

【請求項 11】

スイッチ部は、画素部の外部に設けられている
請求項 8 に記載の表示装置。

【請求項 12】

選択部は、パルス生成部で生成されたパルス信号を一単位期間分ずつシフトして順に駆

50

動線に供給するシフトレジスタ部を有する

請求項 1 に記載の表示装置。

【請求項 1 3】

駆動パルスは、書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理にも使用される

請求項 1 に記載の表示装置。

【請求項 1 4】

書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理は、駆動トランジスタの移動度を補正する移動度補正処理に使用される

請求項 1 3 に記載の表示装置。

【請求項 1 5】

駆動パルスは、駆動トランジスタの閾値電圧のばらつきを補正するためにも使用される

請求項 1 に記載の表示装置。

【請求項 1 6】

画素部は、画素回路が 2 次元マトリクス状に配列されている

請求項 1 に記載の表示装置。

【請求項 1 7】

表示部は自発光型である

請求項 1 に記載の表示装置。

【請求項 1 8】

表示部は有機エレクトロルミネッセンス発光部を有する

請求項 1 7 に記載の表示装置。

【請求項 1 9】

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、

画素部に供給される映像信号を生成する信号生成部、
とを備え、

画素部には、所定の方向に配列されている各書込トランジスタと各駆動トランジスタの少なくとも一方を駆動するために駆動パルスを供給する駆動線が配されており、

駆動線を選択する選択部と、

駆動パルスの元になるパルス信号を生成するパルス生成部、
とを更に備え、

選択部は、パルス生成部で生成されたパルス信号に基づいて、複数の駆動線へ駆動パルスを供給する

電子機器。

【請求項 2 0】

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した画素回路が配列された画素部の各画素回路を駆動する方法であって、

駆動パルスの元になるパルス信号を生成し、生成されたパルス信号に基づいて、複数の駆動線へ駆動パルスを供給する

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本明細書で開示する技術は、表示装置、電子機器、及び、表示装置の駆動方法に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

今日、表示素子（電気光学素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置、表示装置を具備する電子機器が広く利用されている。画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。例えば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED; 以下、有機 E L と記す）素子が代表例である。後者の有機 E L 素子を用いた有機 E L 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

10

【 0 0 0 3 】

ところで、表示素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。但し、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しい等の問題がある。

【 0 0 0 4 】

このため、近年、画素内部の表示素子に供給する画素信号を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ(Thin Film Transistor; T F T)等のトランジスタをスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

20

【 0 0 0 5 】

従来のアクティブマトリクス方式の表示装置は、プロセス変動により表示素子を駆動するトランジスタの閾値電圧や移動度がばらついてしまう。又、表示素子の特性が経時的に変動する。このような駆動用のトランジスタの特性ばらつきや表示素子等の画素回路を構成する素子の特性変動は、発光輝度に影響を与えてしまう。即ち、各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずであるが、駆動用のトランジスタの特性ばらつきや表示素子の特性変動により、画面のユニフォーミティが損なわれる。そこで、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内でトランジスタや表示素子等の画素回路を構成する素子の特性ばらつき等に起因する表示むらを補正する技術が、例えば特許第 4 2 4 0 0 5 9 号公報や特許第 4 2 4 0 0 6 8 号公報に提案されている。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特許第 4 2 4 0 0 5 9 号公報

【 特許文献 2 】 特許第 4 2 4 0 0 6 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

ここで、素子の特性むら（ばらつき及び経時変動の双方を含む）に起因する表示むらを改善する技術においては、各種の駆動パルスのタイミングによってトランジスタを制御して表示輝度を制御する。このため、駆動パルスの形状（幅、変化特性等）がばらつく则表示むらの原因となってしまう。

40

【 0 0 0 8 】

したがって本開示の目的は、駆動パルスの形状（幅、変化特性等）がばらつくことに起因する表示むら現象を抑制することのできる技術を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

本開示の第 1 の態様に係る表示装置は、表示部と、保持容量と、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、保持容量に書き込まれた駆動電圧に基

50

づいて表示部を駆動する駆動トランジスタ、とを有する画素回路が所定の方向に配列されている画素部を備える。ここで、画素部には、所定の方向に配列されている各書込トランジスタと各駆動トランジスタの少なくとも一方を駆動するために駆動パルス进行供給する駆動線が配されている。本開示の第1の態様に係る表示装置は、駆動線を選択する選択部と、駆動パルスの元になるパルス信号を生成するパルス生成部、とを更に備え、選択部は、パルス生成部で生成されたパルス信号に基づいて、複数の駆動線へ駆動パルスを供給する。本開示の第1の態様に係る表示装置の従属項に記載された各表示装置は、本開示の第1の態様に係る表示装置のさらなる有利な具体例を規定する。

【0010】

本開示の第2の態様に係る電子機器は、表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、画素部に供給される映像信号を生成する信号生成部、とを備える。ここで、画素部には、所定の方向に配列されている各書込トランジスタと各駆動トランジスタの少なくとも一方を駆動するために駆動パルスを供給する駆動線が配されている。本開示の第2の態様に係る電子機器は、駆動線を選択する選択部と、駆動パルスの元になるパルス信号を生成するパルス生成部、とを更に備え、選択部は、パルス生成部で生成されたパルス信号に基づいて、複数の駆動線へ駆動パルスを供給する。第2の態様に係る電子機器は、第1の態様に係る表示装置の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第2の態様に係る電子機器のさらなる有利な具体例を規定する。

10

20

【0011】

本開示の第3の態様に係る表示装置の駆動方法は、表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した画素回路が配列された画素部の各画素回路を駆動する方法であって、駆動パルスの元になるパルス信号を生成し、生成されたパルス信号に基づいて、複数の駆動線へ駆動パルスを供給する。第3の態様に係る表示装置の駆動方法は、第1の態様に係る表示装置の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第3の態様に係る表示装置の駆動方法のさらなる有利な具体例を規定する。

【0012】

30

要するに、本明細書で開示する技術では、駆動パルスの元になるパルス信号を駆動部とは別の箇所に設けられたパルス生成部で生成し、駆動部では、パルス生成部で生成されたパルス信号に基づいて、複数の駆動線へ駆動パルスを供給する。複数の駆動線に供給された駆動信号は同じパルス生成部で生成されたパルス信号に基づくので、各駆動パルスの間にはパルス形状（幅、変化特性等）のばらつきがないと云ってよく、駆動パルスの形状（幅、変化特性等）がばらつくことに起因する表示むら現象が抑制される。

【発明の効果】

【0013】

第1の態様に係る表示装置、第2の態様に係る電子機器、第3の態様に係る表示装置の駆動方法によれば、駆動パルスの形状（幅、変化特性等）がばらつくことに起因する表示むら現象を抑制することができる。

40

【図面の簡単な説明】

【0014】

【図1】図1は、アクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。

【図2】図2は、カラー画像表示対応のアクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。

【図3】図3は、発光素子（実質的には画素回路）を説明する図である。

【図4】図4は、実施例1の画素回路の一形態を示す図である。

【図5】図5は、実施例1の画素回路を備えた表示装置の全体概要を示す図である。

50

【図 6】図 6 は、画素回路の駆動方法を説明するタイミングチャートである。

【図 7】図 7 (A) ~ 図 7 (G) は、図 6 に示したタイミングチャートの主要な期間における等価回路と動作状態を説明する図である。

【図 8】図 8 (A) ~ 図 8 (C) は、画素回路の周辺に設けられる周辺回路の比較例を説明する図である。

【図 9】図 9 (A) ~ 図 9 (C) は、駆動パルスの元になるパルス信号を生成する論理回路を構成するトランジスタ特性のばらつきに起因する表示むら対策に着目した実施例 1 の画素回路の駆動方法を説明する図である。

【図 10】図 10 (A) ~ 図 10 (B) は、駆動パルスの元になるパルス信号を生成する論理回路を構成するトランジスタ特性のばらつきに起因する表示むら対策に着目した実施例 2 の画素回路の駆動方法を説明する図である。

【図 11】図 11 (A) ~ 図 11 (B) は、駆動パルスの元になるパルス信号を生成する論理回路を構成するトランジスタ特性のばらつきに起因する表示むら対策に着目した実施例 3 の画素回路の駆動方法を説明する図である。

【図 12】図 12 (A) ~ 図 12 (E) は実施例 4 (電子機器) を説明する図である。

【発明を実施するための形態】

【 0 0 1 5 】

以下、図面を参照して、本明細書で開示する技術の実施形態について詳細に説明する。各機能要素について形態別に区別する際にはアルファベット或いは “_n” (n は数字) 或いはこれらの組合せの参照子を付して記載し、特に区別しないで説明する際にはこの参照子を割愛して記載する。図面においても同様である。

【 0 0 1 6 】

説明は以下の順序で行なう。

- 1 . 全体概要
- 2 . 表示装置の概要
- 3 . 発光素子
- 4 . 駆動方法：基本
- 5 . 具体的な適用例：

駆動パルスの形状がばらつくことに起因する表示むら現象の対処

実施例 1：同じパルス信号をスイッチ選択、走査線の最外部にパルス生成部

実施例 2：同じパルス信号をスイッチ選択、走査線配列方向中間にパルス生成部

実施例 3：パルス生成部で生成されたパルス信号を順次シフト

実施例 4：電子機器への適用事例

【 0 0 1 7 】

< 全体概要 >

本実施形態の構成において、表示装置、或いは、電子機器は、表示部と、保持容量と、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタとを有する画素回路が所定の方向に配列されている画素部を備える。画素部には、所定の方向に配列されている各書込トランジスタと各駆動トランジスタの少なくとも一方を駆動するために駆動パルスを供給する駆動線（走査線）が配されており、この駆動線を選択する選択部を更に備える。又、表示装置、或いは、電子機器は、駆動パルスの元になるパルス信号を生成するパルス生成部を備えており、パルス生成部で生成されたパルス信号に基づいて選択部が複数の駆動線へ駆動パルスを供給する。駆動パルスの元になるパルス信号を駆動部とは別の箇所に設けられたパルス生成部で生成し、パルス生成部で生成されたパルス信号に基づいて駆動部が複数の駆動線へ駆動パルスを供給する。したがって、複数の駆動線に供給された駆動信号は同じパルス生成部で生成されたパルス信号に基づくので、各駆動パルスの間にはパルス形状（幅、変化特性等）のばらつきは実質的に発生せず、駆動パルスの形状（幅、変化特性等）がばらつくことに起因する表示むら現象を抑制することができる。

【 0 0 1 8 】

パルス生成部で生成されたパルス信号に基づいて複数の駆動線へ駆動部が駆動パルスを供給するので、パルス生成部の数は駆動線の総数よりも少なくてもよい。この場合、全駆動線について1つのパルス生成部を設けることができるし、全駆動線の内の一部の複数の駆動線を一単位として、一単位ごとにパルス生成部を設けることもできる。

【0019】

パルス生成部の配置箇所としては、走査線の最外部に配置することもできるが、好ましくは、走査線の配列方向の中間部に配置する方がよい。パルス生成部から出力されるパルス信号の遅延量の差による弊害を小さくできるからである。因みに、全駆動線の内の一部の複数の駆動線の一単位ごとにパルス生成部を設ける場合には、その一単位ごとに、駆動線の配列方向における中間部にパルス生成部を配置すればよい。

10

【0020】

パルス生成部は、画素部の内部に設けることもできるし、画素部の外部に設けることもできる。画素部の外部に設けた方が、選択部（走査部）とパルス生成部とを一体的に造り込むことができる利点がある。画素部と選択部（走査部）とが別体とされる場合に好適な構成である。

【0021】

本実施形態の構成において、表示装置、或いは、電子機器は、選択部の駆動線を選択に基づき、パルス生成部で生成されたパルス信号を取り込んで、駆動線に供給するスイッチ回路、を駆動線ごとに有するスイッチ部を更に備える構成にすることができる。スイッチ回路としては、CMOSスイッチ等のトランスファークロウ構造を利用したものであるとよい。この場合、画素回路に入力される駆動パルスに関し、パネル内或いはパネル外で一括でパルス信号を生成した後に各CMOSスイッチ等で抜き出して走査線に供給する。「パネル内或いはパネル外で一括」であるので、パルス生成部は、各駆動線について、同じタイミングのパルス信号を生成するのがよい。仮に、各駆動線について異なるタイミングのパルス信号を生成する場合、スイッチ回路にパルスシフト機構等の対処が必要になる。スイッチ回路は、画素部の内部に設けることもできるし、画素部の外部に設けることもできる。画素部の外部に設けた方が、選択部（走査部）とスイッチ回路（更にはパルス生成部も）とを一体的に造り込むことができる利点がある。画素部と選択部（走査部）とが別体とされる場合に好適な構成である。

20

【0022】

本実施形態の構成において、表示装置、或いは、電子機器は、選択部が、パルス生成部で生成されたパルス信号を一単位期間分ずつシフトして順に駆動線に供給するシフトレジスタ部を有する構成にすることもできる。これにより、一連の処理が一単位期間で完結される場合に限らず、一連の処理が複数の単位期間に亘る場合においても、駆動パルスの形状（幅、変化特性等）が行ごと或いは列ごとにばらつく度合いを緩和できる。論理回路を構成するトランジスタの特性ばらつきに起因する駆動パルスの形状のばらつきによる処理期間のばらつきが輝度むら（カラー表示の場合は色むら）として現れる現象を改善することができる。

30

【0023】

駆動パルスは、例えば、書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理にも使用される。この処理は、書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理は、駆動トランジスタの移動度を補正する移動度補正処理に使用される。

40

【0024】

駆動パルスは、例えば、駆動トランジスタの閾値電圧のばらつきを補正するためにも使用される。前述の移動度補正との併用もあり得る。

【0025】

デバイス構成としては、表示部がライン状或いは2次元マトリクス状に配列された画素部を備えるものでもよい。

50

【0026】

表示部としては、例えば、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、LED発光部、半導体レーザー発光部等の自発光型の発光部を具備した発光素子を用いることができ、特に、有機エレクトロルミネッセンス発光部であるとい

【0027】

<表示装置の概要>

以下の説明においては、対応関係の理解を容易にするため、回路構成部材の抵抗値や容量値（静電容量、キャパシタンス）等は、その部材に付されている符号と同一符号で示すことがある。

【0028】

〔基本〕

先ず、発光素子を備えた表示装置の概要について説明する。以下の回路構成の説明においては、「電氣的に接続」を単に「接続」と記載するし、この「電氣的に接続」は、特段の明示のない限り、直接に接続されることに限らず、他のトランジスタ（スイッチングトランジスタが典型例である）その他の電気素子（能動素子に限らず受動素子でもよい）を介して接続されることも含む。

【0029】

表示装置は、複数の画素回路（或いは単に画素とも称することもある）を備えている。各画素回路は、発光部と発光部を駆動する駆動回路とを具備する表示素子（電気光学素子）を有する。表示部としては、例えば、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、LED発光部、半導体レーザー発光部等の自発光型の発光部を具備した発光素子を用いることができる。尚、表示素子の発光部を駆動する方式としては定電流駆動型を採用するが、原理的には、定電流駆動型に限らず定電圧駆動型でもよい。

【0030】

以下に説明する例においては、発光素子として、有機エレクトロルミネッセンス発光部を備えている場合で説明する。より詳細には、発光素子は、駆動回路と、駆動回路に接続された有機エレクトロルミネッセンス発光部（発光部ELP）とが積層された構造を有する有機エレクトロルミネッセンス素子（有機EL素子）である。

【0031】

発光部ELPを駆動するための駆動回路として各種の回路があるが、画素回路としては、5Tr/1C型、4Tr/1C型、3Tr/1C型、或いは2Tr/1C型等の駆動回路を備えた構成にすることができる。「Tr/1C型」におけるTrはトランジスタの数を意味し、「1C」は容量部が1つの保持容量 C_{ss} （キャパシタ）を具備することを意味する。駆動回路を構成する各トランジスタは、好適には、全てがnチャネル型のトランジスタから構成されているのが好ましいが、これには限らず、場合によっては、一部のトランジスタをpチャネル型としてもよい。尚、半導体基板等にトランジスタを形成した構成とすることもできる。駆動回路を構成するトランジスタの構造は、特に限定するものではなく、MOS型FETを代表例とする絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor; TFT））を使用できる。更には、駆動回路を構成するトランジスタはエンハンスメント型とデプレッション型の何れでもよいし、又、シングルゲート型とデュアルゲート型の何れでもよい。

【0032】

何れの構成においても、表示装置は、基本的には、最小の構成要素として2Tr/1C型と同様に、発光部ELP、駆動トランジスタ TR_D 、書込トランジスタ TR_W （サンプリングトランジスタとも称される）、少なくとも書込走査部を具備する垂直走査部、信号出力部の機能を持つ水平駆動部、保持容量 C_{ss} を備える。各走査部は、駆動線（走査線）を選択する選択部の一例である。好ましくは、ブートストラップ回路を構成するべく、駆動トランジスタ TR_D の制御入力端（ゲート端）と主電極端（ソース/ドレイン領域）の一

10

20

30

40

50

方（典型的にはソース端）との間に保持容量 C_{cs} が接続される。駆動トランジスタ T_{RD} は、主電極端の一方が発光部 ELP と接続され、主電極端の他方は電源線 PWL と接続される。電源線 PWL には、電源回路或いは電源電圧用の走査回路等から電源電圧（定常電圧或いはパルス状の電圧）が供給される。

【0033】

水平駆動部は、発光部 ELP における輝度を制御するための映像信号 V_{sig} や閾値補正等に使用される基準電位（１種とは限らない）を表す広義の映像信号 VS を映像信号線 DTL （データ線とも称される）に供給する。書込トランジスタ T_{RW} は、主電極端の一方が映像信号線 DTL に接続され、主電極端の他方が駆動トランジスタ T_{RD} の制御入力端に接続される。書込走査部は書込トランジスタ T_{RW} をオン／オフ制御する制御パルス（書込駆動パルス WS ）を書込走査線 WSL を介して書込トランジスタ T_{RW} の制御入力端に供給する。書込トランジスタ T_{RW} の主電極端の他端と駆動トランジスタ T_{RD} の制御入力端と保持容量 C_{cs} の一端との接続点を第１ノード ND_1 と称し、駆動トランジスタ T_{RD} の主電極端の一方と保持容量 C_{cs} の他端との接続点を第２ノード ND_2 と称する。各走査線は、駆動パルスを画素回路を構成するトランジスタに供給する駆動線の一例である。

【0034】

〔構成例〕

図１及び図２は、本開示に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。図１は、一般的なアクティブマトリクス型表示装置の構成の概略を示すブロック図であり、図２は、そのカラー画像表示対応の場合の概略を示すブロック図である。

【0035】

図１に示すように、表示装置１は、複数の表示素子としての有機 EL 素子（図示せず）を持った画素回路１０（画素とも称される）が表示アスペクト比である縦横比が $X:Y$ （例えば $9:16$ ）の有効映像領域を構成するように配置された表示パネル部１００と、この表示パネル部１００を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部２００（いわゆるタイミングジェネレータ）と、映像信号処理部２２０を備えている。駆動信号生成部２００と映像信号処理部２２０とは、１チップの IC （Integrated Circuit；半導体集積回路）に内蔵され、本例では、表示パネル部１００の外部に配置されている。

【0036】

尚、製品形態としては、図示のように、表示パネル部１００、駆動信号生成部２００、及び映像信号処理部２２０の全てを備えたモジュール（複合部品）形態の表示装置１として提供されることに限らず、例えば、表示パネル部１００のみで表示装置１として提供してもよい。又、表示装置１は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部１０２に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。透明な対向部には、カラーフィルタ、保護膜、遮光膜等が設けられてもよい。表示モジュールには、外部から画素アレイ部１０２への映像信号 V_{sig} や各種の駆動パルスを入出力するための回路部や FPC （フレキシブルプリントサーキット）等が設けられていてもよい。

【0037】

このような表示装置１は、様々な電子機器、例えば半導体メモリやミニディスク（ MD ）やカセットテープ等の記録媒体を利用した携帯型の音楽プレイヤー、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラ等、電子機器に入力された映像信号や電子機器内で生成した映像信号を、静止画像や動画像（映像）として表示するあらゆる分野の電子機器の表示部に利用できる。

【0038】

表示パネル部１００は、基板１０１の上に、画素回路１０が M 行 \times N 列のマトリクス状に配列された画素アレイ部１０２と、画素回路１０を垂直方向に走査する垂直駆動部１０３と、画素回路１０を水平方向に走査する水平駆動部１０６（水平セクタ或いはデータ

線駆動部とも称される)と、各駆動部(垂直駆動部103及び水平駆動部106)と外部回路とのインタフェースをとるインタフェース部130(IF)と、外部接続用の端子部108(パッド部)等が集積形成されている。即ち、垂直駆動部103や水平駆動部106やインタフェース部130等の周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。第 m 行目($m=1, 2, 3, \dots, M$)、第 n 列($n=1, 2, 3, \dots, N$)に位置する発光素子(画素回路10)を、図では10_{n, m}で示している。

【0039】

インタフェース部130は、垂直駆動部103と外部回路とのインタフェースをとる垂直IF部133と、水平駆動部106と外部回路とのインタフェースをとる水平IF部136を有する。

【0040】

垂直駆動部103と水平駆動部106とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部109が構成される。この制御部109とインタフェース部130(垂直IF部133や水平IF部136)を含めて、画素アレイ部102の画素回路10を駆動制御する駆動制御回路を構成している。

【0041】

2Tr/1C型とする場合であれば、垂直駆動部103は、書込走査部(ライトスキャナWS; Write Scan)や電源供給能力を有する電源スキャナとして機能する駆動走査部(ドライブスキャナDS; Drive Scan)を有する。画素アレイ部102は、一例として、図示する左右方向の一方側もしくは両側から垂直駆動部103で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部106で駆動されるようになっている。

【0042】

端子部108には、表示装置1の外部に配された駆動信号生成部200から、種々のパルス信号が供給される。同様に、映像信号処理部220から映像信号 V_{sig} が供給される。カラー表示対応の場合には、色別(本例ではR(赤)、G(緑)、B(青)の3原色)の映像信号 V_{sig_R} 、映像信号 V_{sig_G} 、映像信号 V_{sig_B} が供給される。

【0043】

一例としては、垂直駆動用のパルス信号として、垂直方向の走査開始パルスの一例であるシフトスタートパルスSP(図はSPDS、SPWSの2種)や垂直走査クロックCK(図はCKDS、CKWSの2種)、必要に応じて位相反転した垂直走査クロック xCK (図は $xCKDS$ 、 $xCKWS$ の2種)、並びに特定タイミングのパルス出力を指示するイネーブルパルス等の必要なパルス信号が供給される。水平駆動用のパルス信号として、水平方向の走査開始パルスの一例である水平スタートパルスSPHや水平走査クロックCKH、必要に応じて位相反転した水平走査クロック $xCKH$ 、並びに特定タイミングのパルス出力を指示するイネーブルパルス等の必要なパルス信号が供給される。

【0044】

端子部108の各端子は、配線109を介して、垂直駆動部103や水平駆動部106に接続される。例えば、端子部108に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部103の各部や水平駆動部106に供給される。

【0045】

画素アレイ部102は、図示を割愛するが(詳細は後述する)、表示素子としての有機EL素子に対して画素トランジスタが設けられた画素回路10が行列状に2次元配置され、画素配列に対して行ごとに垂直走査線 SC_L が配線されるとともに、列ごとに映像信号線 DT_L が配線された構成となっている。つまり、画素回路10は、垂直走査線 SC_L を介して垂直駆動部103と接続され、又、映像信号線 DT_L を介して水平駆動部106と接続されている。具体的には、マトリクス状に配列された各画素回路10に対しては、垂直駆動部103によって駆動パルスで駆動される n 行分の垂直走査線 $SC_L_1 \sim SC_L_n$ が

10

20

30

40

50

画素行ごとに配線される。垂直駆動部 103 は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部 102 の各画素回路 10 を行単位で選択する、即ち、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づき、垂直走査線 SCL を介して各画素回路 10 を順次選択する。水平駆動部 106 は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部 102 の各画素回路 10 を列単位で選択する、即ち、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 10 に対し映像信号線 DTL を介して映像信号 VS の内の所定電位（例えば映像信号 V_{sig} レベル）をサンプリングして保持容量 C_{cs} に書き込ませる。

【0046】

本実施形態の表示装置 1 は、線順次駆動や点順次駆動が可能になっており、垂直駆動部 103 の書込走査部 104 及び駆動走査部 105 は線順次で（つまり行単位で）画素アレイ部 102 を走査するとともに、これに同期して水平駆動部 106 が、画像信号を、1 水平ライン分を同時に（線順次の場合）、或いは画素単位で（点順次の場合）、画素アレイ部 102 に書き込む。

【0047】

カラー画像表示対応をとるには、画素アレイ部 102 には、例えば図 2 に示すように、色別（本例では R（赤）、G（緑）、B（青）の 3 原色）のサブピクセルとして画素回路 10_R、画素回路 10_G、画素回路 10_B を所定の配列順で縦ストライプ状に設ける。1 組の色別のサブピクセルによりカラーの 1 画素が構成される。ここでは、サブピクセルレイアウトの一例として縦ストライプ状に各色のサブピクセルを配置したストライプ構造のものを示しているが、サブピクセルレイアウトはこのような配列例に限定されるものではない。サブピクセルを垂直方向にシフトさせた形態を採用してもよい。

【0048】

尚、図 1 及び図 2 では、画素アレイ部 102 の一方側にのみ垂直駆動部 103（詳しくはその構成要素）を配置する構成を示しているが、垂直駆動部 103 の各要素を画素アレイ部 102 を挟んで左右両側に配置する構成を採ることもできる。又、垂直駆動部 103 の各要素の一方と他方を左右の各別に配置する構成を採ることもできる。同様に、図 1 及び図 2 では、画素アレイ部 102 の一方側にのみ水平駆動部 106 を配置する構成を示しているが、画素アレイ部 102 を挟んで上下両側に水平駆動部 106 を配置する構成を採ることもできる。本例では、垂直シフトスタートパルス、垂直走査クロック、水平スタートパルス、水平走査クロック等のパルス信号を表示パネル部 100 の外部から入力する構成としているが、これらの各種のタイミングパルスを生成する駆動信号生成部 200 を表示パネル部 100 上に搭載することもできる。

【0049】

図示した構成は、表示装置の一形態を示したに過ぎず、製品形態としては、その他の形態をとることができる。即ち、表示装置は、画素回路 10 を構成する素子を行列状に配置した画素アレイ部と、画素アレイ部の周辺に配置され、各画素を駆動するための走査線と接続された走査部を主要部とする制御部と、制御部を動作させるための各種の信号を生成する駆動信号生成部や映像信号処理部を備えて装置の全体が構成されていればよい。製品形態としては、画素アレイ部と制御部とを同一の基体（例えばガラス基板）上に搭載した表示パネル部と駆動信号生成部や映像信号処理部を別体とする図示のような形態（パネル上配置構成と称する）の他に、表示パネル部には画素アレイ部を搭載し、それとは別基板（例えばフレキシブル基板）上に制御部や駆動信号生成部や映像信号処理部等の周辺回路を搭載する形態（周辺回路パネル外配置構成と称する）を採ることができる。又、画素アレイ部と制御部とを同一の基体上に搭載して表示パネル部を構成するパネル上配置構成の場合、画素アレイ部の TFT を生成する工程にて同時に制御部（必要に応じて駆動信号生成部や映像信号処理部も）用の各トランジスタを生成する形態（トランジスタ一体構成と称する）と、COG（Chip On Glass）実装技術により画素アレイ部が搭載された基体上に制御部（必要に応じて駆動信号生成部や映像信号処理部も）用の半導体チップを直接実

10

20

30

40

50

装する形態（COG搭載構成と称する）を採ることもできる。或いは又、表示パネル部（少なくとも画素アレイ部を備える）のみで表示装置として提供することもできる。

【0050】

<発光素子>

図3は、駆動回路を備えた発光素子11（実質的には画素回路10）を説明する図である。ここで、図3は、発光素子11（画素回路10）の一部分の模式的な一部断面図である。図3では、絶縁ゲート型電界効果トランジスタは薄膜トランジスタ（TFT）であるとする。図示しないが、いわゆるバックゲート型の薄膜トランジスタ或いはMOS型のトランジスタを使用してもよい。

【0051】

発光素子11の駆動回路を構成する各トランジスタ及び容量部（保持容量 C_{cs} ）は支持体20上に形成され、発光部ELPは、例えば、層間絶縁層40を介して、駆動回路を構成する各トランジスタ及び保持容量 C_{cs} の上方に形成されている。駆動トランジスタ TR_D の一方のソース/ドレイン領域は、発光部ELPに備えられたアノード電極に、コンタクトホールを介して接続されている。図3においては、駆動トランジスタ TR_D のみを図示する。書込トランジスタ TR_W やその他のトランジスタは隠れて見えない。発光部ELPは、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。

【0052】

具体的には、駆動トランジスタ TR_D は、ゲート電極31、ゲート絶縁層32、半導体層33、半導体層33に設けられたソース/ドレイン領域35、及び、ソース/ドレイン領域35の間の半導体層33の部分が該当するチャネル形成領域34から構成されている。保持容量 C_{cs} は、他方の電極36、ゲート絶縁層32の延在部から構成された誘電体層、及び、一方の電極37（第2ノード ND_2 に相当する）から成る。ゲート電極31、ゲート絶縁層32の一部、及び、保持容量 C_{cs} を構成する他方の電極36は、支持体20上に形成されている。駆動トランジスタ TR_D の一方のソース/ドレイン領域35は配線38に接続され、一方のソース/ドレイン領域35は一方の電極37に接続されている。駆動トランジスタ TR_D 及び保持容量 C_{cs} 等は、層間絶縁層40で覆われており、層間絶縁層40上に、アノード電極51、正孔輸送層、発光層、電子輸送層、及び、カソード電極53から成る発光部ELPが設けられている。図3においては、正孔輸送層、発光層、及び、電子輸送層を1層52で表した。発光部ELPが設けられていない層間絶縁層40の部分の上には、第2層間絶縁層54が設けられ、第2層間絶縁層54及びカソード電極53上には透明な基板21が配置されており、発光層にて発光した光は、基板21を通過して、外部に出射される。一方の電極37とアノード電極51とは、層間絶縁層40に設けられたコンタクトホールによって接続されている。カソード電極53は、第2層間絶縁層54、層間絶縁層40に設けられたコンタクトホール56、コンタクトホール55を介して、ゲート絶縁層32の延在部上に設けられた配線39に接続されている。

【0053】

[駆動方法]

発光部の駆動方法に関して、以下に説明する。理解を容易にするべく、画素回路10を構成する各トランジスタは、nチャネル型のトランジスタから構成されているとして説明する。又、発光部ELPは、アノード端が第2ノード ND_2 に接続され、カソード端はカソード配線cath（その電位をカソード電位 V_{cath} とする）に接続されるものとする。更には、ドレイン電流 I_{ds} の値の大小によって、発光部ELPにおける発光状態（輝度）が制御される。発光素子の発光状態においては、駆動トランジスタ TR_D の2つの主電極端（ソース/ドレイン領域）は、一方（発光部ELPのアノード側）がソース端（ソース領域）として働き、他方がドレイン端（ドレイン領域）として働く。表示装置は、カラー表示対応のものであり、 $(N/3) \times M$ 個の2次元マトリクス状に配列された画素回路10から構成され、カラー表示の一単位を成す1つの画素回路は、3つの副画素回路（赤色を発光する赤色発光画素回路10_R、緑色を発光する緑色発光画素回路10_G、青色を発光す

10

20

30

40

50

る青色発光画素回路 10_B) から構成されているとする。各画素回路 10 を構成する発光素子は、線順次駆動されるとし、表示フレームレートを FR (回/秒) とする。即ち、第 m 行目 (但し、 $m = 1, 2, 3, \dots, M$) に配列された ($N/3$) 個の画素回路 10、より具体的には、 N 個の画素回路 10 のそれぞれを構成する発光素子が同時に駆動される。換言すれば、1 つの行を構成する各発光素子にあっては、その発光/非発光のタイミングは、それらが属する行単位で制御される。尚、1 つの行を構成する各画素回路 10 について映像信号を書き込む処理は、全ての画素回路 10 について同時に映像信号を書き込む処理 (同時書き込み処理とも称する) でもよいし、画素回路 10 毎に順次映像信号を書き込む処理 (順次書き込み処理とも称する) でもよい。何れの書き込み処理とするかは、駆動回路の構成に応じて適宜選択すればよい。

10

【0054】

ここで、第 m 行目、第 n 列 (但し、 $n = 1, 2, 3, \dots, N$) に位置する発光素子 (画素回路 10) に関する駆動動作を説明する。因みに、第 m 行目、第 n 列に位置する発光素子を、第 (n, m) 番目の発光素子或いは第 (n, m) 番目の発光素子画素回路と称する。第 m 行目に配列された各発光素子の水平走査期間 (第 m 番目の水平走査期間) が終了するまでに、各種の処理 (閾値補正処理、書き込み処理、移動度補正処理、等) が行なわれる。尚、書き込み処理や移動度補正処理は、第 m 番目の水平走査期間内に行なわれる必要がある。一方、駆動回路の種類によっては、閾値補正処理やこれに伴う前処理を第 m 番目の水平走査期間より先行して行なうことができる。

20

【0055】

前述の各種の処理が全て終了した後、第 m 行目に配列された各発光素子を構成する発光部を発光させる。尚、各種の処理が全て終了した後、直ちに発光部を発光させてもよいし、所定の期間 (例えば、所定の行数分の水平走査期間) が経過した後に発光部を発光させてもよい。「所定の期間」は、表示装置の仕様や画素回路 10 (つまり駆動回路) の構成等に応じて、適宜設定すればよい。以下では説明の便宜のため、各種の処理終了後、直ちに発光部を発光させるものとする。第 m 行目に配列された各発光素子を構成する発光部の発光は、第 ($m + m'$) 行目に配列された各発光素子の水平走査期間の開始直前まで継続される。「 m' 」は、表示装置の設計仕様によって決定すればよい。即ち、或る表示フレームの第 m 行目に配列された各発光素子を構成する発光部の発光は、第 ($m + m' - 1$) 番目の水平走査期間まで継続される。一方、第 ($m + m'$) 番目の水平走査期間の始期から、次の表示フレームにおける第 m 番目の水平走査期間内において書き込み処理や移動度補正処理が完了するまで、第 m 行目に配列された各発光素子を構成する発光部は、原則として非発光状態を維持する。非発光状態の期間 (非発光期間とも称する) を設けることにより、アクティブマトリクス駆動に伴う残像ボケが低減され、動画品位をより良好にすることができる。但し、各画素回路 10 (発光素子) の発光状態/非発光状態は、以上に説明した状態には限定されない。水平走査期間の時間長は、 $(1/FR) \times (1/M)$ 秒未満の時間長である。 $(m + m')$ の値が M を越える場合、越えた分の水平走査期間は、次の表示フレームにおいて処理される。

30

【0056】

トランジスタがオン状態 (導通状態) にあるとは、主電極端間 (ソース/ドレイン領域間) にチャネルが形成されている状態を意味し、一方の主電極端から他方の主電極端に電流が流れているか否かは問わない。トランジスタがオフ状態 (非導通状態) にあるとは、主電極端間にチャネルが形成されていない状態を意味する。或るトランジスタの主電極端が他のトランジスタの主電極端に接続されているとは、或るトランジスタのソース/ドレイン領域と他のトランジスタのソース/ドレイン領域とが同じ領域を占めている形態を包含する。更には、ソース/ドレイン領域は、不純物を含むシリコンやアモルファスシリコン等の導電性物質から構成することができるだけでなく、金属、合金、導電性粒子、これらの積層構造、有機材料 (導電性高分子) から成る層から構成することができる。又、以下の説明で用いるタイミングチャートにおいて、各期間を示す横軸の長さ (時間長) は模式的なものであり、各期間の時間長の割合を示すものではない。

40

50

【 0 0 5 7 】

画素回路 10 の駆動方法においては、前処理工程、閾値補正処理工程、映像信号書込み処理工程、移動度補正工程、発光工程を有する。前処理工程、閾値補正処理工程、映像信号書込み処理工程、及び、移動度補正工程を纏めて非発光工程とも称する。画素回路 10 の構成によっては映像信号書込み処理工程と移動度補正工程とを同時に行なうこともある。各工程について概説する。

【 0 0 5 8 】

因みに、駆動トランジスタ $T R_D$ は、発光素子の発光状態においては、以下の式 (1) に従ってドレイン電流 I_{ds} を流すように駆動される。ドレイン電流 I_{ds} が発光部 $E L P$ を流れることで発光部 $E L P$ が発光する。更には、ドレイン電流 I_{ds} の値の大小によって、発光部 $E L P$ における発光状態 (輝度) が制御される。発光素子の発光状態においては、駆動トランジスタ $T R_D$ の 2 つの主電極端 (ソース / ドレイン領域) は、一方 (発光部 $E L P$ のアノード端側) がソース端 (ソース領域) として働き、他方がドレイン端 (ドレイン領域) として働く。説明の便宜のため、以下の説明において、駆動トランジスタ $T R_D$ の一方の主電極端を単にソース端と称し、他方の主電極端を単にドレイン端と呼ぶ場合がある。尚、実効的な移動度 μ 、チャネル長 L 、チャネル幅 W 、制御電極端の電位 (ゲート電位 V_g) とソース端の電位 (ソース電位 V_s) との電位差 (ゲート・ソース間電圧) V_{gs} 、閾値電圧 V_{th} 、等価容量 C_{ox} ((ゲート絶縁層の比誘電率) \times (真空の誘電率) / (ゲート絶縁層の厚さ))、係数 k ($1 / 2$) \cdot (W / L) $\cdot C_{ox}$ とする。

【 0 0 5 9 】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad (1)$$

【 0 0 6 0 】

以下の説明では、特段の断りのない限り、発光部 $E L P$ の寄生容量の静電容量 C_{el} は、保持容量 C_{cs} の静電容量 C_{cs} 及び駆動トランジスタ $T R_D$ の寄生容量の一例であるゲート・ソース間の静電容量 C_{gs} と比較して十分に大きな値であるとし、駆動トランジスタ $T R_D$ のゲート端の電位 (ゲート電位 V_g) の変化に基づく駆動トランジスタ $T R_D$ のソース領域 (第 2 ノード $N D_2$) の電位 (ソース電位 V_s) の変化を考慮しない。

【 0 0 6 1 】

〔 前処理工程 〕

第 1 ノード $N D_1$ と第 2 ノード $N D_2$ との間の電位差が、駆動トランジスタ $T R_D$ の閾値電圧 V_{th} を越え、且つ、第 2 ノード $N D_2$ と発光部 $E L P$ に備えられたカソード電極との間の電位差が、発光部 $E L P$ の閾値電圧 V_{thEL} を越えないように、第 1 ノード $N D_1$ に第 1 ノード初期化電圧 (V_{ofs}) を印加し、第 2 ノード $N D_2$ に第 2 ノード初期化電圧 (V_{ini}) を印加する。例えば、発光部 $E L P$ における輝度を制御するための映像信号 V_{sig} を 0 ~ 10 ボルト、電源電圧 V_{cc} を 20 ボルト、駆動トランジスタ $T R_D$ の閾値電圧 V_{th} を 3 V、カソード電位 V_{cath} を 0 ボルト、発光部 $E L P$ の閾値電圧 V_{thEL} を 3 ボルトとする。この場合、駆動トランジスタ $T R_D$ の制御入力端の電位 (ゲート電位 V_g 、つまり第 1 ノード $N D_1$ の電位) を初期化するための電位 V_{ofs} は 0 ボルト、駆動トランジスタ $T R_D$ のソース端の電位 (ソース電位 V_s つまり第 2 ノード $N D_2$ の電位) を初期化するための電位 V_{ini} は - 10 ボルトとする。

【 0 0 6 2 】

〔 閾値補正処理工程 〕

第 1 ノード $N D_1$ の電位を保った状態で、駆動トランジスタ $T R_D$ にドレイン電流 I_{ds} を流して、第 1 ノード $N D_1$ の電位から駆動トランジスタ $T R_D$ の閾値電圧 V_{th} を減じた電位に向かって第 2 ノード $N D_2$ の電位を変化させる。この際には、前処理工程後の第 2 ノード $N D_2$ の電位に駆動トランジスタ $T R_D$ の閾値電圧 V_{th} を加えた電圧を超える電圧 (例えば発光時の電源電圧) を、駆動トランジスタ $T R_D$ の主電極端の他方 (第 2 ノード $N D_2$ とは反対側) に印加する。この閾値補正処理工程において、第 1 ノード $N D_1$ と第 2 ノード $N D_2$ との間の電位差 (換言すれば、駆動トランジスタ $T R_D$ のゲート・ソース間電圧 V_{gs}) が駆動トランジスタ $T R_D$ の閾値電圧 V_{th} に近づく程度は閾値補正処理の時間により左

右される。よって、例えば閾値補正処理の時間を充分長く確保すれば第2ノードND₂の電位は第1ノードND₁の電位から駆動トランジスタTR_Dの閾値電圧V_{th}を減じた電位に達し、駆動トランジスタTR_Dはオフ状態となる。一方、例えば閾値補正処理の時間を短く設定せざるを得ない場合は、第1ノードND₁と第2ノードND₂との間の電位差が駆動トランジスタTR_Dの閾値電圧V_{th}より大きく、駆動トランジスタTR_Dはオフ状態とはならない場合がある。閾値補正処理の結果として、必ずしも駆動トランジスタTR_Dがオフ状態となることを要しない。尚、閾値補正処理工程においては、好ましくは、式(2)を満足するように電位を選択、決定しておくことで、発光部ELPが発光しないようにする。

【0063】

$$(V_{ofs} - V_{th}) < (V_{thEL} + V_{cath}) \quad (2)$$

【0064】

〔映像信号書込み処理工程〕

書込走査線WSLからの書込駆動パルスWSによりオン状態とされた書込トランジスタTR_Wを介して、映像信号線DTLから映像信号V_{sig}を第1ノードND₁に印加し、第1ノードND₁の電位をV_{sig}へと上昇させる。この電第1ノードND₁の電位変化分(V_{in} = V_{sig} - V_{ofs})に基づく電荷が、保持容量C_{cs}、発光部ELPの寄生容量C_{el}、駆動トランジスタTR_Dの寄生容量(例えばゲート・ソース間容量C_{gs}等)に振り分けられる。静電容量C_{el}が、静電容量C_{cs}及びゲート・ソース間容量C_{gs}の静電容量C_{gs}と比較して十分に大きな値であれば、電位変化分(V_{sig} - V_{ofs})に基づく第2ノードND₂の電位の変化は小さい。一般に、発光部ELPの寄生容量C_{el}の静電容量C_{el}は、保持容量C_{cs}の静電容量C_{cs}及びゲート・ソース間容量C_{gs}の静電容量C_{gs}よりも大きい。この点を勘案して、特段の必要がある場合を除き、第1ノードND₁の電位変化により生ずる第2ノードND₂の電位変化は考慮しない。この場合、ゲート・ソース間電圧V_{gs}は、式(3)で表すことができる。

【0065】

$$\begin{aligned} V_g &= V_{sig} \\ V_s &= V_{ofs} - V_{th} \\ V_{gs} &= V_{sig} - (V_{ofs} - V_{th}) \end{aligned} \quad (3)$$

【0066】

〔移動度補正処理工程〕

書込トランジスタTR_Wを介して映像信号V_{sig}を保持容量C_{cs}の一端に供給しつつ(つまり映像信号V_{sig}と対応する駆動電圧を保持容量C_{cs}に書き込みつつ)、駆動トランジスタTR_Dを介して保持容量C_{cs}に電流を供給する。例えば、書込走査線WSLからの書込駆動パルスWSによりオン状態とされた書込トランジスタTR_Wを介して映像信号線DTLから映像信号V_{sig}を第1ノードND₁に供給した状態で、駆動トランジスタTR_Dに電源を供給しドレイン電流I_{ds}を流して、第2ノードND₂の電位を変化させ、所定期間経過後、書込トランジスタTR_Wをオフ状態にする。このときの第2ノードND₂の電位変化分をV(=電位補正值、負帰還量)とする。移動度補正処理を実行するための所定期間は、表示装置の設計の際、設計値として予め決定しておけばよい。尚、この際には、好ましくは、式(2A)を満足するように移動度補正期間を決定する。こうすることで、移動度補正期間に発光部ELPが発光することはない。

【0067】

$$(V_{ofs} - V_{th} + V) < (V_{thEL} + V_{cath}) \quad (2A)$$

【0068】

駆動トランジスタTR_Dの移動度μの値が大きい場合は電位補正值Vは大きくなり、移動度μの値が小さい場合は電位補正值Vは小さくなる。このときの駆動トランジスタTR_Dのゲート・ソース間電圧V_{gs}(つまり第1ノードND₁と第2ノードND₂との電位差)は、式(4)で表すことができる。ゲート・ソース間電圧V_{gs}は発光時の輝度を規定するが、電位補正值Vは駆動トランジスタTR_Dのドレイン電流I_{ds}に比例し、ドレイ

10

20

30

40

50

ン電流 I_{ds} は移動度 μ に比例するので、結果的には、移動度 μ が大きいほど電位補正值 V が大きくなるので、画素回路 10 ごとの移動度 μ のばらつきを取り除くことができる。

【0069】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) - V \quad (4)$$

【0070】

〔発光工程〕

書込走査線 WSL からの書込駆動パルス WS により書込トランジスタ TR_W をオフ状態とすることにより第 1 ノード ND_1 を浮遊状態とし、駆動トランジスタ TR_D に電源を供給して駆動トランジスタ TR_D を介して、駆動トランジスタ TR_D のゲート・ソース間電圧 V_{gs} (第 1 ノード ND_1 と第 2 ノード ND_2 との間の電位差) に応じた電流 I_{ds} を発光部 ELP に流すことにより発光部 ELP を駆動して発光させる。

10

【0071】

〔駆動回路の構成による相違点〕

ここで、それぞれ典型的な、5 Tr / 1 C 型、4 Tr / 1 C 型、3 Tr / 1 C 型、2 Tr / 1 C 型での相違点は以下の通りである。5 Tr / 1 C 型では、駆動トランジスタ TR_D の電源側の主電極端と電源回路 (電源部) との間に接続された第 1 トランジスタ TR_1 (発光制御トランジスタ) と、第 2 ノード初期化電圧を印加する第 2 トランジスタ TR_2 と、第 1 ノード初期化電圧を印加する第 3 トランジスタ TR_3 とを設ける。第 1 トランジスタ TR_1 、第 2 トランジスタ TR_2 、第 3 トランジスタ TR_3 は何れもスイッチングトランジスタである。第 1 トランジスタ TR_1 は、発光期間にオン状態としておき、オフ状態にして非発光期間に入り、その後の閾値補正期間に一度オン状態にし、更に移動度補正期間以降 (次の発光期間も) オン状態とする。第 2 トランジスタ TR_2 は、第 2 ノードの初期化期間にのみオン状態としそれ以外はオフ状態とする。第 3 トランジスタ TR_3 は、第 1 ノードの初期化期間から閾値補正期間に亘ってのみオン状態としそれ以外はオフ状態とする。書込トランジスタ TR_W は、映像信号書込み処理期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

20

【0072】

4 Tr / 1 C 型では、5 Tr / 1 C 型から、第 1 ノード初期化電圧を印加する第 3 トランジスタ TR_3 が省略され、第 1 ノード初期化電圧は映像信号線 DTL から映像信号 V_{sig} と時分割で供給される。第 1 ノードの初期化期間に第 1 ノード初期化電圧を映像信号線 DTL から第 1 ノードに供給するべく、書込トランジスタ TR_W は第 1 ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ TR_W は、第 1 ノードの初期化期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

30

【0073】

3 Tr / 1 C 型では、5 Tr / 1 C 型から、第 2 トランジスタ TR_2 と第 3 トランジスタ TR_3 が省略され、第 1 ノード初期化電圧及び第 2 ノード初期化電圧は映像信号線 DTL から映像信号 V_{sig} と時分割で供給される。映像信号線 DTL の電位は、第 2 ノードの初期化期間に第 2 ノードを第 2 ノード初期化電圧に設定し、その後の第 1 ノードの初期化期間に第 1 ノードを第 1 ノード初期化電圧に設定するべく、第 2 ノード初期化電圧と対応した電圧 V_{ofs_H} を供給しその後に第 1 ノード初期化電圧 V_{ofs_L} ($= V_{ofs}$) にする。そして、これと対応して、書込トランジスタ TR_W は第 1 ノードの初期化期間及び第 2 ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ TR_W は、第 2 ノードの初期化期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

40

【0074】

因みに、3 Tr / 1 C 型では、映像信号線 DTL を利用して第 2 ノード ND_2 の電位を変化させる。このため、保持容量 C_{cs} の静電容量 C_{cs} を、設計上、他の駆動回路よりも大きい値 (例えば、静電容量 C_{cs} を静電容量 C_{e1} の約 $1/4 \sim 1/3$ 程度) に設定する。したがって、他の駆動回路よりも、第 1 ノード ND_1 の電位変化により生ずる第 2 ノード ND_2 の電位変化の程度が大きい点を考慮する。

50

【 0 0 7 5 】

2 Tr / 1 C 型では、5 Tr / 1 C 型から、第 1 トランジスタ $T R_1$ と第 2 トランジスタ $T R_2$ と第 3 トランジスタ $T R_3$ が省略され、第 1 ノード初期化電圧は映像信号線 D T L から映像信号 V_{sig} と時分割で供給され、第 2 ノード初期化電圧は駆動トランジスタ $T R_D$ の電源側の主電極端を、第 1 電位 V_{cc_H} ($= 5 Tr / 1 C$ 型の V_{cc}) と第 2 電位 V_{cc_L} ($= 5 Tr / 1 C$ 型の V_{ini}) でパルス駆動することで与えられる。駆動トランジスタ $T R_D$ の電源側の主電極端は、発光期間に第 1 電位 V_{cc_H} にされ、第 2 電位 V_{cc_L} にされることで非発光期間に入り、その後の閾値補正期間以降 (次の発光期間も) に第 1 電位 V_{cc_H} にされる。第 1 ノードの初期化期間に第 1 ノード初期化電圧を映像信号線 D T L から第 1 ノードに供給するべく、書込トランジスタ $T R_W$ は第 1 ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ $T R_W$ は、第 1 ノードの初期化期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

10

【 0 0 7 6 】

尚、ここでは、駆動トランジスタの特性ばらつきとして、閾値電圧及び移動度の双方について補正処理を行なう場合で説明したが、何れか一方のみについて補正処理を行なうようにしてもよい。

【 0 0 7 7 】

以上、好ましい例に基づき説明したが、これらの例に限定されるものではない。各例において説明した表示装置、表示素子、駆動回路を構成する各種の構成要素の構成、構造、発光部の駆動方法における工程は例示であり、適宜、変更することができる。

20

【 0 0 7 8 】

又、5 Tr / 1 C 型、4 Tr / 1 C 型、及び、3 Tr / 1 C 型の動作においては、書込み処理と移動度補正を別個に行なってもよいし、2 Tr / 1 C 型と同様に、書込み処理において移動度補正処理を併せて行なってもよい。具体的には、第 1 トランジスタ $T R_1$ (発光制御トランジスタ) をオン状態とした状態で、書込トランジスタ $T R_W$ を介して、データ線 D T L から映像信号 V_{sig} を第 1 ノードに印加すればよい。

【 0 0 7 9 】

< 具体的な適用例 >

以下に、駆動パルスの形状 (幅、変化特性等) がばらつくことに起因する表示むら現象が抑制する本実施形態の技術の具体的な適用例について説明する。尚、アクティブマトリクス型の有機 E L パネルを使用する表示装置においては、例えば、パネル両側或いは片側に配置されている垂直走査部によってトランジスタの制御入力端に供給する各種のゲート信号 (制御パルス) を作り、画素回路 10 へ当該信号を印加する。更にはこのような有機 E L パネルを使用する表示装置においては、素子数削減及び高精細化のため、2 Tr / 1 C 型の画素回路 10 を用いることがある。この点を勘案して、以下では、代表的に 2 Tr / 1 C 型の構成への適用例で説明する。

30

【 実施例 1 】

【 0 0 8 0 】

[画素回路]

図 4 及び図 5 は、画素回路 10 と、当該画素回路 10 を備えた表示装置の一形態を示す図である。図 4 は基本構成 (1 画素分) を示し、図 5 は具体的な構成 (表示装置の全体) を示す。尚、表示パネル部 100 の基板 101 上において画素回路 10 の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。

40

【 0 0 8 1 】

表示装置 1 は、映像信号 V_{sig} (詳しくは信号振幅 V_{in}) に基づいて画素回路 10 内の電気光学素子 (本例では発光部 E L P として有機 E L 素子 127 を使用する) を発光させる。このため、表示装置 1 は、画素アレイ部 102 に行列状に配される画素回路 10 内に、少なくとも、駆動電流を生成する駆動トランジスタ 121 (駆動トランジスタ $T R_D$)、駆動トランジスタ 121 の制御入力端 (ゲート端が典型例) と出力端 (ソース端が典型例) の間に接続された保持容量 120 (保持容量 C_{cs})、駆動トランジスタ 121 の出

50

力端に接続された電気光学素子の一例である有機EL素子127(発光部ELP)、及び、保持容量120に信号振幅 V_{in} に応じた情報を書き込むサンプリングトランジスタ125(書込トランジスタ TR_w)を備える。この画素回路10においては、保持容量120に保持された情報に基づく駆動電流 I_{ds} を駆動トランジスタ121で生成して電気光学素子の一例である有機EL素子127に流すことで有機EL素子127を発光させる。

【0082】

サンプリングトランジスタ125で保持容量120に信号振幅 V_{in} に応じた情報を書き込むので、サンプリングトランジスタ125は、その入力端(ソース端もしくはドレイン端の一方)に信号電位($V_{ofs} + V_{in}$)を取り込み、その出力端(ソース端もしくはドレイン端の他方)に接続された保持容量120に信号振幅 V_{in} に応じた情報を書き込む。もちろん、サンプリングトランジスタ125の出力端は、駆動トランジスタ121の制御入力端にも接続されている。

【0083】

尚、ここで示した画素回路10の接続構成は、最も基本的な構成を示したもので、画素回路10は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外(つまり他の構成要素)が含まれていてもよい。又、「接続」は、直接に接続されている場合に限らず、他の構成要素を介在して接続されている場合でもよい。例えば、接続間には、必要に応じて更に、スイッチング用のトランジスタや、ある機能を持った機能部等を介在させる等の変更が加えられることがある。典型的には、表示期間(換言すれば非発光時間)を動的に制御するためにスイッチング用のトランジスタを、駆動トランジスタ121の出力端と電気光学素子(有機EL素子127)と間に、もしくは駆動トランジスタ121の電源供給端(ドレイン端が典型例)と電源供給用の配線である電源線PWL(本例では電源供給線105DSL)との間に配することがある。このような変形態様の画素回路であっても、実施例1(或いはその他の実施例)で説明する構成や作用を実現し得るのである限り、それらの変形態様も、本開示に係る表示装置の一実施形態を実現する画素回路10である。

【0084】

又、画素回路10を駆動するための周辺部には、例えば、サンプリングトランジスタ125を水平周期で順次制御することで画素回路10を線順次走査して、1行分の各保持容量120に映像信号 V_{sig} の信号振幅 V_{in} に応じた情報を書き込む書込走査部104、及び、書込走査部104での線順次走査に合わせて1行分の各駆動トランジスタ121の電源供給端に印加される電源供給を制御するための走査駆動パルス(電源駆動パルスDSL)を出力する駆動走査部105を具備する制御部109を設ける。又、制御部109には、書込走査部104での線順次走査に合わせて各水平周期内で基準電位(V_{ofs})と信号電位($V_{ofs} + V_{in}$)で切り替わる映像信号 V_{sig} がサンプリングトランジスタ125に供給されるように制御する水平駆動部106を設ける。

【0085】

制御部109は、好ましくは、保持容量120に信号振幅 V_{in} に対応する情報が書き込まれた時点でサンプリングトランジスタ125を非導通状態にして駆動トランジスタ121の制御入力端への映像信号 V_{sig} の供給を停止させ、駆動トランジスタ121の出力端の電位変動に制御入力端の電位が連動するブートストラップ動作を行なうように制御するのがよい。制御部109は、好ましくは、ブートストラップ動作を、サンプリング動作の終了後の発光開始の初期でも実行するようにする。即ち、信号電位($V_{ofs} + V_{in}$)がサンプリングトランジスタ125に供給されている状態でサンプリングトランジスタ125を導通状態にした後にサンプリングトランジスタ125を非導通状態にすることで、駆動トランジスタ121の制御入力端と出力端の電位差が一定に維持されるようにする。

【0086】

又、制御部109は、好ましくはブートストラップ動作を、発光期間において電気光学素子(有機EL素子127)の経時変動補正動作を実現するように制御する。このため、制御部109は、保持容量120に保持された情報に基づく駆動電流 I_{ds} が電気光学素子

(有機EL素子127)に流れている期間は継続的にサンプリングトランジスタ125を非導通状態にしておくことで、制御入力端と出力端の電圧を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。発光時における保持容量120のブートストラップ動作により有機EL素子127の電流-電圧特性が経時変動しても駆動トランジスタ121の制御入力端と出力端の電位差をブートストラップした保持容量120により一定に保つことで、常に一定の発光輝度を保つようにする。又、好ましくは、制御部109は、基準電位(=第1ノード初期化電圧 V_{ofs})がサンプリングトランジスタ125の入力端(ソース端が典型例)に供給されている時間帯でサンプリングトランジスタ125を導通させることで駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を保持容量120に保持するための閾値補正動作を行なうように制御する。

10

【0087】

この閾値補正動作は、必要に応じて、信号振幅 V_{in} に対応する情報の保持容量120への書込みに先行する複数の水平周期で繰り返し実行するとよい。ここで「必要に応じて」とは、1水平周期内の閾値補正期間では駆動トランジスタ121の閾値電圧に相当する電圧を十分に保持容量120へ保持させることができない場合を意味する。閾値補正動作の複数回の実行により、確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持させる。閾値補正を複数回行なう処理を分割閾値補正とも称する。

【0088】

又、更に好ましくは、制御部109は、閾値補正動作に先立って、サンプリングトランジスタ125の入力端に基準電位(V_{ofs})が供給されている時間帯でサンプリングトランジスタ125を導通させて閾値補正用の準備動作(放電動作や初期化動作)を実行するように制御する。閾値補正動作前に駆動トランジスタ121の制御入力端と出力端の電位を初期化しておく。より詳しくは、制御入力端と出力端と間に保持容量120を接続しておくことで、保持容量120の両端の電位差が閾値電圧 V_{th} 以上になるように設定する。

20

【0089】

尚、2Tr/1C駆動構成における閾値補正に当たっては、制御部109には、書込走査部104での線順次走査に合わせて1行分の各画素回路10に、駆動電流 I_{ds} を電気光学素子(有機EL素子127)に流すために使用される第1電位 V_{cc_H} と第1電位 V_{cc_H} とは異なる第2電位 V_{cc_L} とを切り替えて出力する駆動走査部105を設け、駆動トランジスタ121の電源供給端子に第1電位 V_{cc_H} に対応する電圧が供給され、かつサンプリングトランジスタ121に信号電位($V_{ofs} + V_{in}$)が供給されている時間帯でサンプリングトランジスタ125を導通させることで閾値補正動作を行なうように制御するのがよい。又、2TR駆動構成における閾値補正の準備動作に当たっては、駆動トランジスタ121の電源供給端に第2電位 V_{cc_L} (=第2ノード初期化電圧 V_{ini})に対応する電圧が供給され、かつサンプリングトランジスタ125に基準電位(V_{ofs})が供給されている時間帯でサンプリングトランジスタ125を導通させて、駆動トランジスタ121の制御入力端(つまり第1ノード ND_1)の電位を基準電位(V_{ofs})に、又出力端(つまり第2ノード ND_2)の電位を第2電位 V_{cc_L} に初期化するのがよい。

30

【0090】

更に好ましくは、制御部109は、閾値補正動作の後、駆動トランジスタ121に第1電位 V_{cc_H} に対応する電圧が供給され、サンプリングトランジスタ125に信号電位($V_{ofs} + V_{in}$)が供給されている時間帯でサンプリングトランジスタ125を導通させることで保持容量120に信号振幅 V_{in} の情報を書き込む際、駆動トランジスタ121の移動度 μ に対する補正分を保持容量120に書き込まれる情報に加えるように制御する。この際には、サンプリングトランジスタ125に信号電位($V_{ofs} + V_{in}$)が供給されている時間帯内の所定位置で、その時間帯より短い期間だけサンプリングトランジスタ125を導通させるとよい。以下2Tr/1C駆動構成での画素回路10の一例について具体的に説明する。

40

【0091】

画素回路10は、基本的にnチャネル型の薄膜電界効果トランジスタで駆動トランジス

50

タが構成されている。又、有機EL素子の経時劣化による当該有機EL素子への駆動電流 I_{ds} の変動を抑制するための回路、即ち電気光学素子の一例である有機EL素子の電流 - 電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路（その１）を備え、又駆動トランジスタの特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ閾値補正機能や移動度補正機能を実現して駆動電流 I_{ds} を一定に維持する駆動方式を採用した点に特徴を有する。

【 0 0 9 2 】

駆動トランジスタ 1 2 1 の特性変動（例えば閾値電圧や移動度等のばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法としては、2 T R 構成の駆動回路をそのまま駆動信号一定化回路（その１）として採用しつつ、各トランジスタ（駆動トランジスタ 1 2 1 及びサンプリングトランジスタ 1 2 5）の駆動タイミングを工夫することで対処する。画素回路 1 0 は、2 T R 駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができる。

【 0 0 9 3 】

又、画素回路 1 0 は、保持容量 1 2 0 の接続態様に特徴を有し、有機EL素子 1 2 7 の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路（その２）の一例であるブートストラップ回路を構成している。有機EL素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にする（駆動電流変動を防ぐ）ブートストラップ機能を実現する駆動信号一定化回路（その２）を備えた点に特徴を有する。

【 0 0 9 4 】

駆動トランジスタを始めとする各トランジスタとしてはFET（電界効果トランジスタ）を使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端及びドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方を電源供給端（ここではドレイン端とする）として取り扱う。

【 0 0 9 5 】

具体的には図 4 及び図 5 に示すように、画素回路 1 0 は、それぞれ n チャネル型の駆動トランジスタ 1 2 1 及びサンプリングトランジスタ 1 2 5 と、電流が流れることで発光する電気光学素子の一例である有機EL素子 1 2 7 とを有する。一般に、有機EL素子 1 2 7 は整流性があるためダイオードの記号で表している。尚、有機EL素子 1 2 7 には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機EL素子 1 2 7（ダイオード状のもの）と並列に示す。

【 0 0 9 6 】

駆動トランジスタ 1 2 1 は、ドレイン端 D が第 1 電位 V_{cc_H} 或いは第 2 電位 V_{cc_L} を供給する電源供給線 1 0 5 DSL に接続され、ソース端 S が、有機EL素子 1 2 7 のアノード端 A に接続され（その接続点は第 2 ノード ND_2 でありノード $ND_1 2 2$ とする）、有機EL素子 1 2 7 のカソード端 K が基準電位を供給する全画素回路 1 0 共通のカソード配線 cath（電位はカソード電位 V_{cath} 、例えば GND）に接続されている。尚、カソード配線 cath は、それ用の単一層の配線（上層配線）のみとしてもよいし、例えばアノード用の配線が形成されるアノード層に、カソード配線用の補助配線を設けてカソード配線の抵抗値を低減するようにしてもよい。この補助配線は、画素アレイ部 1 0 2（表示エリア）内に格子状又は列又は行状に配線され、上層配線と同電位で固定電位である。

【 0 0 9 7 】

サンプリングトランジスタ 1 2 5 は、ゲート端 G が書込走査部 1 0 4 からの書込走査線 1 0 4 WS に接続され、ドレイン端 D が映像信号線 1 0 6 HS（映像信号線 DTL）に接続され、ソース端 S が駆動トランジスタ 1 2 1 のゲート端 G に接続されている（その接続点は第 1 ノード ND_1 でありノード $ND_1 2 1$ とする）。サンプリングトランジスタ 1 2 5 のゲート端 G には、書込走査部 1 0 4 からアクティブ H の書込駆動パルス WS が供給される。サンプリングトランジスタ 1 2 5 は、ソース端 S とドレイン端 D とを逆転させた接続態様とすることもできる。

10

20

30

40

50

【 0 0 9 8 】

駆動トランジスタ 1 2 1 のドレイン端 D は、電源スキャナとして機能する駆動走査部 1 0 5 からの電源供給線 1 0 5 DSL に接続されている。電源供給線 1 0 5 DSL は、この電源供給線 1 0 5 DSL そのものが、駆動トランジスタ 1 2 1 に対しての電源供給能力を備える点に特徴を有する。駆動走査部 1 0 5 は、駆動トランジスタ 1 2 1 のドレイン端 D に対して、それぞれ電源電圧に相当する高電圧側の第 1 電位 V_{cc_H} と閾値補正に先立つ準備動作に利用される低電圧側の第 2 電位 V_{cc_L} (初期化電圧もしくはイニシャル電圧とも称される) とを切り替えて供給する。

【 0 0 9 9 】

駆動トランジスタ 1 2 1 のドレイン端 D 側 (電源回路側) を第 1 電位 V_{cc_H} と第 2 電位 V_{cc_L} の 2 値をとる電源駆動パルス DSL で駆動することで、閾値補正に先立つ準備動作を行なうことを可能にしている。第 2 電位 V_{cc_L} としては、映像信号線 1 0 6 HS における映像信号 V_{sig} の基準電位 (V_{ofs}) より十分低い電位とする。具体的には、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} (ゲート電位 V_g とソース電位 V_s の差) が駆動トランジスタ 1 2 1 の閾値電圧 V_{th} より大きくなるように、電源供給線 1 0 5 DSL の低電位側の第 2 電位 V_{cc_L} を設定する。尚、基準電位 (V_{ofs}) は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線 1 0 6 HS を予めプリチャージにしておくためにも利用する。

【 0 1 0 0 】

このような画素回路 1 0 では、有機 EL 素子 1 2 7 を駆動するときには、駆動トランジスタ 1 2 1 のドレイン端 D に第 1 電位 V_{cc_H} が供給され、ソース端 S が有機 EL 素子 1 2 7 のアノード端 A 側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【 0 1 0 1 】

このような画素回路 1 0 を採用する場合、駆動トランジスタ 1 2 1 の他に走査用に 1 つのスイッチングトランジスタ (サンプリングトランジスタ 1 2 5) を使用する 2 T R 駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルス DSL 及び書込駆動パルス WS のオン / オフタイミングの設定により、有機 EL 素子 1 2 7 の経時劣化や駆動トランジスタ 1 2 1 の特性変動 (例えば閾値電圧や移動度等のばらつきや変動) による駆動電流 I_{ds} に与える影響を防ぐ。

【 0 1 0 2 】

[画素回路の動作]

図 6 は、画素回路 1 0 に関する駆動タイミングの一例として、線順次方式で信号振幅 V_{in} の情報を保持容量 1 2 0 に書き込む際の動作を説明するタイミングチャート (理想状態) である。図 7 は、図 6 に示したタイミングチャートの主要な期間における等価回路と動作状態を説明する図である。図 6 においては、時間軸を共通にして、書込走査線 1 0 4 WS の電位変化、電源供給線 1 0 5 DSL の電位変化、映像信号線 1 0 6 HS の電位変化を表してある。これらの電位変化と並行に、駆動トランジスタ 1 2 1 のゲート電位 V_g 及びソース電位 V_s の変化も表してある。基本的には、書込走査線 1 0 4 WS や電源供給線 1 0 5 DSL の 1 行ごとに、1 水平走査期間だけ遅れて同じような駆動を行なう。

【 0 1 0 3 】

図 6 中の信号のように各パルスのタイミングによって有機 EL 素子 1 2 7 に流れる電流値をコントロールする。図 6 のタイミング例では、電源駆動パルス DSL を第 2 電位 V_{cc_L} とすることで消光及びノード ND 1 2 2 を初期化した後に、第 1 ノード初期化電圧 V_{ofs} を映像信号線 1 0 6 HS に印加している際にサンプリングトランジスタ 1 2 5 をオン状態としてノード ND 1 2 1 を初期化し、その状態で電源駆動パルス DSL を第 1 電位 V_{cc_H} とすることで閾値補正を行なう。その後、サンプリングトランジスタ 1 2 5 をオフ状態とし、映像信号線 1 0 6 HS に映像信号 V_{sig} を印加する。その状態でサンプリングトランジスタ 1 2 5 をオン状態とすることにより信号を書き込むと同時に移動度補正を行なう。信号を書き込んだ後、サンプリングトランジスタ 1 2 5 をオフ状態にすると発光を開始する。こ

10

20

30

40

50

のように移動度補正や閾値補正等、パルスの位相差によって駆動をコントロールする。

【0104】

以下、閾値補正及び移動度補正に着目して動作を詳しく説明する。画素回路10において、駆動タイミングとしては、先ず、サンプリングトランジスタ125は、書込走査線104WSから供給された書込駆動パルスWSに応じて導通し、映像信号線106HSから供給された映像信号 V_{sig} をサンプリングして保持容量120に保持する。最初に、以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが1（理想値）であると仮定して、保持容量120に信号振幅 V_{in} の情報を、書き込む、保持する、あるいはサンプリングする等と簡潔に記して説明する。書込みゲインが1未満の場合、保持容量120には信号振幅 V_{in} の大きさそのものではなく、信号振幅 V_{in} の大きさに対応するゲイン倍された情報が保持されることになる。

10

【0105】

画素回路10に対する駆動タイミングは、映像信号 V_{sig} の信号振幅 V_{in} の情報を保持容量120に書き込む際に、順次走査の観点からは、1行分の映像信号を同時に各列の映像信号線106HSに伝達する線順次駆動を行なう。特に、2TR構成の画素回路10における駆動タイミングでの閾値補正と移動度補正を行なう際の基本的な考え方においては、先ず、映像信号 V_{sig} を基準電位（ V_{ofs} ）と信号電位（ $V_{ofs} + V_{in}$ ）とを1H期間内において時分割で有するものとする。具体的には、映像信号 V_{sig} が非有効期間である基準電位（ V_{ofs} ）にある期間を1水平期間の前半部とし、有効期間である信号電位（ $V_{sig} = V_{ofs} + V_{in}$ ）にある期間を1水平期間の後半部とする。1水平期間を前半部と後半部に

20

【0106】

信号書込みに用いる書込駆動パルスWSを閾値補正や移動度補正にも用いることとし、1H期間内に2回、書込駆動パルスWSをアクティブにしてサンプリングトランジスタ125をオンする。そして、1回目のオンタイミングにて閾値補正を行ない、2回目のオンタイミングにて信号電圧書込みと移動度補正を同時に行なう。その後、駆動トランジスタ121は、第1電位（高電位側）にある電源供給線105DSLから電流の供給を受け保持容量120に保持された信号電位（映像信号 V_{sig} の有効期間の電位に対応する電位）に応じて駆動電流 I_{ds} を有機EL素子127に流す。尚、1H期間内に2回、書込駆動パルスWSをアクティブにするのではなく、サンプリングトランジスタ125のオン状態を維持したまま、映像信号線106HSの電位を、有機EL素子127における輝度を制御するための信号電位（ $= V_{ofs} + V_{in}$ ）としてもよい。

30

【0107】

例えば、有機EL素子127の発光状態は、電源供給線105DSLが第1電位 V_{cc_H} であり、サンプリングトランジスタ125がオフ状態である（図6（A）を参照）。このとき、駆動トランジスタ121は飽和領域で動作するように設定されているため、有機EL素子127に流れる電流 I_{ds} は駆動トランジスタ121のゲート・ソース間電圧 V_{gs} （ノードND121とノードND122との間の電圧）に応じて決まる式（1）に示される値となる。その後、垂直駆動部103は、電源供給線105DSLが第1電位 V_{cc_H} にありかつ映像信号線106HSが映像信号 V_{sig} の非有効期間である基準電位（ V_{ofs} ）にある時間帯でサンプリングトランジスタ125を導通させる制御信号として書込駆動パルスWSを出力して、駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持しておく（図6（D）を参照）。この動作が閾値補正機能を実現する。この閾値補正機能により、画素回路10ごとにばらつく駆動トランジスタ121の閾値電圧 V_{th} の影響をキャンセルすることができる。

40

【0108】

垂直駆動部103は、信号振幅 V_{in} のサンプリングに先行する複数の水平期間で閾値補正動作を繰り返し実行して確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧

50

を保持容量 120 に保持するようにするのがよい。閾値補正動作を複数回実行することで、十分に長い書込み時間を確保する。こうすることで、駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を確実に保持容量 120 に予め保持することができる。

【0109】

保持された閾値電圧 V_{th} に相当する電圧は駆動トランジスタ 121 の閾値電圧 V_{th} のキャンセルに用いられる。したがって、画素回路 10 ごとに駆動トランジスタ 121 の閾値電圧 V_{th} がばらついていても、画素回路 10 ごとに完全にキャンセルされるため、画像のユニフォームリティすなわち表示装置の画面全体に亘る発光輝度の均一性が高まる。特に信号電位が低階調のときに現れがちな輝度むらを防ぐことができる。

【0110】

好ましくは、垂直駆動部 103 は、閾値補正動作に先立って、電源供給線 105 DSL が第 2 電位にありかつ映像信号線 106 HS が映像信号 V_{sig} の非有効期間である基準電位 (V_{ofs}) にある時間帯で、書込駆動パルス WS をアクティブ (本例では H レベル) にしてサンプリングトランジスタ 125 を導通させ、その後書込駆動パルス WS をアクティブ H にしたままで電源供給線 105 DSL を第 1 電位に設定する。

【0111】

こうすることで、ソース端 S を基準電位 (V_{ofs}) より十分低い第 2 電位 V_{cc_L} にセットし (放電期間 C = 第 2 ノード初期化期間) (図 6 (B) を参照)、且つ、駆動トランジスタ 121 のゲート端 G を基準電位 (V_{ofs}) にセットしてから (初期化期間 D = 第 1 ノード初期化期間) (図 6 (C) を参照)、閾値補正動作を開始する (閾値補正期間 E)。このようなゲート電位及びソース電位のリセット動作 (初期化動作) により、後続する閾値補正動作を確実に実行することができる。放電期間 C と初期化期間 D とを合わせて、駆動トランジスタ 121 のゲート電位 V_g とソース電位 V_s を初期化する閾値補正準備期間 (= 前処理期間) とも称する。因みに、図示した例は、第 1 ノードのであるノード ND 121 への初期化動作 (初期化期間 D) は 3 回繰り返しており、放電期間 C の開始から最後の初期化期間 D が完了するまでが閾値補正準備期間となる。

【0112】

閾値補正期間 E では、電源供給線 105 DSL の電位が低電位側の第 2 電位 V_{cc_L} から高電位側の第 1 電位 V_{cc_H} に遷移することで、駆動トランジスタ 121 のソース電位 V_s が上昇を開始する。即ち、駆動トランジスタ 121 のゲート端 G は映像信号 V_{sig} の基準電位 (V_{ofs}) に保持されており、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ 121 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となる。閾値補正期間 E では、ドレイン電流が専ら保持容量 120 側 ($C_{cs} \ll C_{el}$ 時) に流れ、有機 EL 素子 127 側には流れないようにするため、有機 EL 素子 127 がカットオフとなるように全画素共通の接地配線 cath の電位 V_{cath} を設定しておく。

【0113】

有機 EL 素子 127 の等価回路はダイオードと寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thEL}$ ” である限り、つまり、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりかなり小さい限り、駆動トランジスタ 121 のドレイン電流 I_{ds} は保持容量 120 と寄生容量 C_{el} を充電するために使われる。この結果、有機 EL 素子 127 のアノード端 A の電位 V_{el} つまりノード ND 122 の電位は、時間とともに上昇してゆく。そして、ノード ND 122 の電位 (ソース電位 V_s) とノード ND 121 の電位 (ゲート電位 V_g) との電位差がちょうど閾値電圧 V_{th} となったところで駆動トランジスタ 121 はオン状態からオフ状態となり、ドレイン電流 I_{ds} は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。

【0114】

ここで、閾値補正動作は 1 回のみ実行するものとすることもできるが、このことは必須ではない。1 水平期間を処理サイクルとして、閾値補正動作を複数回 (図は 4 回で示して

10

20

30

40

50

いる) 繰り返えしてもよい。例えば、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 121 のゲート端 G とソース端 S と間に接続された保持容量 120 に書き込まれることになる。しかしながら、閾値補正期間 E は、書込駆動パルス WS をアクティブ H にしたタイミングからインアクティブ L に戻すタイミングまでであり、この期間が十分に確保されていないときには、それ以前に終了してしまう。この問題を解消するには、閾値補正動作を複数回繰り返すのがよい。

【0115】

閾値補正動作を複数回実行する場合に、1 水平期間が閾値補正動作の処理サイクルとなるのは、閾値補正動作に先立って、1 水平期間の前半部で映像信号線 106 HS を介して基準電位 (V_{ofs}) を供給しソース電位を第 2 電位 V_{cc_L} にセットする初期化動作を経るからである。必然的に、閾値補正期間は、1 水平期間よりも短くなってしまう。したがって、保持容量 120 の静電容量 C_{cs} や第 2 電位 V_{cc_L} の大きさ関係やその他の要因で、この短い 1 回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量 120 に保持仕切れないケースも起こり得る。閾値補正動作を複数回実行するのが好ましいのは、この対処のためである。即ち、信号振幅 V_{in} の保持容量 120 へのサンプリング (信号書込み) に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるのが好ましい。

【0116】

例えば、第 1 閾値補正期間 E_1 ではゲート・ソース間電圧 V_{gs} が V_{x1} ($> V_{th}$) になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が低電位側の第 2 電位 V_{cc_L} から “ $V_{ofs} - V_{x1}$ ” になったときに終わってしまう (図 6 (D) を参照)。このため、第 1 閾値補正期間 E_1 が完了した時点では、 V_{x1} が保持容量 120 に書き込まれる。

【0117】

次に、駆動走査部 105 は、1 水平期間の後半部で、書込駆動パルス WS をインアクティブ L に切り替え、さらに水平駆動部 106 は、映像信号線 106 HS の電位を基準電位 (V_{ofs}) から映像信号 V_{sig} ($= V_{ofs} + V_{in}$) に切り替える (図 6 (E) を参照)。これにより、映像信号線 106 HS が映像信号 V_{sig} の電位に変化する一方、書込走査線 104 WS の電位 (書込駆動パルス WS) はローレベルになる。

【0118】

このときには、サンプリングトランジスタ 125 は非導通 (オフ) 状態にあり、それ以前に保持容量 120 に保持された V_{x1} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s が僅かに上昇する。この上昇分を V_{a1} とすると、ソース電位 V_s は “ $V_{ofs} - V_{x1} + V_{a1}$ ” となる。さらに、駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のソース電位 V_s の変動にゲート電位 V_g が連動することで、ゲート電位 V_g が “ $V_{ofs} + V_{a1}$ ” となる。

【0119】

次の第 2 閾値補正期間 E_2 では、第 1 閾値補正期間 E_1 と同様の動作をする。具体的には、まず、駆動トランジスタ 121 のゲート端 G は映像信号 V_{sig} の基準電位 (V_{ofs}) に保持されることとなり、ゲート電位 V_g が直前の “ $V_g = \text{基準電位} (V_{ofs}) + V_{a1}$ ” から基準電位 (V_{ofs}) に瞬時に切り替わる。駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のゲート電位 V_g の変動にソース電位 V_s が連動することで、ソース電位 V_s は、直前の “ $V_{ofs} - V_{x1} + V_{a1}$ ” から V_{a1} だけ低下するので、“ $V_{ofs} - V_{x1}$ ” となる。この後、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れようとする。しかしながら、ゲート・ソース間電圧 V_{gs} が V_{x2} ($> V_{th}$) になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が “ $V_{ofs} - V_{x2}$ ” になったときに終わってしまい、第 2 閾値補正期間 E_2 が完了した時点では V_{x2} が保持容量 120 に書き込まれる。次の第 3 閾値補正期

間 E₃の直前では、保持容量 120 に保持された V_{x2} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s は “ $V_{ofs} - V_{x2} + V_{a2}$ ” となり、ゲート電位 V_g は “ $V_{ofs} + V_{a2}$ ” となる。

【0120】

同様にして、次の第3閾値補正期間 E₃では、ゲート・ソース間電圧 V_{gs} が V_{x3} ($> V_{th}$) になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が “ $V_{ofs} - V_{x3}$ ” になったときに終わってしまい、第3閾値補正期間 E₃が完了した時点では V_{x3} が保持容量 120 に書き込まれる。次の第4閾値補正期間 E₄の直前では、保持容量 120 に保持された V_{x3} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s は “ $V_{ofs} - V_{x3} + V_{a3}$ ” となり、ゲート電位 V_g は “ $V_{ofs} + V_{a3}$ ” となる。

10

【0121】

そして、次の第4閾値補正期間 E₄では、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れる。カットオフすると駆動トランジスタ 121 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となり、ゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} と同じ状態になっている。第4閾値補正期間 E₄が完了した時点で、駆動トランジスタ 121 の閾値電圧 V_{th} が保持容量 120 に保持される。

【0122】

画素回路 10 においては、閾値補正機能に加えて、移動度補正機能を備えている。即ち、垂直駆動部 103 は、映像信号線 106 HS が映像信号 V_{sig} の有効期間である信号電位 ($V_{ofs} + V_{in}$) にある時間帯にサンプリングトランジスタ 125 を導通状態にするため、書込走査線 104 WS に供給する書込駆動パルス WS を、上述の時間帯より短い期間だけアクティブ (本例では H レベル) にする。この期間では、駆動トランジスタ 121 の制御入力端に信号電位 ($V_{ofs} + V_{in}$) を供給した状態で駆動トランジスタ 121 を介して有機 EL 素子 127 の寄生容量 C_{el} 及び保持容量 120 を充電する (図 6 (F) を参照)。この書込駆動パルス WS のアクティブ期間 (サンプリング期間でもあり移動度補正期間でもある) を適切に設定することで、保持容量 120 に信号振幅 V_{in} に応じた情報を保持する際、同時に駆動トランジスタ 121 の移動度 μ に対する補正を加えることができる。水平駆動部 106 により映像信号線 106 HS に信号電位 ($V_{ofs} + V_{in}$) を実際に供給して、書込駆動パルス WS をアクティブ H にする期間を、保持容量 120 への信号振幅 V_{in} の書込み期間 (サンプリング期間とも称する) とする。

20

30

【0123】

特に、画素回路 10 における駆動タイミングでは、電源供給線 105 DSL が高電位側である第1電位 V_{oc_H} にあり、かつ、映像信号 V_{sig} が有効期間にある時間帯内 (信号振幅 V_{in} の期間) で書込駆動パルス WS をアクティブにしている。つまり、その結果、移動度補正時間 (サンプリング期間も) は、映像信号線 106 HS の電位が、映像信号 V_{sig} の有効期間の信号電位 ($V_{ofs} + V_{in}$) にある時間幅と書込駆動パルス WS のアクティブ期間の両者が重なった範囲で決まる。特に、映像信号線 106 HS が信号電位にある時間幅の中に入るように書込駆動パルス WS のアクティブ期間幅を細めに決めているため、結果的に移動度補正時間は書込駆動パルス WS で決まる。正確には、移動度補正時間 (サンプリング期間も) は、書込駆動パルス WS 立ち上がってサンプリングトランジスタ 125 がオンしてから、同じく書込駆動パルス WS が立ち下がってサンプリングトランジスタ 125 がオフするまでの時間となる。因みに、図では、第4閾値補正期間 E₄の後で書込駆動パルス WS を一端インアクティブ L にしているが、このことは必須でなく、アクティブ H のままにして、映像信号 V_{sig} を基準電位 (V_{ofs}) から有効期間の信号電位 ($V_{ofs} + V_{in}$) に切り替えてもよい。

40

【0124】

具体的には、サンプリング期間においては、駆動トランジスタ 121 のゲート電位 V_g が信号電位 ($V_{ofs} + V_{in}$) にある状態でサンプリングトランジスタ 125 が導通 (オン) 状態となる。したがって、書込み & 移動度補正期間 H では、駆動トランジスタ 121 の

50

ゲート端 G が信号電位 ($V_{ofs} + V_{in}$) に固定された状態で、駆動トランジスタ 121 に駆動電流 I_{ds} が流れる。信号振幅 V_{in} の情報は駆動トランジスタ 121 の閾値電圧 V_{th} に足し込む形で保持される。この結果、駆動トランジスタ 121 の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量 120 に保持されるゲート・ソース間電圧 V_{gs} は、“ $V_{sig} + V_{th}$ ” = “ $V_{in} + V_{th}$ ” となる。又、同時に、このサンプリング期間で移動度補正を実行するので、サンプリング期間は移動度補正期間を兼ねることとなる（書込み & 移動度補正期間 H）。

【0125】

ここで、有機 EL 素子 127 の閾値電圧を V_{thEL} としたとき、“ $V_{ofs} - V_{th} < V_{thEL}$ ” と設定しておくことで、有機 EL 素子 127 は、逆バイアス状態におかれ、カットオフ状態（ハイインピーダンス状態）にあるため、発光することはない、又、ダイオード特性ではなく単純な容量特性を示す。よって駆動トランジスタ 121 に流れるドレイン電流（駆動電流 I_{ds} ）は保持容量 120 の静電容量 C_{cs} と有機 EL 素子 127 の寄生容量（等価容量） C_{el} の静電容量 C_{el} の両者を結合した容量 “ $C = C_{cs} + C_{el}$ ” に書き込まれていく。これにより、駆動トランジスタ 121 のドレイン電流は有機 EL 素子 127 の寄生容量 C_{el} に流れ込み充電を開始する。その結果、駆動トランジスタ 121 のソース電位 V_s は上昇していく。

【0126】

図 6 のタイミングチャートでは、この上昇分を V で表してある。この上昇分、即ち移動度補正パラメータである電位補正值 V は、閾値補正によって保持容量 120 に保持されるゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$ ” から差し引かれることになり、“ $V_{gs} = V_{in} + V_{th} - V$ ” となるので、負帰還をかけたことになる。このとき、駆動トランジスタ 121 のソース電位 V_s は、ゲート電位 $V_g (= V_{in})$ から保持容量に保持される電圧 “ $V_{gs} = V_{in} + V_{th} - V$ ” を差し引いた値 “ $-V_{th} + V$ ” となる。

【0127】

このようにして、画素回路 10 における駆動タイミングでは、書込み & 移動度補正期間 H において、信号振幅 V_{in} のサンプリングと移動度 μ を補正する V （負帰還量、移動度補正パラメータ）の調整が行なわれる。書込走査部 104 は、書込み & 移動度補正期間 H の時間幅を調整可能であり、これにより保持容量 120 に対する駆動電流 I_{ds} の負帰還量を最適化することができる。

【0128】

電位補正值 V は $V = I_{ds} \cdot t / C_{el}$ である。この式から明らかなように、駆動トランジスタ 121 のドレイン・ソース間電流である駆動電流 I_{ds} が大きい程、電位補正值 V は大きくなる。逆に、駆動トランジスタ 121 の駆動電流 I_{ds} が小さいとき、電位補正值 V は小さくなる。このように、電位補正值 V は駆動電流 I_{ds} に応じて決まる。信号振幅 V_{in} が大きいほど駆動電流 I_{ds} は大きくなり、電位補正值 V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、書込み & 移動度補正期間 H は必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。例えば、駆動電流 I_{ds} が大きい場合、移動度補正期間 t は短めにし、逆に駆動電流 I_{ds} が小さくなると、書込み & 移動度補正期間 H は長めに設定するのがよい。

【0129】

又、電位補正值 V は、 $I_{ds} \cdot t / C_{el}$ であり、画素回路 10 ごとに移動度 μ のばらつきに起因して駆動電流 I_{ds} がばらつく場合でも、それぞれに応じた電位補正值 V となるので、画素回路 10 ごとの移動度 μ のばらつきを補正することができる。つまり、信号振幅 V_{in} を一定とした場合、駆動トランジスタ 121 の移動度 μ が大きいほど電位補正值 V の絶対値が大きくなる。換言すると、移動度 μ が大きいほど電位補正值 V が大きくなるので、画素回路 10 ごとの移動度 μ のばらつきを取り除くことができる。

【0130】

10

20

30

40

50

画素回路 10 はブートストラップ機能も備えている。即ち、書込走査部 104 は、保持容量 120 に信号振幅 V_{in} の情報が保持された段階で書込走査線 104 WS に対する書込駆動パルス WS の印加を解除し（即ちインアクティブ L（ロー）にして）、サンプリングトランジスタ 125 を非導通状態にして駆動トランジスタ 121 のゲート端 G を映像信号線 106 HS から電氣的に切り離す（発光期間 I：図 6（G）を参照）。発光期間 I に進むと、水平駆動部 106 は、その後の適当な時点で映像信号線 106 HS の電位を基準電位（ V_{ofs} ）に戻す。

【0131】

有機 EL 素子 127 の発光状態を第（ $m + m' - 1$ ）番目の水平走査期間まで継続する。以上によって、第（ n, m ）番目の副画素を構成する有機 EL 素子 127 の発光の動作が完了する。この後、次のフレーム（もしくはフィールド）に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、及び発光動作が繰り返される。

【0132】

発光期間 I では、駆動トランジスタ 121 のゲート端 G は映像信号線 106 HS から切り離される。駆動トランジスタ 121 のゲート端 G への信号電位（ $V_{ofs} + V_{in}$ ）の印加が解除されるので、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果によって、ブートストラップ動作が行なわれる。ブートストラップゲインが 1（理想値）であると仮定した場合、駆動トランジスタ 121 のソース電位 V_s の変動にゲート電位 V_g が連動するようになり、ゲート・ソース間電圧 V_{gs} を一定に維持することができる。このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 127 は実際に発光を開始する。

【0133】

ここで、駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式（1）に “ $V_{sig} + V_{th} - V$ ” 或いは “ $V_{in} + V_{th} - V$ ” を代入することで、式（5A）或いは式（5B）（両式を纏めて式（5）と記す）のように表すことができる。

【0134】

$$I_{ds} = k \cdot \mu \cdot (V_{sig} - V_{ofs} - V)^2 \quad (5A)$$

$$I_{ds} = k \cdot \mu \cdot (V_{in} - V_{ofs} - V)^2 \quad (5B)$$

【0135】

この式（5）から、閾値電圧 V_{th} の項がキャンセルされており、有機 EL 素子 127 に供給される駆動電流 I_{ds} は駆動トランジスタ 121 の閾値電圧 V_{th} に依存しないことが分かる。即ち、有機 EL 素子 127 を流れる電流 I_{ds} は、例えば、 V_{ofs} を 0 ボルトに設定したとした場合、有機 EL 素子 127 における輝度を制御するための映像信号 V_{sig} の値から、駆動トランジスタ 121 の移動度 μ に起因した第 2 ノード ND₂（駆動トランジスタ 121 のソース端）における電位補正值 V の値を減じた値の 2 乗に比例する。換言すると、有機 EL 素子 127 を流れる電流 I_{ds} は、有機 EL 素子 127 の閾値電圧 V_{thEL} 及び駆動トランジスタ 121 の閾値電圧 V_{th} には依存しない。即ち、有機 EL 素子 127 の発光量（輝度）は、有機 EL 素子 127 の閾値電圧 V_{thEL} の影響及び駆動トランジスタ 121 の閾値電圧 V_{th} の影響を受けない。そして、第（ n, m ）番目の有機 EL 素子 127 の輝度は、電流 I_{ds} に対応した値である。

【0136】

しかも、移動度 μ の大きな駆動トランジスタ 121 ほど、電位補正值 V が大きくなるので、ゲート・ソース間電圧 V_{gs} の値が小さくなる。したがって、式（5）において、移動度 μ の値が大きくとも、 $(V_{sig} - V_{ofs} - V)^2$ の値が小さくなる結果、ドレイン電流 I_{ds} を補正することができる。即ち、移動度 μ の異なる駆動トランジスタ 121 においても、映像信号 V_{sig} の値が同じであれば、ドレイン電流 I_{ds} が略同じとなる結果、有機

10

20

30

40

50

ＥＬ素子１２７を流れ、有機ＥＬ素子１２７の輝度を制御する電流 I_{ds} が均一化される。即ち、移動度 μ のばらつき（更には、 k のばらつき）に起因する有機ＥＬ素子１２７の輝度のばらつきを補正することができる。

【０１３７】

又、駆動トランジスタ１２１のゲート端 G とソース端 S と間には保持容量１２０が接続されており、その保持容量１２０による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ１２１のゲート・ソース間電圧“ $V_{gs} = V_{in} + V_{th} - V$ ”を一定に維持したまま、駆動トランジスタ１２１のゲート電位 V_g 及びソース電位 V_s が上昇する。駆動トランジスタ１２１のソース電位 V_s が“ $-V_{th} + V + V_{el}$ ”となることで、ゲート電位 V_g は“ $V_{in} + V_{el}$ ”となる。このとき、駆動トランジスタ１２１のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ１２１は、一定電流（駆動電流 I_{ds} ）を有機ＥＬ素子１２７に流す。その結果、有機ＥＬ素子１２７のアノード端 A の電位（＝ノード $ND122$ の電位）は、有機ＥＬ素子１２７に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

10

【０１３８】

ここで、有機ＥＬ素子１２７は、発光時間が長くなるとその $I-V$ 特性が変化してしまう。そのため、時間の経過とともに、ノード $ND122$ の電位も変化する。しかしながら、このような有機ＥＬ素子１２７の経時劣化によりそのアノード電位が変動しても、保持容量１２０に保持されたゲート・ソース間電圧 V_{gs} は常に“ $V_{in} + V_{th} - V$ ”で一定に維持される。駆動トランジスタ１２１が定電流源として動作することから、有機ＥＬ素子１２７の $I-V$ 特性が経時変化し、これに伴って駆動トランジスタ１２１のソース電位 V_s が変化したとしても、保持容量１２０によって駆動トランジスタ１２１のゲート・ソース間電位 V_{gs} が一定（ $V_{in} + V_{th} - V$ ）に保たれているため、有機ＥＬ素子１２７に流れる電流は変わらず、したがって有機ＥＬ素子１２７の発光輝度も一定に保たれる。実際にはブートストラップゲインは「１」よりも小さいので、ゲート・ソース間電位 V_{gs} は「 $V_{in} + V_{th} - V$ 」よりも小さくなるが、そのブートストラップゲインに応じたゲート・ソース間電位 V_{gs} に保たれることには変わりがない。

20

【０１３９】

以上のように、実施例１の画素回路１０は、駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が自動的に構成され、駆動トランジスタ１２１の特性ばらつき（本例では閾値電圧 V_{th} 及びキャリア移動度 μ のばらつき）による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧 V_{th} 及びキャリア移動度 μ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっている。ブートストラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電位補正值 V とによって調整されているため、有機ＥＬ素子１２７の発光輝度は駆動トランジスタ１２１の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けないし、有機ＥＬ素子１２７の経時劣化の影響も受けない。入力される映像信号 V_{sig} （信号振幅 V_{in} ）に対応する安定した階調で表示でき、高画質の画像を得ることができる。

30

【０１４０】

又、画素回路１０は、 n チャネル型の駆動トランジスタ１２１を用いたソースフォロア回路によって構成することができるために、現状のアノード・カソード電極の有機ＥＬ素子をそのまま用いても、有機ＥＬ素子１２７の駆動が可能になる。又、駆動トランジスタ１２１及びその周辺部のサンプリングトランジスタ１２５等も含めて n チャネル型のみのトランジスタを用いて画素回路１０を構成することができ、トランジスタ作製においても低コスト化が図れる。

40

【０１４１】

[表示むら現象の発生原因]

前述のように、図６に示した駆動タイミングでは、素子の特性むら（前例では駆動トランジスタ１２１の閾値電圧 V_{th} や移動度 μ のばらつき及び経時変動）に起因する表示むら

50

を改善するべく、書込駆動パルスWSや電源駆動パルスDSLのタイミングによって各トランジスタを制御して表示輝度を制御している。このため、駆動パルスの形状（振幅、レベル、幅等）がばらつくと、適正な制御ができなくなり、表示むらの原因となってしまう。

【0142】

例えば、移動度補正においては、図6のタイミングチャートに示すように、信号書き込みを行ないながら移動度補正を行なう駆動となっており、移動度補正動作は、書込み&移動度補正期間Hを規定する書込駆動パルスWSのパルス幅に敏感に影響を受け、パルス幅の列ごとのばらつきがユニフォミティ劣化に直結する。又、移動度の大きなトランジスタ等の場合、閾値補正を複数回行なう分割閾値補正にあっては、休止期間中におけるブートストラップが顕著になる。特に、1回目の閾値補正のパルス形状が行ごとにばらつくとブートストラップの影響で補正に行ごとのばらつきが発生しユニフォミティが損なわれる。以下に、この点について説明する。

10

【0143】

図8は、画素回路10の周辺に設けられる回路（周辺回路）の比較例を説明する図である。図8（A）は、比較例の周辺回路400Zの汎用的な構成例を示し、図8（B）は、その動作を説明するタイミングチャートである。図8（C）は、特に、書込駆動パルスWSに関しての周辺回路400Zの構成例を示す。

【0144】

周辺回路400は、画素回路10内の各種のトランジスタを駆動する駆動信号を生成する回路の総称であり、図1との対応では制御部109及びインタフェース部（垂直IF部133及び水平IF部136）に対応する。周辺回路400では、信号を出力するに当たって、例えば、信号系については出力タイミングだけでなくその信号レベルも管理される一方、トランジスタのオン/オフ制御でよいものに関しては出力波形（出力タイミングや立上り或いは立下りの遷移特性等）が管理される。一例として、図8では、トランジスタのオン/オフ制御を行なう駆動パルスの生成に着目して示している。

20

【0145】

図8（A）に示すように、周辺回路400Zは、シフトレジスタ部410と、論理回路部420と、レベルシフト部430と、出力バッファ部440とを有する走査部を備える。図示を割愛しているが、シフトレジスタ部410の前段にはインタフェース部が設けられる。この構成は、垂直走査系及び水平走査系の各駆動パルスについて同様に適用可能である。

30

【0146】

シフトレジスタ部410は、レジスタ412（S/R）が複数段（少なくとも行数分或いは列数分）縦続接続されて設けられており、画素アレイ部102の各画素回路10を単位或いは列行単位で順次選択する。例えば、図8（B）に示すように、図示しないインタフェース部からスタートパルスSPが初段のレジスタ412に与えられると、そのスタートパルスSPを図示しないインタフェース部からのシフトロックCK_1（走査クロック）に同期してレジスタ412で順次シフトし、一単位期間幅のアクティブHのシフトパルスSFTPとして各段から出力する（図中の参照子「_n」は段数を示す）。レジスタ412に入力されるシフトロックCK_1の1周期は駆動パルスの1周期と同じであり、例えば書込駆動パルスWSについては1水平周期と同じである。

40

【0147】

論理回路部420は、論理回路422（Logic）を段ごとに有しており、各段のレジスタ412からのシフトパルスSFTPが対応する段の論理回路422に供給されるとともに、図示しないインタフェース部からイネーブルパルスENが与えられる。論理回路422は、シフトパルスSFTPとイネーブルパルスENとに基づき、規定されている論理に従って、画素アレイ部102の走査線に与えられる駆動パルスの元となるパルス信号を生成する。場合によっては、シフトパルスSFTPに基づき複数のシフトロックCK_1に亘るウィンドウパルスを生成し、ウィンドウパルスとイネーブルパルスENとに基づき、規定されている論理に従って、画素アレイ部102の走査線に与えられる駆動パルスの元となるパルス信号を生成

50

することもある。例えば、図 8 (B) に示すように、シフトパルス SFTP とイネーブルパルス EN との論理積をとることで、実質的に、駆動パルスの元となるパルス信号が順次シフトされて出力される。

【 0 1 4 8 】

レベルシフト部 4 3 0 は、レベル変換部 4 3 2 (L / S) を段ごとに有しており、対応する段の論理回路 4 2 2 からの比較的狭振幅 (全体的な電圧レベルも低い) のパルス信号を比較的広振幅 (全体的な電圧レベルも高い) の出力パルスに増幅する。

【 0 1 4 9 】

出力バッファ部 4 4 0 は、バッファ 4 4 2 (Buffer) を段ごとに有しており、対応する段のレベル変換部 4 3 2 からの比較的広振幅 (全体的な電圧レベルも高い) の出力パルスを、対応する列或いは行の配線 (走査線) に出力する。

10

【 0 1 5 0 】

例えば、書込駆動パルス WS に関しては、図 8 (C) に示すように、シフトレジスタ部 4 1 0 には、周期が 1 水平走査期間 (1 H) のシフトロック CK_1 が供給され、論理回路部 4 2 0 の各論理回路 4 2 2 には、閾値補正用のイネーブルパルス WSEN_1 と移動度補正用のイネーブルパルス WSEN_2 とが共通に供給される。閾値補正用のイネーブルパルス WSEN_1 は、初期化期間 D 及び閾値補正期間 E を規定し、移動度補正用のイネーブルパルス WSEN_2 は書込み & 移動度補正期間 H を規定する。論理回路部 4 2 0 では、論理回路 4 2 2 において、イネーブルパルス WSEN_1 とイネーブルパルス WSEN_2 との論理和をとり、更にこの論理和と対応する段のレジスタ 4 1 2 からのシフトパルス SFTP との論理積をとることで、書込走査線 1 0 4 WS に供給する書込駆動パルス WS の元となるパルス信号を生成する。

20

【 0 1 5 1 】

図 8 (C) では、書込駆動パルス WS に関して示しているが、電源駆動パルス DSL に関しては、閾値補正用のイネーブルパルス WSEN_1 と移動度補正用のイネーブルパルス WSEN_2 とを、電源供給用のイネーブルパルス DSEN に変更すればよい。又、レベルシフト部 4 3 0 や出力バッファ部 4 4 0 に関しては、例えば電源回路に変更し、イネーブルパルス DSEN がアクティブのときには第 1 電位 V_{cc_H} を出力し、イネーブルパルス DSEN がインアクティブのときには第 2 電位 V_{cc_L} を出力するように変更すればよい。

【 0 1 5 2 】

図 8 (A) や図 8 (C) に示すような周辺回路 4 0 0 Z の構成の場合、各列或いは各行の同一種類 (同一名称) の信号に関して、列ごと或いは行ごとに駆動パルスを生成し、対応する列或いは行の各配線 (走査線) に出力する。このため、駆動パルスの形状 (幅、変化特性等) が行ごと或いは列ごとにばらつく并表示むらの原因となってしまう。例えば、図 8 (C) に示す 2 Tr / 1 C 構成に使用される書込駆動パルス WS に関しては、閾値補正用のイネーブルパルス WSEN_1 と移動度補正用のイネーブルパルス WSEN_2 の各パルス波形を各段の論理回路 4 2 2 に入力し、書込駆動パルス WS の元になるパルス信号を生成するが、各段の論理回路 4 2 2 を構成する図示しないトランジスタの特性がばらついた場合には、画素回路 1 0 に供給する書込駆動パルス WS のパルス形状がばらつき、ヨコスジ (ライン状のノイズ) 等の原因となってしまう。論理回路 4 2 2 を構成するトランジスタの特性のばらつきに起因する移動度補正期間のばらつきは輝度むら (ヨコスジ) として現れ、画質劣化に繋がってしまう。

30

40

【 0 1 5 3 】

又、閾値補正に関しては、電源供給用のイネーブルパルス DSEN に基づく電源駆動パルス DSL の立上りと閾値補正用のイネーブルパルス WSEN_1 に基づく書込駆動パルス WS の立下りとで最初の閾値補正期間が規定されるが、電源駆動パルス DSL と書込駆動パルス WS のパルス形状がばらつきと、最初の閾値補正期間がばらつき、その後のブートストラップの影響で補正にばらつきが発生しユニフォミティが損なわれる。

【 0 1 5 4 】

図 8 (C) では、2 Tr / 1 C 構成に使用される書込駆動パルス WS に着目して説明したが、その他の 5 Tr / 1 C 型、4 Tr / 1 C 型、3 Tr / 1 C 型でも、画素回路 1 0 の各

50

トランジスタを制御する駆動パルスのパルス形状が行（或いは列）ごとにばらつくと、表示むらが発生する。例えば、5 Tr / 1 C 型における移動度補正では、第1トランジスタ T_{R1} を駆動する駆動パルス（駆動トランジスタ T_{R0} に電源電圧を印加するための制御パルス：電源走査パルスDSと記す）と書込トランジスタ T_{RW} を駆動する書込駆動パルスWSの各アクティブ期間によって移動度補正期間が規定されることがある。この場合、電源走査パルスDSと書込駆動パルスWSのそれぞれについて、パルス形状が行ごとにばらつくと移動度補正期間が行ごとにばらついてしまう。この点は、同様に第1トランジスタ T_{R1} を具備する4 Tr / 1 C 型や3 Tr / 1 C 型でも云える。又、閾値補正に関しては、5 Tr / 1 C 型、4 Tr / 1 C 型、3 Tr / 1 C 型の何れも、第1トランジスタ T_{R1} を駆動する電源走査パルスDSのアクティブ期間によって閾値補正期間が規定されることがある。この場合、電源走査パルスDSのパルス形状が行ごとにばらつくと、最初の閾値補正期間がばらつき、その後のブートストラップの影響で補正にばらつきが発生しユニフォミティが損なわれる。

10

20

30

40

50

【0155】

〔表示むら現象の対策手法〕

各列或いは各行の同一種類（同一名称）の信号に関して、列ごと或いは行ごとに駆動パルスを生成し、対応する列或いは行の各配線（走査線）に出力する構成の周辺回路400Zの場合には、駆動パルスの形状（幅、変化特性等）が行ごと或いは列ごとにばらつく可能性があり、表示むらの原因となってしまう。このため、論理回路422を構成するトランジスタの特性ばらつきによる輝度変化を抑制する方式の開発要求がある。

【0156】

本実施形態は、この要求に対して、各列或いは各行の同一種類（同一名称）の信号に関して、複数列或いは複数行を一単位として、好適には1箇所、駆動パルスの元になるパルス信号を生成する点に特徴がある。これにより、駆動パルスの形状（幅、変化特性等）が行ごと或いは列ごとにばらつく度合いを緩和し、論理回路422を構成するトランジスタの特性ばらつきに起因する駆動パルスの形状のばらつきによる補正期間のばらつきが輝度むら（カラー表示の場合は色むら）として現れる現象を改善する。

【0157】

図9は、駆動パルスの元になるパルス信号を生成する論理回路を構成するトランジスタ特性のばらつきに起因する表示むら対策に着目した実施例1の画素回路の駆動方法を説明する図である。図9（A）は、実施例1の周辺回路400Aの汎用的な構成例を示し、図9（B）は、その動作を説明するタイミングチャートである。図9（C）は、特に、書込駆動パルスWSに関しての周辺回路400Aの構成例を示す。実施例1は、論理回路を構成するトランジスタの特性ばらつきに起因する移動度補正期間を規定する駆動パルスの形状（幅、変化特性等）が行ごとにばらつくことを解消する事例である。

【0158】

特に実施例1では、一単位ごとに、対応する複数列或いは複数行の各配線（走査線）にスイッチ回路を介して出力する。特に、一連の補正処理が一単位期間（ここでは一水平走査期間）で完結される場合に好適な事例である。「一単位ごとに、対応する複数列或いは複数行の各配線（走査線）にスイッチ回路を介して出力する」とは、他の単位との関係においては走査線への接続を入り組ませない（例えば交互にしない）ことを意味する。これは、パルス信号を一単位ごとに生成したとしても、その出力パルスを他の単位との関係において入り組ませて走査線へ供給したのでは、実質的に、走査線ごとに異なるパルス形状の駆動パルスが供給されることになるからである。「一単位ごとに、対応する複数列或いは複数行の各配線（走査線）にスイッチ回路を介して出力する」と、少なくとも、走査線ごとに異なるパルス形状の駆動パルスが供給されることは防止される。

【0159】

但し、単位ごとのパルス信号のパルス形状のばらつきによる影響が各単位の隣接する部分に現れ得る。この点においては、単位の数はいできるだけ少ない方がよい。したがって、好適には、画素アレイ部102の両側で駆動パルスの元になるパルス信号を生成し、更に

最も好適には 1 箇所駆動パルスの元になるパルス信号を生成し、その後、各列或いは各行の各配線（走査線）にスイッチ回路を介して出力する構成にするのがよい。

【0160】

例えば、実施例 1 では、図 9（A）に示すように、周辺回路 400A は、先ず、比較例の周辺回路 400Z における論理回路部 420 と出力バッファ部 440 とを取り外し、レベルシフト部 430 の後段に行ごと或いは列ごとに設けられたスイッチ回路 452 を具備するスイッチ部 450 を備えた構成になっている。シフトレジスタ部 410 の出力をレベルシフト部 430 に入力し、レベル変換されたシフトパルスを行ごと或いは列ごとにスイッチ回路 452 の制御入力端に供給する構成にしている。

【0161】

スイッチ回路 452 としては、好適にはトランスファークラーク構造のスイッチ回路（CMOS スイッチが典型例）を利用した構成であるとよい。例えば、図示のように、スイッチ回路 452 は、NMOS 454（n チャネル型の MOSFET）と PMOS 456（p チャネル型の MOSFET）とが相補接続されており、NMOS 454 の制御入力端側にはインバータ 458 が設けられており、更には、走査線をローレベルにするための NMOS 459 がスイッチ回路 452 の出力端及び走査線に接続されている。

【0162】

スイッチ回路 452 は、PMOS 456 の制御入力端とインバータ 458 の入力端がスイッチ回路 452 の制御入力端であり、当該制御入力端にレベル変換部 432 からのパルス信号が供給されるが、当該パルス信号が L レベルのときに入力端の信号を取り込んで出力端側の走査線に出力する。このため、図 9（B）に示すように、シフトレジスタ部 410 は、図示しないインタフェース部からスタートパルス SP が与えられると、そのスタートパルス SP を図示しないインタフェース部からのシフトクロック CK₁ に同期してレジスタ 412 で順次シフトし、一単位期間幅のアクティブ L のシフトパルス NSFTP として各段から出力する。その後、比較的狭振幅（全体的な電圧レベルも低い）のシフトパルス NSFTP がレベル変換部 432 により比較的広振幅（全体的な電圧レベルも高い）のパルス信号に増幅されてスイッチ回路 452 の制御入力端に入力される。図示しないが、インバータ 458 の出力端側を PMOS 456 とする相補接続にすることもでき、この場合には、シフトレジスタ部 410 は、アクティブ H のシフトパルス SFTP を各段から出力すればよいし、この変更に応じて NMOS 459 の制御入力端にインバータを設けるとよい。

【0163】

周辺回路 400A は、走査部の他に、画素アレイ部 102 外（ここでは 1 箇所）で駆動パルスを生成するべく、レベル変換部 482（レベル変換部 432 と対応）と論理回路 484（論理回路 422 と対応）とバッファ 486（バッファ 442 と対応）とを具備したパルス生成部 480 を有する。特に、実施例 1 の周辺回路 400A は、パルス生成部 480 を、走査線の最外部に配置している点に特徴がある。論理回路 484 は、アクティブ H のパルス信号を生成しバッファ 486 を介してスイッチ回路 452 の入力端に供給する。図示しないが、バッファ 486 を複数列或いは複数行（全行或いは全列とはならない範囲で）を一単位として、その単位ごとに設けてもよいし、列ごと或いは行ごとに設けてもよい。パルス生成部 480 においては、画素アレイ部 102 の外部から入力される比較的狭振幅（全体的な電圧レベルも低い）のイネーブルパルス EN のパルス波形を 1 箇所のレベル変換部 482 を通して、比較的広振幅（全体的な電圧レベルも高い）のパルス信号に増幅して、1 箇所の論理回路 484 に入力し、駆動パルスの元になる比較的広振幅（全体的な電圧レベルも高い）のパルス信号を生成する。尚、ここでは、1 種（特に明示された自身用）の駆動パルスについてのイネーブルパルス EN に基づく最も簡易な構成例で説明しているが、場合によっては、他の駆動パルスについてのイネーブルパルス EN を利用して新たな種類の駆動パルスの元となるパルス信号を生成することもある。

【0164】

周辺回路 400A は、論理回路 484 で生成されたパルス信号を、バッファ 442 を通して、各列或いは各行に設けられたスイッチ回路 452 の入力端に入力し、スイッチ回路

10

20

30

40

50

4 5 2 の制御入力端を、各行或いは各列のレベル変換部 4 3 2 からのシフトパルス NSFTP にて各々所望のパルスを抜き出す。即ち、シフトパルス NSFTP がインアクティブ H のときには NMOS 4 5 4 と PMOS 4 5 6 とで構成された CMOS スイッチがオフし NMOS 4 5 9 がオンすることで走査線の電位がローレベルとなる。一方、シフトパルス NSFTP がアクティブ L のときには NMOS 4 5 4 と PMOS 4 5 6 とで構成された CMOS スイッチがオンし NMOS 4 5 9 がオフすることで、走査線の電位がバッファ 4 8 6 の出力電位とほぼ同じになり、パルス生成部 4 8 0 で生成されたパルス信号が駆動パルスとして走査線に出力される。パルス生成部 4 8 0 ごとに論理回路 4 8 4 を構成するトランジスタの特性ばらつきがあったとしても、その影響は全行或いは全列に同じように現れる。このため、論理回路 4 8 4 を構成するトランジスタの特性ばらつきに起因する駆動パルスの波形形状が行ごと或いは列ごとにばらつくことを抑制でき、輝度変化（表示むら）を抑制することができる。

10

【0165】

図示しないが、レベル変換部 4 8 2 と論理回路 4 8 4 との配置順を逆にしてもよい。この場合、論理回路 4 8 4 の構成を低電圧回路で構成できる利点がある。この場合、パルス生成部 4 8 0 においては、画素アレイ部 1 0 2 の外部から入力される比較的狭振幅（全体的な電圧レベルも低い）のイネーブルパルス EN のパルス波形を 1 箇所の論理回路 4 8 4 に入力し、駆動パルスの元になる比較的狭振幅（全体的な電圧レベルも低い）のパルス信号を生成する。その後、1 箇所のレベル変換部 4 8 2 を通して、比較的広振幅（全体的な電圧レベルも高い）のパルス信号に増幅して、バッファ 4 4 2 を通して、各列或いは各行に設けられたスイッチ回路 4 5 2 の入力端に入力し、スイッチ回路 4 5 2 の制御入力端を、各行或いは各列のレベル変換部 4 3 2 からのシフトパルス NSFTP にて各々所望のパルスを抜き出す。

20

【0166】

例えば、2 Tr / 1 C 構成に使用される書込駆動パルス WS に関しては、図 9 (C) に示すように、閾値補正用のイネーブルパルス WSEN_1 と移動度補正用のイネーブルパルス WSEN_2 とがレベル変換部 4 8 2 に供給され、比較的広振幅（全体的な電圧レベルも高い）のパルス信号に増幅されて論理回路 4 8 4 に供給される。論理回路 4 8 4 では、比較的広振幅（全体的な電圧レベルも高い）のイネーブルパルス WSEN_1 とイネーブルパルス WSEN_2 との論理和をとり、書込走査線 1 0 4 WS に供給する書込駆動パルス WS の元となるパルス信号を生成する。

30

【0167】

図 9 (C) では、2 Tr / 1 C 構成において、書込駆動パルス WS に関して示しているが、電源駆動パルス DSL に関しては、閾値補正用のイネーブルパルス WSEN_1 と移動度補正用のイネーブルパルス WSEN_2 とを、電源供給用のイネーブルパルス DSEN に変更すればよい。又、レベルシフト部 4 3 0 や出力バッファ部 4 4 0 に関しては、例えば電源回路に変更し、イネーブルパルス DSEN がアクティブのときには第 1 電位 V_{cc_H} を出力し、イネーブルパルス DSEN がインアクティブのときには第 2 電位 V_{cc_L} を出力するように変更すればよい。この点は、比較例と同様である。

40

【0168】

図 9 (A) や図 9 (C) に示すような周辺回路 4 0 0 A の構成の場合、各列或いは各行の同一種類（同一名称）の信号に関して、画素アレイ部 1 0 2 の外部から入力されるイネーブルパルス EN のパルス波形を 1 箇所の論理回路 4 2 2 に入力し、駆動パルスの元になるパルス信号を生成する。その後、バッファ 4 4 2 を通して、各列或いは各行に設けられたスイッチ回路 4 5 2 の入力端に入力し、スイッチ回路 4 5 2 の制御入力端を、各行或いは各列のレベル変換部 4 3 2 からのパルス信号にて各々所望のパルスを抜き出す。このような構成により、各行或いは各列に駆動パルスの形状のばらつきのない安定したパルス波形を供給することができ、論理回路 4 2 2 を構成するトランジスタの特性のばらつきに起因する補正期間のばらつきによる輝度むらを抑制することができる。図 9 (C) に示す書込駆動パルス WS に関して云えば、各行に閾値補正用のパルスや移動度補正用のパルス形状の

50

ばらつきのない安定した波形を供給することができ、ヨコスジのないユニフォミティの良好なパネルが得られる。

【0169】

図9(C)では、 $2Tr/1C$ 構成に使用される書込駆動パルスWSに着目して説明したが、その他の $5Tr/1C$ 型、 $4Tr/1C$ 型、 $3Tr/1C$ 型でも、画素回路10の各トランジスタを制御する各行或いは各列の駆動パルスの形状をばらつきのない安定したパルス波形とすることができる。例えば、 $5Tr/1C$ 型における移動度補正では、第1トランジスタ TR_1 を駆動する電源走査パルスDSと書込トランジスタ TR_W を駆動する書込駆動パルスWSの各アクティブ期間によって移動度補正期間が規定されることがあるが、電源走査パルスSDと書込駆動パルスWSのそれぞれについて、各行の各駆動パルスの形状をばらつきのない安定したパルス波形とすることができる。移動度補正期間の行ごとのばらつきを抑えることができるので、輝度むらのない良好な画像を表示することができる。この点は、同様に第1トランジスタ TR_1 を具備する $4Tr/1C$ 型や $3Tr/1C$ 型でも云える。又、閾値補正に関しては、 $5Tr/1C$ 型、 $4Tr/1C$ 型、 $3Tr/1C$ 型の何れも、第1トランジスタ TR_1 を駆動する電源走査パルスDSのアクティブ期間によって閾値補正期間が規定されることがあるが、各行の電源走査パルスDSの形状をばらつきのない安定したパルス波形とすることができる。電源走査パルスSDのパルス形状が行ごとにばらつくことが抑制されるので、最初の閾値補正期間が行ごとにばらつくことを抑えることができるので、輝度むらのない良好な画像を表示することができる。

【実施例2】

【0170】

図10は、駆動パルスの元になるパルス信号を生成する論理回路を構成するトランジスタ特性のばらつきに起因する表示むら対策に着目した実施例2の画素回路の駆動方法を説明する図である。図10(A)は実施例2の周辺回路400Bの汎用的な構成例を示し、図10(B)は、特に、 $2Tr/1C$ 構成における書込駆動パルスWSに関しての周辺回路400Bの構成例を示す。

【0171】

実施例1の周辺回路400Aでは、パルス生成部480を、走査線の最外部に配置していたが、実施例2の周辺回路400Bでは、図10(A)に示すように、走査線の配列方向の中間部に配置する点に特徴がある。図示しないが、中間部で分けた走査線の領域ごと(例えば走査方向の前段側の半分用と後段側の半分用)にバッファ486を設けてもよい。その他の点は実施例1と同様である。こうすることで、バッファ486から出力されるパルス信号の遅延量の差による弊害を小さくできる。

【0172】

図10(A)及び図10(B)に示す例は、1つのパルス生成部480を走査線の配列方向の丁度真ん中付近に配置する例であるが、複数のパルス生成部480を設ける場合にも、同様の手法を適用できる。例えば、図示しないが、N個(図は2個)のパルス生成部480を設ける場合には、走査線の配列方向をN個の領域に区分し、区分ごとに走査線の配列方向の丁度真ん中付近にパルス生成部480を配置すればよい。区分ごとに中間部で分けた走査線の領域ごと(例えば各区分における走査方向の前段側の半分用と後段側の半分用)にバッファ486を設けてもよい。

【実施例3】

【0173】

図11は、駆動パルスの元になるパルス信号を生成する論理回路を構成するトランジスタ特性のばらつきに起因する表示むら対策に着目した実施例3の画素回路の駆動方法を説明する図である。図11(A)は、実施例3の周辺回路400Cの汎用的な構成例を示し、図11(B)は、その動作を説明するタイミングチャートである。

【0174】

実施例3では、各列或いは各行の同一種類(同一名称)の信号に関して、複数列或いは複数行を一単位として、好適には1箇所、駆動パルスの元になるパルス信号を生成し、

10

20

30

40

50

このパルス信号を行ごと或いは列ごとに順にシフトして走査線への駆動パルスとして供給する。駆動パルスの形状（幅、変化特性等）が行ごと或いは列ごとにばらつく度合いを緩和し、論理回路を構成するトランジスタの特性ばらつきに起因する駆動パルスの形状のばらつきによる補正期間のばらつきが輝度むら（カラー表示の場合は色むら）として現れる現象を改善する。これにより、一連の補正処理が一単位期間で完結される場合に限らず、一連の補正処理が複数の単位期間に亘る場合においても、駆動パルスの形状（幅、変化特性等）が行ごと或いは列ごとにばらつく度合いを緩和し、論理回路 4 2 2 を構成するトランジスタの特性ばらつきに起因する駆動パルスの形状のばらつきによる補正期間のばらつきが輝度むら（カラー表示の場合は色むら）として現れる現象を改善する。

【 0 1 7 5 】

例えば、分割閾値補正と移動度補正とを併用する場合、図 6 に示したタイミングチャートから理解されるように、書込駆動パルス WS の 1 サイクルは、初期化期間 D、閾値補正期間 E、書込み & 移動度補正期間 H が存在し、複数の水平走査期間（単位期間の一例）に亘る。書込み & 移動度補正を行なうラインと分割閾値補正を行なう他のラインとでは書込駆動パルス WS が異なるため、全ラインに対して同じ駆動パルスを 1 箇所から供給して各ラインではスイッチ選択する実施例 1 や実施例 2 の構成では、駆動パルスの波形ばらつきの問題に対する改善ができない。

【 0 1 7 6 】

実施例 3 では、この対策として、処理サイクルの全体が複数の水平走査期間に亘る駆動パルスに関して、その元になるパルス信号を予め生成してから順次シフトして走査線に出力する構成とすることで対処する。実施例 1 等では、レジスタ 4 1 2 に入力されるシフトロック CK_1 の 1 周期は駆動パルスの 1 周期と同じであり、例えば書込駆動パルス WS については 1 水平周期と同じであった。これに対して、実施例 3 では、1 水平周期内における初期化期間 D、閾値補正期間 E、或いは書込み & 移動度補正期間 H の分解能（1 水平周期に対して M 倍とする）を担保するべく実施例 1 等のシフトロック CK_1 の H / M 倍の周期のシフトロック CK_3 とする。換言すると、シフトロック CK_3 の周波数は、実施例 1 等のシフトロック CK_1 の周波数に対して M 倍である。

【 0 1 7 7 】

具体的には、実施例 3 の周辺回路 4 0 0 C は、シフトレジスタ部 4 1 0 の前段に、論理回路 4 8 4 を具備したパルス生成部 4 8 0 を備え、又、シフトレジスタ部 4 1 0 とレベルシフト部 4 3 0 と出力バッファ部 4 4 0 とを備える。パルス生成部 4 8 0 には、レベル変換部 4 8 2 やバッファ 4 8 6 は不要である。周辺回路 4 0 0 C は、比較例の周辺回路 4 0 0 Z との対比では、シフトレジスタ部 4 1 0 とレベルシフト部 4 3 0 との間に設けられていた論理回路部 4 2 0 を取り外し、全段共通の論理回路 4 2 2 をシフトレジスタ部 4 1 0 の前段に備えた構成である。

【 0 1 7 8 】

論理回路 4 8 4 には、一の種類の処理期間（例えば初期化期間 D、閾値補正期間 E）と対応する一のイネーブルパルス EN_1 と他の種類の処理期間（例えば書込み & 移動度補正期間 H）と対応する他のイネーブルパルス EN_2 と、一単位期間を規定するシフトクロック CK_1 と、全行分或いは全列分の基準となるタイミング信号 TS と、が供給される。論理回路 4 8 4 は、シフトクロック CK_1 に基づき一のイネーブルパルス EN_1 のゲート処理に使用される一の種類のウィンドウパルス WD_1 と他のイネーブルパルス EN_2 のゲート処理に使用される他の種類のウィンドウパルス WD_2 とを生成する。論理回路 4 8 4 は、イネーブルパルス EN_1 とイネーブルパルス EN_2 とウィンドウパルス WD_1 とウィンドウパルス WD_2 とに基づき、複数の単位期間に亘る駆動パルスの元になる複数の単位期間に亘るパルス信号を生成する。

【 0 1 7 9 】

パルス生成部 4 8 0 は、論理回路 4 8 4 で生成されたパルス信号を初段のレジスタ 4 1 2 にスタートパルス SP として供給する。シフトレジスタ部 4 1 0 は、例えば、図 1 1 (B) に示すように、パルス生成部 4 8 0 で生成されたパルス信号が初段のレジスタ 4 1 2 に

10

20

30

40

50

与えられると、そのパルス信号をシフトロックCK_3に同期してシフトロックCK_1の1周期分ずつレジスタ412で順次シフトし、アクティブHのシフトパルスSFTPとして各段から出力する(図中の参照子「_n」は段数を示す)。シフトレジスタ部410から出力された比較的狭振幅(全体的な電圧レベルも低い)のシフトパルスSFTPはレベルシフト部430にて比較的広振幅(全体的な電圧レベルも高い)の出力パルスに増幅され、更に出力バッファ部440のバッファ442を介して対応する段の走査線に出力される。

【0180】

実施例3の周辺回路400Cを、例えば $2Tr/1C$ 構成の画素回路10に適用すれば、分割閾値補正と移動度補正とを併用する場合においても、書込駆動パルスWSの元になるパルス信号を1箇所生成して、このパルス信号を順次シフトして各書込走査線104WSに供給することができる。そのため、分割閾値補正と移動度補正とを行なう場合に一連の処理サイクルが複数の水平走査期間に亘る場合でも、論理回路484を構成するトランジスタの特性ばらつきに起因する書込駆動パルスWSの波形形状が行ごとにばらつくことを抑制でき、輝度変化(表示むら)を抑制することができる。

【実施例4】

【0181】

図12は実施例4を説明する図である。実施例4は、前述の論理回路を構成するトランジスタの特性ばらつきに起因する表示むらを抑制・解消する技術が適用された表示装置を搭載した電子機器についての事例である。本実施形態の表示むら抑制処理は、ゲーム機、電子ブック、電子辞書、携帯電話機等の各種の電子機器に使用される電流駆動型の表示素子を具備した表示装置に適用することができる。

【0182】

例えば、図12(A)は、電子機器700が、画像表示装置の一例である表示モジュール704を利用したテレビジョン受像機702の場合の外観例を示す斜視図である。テレビジョン受像機702は、台座706に支持されたフロントパネル703の正面に表示モジュール704を配置した構造となっており、表示面にはフィルターガラス705が設けられている。図12(B)は、電子機器700がデジタルカメラ712の場合の外観例を示す図である。デジタルカメラ712は、表示モジュール714、コントロールスイッチ716、シャッターボタン717、その他を含んでいる。図12(C)は、電子機器700がビデオカメラ722の場合の外観例を示す図である。ビデオカメラ722は、本体723の前方に被写体を撮像する撮像レンズ725が設けられ、更に、表示モジュール724や撮影のスタート/ストップスイッチ726等が配置されている。図12(D)は、電子機器700がコンピュータ732の場合の外観例を示す図である。コンピュータ732は、下型筐体733a、上側筐体733b、表示モジュール734、Webカメラ735、キーボード736等を含んでいる。図12(E)は、電子機器700が携帯電話機742の場合の外観例を示す図である。携帯電話機742は、折り畳み式であり、上側筐体743a、下側筐体743b、表示モジュール744a、サブディスプレイ744b、カメラ745、連結部746(この例ではヒンジ部)、ピクチャーライト747等を含んでいる。

【0183】

ここで、表示モジュール704、表示モジュール714、表示モジュール724、表示モジュール734、表示モジュール744a、サブディスプレイ744bは、本実施形態による表示装置を用いることにより作製される。これにより、各電子機器700は、駆動トランジスタの閾値電圧や移動度のばらつき(更には、 k のばらつき)に起因する輝度ばらつきを補正することができるだけでなく、論理回路を構成するトランジスタの特性ばらつきに起因する表示むらを抑制・解消することができ、高画質の表示を行なうことができる。

【0184】

以上、本明細書で開示する技術について実施形態を用いて説明したが、請求項の記載内容の技術的範囲は前記実施形態に記載の範囲には限定されない。本明細書で開示する技術

10

20

30

40

50

の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本明細書で開示する技術の技術的範囲に含まれる。前記の実施形態は、請求項に係る技術を限定するものではなく、実施形態の中で説明されている特徴の組合せの全てが、本明細書で開示する技術が対象とする課題の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の技術が含まれており、開示される複数の構成要件における適宜の組合せにより種々の技術を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、本明細書で開示する技術が対象とする課題と対応した効果が得られる限りにおいて、この幾つかの構成要件が削除された構成も、本明細書で開示する技術として抽出され得る。

【0185】

実施例2では、画素アレイ部102外の1箇所で駆動パルスの元になるパルス信号を生成し、その後に、各列或いは各行の各配線（走査線）にスイッチ回路を介して出力する構成にしていたが、本実施形態で開示する技術は、これには限定されない。例えば、スイッチ部450やパルス生成部480は、画素アレイ部102外に配置することに限らず、画素アレイ部102内（例えば周縁部）に配置してもよい。

【0186】

論理回路を構成するトランジスタの特性ばらつきに起因する表示むらを抑制するに当たっては、パルス生成部480で生成されたパルス信号をシフトレジスタ部410からのシフトパルスに基づきスイッチ選択して走査線に供給する実施例2の手法と、パルス生成部480で生成されたパルス信号を順次シフトする実施例3との中間的な構成にすることもできる。この場合先ず、実施例2の手法によりパルス生成部480にて駆動パルスの元になるパルス信号を生成し、パルス生成部で生成されたパルス信号を一単位期間分ずつシフトレジスタ部（シフトレジスタ部410とは異なる）でシフトしてスイッチ部450に供給する。そして、選択部の駆動線の選択に基づいて（つまりシフトレジスタ部410から出力されるシフトパルスに基づいて）、シフトレジスタ部から出力されたパルス信号をスイッチ部450のスイッチ回路452に取り込んで駆動線に供給する構成とすればよい。このような変形構成では、シフトレジスタ部が2箇所に必要となるので回路規模が増える。

【0187】

前記実施形態の記載を踏まえれば、特許請求の範囲に記載の請求項に係る技術は一例であり、例えば、以下の技術が抽出される。以下列記する。

[付記1]

表示部と、
保持容量と、
映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、
保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタ、
とを有する画素回路が所定の方に配列されている画素部を備え、
画素部には、所定の方に配列されている各書込トランジスタと各駆動トランジスタの少なくとも一方を駆動するために駆動パルスを供給する駆動線が配されており、
駆動線を選択する選択部と、
駆動パルスの元になるパルス信号を生成するパルス生成部、
とを更に備え、
選択部は、パルス生成部で生成されたパルス信号に基づいて、複数の駆動線へ駆動パルスを供給する
表示装置。

[付記2]

駆動線の総数よりも少ない数のパルス生成部を備える
付記1に記載の表示装置。

[付記3]

全駆動線について1つのパルス生成部が設けられている

10

20

30

40

50

付記 2 に記載の表示装置。

[付記 4]

駆動線の配列方向における中間部にパルス生成部が配置されている

付記 3 に記載の表示装置。

[付記 5]

全駆動線の内の一部の複数の駆動線を一単位として、一単位ごとにパルス生成部が設けられている

付記 2 に記載の表示装置。

[付記 6]

一単位ごとに、駆動線の配列方向における中間部にパルス生成部が配置されている

10

付記 5 に記載の表示装置。

[付記 7]

パルス生成部は、画素部の外部に設けられている

付記 1 乃至付記 6 の何れか 1 項に記載の表示装置。

[付記 8]

選択部の駆動線の選択に基づき、パルス生成部で生成されたパルス信号を取り込んで、駆動線に供給するスイッチ回路、を駆動線ごとに有するスイッチ部

を更に備えた付記 1 乃至付記 7 の何れか 1 項に記載の表示装置。

表示装置。

20

[付記 9]

スイッチ回路は、トランスファークロスタック構造である

付記 8 に記載の表示装置。

[付記 10]

パルス生成部は、各駆動線について、同じタイミングのパルス信号を生成する

付記 8 又は付記 9 に記載の表示装置。

[付記 11]

スイッチ部は、画素部の外部に設けられている

付記 8 乃至付記 10 の何れか 1 項に記載の表示装置。

[付記 12]

選択部は、パルス生成部で生成されたパルス信号を一単位期間分ずつシフトして順に駆動線に供給するシフトレジスタ部を有する

30

付記 1 乃至付記 7 の何れか 1 項に記載の表示装置。

[付記 13]

駆動パルスは、書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理にも使用される

付記 1 乃至付記 12 の何れか 1 項に記載の表示装置。

[付記 14]

書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理は、駆動トランジスタの移動度を補正する移動度補正処理に使用される

40

付記 13 に記載の表示装置。

[付記 15]

駆動パルスは、駆動トランジスタの閾値電圧のばらつきを補正するためにも使用される

付記 1 乃至付記 14 の何れか 1 項に記載の表示装置。

[付記 16]

画素部は、画素回路が 2 次元マトリクス状に配列されている

付記 1 乃至付記 15 の何れか 1 項に記載の表示装置。

[付記 17]

表示部は自発光型である

付記 1 乃至付記 16 の何れか 1 項に記載の表示装置。

50

[付記 18]

表示部は有機エレクトロルミネッセンス発光部を有する

付記 17 に記載の表示装置。

[付記 19]

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、

画素部に供給される映像信号を生成する信号生成部、
とを備え、

画素部には、所定の方法に配列されている各書込トランジスタと各駆動トランジスタの
少なくとも一方を駆動するために駆動パルスを提供する駆動線が配されており、

駆動線を選択する選択部と、

駆動パルスの元になるパルス信号を生成するパルス生成部、
とを更に備え、

選択部は、パルス生成部で生成されたパルス信号に基づいて、複数の駆動線へ駆動パ
ルスを提供する

電子機器。

[付記 20]

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した画素回路が配列された画素部の各画素回路を駆動する方法であって、

駆動パルスの元になるパルス信号を生成し、生成されたパルス信号に基づいて、複数の
駆動線へ駆動パルスを提供する

表示装置の駆動方法。

【符号の説明】

【 0188 】

1 ... 表示装置、 10 ... 画素回路、 11 ... 発光素子、 100 ... 表示パネル部、 101 ... 基
板、 102 ... 画素アレイ部、 103 ... 垂直駆動部、 104 ... 書込走査部、 105 ... 駆動走
査部、 106 ... 水平駆動部、 120 ... 保持容量、 121 ... 駆動トランジスタ、 125 ... サ
ンプリングトランジスタ（書込トランジスタ）、 127 ... 有機EL素子、 130 ... インタ
フェース部、 200 ... 駆動信号生成部、 220 ... 映像信号処理部、 480 ... パルス生成部
、 484 ... 論理回路、 700 ... 電子機器

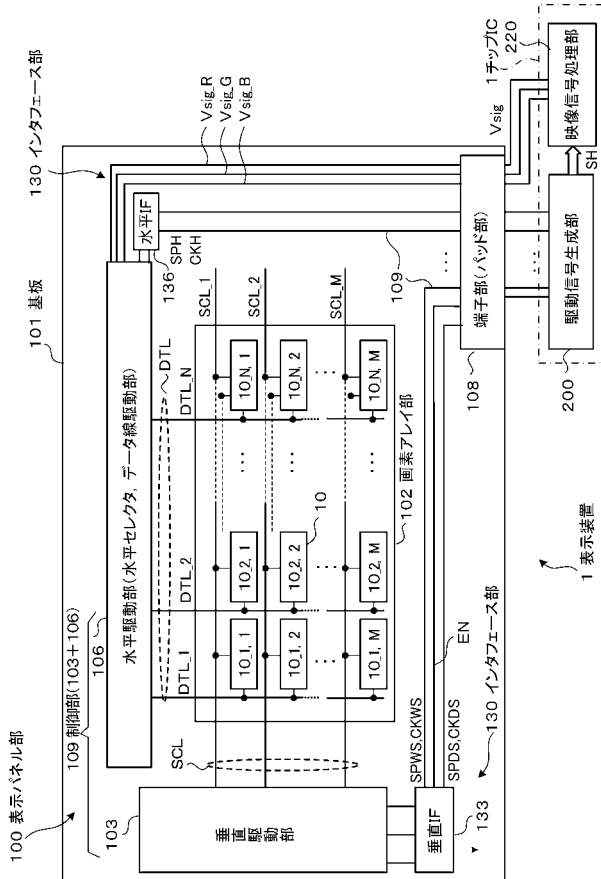
10

20

30

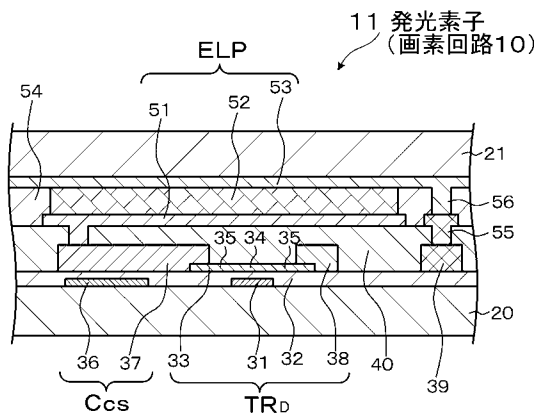
【 図 1 】

[図 1]



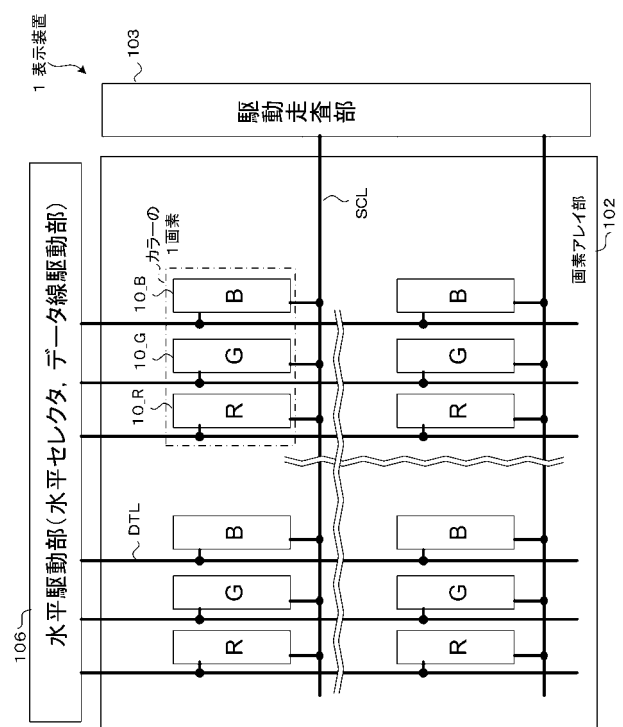
【 図 3 】

[図3]



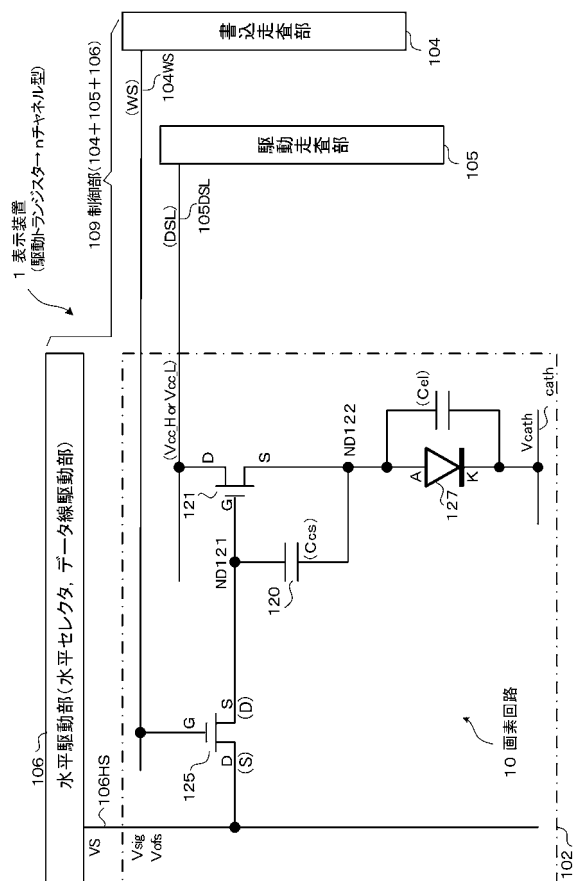
【 図 2 】

[図2]



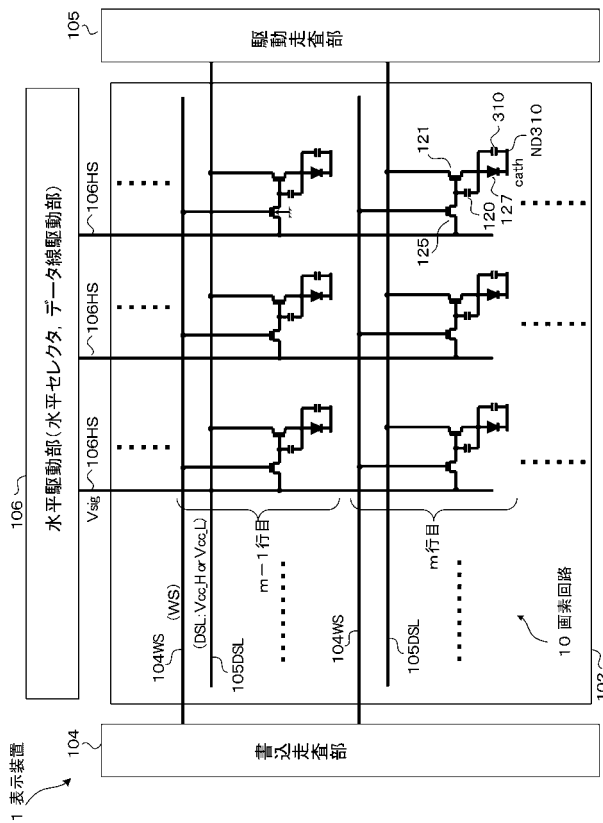
【 図 4 】

[圖4]



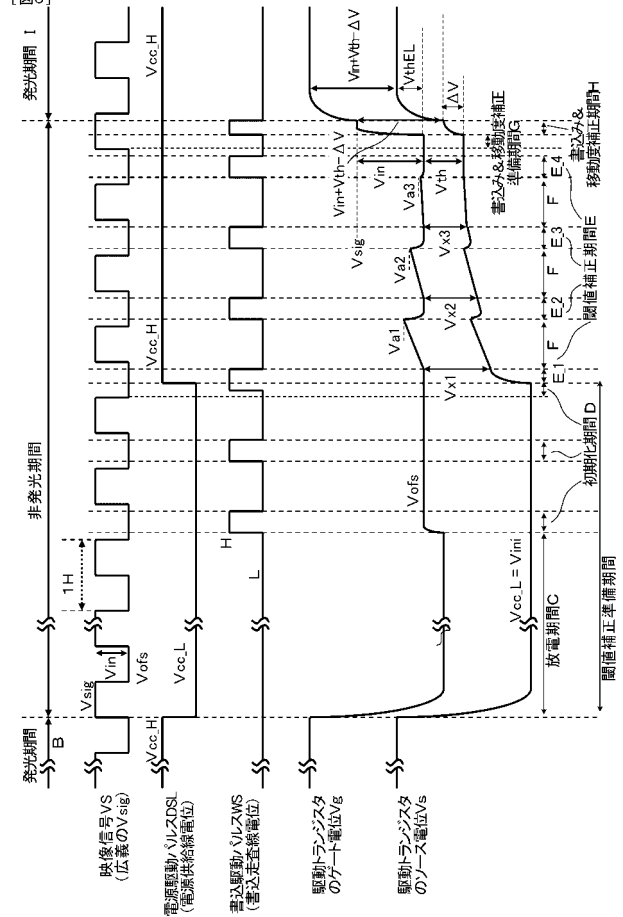
【図5】

[図5]



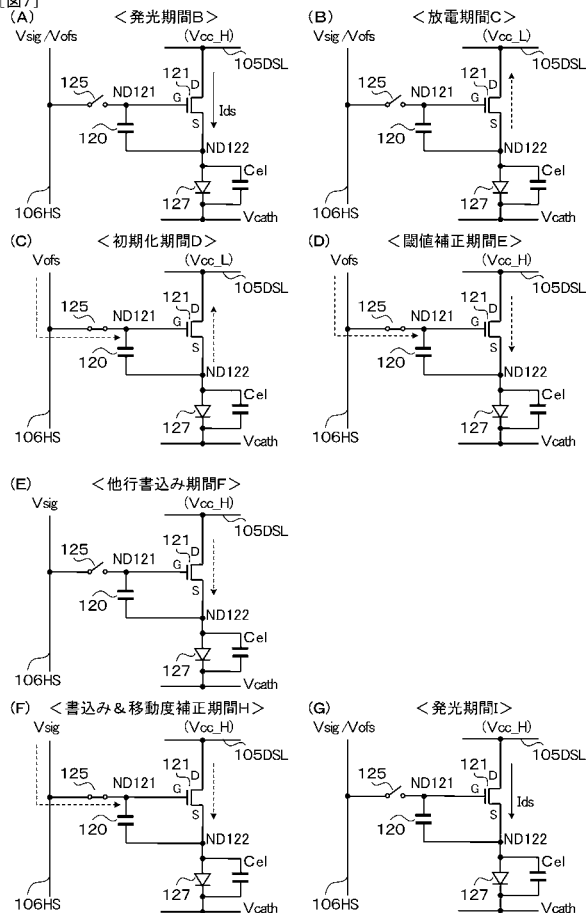
【図6】

[図6]



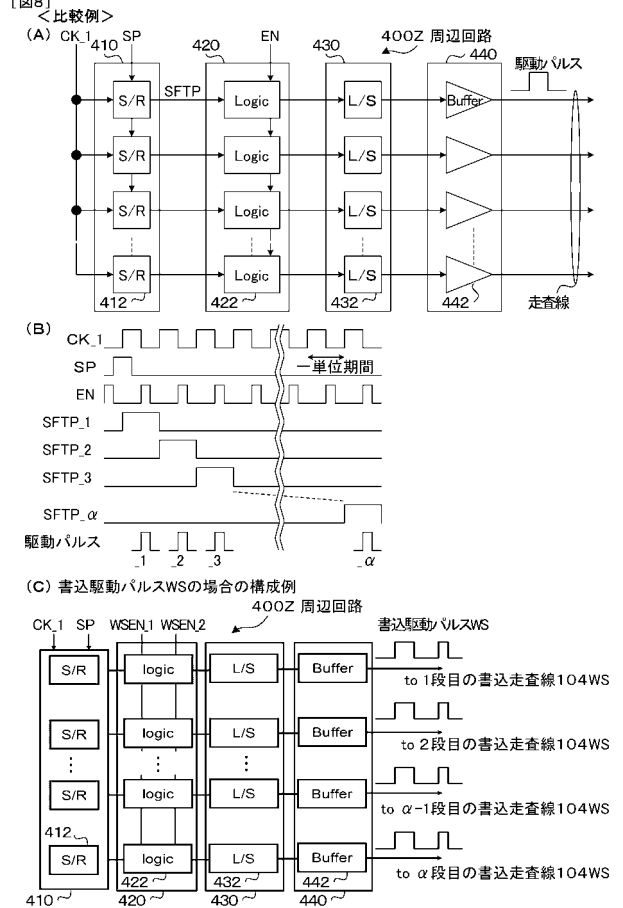
【図7】

[図7]



【図8】

[図8]



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 R

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 5C080 AA06 AA07 BB05 CC03 DD05 FF11 JJ02 JJ03 JJ04 JJ06
KK02 KK08 KK43 KK47 KK50
5C380 AA01 AA02 AA03 AB06 AB18 AB22 AB23 AB34 AC07 AC08
AC09 AC11 AC12 BA20 BA38 BA39 BB02 CA02 CA08 CA09
CA12 CA17 CA24 CA48 CA57 CB01 CB14 CB20 CB26 CB27
CB37 CC03 CC04 CC06 CC07 CC27 CC30 CC33 CC62 CD022
CE19 CF07 CF09 CF22 CF24 CF31 CF54 DA01 DA02 DA06
DA47