

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 23/12

(11) 공개번호 특2001-0003445
(43) 공개일자 2001년01월 15일

(21) 출원번호 10-1999-0023742
(22) 출원일자 1999년06월 23일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 윤승욱
서울특별시서초구반포본동반포아파트22-106
(74) 대리인 강성배

심사청구 : 없음

(54) 반도체 패키지의 제조 방법

요약

본 발명은 반도체 패키지의 제조 방법을 개시한다. 개시된 본 발명은, 반도체 칩의 패드에 외부 신호 라인의 일단을 전기적으로 연결한다. 외부 신호 라인을 전기적으로 절연시키는데, 이때 외부 신호 라인의 타단은 노출시켜 볼 랜드가 형성되도록 한다. 볼 랜드에 전기 도금법을 이용해서 접합 보조층을 형성한다. 접합 보조층상에 무연 합금인 솔더 볼을 형성한다. 무연 합금의 솔더 볼을 형성하기 위해서, 볼 랜드만이 노출되도록 다층의 포토레지스트나 실리콘 러버 재질의 마스크를 볼 랜드 상부에 배치하고, 노출된 볼 랜드에 무연 합금층을 전기 도금한다. 마스크를 제거한 후, 리플로우 공정을 통해서 구형의 솔더 볼을 형성한다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 패키지 제조 방법에서 전기 도금이 실시되는 영역을 나타낸 단면도.
도 2a와 도 2b 및 도 3은 외부 신호 라인의 재질에 따라 도 1에 도식된 영역에 형성되는 접합 보조층의 3가지 유형을 나타낸 단면도.
도 4a 및 도 4b는 무연 합금의 솔더 볼 형성을 위한 2가지 유형을 나타낸 단면도.
도 5는 본 발명에 따른 제조 방법에 의해 최종적으로 완성된 웨이퍼 레벨 패키지의 단면도.

- 도면의 주요 부분에 대한 부호의 설명 -

10 ; 웨이퍼	11 ; 본딩 패드
20 ; 하부 절연층	21 ; 상부 절연층
30 ; 알루미늄 패턴	31 ; 구리 패턴
40 ; 접합 보조층	60 ; 포토레지스트
61 ; 실리콘 러버	70 ; 무연 합금층
71 ; 솔더 볼	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지의 제조 방법에 관한 것으로서, 보다 구체적으로는 웨이퍼 레벨에서 패키징 공정이 실시되는 웨이퍼 레벨 패키지에서, 솔더 볼이 마운트되는 볼 랜드에 형성되어 솔더 볼과의 접합을 보조하는 접합 보조층 및 솔더 볼을 형성하는 방법에 관한 것이다.

기존의 패키지는 웨이퍼를 먼저 스크라이브 라인을 따라 절단하여 개개의 반도체 칩으로 분리한 후, 개개의 반도체 칩별로 여러 가지 패키징 공정을 실시하는 것에 의해 제조되었다.

그러나, 상기된 기존의 패키지는 개개의 반도체 칩별로 많은 단위 공정이 실시되어야 하기 때문에, 하나의 웨이퍼에서 제조되는 반도체 칩들을 고려하게 되면, 공정수가 너무 많다는 문제점을 안고 있다.

그래서, 최근에는 웨이퍼를 먼저 절단하지 않고 웨이퍼 상태에서 상기된 패키징 공정을 우선적으로 실시한 후, 최종적으로 스크라이브 라인을 따라 절단하여 패키지를 제조하는 방안이 제시되었다. 이러한 방법으로 제조된 패키지를 웨이퍼 레벨 패키지라 하는데, 이를 제조하는 방법을 개략적으로 설명하면 다음과 같다.

웨이퍼 표면에는 실리콘 질화막인 보호막이 도포되어 있다. 웨이퍼 표면에 구성된 반도체 칩의 본딩 패드는 식각에 의해 보호막에 형성된 홈을 통해 노출되어 있다.

이러한 상태에서, 보호막 전체 표면에 하부 절연층을 도포한다. 본딩 패드 상부에 위치한 하부 절연층 부분을 식각하여 본딩 패드를 외부로 노출시킨다. 그런 다음, 구리나 알루미늄 재질의 금속막을 전체 구조 표면에 진공 증착한다. 이때, 금속막은 본딩 패드에도 증착된다. 이어서, 금속막을 부분 식각하여, 일단은 본딩 패드에 전기적으로 연결되고 타단은 하부 절연층상에 위치하는 금속 패턴을 형성한다. 그런 다음, 전체 구조 표면에 상부 절연층을 도포한 후, 금속 패턴의 타단 상부에 위치한 상부 절연층 부분을 식각하여 금속 패턴의 타단을 노출시킨다. 노출된 금속 패턴의 타단이 솔더 볼이 마운트되는 볼 랜드가 된다.

이어서, 볼 랜드에 구형의 솔더 볼을 올려놓은 후, 자외선을 이용한 리플로우 공정을 통해 솔더 볼과 볼 랜드를 접착시키므로써, 반도체 칩의 본딩 패드와 기판에 실장되는 솔더 볼을 전기적으로 연결시킨다. 마지막으로, 웨이퍼에 형성된 스크라이브 라인을 따라 절단하여 개개의 반도체 칩으로 분리하면, 웨이퍼 레벨 패키지가 완성된다.

그런데, 전술된 웨이퍼 레벨 패키지 뿐만 아니라 일반적인 패키지에서 가장 중요한 요소는 솔더 볼과 금속 패턴간의 접속 신뢰성이다. 즉, 초기에는 솔더 볼이 원래 형상대로 유지되나, 시간이 경과할수록 솔더 볼의 상하 계면에서 균열이 발생된다. 이러한 균열은 주석-납 또는 어느 한 가지 재료로 이루어진 솔더 볼로 금속 패턴의 구리 또는 알루미늄 성분이 확산되어 형성되는 금속간 화합물, 즉 Cu_6Sn_5 이 주된 요인이다.

이를 방지하기 위해서, 종래에는 구리 또는 알루미늄 성분의 확산을 방지함과 아울러 솔더 볼과 금속 패턴간의 접합을 보조하는 접합 보조층(Under Bump Metallurgy:UBM)을 볼 랜드상에 형성하였다. 확산 방지층은 티타늄/니켈/금이 수천 Å 내지 수 μm 정도의 두께로 적층된 3층 구조가 대표적이고, 조건에 따라서는 니켈과 금 사이에 주석-납을 개재시켜 4층 구조로 하거나 또는 금 대신에 구리로 대체하는 경우도 있다. 접합 보조층에서 구리 또는 알루미늄 원자가 솔더 볼로 확산되는 것을 방지하는 층은 니켈층이다.

발명이 이루고자하는 기술적 과제

종래에는 접합 보조층을 다음과 같은 방법으로 형성하였다. 접합 보조층으로 제시된 다층 금속막을 상부 절연층상에 순차적으로 증착한 후, 마스크를 이용해서 스퍼터링이나 CVD 방법을 통해 다층 금속막을 패터닝하여, 볼 랜드에만 남는 접합 보조층을 형성하였다.

그런데, 상기된 종래 방법으로 접합 보조층을 형성한 후, 솔더 볼을 접합 보조층에 마운트하였을 때, 솔더 볼의 접합 강도가 취약하다는 문제점이 발생된다. 그 원인은 스퍼터링이나 CVD 방법으로 형성된 접합 보조층인 박막이 순수한 구리나 알루미늄의 물리적 특성보다 낮기 때문이다. 박막의 물리적 특성이 순수 재료보다 낮은 이유는 재료의 결정 형성이 취약하다는데 기인한다.

또한, 종래에는 전체 구조 상부에 금속층을 증착한 후, 마스크를 이용해서 원하는 부분만 남도록 패터닝하여 나머지 부분을 제거하게 된다. 이로 인하여, 공정이 매우 복잡하고, 특히 제거되는 금속층이 낭비되는 문제점이 있다.

그리고, 종래에는 주석/납으로 이루어진 구형의 솔더 볼을 볼 랜드에 리플로우 공정을 통해서 마운트하였다. 그런데, 최근에는 환경 문제로 인해서 독성이 매우 강한 납 성분의 사용을 규제하는 경향이 있으므로, 솔더 볼을 형성하는 새로운 방법의 제시가 절실히 요구되고 있는 실정이다.

따라서, 본 발명은 종래의 접합 보조층 형성 방법이 안고 있는 제반 문제점들을 해소하기 위해 안출된 것으로서, 순수 재료의 물리적 및 전기적 특성이 볼 랜드에 형성된 후에도 거의 동일한 수준으로 유지되도록 하여, 솔더 볼의 접합 강도를 강화시킬 수 있는 반도체 패키지의 접합 보조층 형성 방법을 제공하는데 목적이 있다.

본 발명의 다른 목적은 볼 랜드 영역에만 접합 보조층이 형성되도록 하여, 접합 보조용 재료의 불필요한 낭비를 방지하고 공정도 단순화시킬 수 있게 하는데 있다.

본 발명의 또 다른 목적은 무연 합금을 이용해서 솔더 볼을 형성할 수 있는 방법을 제공하는데 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명에 따른 반도체 패키지 제조 방법은 다음과 같다.

반도체 칩의 패드에 외부 신호 라인의 일단을 전기적으로 연결한다. 외부 신호 라인을 전기적으로 절연시키는데, 이때 외부 신호 라인의 타단은 노출시켜 볼 랜드가 형성되도록 한다. 볼 랜드에 전기 도금법을 이용해서 접합 보조층을 형성한다. 접합 보조층상에 무연 합금인 솔더 볼을 형성한다.

무연 합금의 솔더 볼을 형성하기 위해서, 볼 랜드만이 노출되도록 다층의 포토레지스트나 실리콘 러버 재질의 마스크를 볼 랜드 상부에 배치하고, 노출된 볼 랜드에 무연 합금층을 전기 도금한다. 마스크를 제거한 후, 리플로우 공정을 통해서 구형의 솔더 볼을 형성한다.

상기된 본 발명에 의하면, 접합 보조층을 전기 도금법을 이용해서 형성하므로, 접합 보조층의 원래 재질이 거의 동일 수준으로 유지될 수가 있게 된다. 특히, 전기 도금법은 전기가 통하는 부분만에 도금이 되는 특징이 있으므로, 접합 보조층은 볼 랜드에만 형성된다. 따라서, 접합 보조층의 재료가 낭비되는 것이 방지된다. 또한, 솔더 볼도 무연 합금 재질을 이용해서 전기 도금법을 통해서 형성하게 되므로, 환경 규제에도 적극적으로 대처할 수가 있게 된다.

이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 설명한다.

도 1은 본 발명에 따른 반도체 패키지 제조 방법에서 전기 도금이 실시되는 영역을 나타낸 단면도이고, 도 2a와 도 2b 및 도 3은 외부 신호 라인의 재질에 따라 도 1에 도시된 영역에 형성되는 접합 보조층의 3가지 유형을 나타낸 단면도이며, 도 4a 및 도 4b는 무연 합금의 솔더 볼 형성을 위한 2가지 유형을 나타낸 단면도이고, 도 5는 본 발명에 따른 제조 방법에 의해 최종적으로 완성된 웨이퍼 레벨 패키지의 단면도이다.

먼저, 본 발명에 따른 패키지 제조 방법에서 제시하는 핵심은 접합 보조층과 솔더 볼을 형성하는 방법에 관한 것이다. 접합 보조층과 솔더 볼은 여러 가지 유형의 패키지에 모두 적용되는데, 본 실시예에서는 최근에 가장 활발히 연구되고 있는 웨이퍼 레벨 패키지에 본 발명에 따른 방법을 적용한다.

도 1을 참조로 하여, 웨이퍼(10) 표면에 하부 절연층(20)을 도포한 후, 웨이퍼(10)에 구성된 각 반도체 칩의 본딩 패드(11)가 노출되도록 하부 절연층(20)을 식각한다. 하부 절연층(20)상에 알루미늄막을 증착한 후 알루미늄막을 패터닝하여, 일단이 본딩 패드(11)에 연결되고 타단은 하부 절연층(20)상으로 연장된 형상을 갖는 외부 신호 라인인 금속의 알루미늄 패턴(30)을 형성한다. 전체 구조 상부에 상부 절연층(21)을 도포한 후, 이를 식각하여 알루미늄 패턴(30)의 타단이 노출되는 볼 랜드(31)를 형성한다.

여기서, 외부 신호 라인으로서 알루미늄 대신에 전기적 특성이 우수한 구리를 사용할 수도 있다. 즉, 알루미늄의 전기 전도율은 $0.377 \times 10^6 / \Omega \text{cm}$, 열전도율은 2.37 W/cmK 인데 반해서, 구리의 전기 전도율은 $0.596 \times 10^6 / \Omega \text{cm}$, 열전도율은 4.01 W/cmK 이므로, 알루미늄에 비해서 구리의 전기적 특성이 월등히 우수하다.

이어서, 이후의 전기 도금법에 의해 접합 보조층을 형성할 때, 도금이 보다 용이하게 이루어지도록 하기 위해서, 도금 표면을 세척하는 공정을 실시한다.

그런 다음, 노출된 볼 랜드(31)에 본 발명에서 제시되는 방법인 전기 도금법으로 접합 보조층을 형성한다. 전기 도금법은 도금 물질이 전기가 통하는 부분에만 도금되므로, 상부 절연층(21)에는 도금 물질이 도금되지 않고 오직 노출된 볼 랜드(31)에만 도금된다. 따라서, 도금 물질의 불필요한 낭비가 방지된다.

특히, 전기 도금법을 통해 접합 보조층을 형성하게 되면, 순수 알루미늄 또는 구리가 갖고 있는 원래의 전기적 및 물리적 특성이 거의 변하지 않게 된다. 그러므로, 볼 랜드와 솔더 볼간의 접합 강도가 취약해지는 것이 방지된다.

접합 보조층은 종래 기술에서도 언급된 바와 같이, 단층 또는 다층 구조로 형성할 수 있는데, 외부 신호 라인의 금속 재질에 따라 적절한 구조가 선택될 수 있다.

도 2a는 외부 신호 라인이 알루미늄 패턴(30)일 경우에 접합 보조층(40)의 한 예에 따른 구조를 나타낸 단면도로서, 도시된 바와 같이 접합 보조층(40)은 니켈층/구리층/니켈층/주석-납층(41,42,43,44)의 4층 구조 또는 니켈층/구리층/니켈층(41,42,43)의 3층 구조를 갖는다. 니켈층(41,43)의 역할은 구리(42)가 알루미늄 패턴(30)으로 급속히 확산하는 것을 억제한다. 주석-납층(44)은 솔더 볼 마운트시 습윤성을 향상시키고 아울러 금속간화합물의 형성을 촉진하여 접합 강도를 향상시킨다. 한편, 도 2b와 같이 구리층을 사용하지 않고 니켈층(41)상에 주석-납층(44)을 바로 적층시킬 수도 있다.

외부 신호 라인으로서 구리 패턴(31)이 사용되는 경우, 접합 보조층은 도 3과 같이 구성될 수 있다. 도시된 바와 같이, 구리 패턴(31)상에 니켈층(41)과 주석-납층(44)으로 이루어진 접합 보조층을 형성할 수 있다.

이어서, 접합 보조층(40)상에 솔더 볼을 형성하는데, 본 발명에서는 다음과 같은 방법이 이용된다.

먼저, 도 4a에 도시된 바와 같이 포토레지스트층(60)을 상부 절연층(21)상에 다층으로 도포하거나, 또는 도 4b에 도시된 바와 같이 실리콘 러버(61)를 상부 절연층(21)상에 배치하여, 볼 랜드만을 노출시키는 마스크를 배치한다. 이 마스크를 이용해서 노출된 볼 랜드에 납이 함유되지 않은 무연 합금층(70)을 전기 도금법으로 도금한다. 무연 합금(70)의 재질은 주석, 주석/황연(Bi), 주석/아연 및 주석/은으로 구성된 그룹으로부터 선택될 수 있다.

그런 다음, 마스크(60,61)를 제거한 후 리플로우 공정을 실시하면, 도 5와 같이 $300\mu\text{m}$ 이상의 직경을 갖는 구형의 솔더 볼(71)이 볼 랜드상에 형성된다. 마지막으로, 스크라이브 라인을 따라 웨이퍼를 절단하여 개개의 반도체 칩으로 분리하면, 웨이퍼 레벨 패키지가 완성된다.

한편, 본 실시예에서는 본 발명의 핵심 방법인 접합 보조층과 솔더 볼 형성 방법을 웨이퍼 레벨 패키지에 적용한 것을 예로 들어 설명하였으나, 반드시 이에 국한되는 것은 아니다. 즉, 기판에 실장되는 외부 단자로서 솔더 볼을 갖는 모든 패키지에 본 발명에 따른 방법이 적용됨은 물론이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의하면, 접합 보조층을 전기 도금법으로 형성하므로써, 접합 보조층의 원래 재질인 순수 금속이 갖고 있는 전기적 및 물리적 특성이 거의 동일 수준으로 유지될 수가 있다. 따라서, 솔더 볼과 볼 랜드간의 접합을 보조하는 본래 기능을 접합 보조층이 충분히 발휘하게 되므로, 솔더 볼의 접합 강도가 한층 강화된다.

또한, 전기 도금법은 전기가 통하는 부분에만 도금 물질을 도금하게 되므로, 도금 물질은 오직 볼 랜드에만 도금된다. 따라서, 접합 보조층을 형성하는 재료가 불필요하게 낭비되는 것도 방지되고, 아울러 공정도 매우 단순해진다.

그리고, 납 성분이 포함되지 않은 무연 합금을 이용해서 전기 도금법으로 솔더 볼을 형성하게 되므로, 환경 규제에도 즉각적으로 대처할 수 있는 효과가 발휘된다.

이상에서는 본 발명에 의한 패키지 제조 방법을 실시하기 위한 바람직한 실시예에 대하여 도시하고 또한 설명하였으나, 본 발명은 상기한 실시예에 한정되지 않고, 이하 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1

반도체 칩의 패드에 외부 신호 라인을 전기적으로 연결하는 단계;

상기 외부 신호 라인의 일부분이 노출되어 볼 랜드가 형성되도록, 상기 외부 신호 라인을 절연시키는 단계;

상기 볼 랜드에 전기 도금법을 이용해서 도금된 접합 보조층을 형성하는 단계; 및

상기 접합 보조층상에 솔더 볼을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 2

제 1 항에 있어서, 상기 접합 보조층은 니켈/구리/니켈, 니켈/구리/니켈/납-주석 및 니켈/주석-납으로 구성된 그룹으로부터 선택된 합금인 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 3

제 1 항에 있어서, 상기 솔더 볼 형성 방법은

상기 볼 랜드를 노출시키는 마스크를 외부 신호 라인상에 배치하는 단계;

상기 마스크를 이용해서 접합 보조층상에 무연 합금층을 전기 도금법으로 도금하는 단계;

상기 마스크를 제거하는 단계; 및

리플로우 공정을 통해서 상기 무연 합금층을 접합 보조층에 전기적으로 접합된 구형의 솔더 볼로 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 4

제 3 항에 있어서, 상기 무연 합금층의 재질은 주석, 주석/창연, 주석/아연 및 주석/은으로 구성된 그룹으로부터 선택되는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 5

제 3 항에 있어서, 상기 마스크는 포토레지스트를 다층으로 도포하여 형성하거나 또는 실리콘 러버로 형성하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 6

복수개의 반도체 칩이 구성된 웨이퍼 표면에 하부 절연층을 도포한 후, 상기 하부 절연층을 식각하여 상기 반도체 칩의 본딩 패드를 노출시키는 단계;

일단이 상기 본딩 패드에 전기적으로 연결되고, 타단은 하부 절연층상으로 연장된 금속 패턴을 형성하는 단계;

전체 구조 상부에 상부 절연층을 도포한 후, 상기 상부 절연층을 식각하여 상기 금속 패턴의 타단이 노출되는 볼 랜드를 형성하는 단계;

상기 볼 랜드에 전기 도금법을 이용해서 접합 보조층을 도금하는 단계; 및

상기 접합 보조층상에 전기 도금법을 이용해서 무연 합금인 솔더 볼을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 7

제 6 항에 있어서, 상기 솔더 볼 형성 방법은

상기 볼 랜드를 노출시키는 마스크를 상부 절연층상에 배치하는 단계;

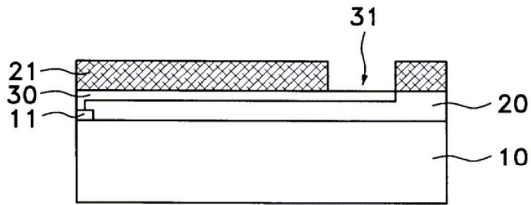
상기 마스크를 이용해서 접합 보조층상에 무연 합금층을 전기 도금법으로 도금하는 단계;

상기 마스크를 제거하는 단계; 및

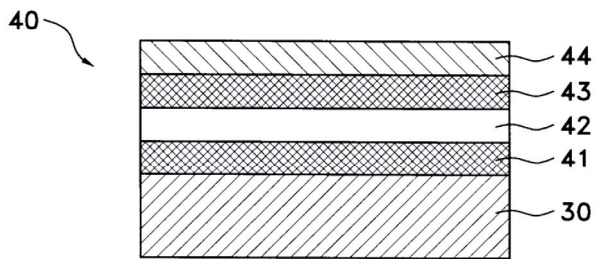
리플로우 공정을 통해서 상기 무연 합금층을 접합 보조층에 전기적으로 접합된 구형의 솔더 볼로 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법

도면

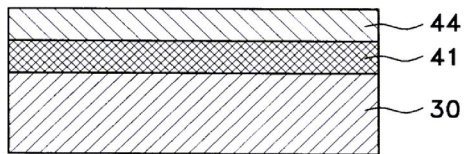
도면1



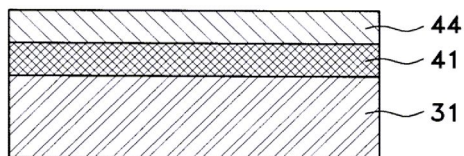
도면2a



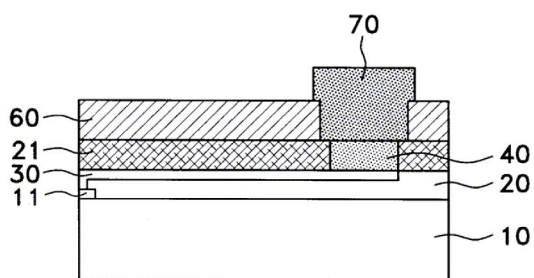
도면2b



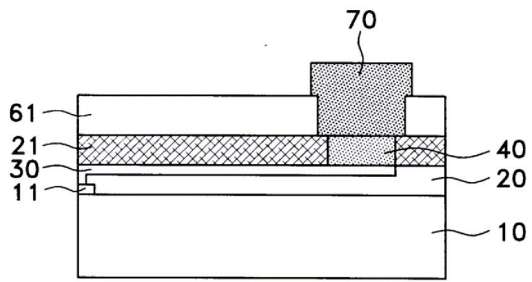
도면3



도면4a



도면4b



도면5

