[19]中华人民共和国专利局

[51]Int.Cl[6]
G06T 9/00

[12] 发明专利申请公开说明书

[21] 申请号 97102814.1

[43]公开日 1998 年 1 月 14 日

[11] 公开号 CN 1170176A

[22]申请日 97.2.21

[30]优先权

[32]96.2.21 [33]FR[31]9602149

[71]申请人 菲利浦电子有限公司

地址 荷兰艾恩德霍芬

[72]发明人 B·布吕

[74]专利代理机构 中国专利代理(香港)有限公司

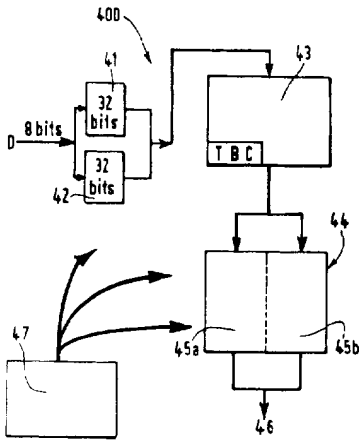
代理人 叶恺东 董江雄

权利要求书 1 页 说明书 6 页 附图页数 3 页

[54]发明名称 MPEG2型信号解码器

[57]摘要

一种解码器，包括：一个输入接口，在解码器的上游，由 n 个并联的供接收所述数据的寄存器组成；一个存储部件，在这些寄存器与解码的外部 DRAM 型存储器之间，用作缓冲存储器。该存储部件由串联配置的第一和第二缓冲存储器组成，前者用以在其中一个寄存器满载时存储该寄存器的内容，后者由 n 个并联的存储块组成，供存储第一缓冲存储器的内容。这些存储块输出时，由同步块通过一个仲裁电路提出存取的请求以便将各存储块的内容传送到 DRAM 存储器中。



权 利 要 求 书

1.一种解码器，用以对对应于具不同性质的 n 个数据类型且按叫做 MPEG2 系的标准多路复用的经编码数字信号进行编码，主要由一个供接收和存储所述数据的输入级和一个与外部存储器联络的通信总线组成，其特征在于，所述输入级由下列各元件串联组成:

(1) 一个存储部件，由 n 个对应于 n 个数据类型、并行接收所述经编码和多路复用的数字信号流的寄存器组成;

(2) 第一缓冲存储器，用以一旦所述寄存器满载时临时存储 n 个寄存器中的一个寄存器的内容，并用以存储与所述寄存器中寄存的数据的类型有关的信息;

(3) 第二缓冲存储器，由 n 个并联配置的存储块组成，用以按数据类型存储所述第一缓冲存储器的内容；配备有同步时钟供提出使用解码器的外部存储器的请求。

2.如权利要求 1 所述的解码器，其特征在于，所述存储部件由两个对应于视频数据和声频数据的寄存器组成，且第二缓冲存储器有两个并联配置的存储块供存储第一缓冲存储器的内容。

说　明　书

MPEG2 型信号解码器

本发明涉及一种解码器，用以对对应于不同性质的 n 个数据类型且按叫做 MPEG2 系的标准多路复用的经编码的数字信号进行解码，该解码器主要由一个供接收和存储所述数据的输入级和一个与外部存储器联络的通信总线组成。

本发明可应用在这样的“多媒体”应用领域：在该应用场合，上述解码器可接收与不同信息源(视频、声频、图表等)有关但由同一个发送机构接收的数据。首先，这些数据业已按 MPEG2 系标准(在国际标准化组织 ISO 1995 年 4 月 27 日出版题为“ ITU-T 建议 H.222.O/ISO/ICE 13818-1/修订本，信息技术－电影和有关的声频信息的类编码：系统”的 ISO/ICE JTC1/SC29 文件中有介绍)而被多路复用。本发明特别涉及接收这些经多路复用的数据的方式和这些数据在存储机构发送以便进一步处理之前多路分配的方式。

T. Fautier 写的通讯“采用超大规模集成电路 MPEG 解码器”(ISCAS' 94，伦敦，1994 年 5 月，第 3. 22 章，第 164~172 页)介绍了一种用以接收经压缩视频数据的 MPEG 解码线路，其输入端有一个存储器写入级由两个触发器存储面构组成。这两个机构的其中一个接收经压缩的数据流，同时不断受到填充，另一个则将以前收到的数据再发送出去，而一旦空着时就轮到它接收输入的数据流，在此期间，第一个机构再发送数据，如此类推。虽然这一种解码器能接收与不同信息源有关的数据，但其触发器存储机构对的数目也就要和不同信息源(或待控制的不同数据类型)的数目一样多。

本发明的目的是提供一种其数据接收级的结构简单而且在表面积和存储器的数量方面有引人注目的增益从而大大降低生产成本的

MPEG 型信号解码器。

为达到上述目的，本发明涉及本说明书开端所述的解码器，且由下列各元件串联组成:

(1) 一个存储部件，由 n 个对应于 n 个数据类型并行接收所述经编码和多路复用的数字信号流的寄存器组成;

(2) 第一缓冲存储器，用以一旦所述寄存器满载时临时存储 n 个寄存器中的一个寄存器的内容，并用以存储与所述寄存器中寄存的数据的类型有关的信息;

(3) 第二缓冲存储器，由 n 个并联配置的存储块组成，用以按数据类型存储所述第一缓冲存储器的内容；配备有同步时钟供提出使用解码器的外部存储器的请求。

有了如此建议的结构，信息源的数量(即数据的类型)可以按较原先情况更为灵活的方式随时加以改变。实际上，两级机构的数目很多，与数据类型的数量无关。另一方面，解码器的控制逻辑电路简单：没有队列控制，首先充满的存储块就即刻进入传输状态。最后，由于存储器的大小减小了，解发器的组成简化了，因而大大降低了生产成本。

参看下面说明的一些实施例可以清楚理解本发明的上述和其它方面。

附图中:

图 1 示出了接收和存储 MPEG2 系类型信号流的一般原理;

图 2 示出了 MPEG 视频解码器的工作原理和这种解码器的一般结构;

图 3 示出了图 2 所示解码器的输入级使其可以接收不同类型数据可能有的结构;

图 4 示出了本发明解码器的输入级的一个实施例。

图 1 举例说明了上述通讯中所述的解码器在接收不同数据率的多种数据情况下的工作原理。信道 10 确保例如 A 型、 B 型或 C 型数据

的传输(X 区相当于没有传输数据或在此情况下所述的应用中没有使用的数据的时段)。多路分解器 11 确保同类型数据包的构成(实际上发送由同类型数据组成的数据包更为经济，其大小可由传输系统从外部确定)，从而一旦形成的数据包的大小合乎要求，各同类型数据组成的数据包就可以传送(工序 12)到存储机构 13 。

图 2 详细示出了所述通讯中所述的视频 MPEG 解码器的结构。为接收预先压缩和传输的视频数据流 VD，该解码器的存储器写入级 21 有两个存储器 211 和 212 按上述触发器线路配置。存储器写入级 21 通过仲裁电路 28 将再传输数据发送给与外部存储器 29(上述文件中所述的 DRAM(动态随机存取存储器)存储器)联络的通信总线 210，仲裁电路 28 处理所有要求使用该外部存储器的要求。如此存储的数据再经读出级 22 传送给解码级 23，读出级 22 也由两个触发器存储器 221 和 222 组成。解码级 23 的输出信号加到也接收来自动作补偿级 25 的输出信号的内插级 24 的第一输入端。经解码的数据就可以传送给视频显示级 26 。

在这种结构中，采用了上述文献所述解码器的不同电路级，下面即将说明的本发明则是应用在构成存储器写入级 21 的输入接口中。图 3 示出了不采用本发明时解码器能接收不同类型数据(即写入级 31a 、31b 、…… 31n 的数目与数据类型的数目一样多)的输入接口可能有的结构，所述各写入级与图 2 中的写入级 21 一样(在目前情况下：视频数据 VD 、声频数据 AD 等等)。图 4 则示出了本发明只收到两种不同类型数据(特别是视频数据和声频数据，这是目前经常出现的情况，参看例如专利申请 WO95/32578)情况下的输入级 400 的一个实施例。尽管如此，本发明仍然适宜接收任意数量的各种不同类型的数据。

为接收经压缩和多路复用的输入数据 D(在此情况下是在 8 位输入总线传输的)，输入级 400 具体由并联配置的视频寄存器 41 和声频寄存器 42 组成(这里为 32 位寄存器)。这两个寄存器共同输出的信号加到例如 SRAM(静态随机存取存储器)型的第一存储器 43 上。第一存储器

43 后面是第二存储器 44 。第二存储器 44 也是 SRAM 型，由视频存储块 45a 和声频存储块 45b 组成。存储器 44 的输出端接第三存储器 46 。第三存储器 46 为 DRAM 型的外部存储器，位于 MPEG 型解码器中。

输入级 400 的工作过程如下。解码器接收例如视频和声频类的数据 D(如何识别和检测所收到数据的类别不是本发明的部分，因而这里不予说明)。这些数据首先存入相应的寄存器 41 或 42(视频或声频)中。该寄存器一满载，其内容就转移到第一 SRAM 存储器 43 中(总线为 8 位总线时，若每一时钟周期收到数据，满载寄存器的内容每四个周期就全部写入此存储器中)。寄存器的有关数据写入存储器 43 中各字的 32 最低有效位，保留两个最高有效位供构成识别有关数据类型的两位码 TBC 。

存储器 43 用作第二 SRAM 存储器 44 在因要求使用第三 DRAM 存储器 46 而不能使用时的缓冲器。相反，当第二 SRAM 存储器 44 可使用时，它接收来自第一 SRAM 存储器 43 的数据并将其按其类别(通过 TBC 码的两位元值可以知道其类别)存入两存储块 45a 或 45b 中。某一存储块(视频或声频)一满载，同步块 47 就通过仲裁电路(图中未示出)请求使用该第三存储器。

这种解决方案的好处概括如下:

(1) 解码器无论数据的类型多少只由两个存储机构和只有一个有关的控制块组成(当采用 n 个触发器存储机构时需要 n 个这种控制块)，从而减少了出错的风险;

(2) 和迄今使用的 MPEG 解码器比较，在所使用的 SRAM 的表面积和数量方面受益:

(a) 在触发器 SRAM 的情况下: 存储行的数目为 2 × n × m，采用 2n 个 SRAM 存储器，其中 n 为数据类型的数目， m 为 SRAM 存储行的数目;

(b) 在两串联配置的 SRAM 存储器的情况下: 存储行的数目为 (n × m) + p，其中 p 为第一 SRAM 存储器 43 的行数，或更具体地说，

若 p = m 则为 m (n + 1)，这表明对于 n 该解决方法的增益与现行解决方法比较具有趋向 2 的倾向。

上述解码器是这样设想的，即当存储器 44 存满时，存储器 43 总是空的。为达到此目的，两存储器应能起码存储所收到数据两倍的数据量。这样就可以在每两个周期只写一个数据。存储器 44 可以利用空闲的周期重读存储器 43 。

这里有一个例子可以认为是最不利的情况。 31 个值存储在存储器 44 的声频部分， 32 个值存储存存储器 44 的视频部分。由于视频部分满载，因而向仲裁电路请求将数据存入存储器 46 中。最长的响应时间为 200 个时钟周期，存储器本身需要 6 + 32 * 2 = 70 个周期，即总共 270 个周期。存储器 43 中的数据为声频数据，因而存储器 44 中的视频块 45b 会满载。和从第一次使用存储器 43 一样，向仲裁电路提出将数据转移到存储器 46 的新请求，而且再次使用 270 个周期。存储器 43 在存储器 44 与存储器 46 结合使用时会满载。接收数据在理论上的最高速度为在 540 个周期(存储器 44 的最长占用时间)内 64 * 4 = 256 个八位字节(存储器 43 的容量)。因此，本实施例不能达到每 2.1 个周期高于 1 个八字节的最高速度。时钟的周期为 40.5 兆赫，若连续使用的八位字节多于 256 个则理论上的最高速度为 19.3 个兆八位字节/秒。因此最高的实际平均速度为 2 个兆八位字节/秒，从而保留的可局 部大加变动的速度范围足够大。

显然，本发明并不局限于上述实施例，在不脱离本发明范围的前提下是可以提出其它解决方案的。例如，上面说过，本发明的解码器可接收 n 个不同类型的数据，因而输入级有 n 个存储用的寄存器，其容量为存储器 46 的一个存储单元。存储器 43 一个存储单元的容量根据下式等于一个寄存器的容量加上对该数据类型(两位码 TBC)进行编码所需要的二进制位数:

$$\text{码的大小(位)} = \text{int}\,(\log_2(n) + 1\text{-}1/n)$$

存储器 44 有 n 个存储块，其容量为这些寄存器的容量，而这些寄存器

的容量原先是由用户选取的(32 位， 48 位， ……)。

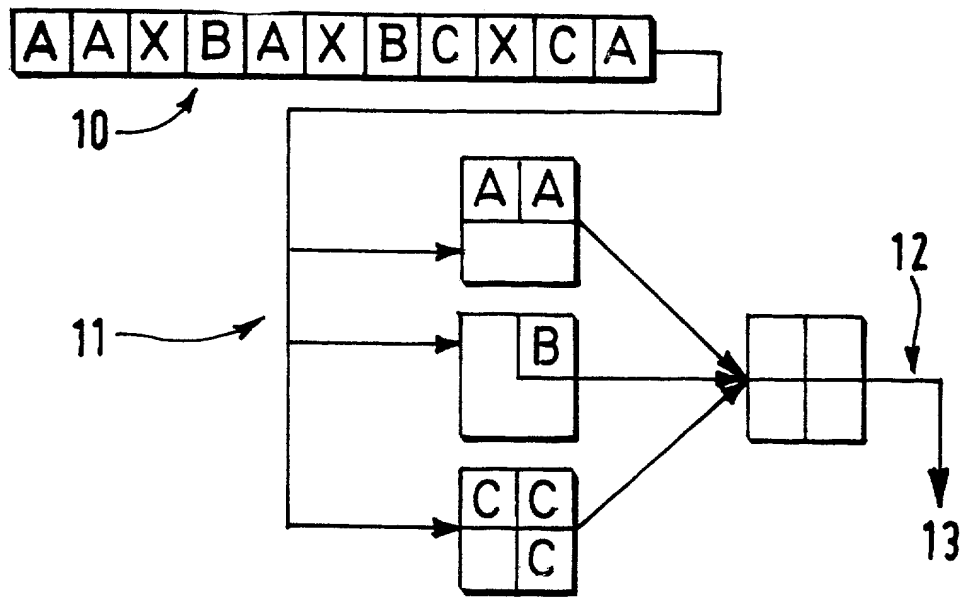


图　1

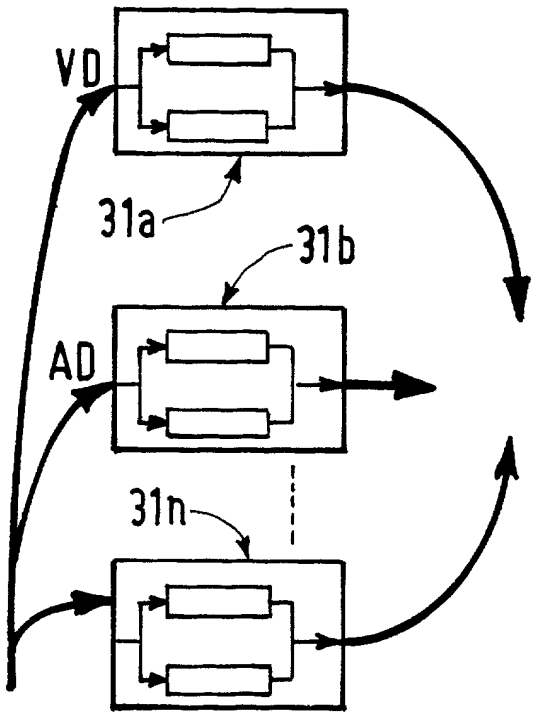


图　3

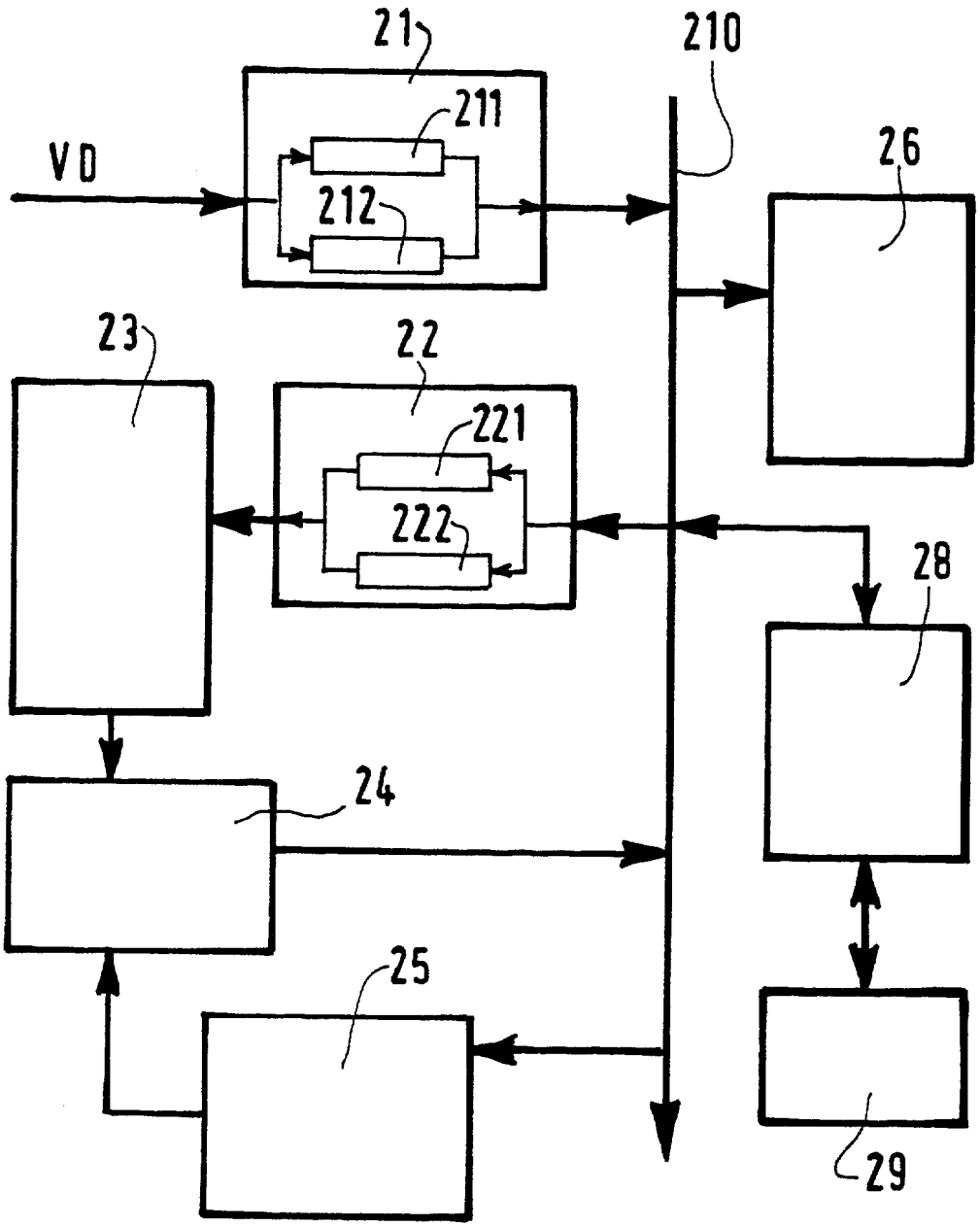


图 2

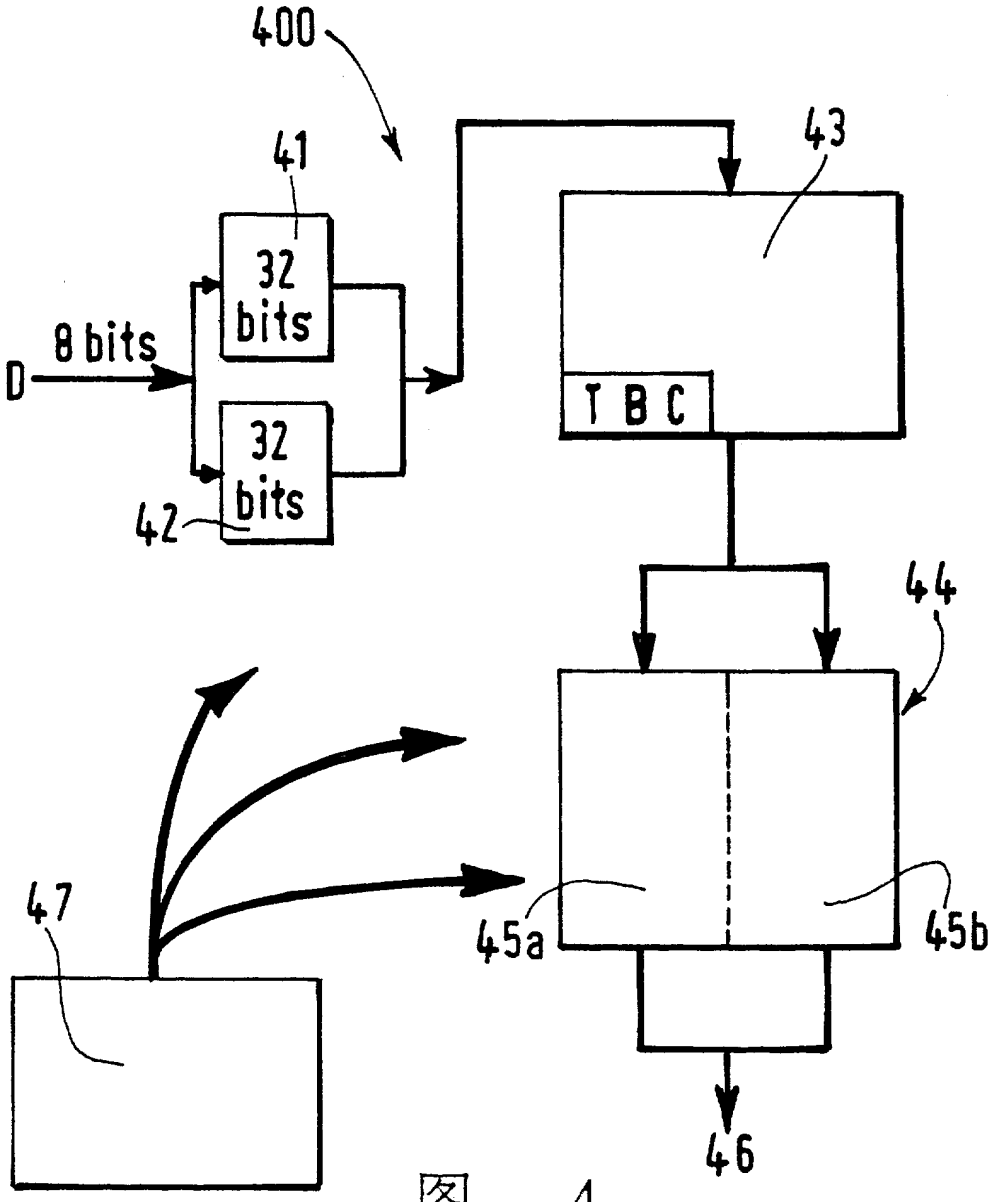


图 4