发明名称
基底绝缘膜的形成方法

摘要
对配置于电子器件用基底材料上的绝缘膜的表面照射基于处理气体的等离子体，从而在该绝缘膜和电子器件用基底材料的界面上形成基底膜，其中所述处理气体含有至少包括氧原子的气体。在绝缘膜和电子器件用基底材料之间的界面上，可以得到使该绝缘膜特性提高的优质底层膜。
1. 一种绝缘膜的形成方法，其特征在于，包括以下工序：
    准备在其表面上形成有所述绝缘膜的基板；
    在所述基板上生成处理气体的等离子体，所述处理气体至少含有包括氧原子的气体；
    对所述绝缘膜的表面照射所述等离子体，从而在所述绝缘膜与所述基板的界面上形成基底氧化膜，
    其中，所述基底氧化膜为氧化硅膜，该基底氧化膜的厚度为 6 ～ 12 Å。

2. 一种绝缘膜的形成方法，其特征在于，包括以下工序：
    在基板上形成具有高介电常数的所述绝缘膜；
    在所述高介电常数绝缘膜上生成处理气体的等离子体，所述处理气体至少含有包括氧原子的气体；
    对所述高介电常数绝缘膜的表面照射所述等离子体，从而在所述高介电常数绝缘膜与所述基板的界面上形成基底氧化膜，
    其中，所述基底氧化膜为氧化硅膜，该基底氧化膜的厚度为 6 ～ 12 Å。

3. 如权利要求 2 所述的绝缘膜的形成方法，其中，
    所述高介电常数材料由选自 Al₂O₃、ZrO₂、HfO₂、Ta₂O₅、高介电常数硅酸盐 ZrSiO、HfSiO、以及高介电常数铝酸盐 ZrAlO 的至少一者构成。

4. 一种绝缘膜的形成方法，其特征在于，包括以下工序：
    在基板上形成作为所述绝缘膜的 HfSiO 膜；
    在所述 HfSiO 膜上生成处理气体的等离子体，所述处理气体至少含有包括氧原子的气体；
    对所述 HfSiO 膜的表面照射所述等离子体，从而在所述 HfSiO 膜与所述基板的界面上形成基底氧化膜，
    其中，所述基底氧化膜为氧化硅膜，该基底氧化膜的厚度为 6 ～ 12 Å。
5. 一种绝缘膜的形成方法，其特征在于，包括以下工序：
在基板上形成作为所述绝缘膜的 HfSiO 膜；
在所述 HfSiO 膜上生成处理气体的等离子体，所述处理气体至少含有包括氧原子的气体；
对所述 HfSiO 膜的表面照射所述等离子体，进行等离子体氧化处理，从而在所述 HfSiO 膜与所述基板的界面上形成基底氧化膜；
氮化处理所述 HfSiO 膜的表面，
其中，所述基底氧化膜为氧化硅膜，该基底氧化膜的厚度为 6～12 Å。

6. 如权利要求 1、2、4 或 5 所述的绝缘膜的形成方法，其中，所述处理气体包含 Kr、Ar、He、Xe 中的一种稀有气体，所述包括氧原子的气体为 O₂气。

7. 如权利要求 1、2、4 或 5 所述的绝缘膜的形成方法，其中，通过平面天线部件来生成所述等离子体。

8. 如权利要求 1、2、4 或 5 所述的绝缘膜的形成方法，其中，所述基板温度为室温～500°C，所述等离子体通过微波来生成。

9. 如权利要求 1、2、4 或 5 所述的绝缘膜的形成方法，其中，形成所述基底氧化膜的压力为 3～500Pa。

10. 如权利要求 1、2 或 4 所述的绝缘膜的形成方法，其中，还包括形成所述基底氧化膜之后在高温下热处理所述基板的工序。

11. 如权利要求 10 所述的绝缘膜的形成方法，其中，在 N₂气氛、O₂气氛、或 N₂和 O₂气氛的某一种气氛中进行所述热处理。

12. 如权利要求 10 或 11 所述的绝缘膜的形成方法，其中，在 600～1050°C 的温度下进行所述热处理。

13. 如权利要求 4 或 5 所述的绝缘膜的形成方法，其中，还包括在形成所述 HfSiO 膜之前清洗所述基板的工序。

14. 一种半导体装置的制造方法，其特征在于，包括以下工序：
清洗半导体基板；
在所述基板上形成高介电常数的绝缘膜；
对所述绝缘膜的表面照射包括氧原子的气体的等离子体，从而在所述高介电常数绝缘膜与所述基板的界面上形成基底氧化膜；

在所述高介电常数绝缘膜上形成电极，

其中，所述基底氧化膜为氧化硅膜，该基底氧化膜的厚度为 6～12 Å。

15. 如权利要求 14 所述的半导体装置的制造方法，其中，所述高介电常数的绝缘膜由 Al₂O₃、ZrO₂、HfO₂、Ta₂O₅、HfSiO、ZrAlO 中的至少一种形成。

16. 如权利要求 14 所述的半导体装置的制造方法，其中，包括在形成所述高介电常数的绝缘膜之后进行热处理的工序。

17. 如权利要求 14 或 16 所述的半导体装置的制造方法，其中，包括氮化处理所述高介电常数绝缘膜的工序。
基底绝缘膜的形成方法

本分案申请是申请号为 03802592.2、申请日为 2003 年 3 月 31 日的专利申请的分案申请，该专利申请的发明名称为“基底绝缘膜的形成方法”。

技术领域

本发明涉及具有良好界面特性的绝缘膜的形成方法。进一步说，本发明涉及对绝缘膜照射基于上述处理气体的等离子体，从而提高该绝缘膜和基底材料之间的界面特性的方法，其中，所述处理气体至少包括含有氧原子的气体。本发明的改性方法尤其适用于使用在所谓的高介电常数材料中。

背景技术

本发明一般可广泛应用于制造半导体或半导体装置以及液晶器件等电子器件材料中，但这里为了便于说明，以半导体装置（器件）的背景技术为例进行说明。

在以硅为主的用于半导体或电子器件材料的基底材料上实施氧化膜的形成、通过 CVD 等的成膜以及蚀刻等各种处理。近年来，随着半导体装置的微型化以及对高性能的要求，（例如，在漏电流这一点上）对更高性能的绝缘膜的使用显著增加。这是由于即使在以往的集成度比较低的器件中实际上没有问题的漏电电流，在近年来的微型及/或高性能的设备中，也有可能产生严重的问题。尤其是在始于近年的、称为 ubiquitous 社会（将无论何时何地都连接在网络上电子器件作为介质的信息化社会）中的便携式电子设备的发展中，低耗电功率器件是必须的，所以，降低该漏电电流是非常重要的课题。

典型的是，例如，若在开发第二代 MOS 晶体管的基础上，追求高性能
能的硅 LSI 的微型化，则会产生漏电流增大，耗电功率也增大的问题。因此，为了在追求性能的同时减少耗电功率，需要不增加 MOS 晶体管的栅极漏电（栅漏）电流就能够提高晶体管的特性。

为了满足这样的要求，提出了各种方案（例如硅氧化膜的改性、氮氧化硅膜 SiON 的使用），但最有效的方法之一是开发使用了高介电常数材料的绝缘膜。因为通过使用这种高介电常数材料可以期望作为由 SiO₂ 电容量换算出来的膜厚的 EOT（有效氧化物厚度）的薄膜化。

然而，当实际上通过 CVD（化学气相沉积法）等来形成这种所期望的具有优秀特性的绝缘膜时，尤其是在实用性极高（例如，相比较而言薄到 12Å（埃））的绝缘膜中，难以在该绝缘膜和作为其基底的电子器件用基底材料之间得到良好的界面特性。

用于解决该课题的一个有效方法是：在基底材料上形成极薄（例如 10Å 以下）的基底膜后，在该基底膜上形成绝缘膜。然而，采用以往的热氧化技术或者等离子体氧化技术（通过这些技术是难以控制薄膜厚度的），在控制成膜速度和面内均匀性的同时直接在电子器件用基底材料上形成薄基底膜是极为困难的。

发明内容

本发明的目的是提供一种消除了上述现有技术的缺点的基底膜的形成方法。

本发明的其他目的是提供一种在绝缘膜和电子器件用基底材料之间的界面上，形成应该使晶体管特性提高的优质基底膜的方法。

本发明人的创新研究成果是，并不是如以往那样在电子器件用基底材料上形成绝缘膜后，形成绝缘膜（例如，高介电常数材料膜），而在电子器件用基底材料上一旦形成绝缘膜（例如，高介电常数材料膜），就使基于处理气体的等离子体透过该绝缘膜，并在该绝缘膜-基底材料界面上形成基底膜，其中所述的处理气体至少含有包括氧原子的气体，可以看出其用于达成上述目的是极其有效的。

本发明的基底膜的形成方法是基于上述理论的，更详细地说，其特征
在于，对配置于电子器件用基底材料上的绝缘膜的表面照射基于处理气体的等离子体，从而在该绝缘膜和电子器件用基底材料的界面上形成基底膜，其中所述的处理气体至少含有包括氧原子的气体。

根据本发明中，还可以提供电子器件用材料，至少包括电子器件用基底材料、配置于该基底材料上的基底膜和配置于该基底膜上的绝缘膜，其特征在于，所述基底膜是通过来自所述绝缘膜一側的等离子体照射而形成的膜。

在具有上述结构的本发明的基底膜的形成方法中，等离子体活性粒子（例如氧反应粒子）从绝缘膜表面一侧透过该绝缘膜，到达绝缘膜-基底材料界面，并在该界面附近形成基底膜。在本发明中，与在电子器件用基底材料上直接形成基底膜相比，因为易于控制成膜速度（即成膜时间的控制），所以容易进行该基底膜的膜厚控制，以及/或者提高基底膜的面内的均匀性。

附图说明

图 1(a) (b) 是表示可通过本发明的基底绝缘膜形成方法而制造的半导体装置的一个例子的垂直剖面模式图；

图 2 是表示用于实施本发明的基底绝缘膜形成方法的半导体装置的一个例子的平面模式图；

图 3 是表示可在本发明的基底绝缘膜的形成方法中使用的平面天线（RLSA；也称为隙缝平板天线或者 SPA）等离子体处理单元的一个例子的垂直剖面模式图；

图 4 是表示可在采用本发明基底绝缘膜形成方法的装置中使用的 RLSA 的一个例子的平面模式图；

图 5 是表示可在本发明的基底绝缘膜的形成方法中使用的加热反应炉单元的一个例子的垂直剖面模式图；

图 6 是表示形成有栅极氧化膜和栅极绝缘膜的硅衬底表面的一个例子的剖面模式图；

图 7 是表示向衬底表面上进行等离子体处理的一个例子的剖面模式图；
图；
图 8 是表示高介电常数材料成膜的一个例子的剖面模式图；
图 9 是表示向高介电常数材料表面进行等离子体处理的一个例子的剖
面模式图；
图 10 是表示向高介电常数材料膜上形成栅极电极的一个例子的剖面
模式图；
图 11 是表示形成 MOS 电容器的一个例子的剖面模式图；
图 12 是表示通过离子射入（注入）形成源极、漏极的一个例子的剖
面模式图；
图 13 是表示根据本发明而得到的 MOS 晶体管结构的一个例子的剖面
模式图；
图 14 是表示在通过 RLSA 氧化工序而形成的氧化膜和 HfSiO 膜上实
施了氧化工序处理时的导电膜厚（Teq）随氧化时间变化的图表；
图 15 是表示在通过 RLSA 氧化工序而形成的氧化膜和 HfSiO 膜上实
施了氧化工序处理时的导电膜厚（Teq）和导电膜厚均匀性随氧化时间变
化的图表。

具体实施方式
下面，根据需要在参照附图的同时对本发明进行更具体的说明。在以
下记载中，如果没有特别的说明，那么表示定量比值的“%”以“%”
都表示质量基准。

（基底膜的形成方法）
在本发明中，向配置在电子器件用基底材料上所配置的绝缘膜的表面
照射基于下述处理气体的等离子体，从而在该绝缘膜和电子器件用基底材
料的界面上形成基底膜，其中，所述处理气体至少包括含有氧原子的气
体。

（绝缘膜）
虽然对构成在本发明中可使用的绝缘膜的材料没有做特别的限制，但
是可从实用的 MOS 晶体管这一点来看，可优选使用从下述组中所选择的一
种或两种以上的物质，其中，所述组由低介电常数的 SiO$_2$、SiON，高介电常数的 SiN，以及后述的高介电常数的物质构成。

（高介电常数材料）

虽然对可在本发明中使用的高介电常数材料没有做特别的限制，但是从 MOS 晶体管的实用级别的趋向这一点来看，k（介电常数）的值为 8 以上，10 以上更好。

这种高介电常数材料，例如可优选使用从 Al$_2$O$_3$、ZrO$_2$、HfO$_2$、Ta$_2$O$_5$ 及 ZrSiO、HfSiO 等硅酸盐、ZrAlO 等铝酸盐所组成的组中所选择出的一种或两种以上。

（电子器件用基底材料）

对可在本发明中使用的上述电子器件用基底材料没有做特别的限制，从而可以从公知的电子器件用基底材料的一种或者两种以上的组合中适当地进行选择使用。作为这种电子器件用基底材料的例子，如可列举出半导体材料、液晶器件材料等。作为半导体材料的例子，如可列举出以单结晶硅为主要成分的材料、高性能（high performance）CMOS 等。

（底层膜）

只要可以使上述绝缘膜的界面特性提高，所以对基底膜的组成、膜厚以及积层的形态等就没有特别的限制。从晶体管特性这一点来看，可优选使用基底氧化膜作为基底膜。

这种基底氧化膜优选具有 6～12Å 的厚度，具有 6～8Å 的厚度更好。

（处理气体条件）

在本发明的基底膜制造过程中，从所应该形成的基底膜的特性这一点来看，可优选使用下述条件。

稀有气体（例如 Kr、Ar、He 或者 Xe）：300～2000sccm，1000～2000sccm 更好；

O$_2$：1～500sccm，10～300sccm 更好；

温度：室温（25℃）～500℃，250～500℃更好，250～400℃尤其好；

压力：3～500 Pa，7～260 Pa 更好；

微波：1～5W/cm$^2$，2～4W/cm$^2$ 更好，2～3W/cm$^2$ 尤其好。
（热处理（annealing））

在本发明中，在进行完上述的改性后，根据需要，还可以对绝缘层进行热处理。虽然对该热处理条件没有做特别的限制，但是从晶体管特性这一点来看，可优先使用含有 O₂气体及/或 N₂气体的处理气体。下面表示的是可在这发明中优选使用的条件的一例。

（优选的热处理条件）

稀有气体（例如 Kr、Ar、He 或 Xe）：0 ~ 5000sccm，0 ~ 1000sccm 更好；
O₂：10 ~ 1000sccm，10 ~ 100sccm 更好；
N₂：1000 ~ 5000sccm，1000 ~ 3000sccm 更好；
温度：室温（25°C）~ 1050°C，600 ~ 1050°C 更好；
压力：100 ~ 101k Pa，1k ~ 101k Pa 更好；

虽然对可在这发明中使用的等离子体没有做特别限制，但是从可容易得到均匀的薄膜这一点来看，优选使用电子温度比较低且高密度的等离子体。

（优选的等离子体）

可在本发明中优选使用的等离子体的特性如下。
电子温度：0.5 ~ 2.0eV
密度：1E10 ~ 5E12 / cm³
等离子体密度的均匀性：±10%

（平面天线部件）

在本发明的电子器件材料的制造方法中，通过具有多个间隙的平面天线部件照射微波，从而形成电子温度低且密度高的等离子体。在本发明中，因为使用具有这种优秀特性的等离子体来形成基底膜，所以可以减小等离子体损伤，且可以在低温下完成高反应率的工序。而且，在本发明中，（与使用以往的等离子体的情况相比）通过平面天线部件照射微波，可以得到易于形成优质基底膜的优点。

根据本发明可以形成优质基底膜。因此，通过在该基底膜上形成其他层（例如电极层），易于形成特性优良的半导体装置的结构。
（基底膜的优选特性）
根据本发明可以如下述那样易于形成具有优选特性的基底膜。
（半导体结构的优选特性）
虽然对本发明的方法应适用的范围没有做特别限制，但是可通过对发明而形成的优质基底膜，尤其是优选作为 MOS 结构的栅极绝缘膜来利用。
（MOS 半导体结构的优选特性）
可通过对发明而形成的极薄且优质的基底膜，尤其是优选作为半导体装置的绝缘膜（尤其是 MOS 半导体结构的栅极绝缘膜）来使用。
根据本发明，可以如下述那样容易地制造具有优选特性的 MOS 半导体结构。此外，当评价通过本发明而形成的基底膜的特性时，例如，形成文献（VLSI 器件物理 岸野正刚、小柳光正著 丸善 P62 ～ 63）中所记载的那样的标准的 MOS 半导体结构，从而可以通过评价其 MOS 的特性来代替评价上述基底膜的特性。这是因为在这种标准的 MOS 结构中，构成该结构的基底膜的特性给 MOS 特性以强烈的影响。
（制造装置的一种方式）
下面，对本发明制造方法的优选的一种方式进行说明。
首先，关于可通过对发明的电子器件材料的制造方法而制造的半导体装置的结构的一例，沿参照图 1(a) ～(b)，一边说明具有将栅极绝缘膜用作绝缘膜的 MOS 结构的半导体装置。
参照图 1(a)，在该图 1(a) 中，参照标号 1 是硅衬底，11 是场氧化膜，2 是栅极绝缘膜，13 是栅极电极。参照图 1(b)，栅极绝缘膜 2 由基底氧化膜 21 和高介电常数物质 22 构成。如上所述，根据本发明的制造方法可以形成极薄的优质基底氧化膜 21。
在该例中，该高质量的基底氧化膜 21 最好由硅氧化膜（以下称 “SiO2 膜”）构成，其中，所述硅氧化膜的形成为：在将高介电常数物质成膜之后，在包括 O2 及稀有气体的处理气体存在的条件下，经由具有多个缝缝的平面天线部件向以 Si 为主要成分的被处理基底材料上照射微波，从而形成等离子体，并利用该等离子体在所述高介电常数物质和衬底的界面间形
成所述硅氧化膜。在使用这样的基底 SiO₂ 膜时，如后所述，具有以下特征：Si/栅极绝缘膜/界面特性（例如，界面能级）良好，且易于得到良好的栅极漏电特性。

（制造方法的一种方式）

接下来，对配置有这种栅极绝缘膜 2、栅极电极 13 的电子器件材料的制造方法进行说明。

图 2 是表示用于实施本发明电子器件材料的制造方法的半导体制造装置 30 整体结构的一例的简图（平面模式图）。

如图 2 所示，大约在该半导体制造装置 30 的中央配置有用于搬运晶片 W（图 2）的搬运室 31，此外，围绕着该搬运室 31 的周围，还设有用于对晶片进行各种处理的等离子体处理单元 32、33；用于进行各处理室间连通/切断操作的两个负载锁定（load lock）单元 34 及 35；用于进行各种加热操作的加热单元 36；以及用于对晶片进行各种加热处理的加热反应炉 47。此外，加热反应炉 47 也可以与上述半导体制造装置 30 分开而独立设置。

在负载锁定单元 34、35 的横向上还分别设有用于进行各种预冷和冷却操作的预冷单元 45、冷却单元 46。

在搬运室 31 的内部设有搬运臂 37 及 38，从而可以在所述各单元 32～36 之间搬运晶片 W（图 3）。

在负载锁定单元 34 及 35 的图中前面一侧设有装载臂（loader arm）41 及 42。这些装载臂 41 及 42，进而，可以在其前面一侧所设的盒式台 43 上所设置的四个盒子 44 之间将晶片 W 取出放入。

此外，作为图 2 的等离子体处理单元 32、33，两个同型的等离子体处理单元被并列设置。

而且，这些等离子体处理单元 32 及单元 33 可以一起更换为单室型 CVD 处理单元，也可以在等离子体处理单元 32 或者 33 的位置上设置一个或者两个单室型 CVD 处理单元。

当等离子体处理是两个时，例如，可以在处理单元 32 中进行了氧化处理之后，再在处理单元 33 中进行氮化处理的方法；也可以在处理单元
32 及 33 中并列进行氧化处理和氯化处理。
（等离子体处理装置的一种方式）

图 3 是可再栅极绝缘膜 2 的成膜过程中使用的等离子体处理单元 32（33）的垂直方向的剖面模式图。

参照图 3，参照标号 50 是例如由铝形成的真空容器。在该真空容器 50 的上面形成有被衬底（例如晶片 W）的大开口部分 51，而且为了防止该开口部分 51，还设有例如由石英或氟化铝等电介质构成的螺旋圆柱状的盖板 54。在作为该盖板 54 下表面的真空容器 50 的上部侧壁上，例如在沿其圆周方向均匀配置的 16 处位置上设有气体供给管 72，并从该气体供给管 72 将处理气体均匀地供给到真空容器 50 的等离子体区域 P 附近，其中所述处理气体包括 O₂和从稀有气体、N₂以及 H₂等中选择的一种以上的气体。

在盖板 54 的外侧，经由具有多个间隙的平面天线部件，如由铜板形成的平面天线（RLSA）60，形成高频率电源部分，并设有连接在微波电源部分 61 上的波导路径 63，其中所述微波电源部分 61 产生例如 2.45GHz 的微波。该波导路径 63 由下述部件组合而成：下边缘被连接在 RLSA 60 上的扁平圆形波导管 63A；一端被连接在所述圆形波导管 63A 的上表面的圆形波导管 63B；该圆柱形波导管 63B 的上表面所连接的同轴波导转换器 63C；以及一端被成直角地连接在所述同轴波导转换器 63C 的侧面，而另一端被连接在微波电源部分 61 上的矩形波导管 63D。

在所述圆柱形波导管 63B 的内部，将由导电性材料构成的轴部分 62 同轴设置，即，使其一端连接在 RLSA 60 上表面的大约中央部分，另一端连接在圆柱形波导管 63B 的上表面，因此，该波导管 63B 构成了同轴波导管。

此外，在真空容器 50 内，相对盖板 54 设有晶片 W 的载物台 52。在该载物台 52 内，内置有未图示的调温部分，由此，该载物台 52 具有作为加热板的功能。此外，真空容器 50 的底部与排气管 53 的一端连接，且该排气管 53 的另一端连接在真空泵 55 上。

（RLSA 的一种方式）
图 4 是表示可在本发明的电子器件材料的制造装置中使用的 RLSA 60 的一例的平面模式图。

如该图 4 所示，对于该 RLSA 60，在其表面上形成有多个缝隙 60a、60a、……呈同心圆状。各缝隙 60a 是长方形的通槽，且如下设置：邻接的缝隙之间彼此垂直相交，大致呈字母 "T" 字形。缝隙 60a 的长度和排列间隔根据由微波电源部分 61 所产生的微波的波长来确定。

（加热反应炉的一种方式）

图 5 是表示可在本发明的电子器件材料的制造装置中使用的加热反应炉 47 的一例的垂直方向的剖面模式图。

如图 5 所示，加热反应炉 47 的处理室 82 形成了如由铝等构成的可气密结构。在处理室 82 内设有加热机构和冷却机构，虽然它们在该图 5 中被省略了。

如图 5 所示，在处理室 82 的上部中央连接有用于导入气体的气体导入管 83，从而处理室 82 的内部与气体导入管 83 的内部被连通。而且，气体导入管 83 还连接在气体供给源 84 上。并且，从气体供给源 84 向气体导入管 83 供给气体，并经由气体导入管 83 将气体导入到处理室 82 内。该气体是形成高介电常数绝缘膜的原料，例如可以使用 HTB 或者硅烷等各种气体，而且根据需要还可以使用惰性气体作为载体气体。

处理室 82 的下部连接有用于将处理室 82 内的气体排出的排气管 85，且排气管 85 连接在由真空泵等构成的排气装置（未图示）上。通过该排气装置，处理室 82 内的气体被从排气管 85 排出，从而将处理室 82 内设定为所需的压力。

另外，在处理室 82 的下部配置有安放晶片 W 的载物台 87。

在图 5 所示的状态中，通过直径与晶片 W 大致相同的静电卡盘（未图示）将晶片 W 安放在载物台 87 上。在该载物台 87 内部设有未图示的热源装置，从而形成可以将安放在载物台 87 上的晶片 W 的处理表面调整到所需温度的结构。

该载物台 87 根据需要形成可将安放的晶片 W 旋转的结构。

在图 5 中，在载物台 87 右侧的处理室 82 的壁面上设有用于使晶片 W
出入的开口部分 82a，该开口部分 82a 的开闭是通过沿图中的上下方向移动闸门阀 98 进行的。在图 5 中，在闸门阀 98 的右侧还邻近地设有用于搬运晶片 W 的搬运臂（未图示），且搬运臂经由开口部分 82a 出入处理室 82 内，从而将晶片 W 安放在载物台 87 上，并将处理后的晶片 W 从处理室 82 搬运出。

在载物台 87 的上方设有作为淋浴部件的淋浴头 88。该淋浴头 88 划分了载物台 87 和气体导入管 83 之间的空间，例如由铝等形成。

淋浴头 88 的上部中央设有气体导入管 83 的气体出口 83a，并通过设置在淋浴头 88 下部的气体供给孔 89 将气体导入到处理室 82 内。

（MOS 晶体管形成的方式）

下面，对使用上述装置在晶片 W 上形成具有绝缘膜 2 的 MOS 晶体管的方法的优点的一例进行说明，其中，所述绝缘膜 2 由基底膜 21 及高介电常数绝缘膜 22 构成。

图 6-13 是表示本发明的方法中各工序的一例的模式图。

参照图 6，首先，在前面的工序中，在晶片 W 表面上形成元件分离的场氧化膜、沟道注入以及牺牲氧化膜。然后，除去该牺牲氧化膜。

接下来，打开设置在等离子体处理单元 32（图 3）内的真空容器 50 侧壁上的闸门阀（未图示），并通过搬运臂 37、38 将图 8 的除去牺牲氧化膜的晶片 W 安放在载物台 52（图 3）上。

接着，当关闭闸门阀将内部密封后，利用真空泵 55，经由排气管 53 将内部气体排出，直到将其抽成规定真空度的真空，并维持在规定压力。另一方面，通过微波电源部分 61 产生例如 2W/cm²的微波，并通过波导路径引导该微波，从而经由 RLSA 60 及盖板 54 导入真空容器 50 内。这样，可以在真空容器 50 内的上部一侧的等离子体区域 P 内产生高频等离子体。

此处，微波在矩形波导管 63D 内以矩形模式传送，并通过同轴波导转换器 63C 从矩形模式转换为圆形模式，再以圆形模式通过圆筒形同轴波导管 63B，再进一步在圆形波导管 63A 中以扩散状态传送，然后通过 RLSA 60 的隙缝 60a 辐射，并通过盖板 54 导入到真空容器 50 内。此时，由于使
用微波来产生高密度等离子体，而且，由于从 RLSA 60 的多个缝隙 60a 辐射微波，所以该等离子体是高密度的。

在微波导入前，一边调节载物台 52 的温度，将晶片 W 加热到例如 400℃，一边通过气体供给管 72 将作为氧化膜形成用处理气体的氮或氢等稀有气体和 N₂ 气体分别以例如 1000sccm、40sccm 的流量导入，从而实施图 7 的工序（高介电常数成膜前的氮化处理）。通过实施本处理，在高介电常数成膜时，高介电常数物质和硅衬底反应，从而可以抑制在界面上形成硅氧化膜。

然后，将晶片 W 设置在热处理单元 47 内。在该热处理单元 47 内，在晶片 W 的上部形成高介电常数物质膜。例如，当在上述硅衬底 W 上形成硅酸锆 (HfSiO) 膜时，分别以每次 1sccm、400sccm 导入三次四乙氧基锆 (HTB: Hf(OC₂H₅)₄) 和硅烷气体 (SiH₄)，并将压力保持在 50Pa。HTB 的流量是液体质量流量 (mass flow) 控制装置的流量，硅烷气体的流量是气体质量流量控制装置的流量。在该气氛中以 350℃对所述硅衬底进行加热，从而通过在衬底上使 Hf、Si 和 O 的反应粒子进行反应来形成 HfSiO 膜。通过控制包括处理时间的工序条件形成 4nm 的 HfSiO 膜（图 8）。

然后，打开闸门阀（未图示），使搬运臂 37、38（图 2）进入真空容器 47 内获取晶片 W。当该搬运臂 37、38 将晶片 W 从热处理单元 47 取出后，将其设置在等离子体处理单元 33 内的载物台上。

（含氮层（氮化含有层）形成的方式）

下面，如图 11 所示，在该等离子体处理单元 33 内，在晶片 W 上实施氧化处理，从而在已经形成的高介电常数绝缘膜 2 的下表面上形成基底氧化膜 21（图 1(b)）。

在该基底氧化膜形成之际，例如，在真空容器 50 内，在晶片温度例如为 400℃、工序压力例如为 133Pa (1Torr) 的状态下，通过气体导入管将氮气和氧气分别以例如 2000sccm、200sccm 的流量导入容器 50 内。

另一方面，通过微波电源部分 61 产生例如 2W/cm² 的微波，并通过波导路径引导该微波，从而经由 RLSA 60 及盖板 54 导入真空容器 50 内，这
样，可以在真空容器 50 内的上部一侧的等离子体区域 P 内产生高频等离子体。

在该工序（底涂层氧化膜的形成）中，将导入的气体等离子体化，从而形成氧化膜。该氧化膜通过高电极常数物质与硅衬底反应，并在高电极常数物质和硅衬底界面上形成 SiO₂ 膜。这样，如图 1(b) 所示，在晶片 W 上的高电极常数物质 22 和硅衬底 1 的界面上形成基底氧化膜 21。

（栅极电极的形成方式）

然后，在形成有高电极常数物质和基底氧化膜的晶片 W 上形成栅极电极 13（图 1(a)）（图 10）。该栅极电极的形成是在与图 5 所示的相同的热处理单元内进行的。该热处理单元可以如图 2 所示那样与半导体制造装置 30 一体设置，此外，也可以在其他装置中进行处理。

此时，可以根据形成的栅极电极 13 的种类来选择处理条件。

即，在形成由多晶硅组成的栅极电极 13 时，例如，可以使用 SiH₄ 作为处理气体（电极形成气体），并在 10 ~ 500Pa 的压力、580 ~ 680℃的温度条件下进行处理。

此外，在形成由非晶硅组成的栅极电极 13 时，例如，可以使用 SiH₄ 作为处理气体（电极形成气体），并在 10 ~ 500Pa 的压力、500 ~ 580℃的温度条件下进行处理。

（氧化膜的品质）

在上述图 11 的工序中，在形成栅极基底膜用的基底氧化膜之际，在处理气体存在的条件下，经由具有多个缝隙的平面天线部件（RLSA）向以 Si 为主要成分的晶片上照射微波，从而形成包括氧气（O₂）及稀有气体的等离子体，并且由于使用该等离子体在所述被处理基底材料表面上形成氧化膜，所以，可以高质量且自始至终地进行膜质控制。

然后，进行栅极的图案化、选择蚀刻，并形成 MOS 电容器（图 11），并通过实施离子射入（注入）来形成源极、漏极（图 12）。然后，通过热处理来进行掺杂（向沟道、源极、漏极所注入的磷（P）、砷（As）、硼（B）等）的活性化。然后，经过作为后续工序的布线工序而得到本方式的 MOS 晶体管（图 13），其中所述布线工序是层间绝缘膜的
成膜、图案化、选择蚀刻、金属成膜组合而成的。最终，在该晶体管上部以各种图案实施布线工序，并通过制作电路来完成逻辑器件。

此外，在本方式中，虽然形成 Hf 硅酸盐（HfSiO 膜）作为绝缘膜，但是也可以形成由其它组份组成的绝缘膜。作为栅极绝缘膜，可以从下组列舉中选择一种或者两种以上，其中所述列舉包括：以前所使用的低介电常数的 SiO₂、SiON，和介电常数比较高的 SiN 或称为高介电常数物质的高介电常数的 Al₂O₃、ZrO₂、HfO₂、Ta₂O₅，以及 ZrSiO、HfSiO 等硅酸盐或 ZrAlO 等铝酸盐。

此外，虽然只采用了以热 CVD 法为高介电常数物质的成膜方法，但是高介电常数物质的形成方法可以是任意的，例如通过等离子体 CVD 法或 PVD 法来进行成膜也可以。

此外，在本实施例中，虽然只注重于等离子体氧化处理所产生的效果，但是也可以应用等离子体氮化处理或等离子体氧化处理和氮化处理组合而成的处理等来代替等离子体氧化处理。

以下，通过实施例来对本发明进行更具体的说明。

实施例

实施例 1

图 14、图 15 分别表示在通过 RLSA 氧化工序而形成的氧化膜和 HfSiO 膜上实施氧化等离子体处理时的导电膜厚（Teq）和导电膜厚的均匀性（范围：图内 Teq 的最大值和最小值的差）随氧化时间的变化。横轴表示氧化处理时间，纵轴表示 Teq 及范围。图 14、图 15 的采样是通过以下方法来制作的。

（1）衬底

在衬底中，使用 P 型的硅衬底，并使用比电阻是 8 ~ 12Ωcm、面方位（100）的硅衬底。在硅衬底表面上，通过热氧化法形成 500A 的牺牲氧化膜。

（2）形成 HfSiO 膜之前的处理

通过组合 APM（氨水、双氧水、纯水的混合液）和 HPM（盐酸、双
氧水、纯水的混合液）以及 DHF（氢氟酸和纯水的混合液）而成的 RCA 洗剂来除去牺牲氧化膜和污染成分（金属或有机物、微粒）。APM 的药液浓度比是 NH₄OH：H₂O₂：H₂O = 1：2：10，温度是 60℃。此外，HPM 浓度比是 HCl：H₂O₂：H₂O = 1：1：5，温度是 60℃，DHF 浓度比是 HF：H₂O = 1：99，温度是 23℃。当处理进行了 APM₁ 0 分 → 纯水冲洗 5 分 → DHF 23 分 → 纯水冲洗 5 分 → HPM₁ 0 分 → 纯水冲洗 5 分 → 最后纯水冲洗 10 分后，进行 9 分钟 IPA（异丙醇，220℃）干燥，从而使晶片上的水分干燥。将该衬底保持在 700℃，并在以 2000sccm 导入了 NH₃ 的气氛下（大气压）保持一分钟，从而在衬底表面上形成了薄氮化层（SiN 层）。通过形成该 SiN 层可以抑制硅衬底和 HfSiO 膜的热反应。

（3）HfSiO 成膜

在上述 2 的硅衬底上形成硅酸铪（HfSiO）膜。分别以每次 1sccm、400sccm 导入三次四乙氧基铪（HTB：Hf（OC₂H₅）₄）和硅烷气体（SiH₄），并将压力保持在 50Pa。HTB 的流量是液体质流量控制装置的流量，硅烷气体的流量是气体质量流量控制装置的流量。在该气氛中以 350℃加热所述 2 的硅衬底，从而通过在衬底上使 Hf、Si 和 O 的反应粒子反应来形成 HfSiO 膜。通过控制包括处理时间的工序条件形成了 4nm 的 HfSiO 膜。

（4）RLSA 氧化处理

在实施了上述 3 的处理的硅衬底上实施 RLSA 等离子体氧化处理。在加热到 400℃的硅衬底上，每次分别流过 2000sccm，20sccm 的稀有气体和氧气，并将压力保持在 67Pa（500mTorr）。在该气氛中，经由具有多个微缝的平面天线部件（RLSA）照射 2.8W/cm² 的微波，从而形成包括氧气及稀有气体等离子体，并使用该等离子体在所述 3 的衬底上实施等离子体氧化处理。

（5）栅极电极用 TiN 成膜

在通过上述（3）~（4）而形成的 HfSiO 膜上，以及在省略了作为参考的 3 的 HfSiO 成膜而只进行 4 的氧化处理的氧化膜上，通过 CVD 法形成作为栅极电极的氮化钛（TiN）膜。以 550℃对实施了 3 ~ 4 的处理的硅
衬底进行加热，并在 200Pa 的压力下，以 30sccm 向衬底导入 TiCl₄ 气体、
以 100sccm 向衬底导入 NH₃ 气体、以 150sccm 向衬底导入 N₂ 气体，从
而，在 HfSiO 膜上形成膜厚为 800A 的电极用 TiN 膜。

（6）图案化、栅极蚀刻

在通过上述（5）而制成的 TiN 电极上通过干版印刷术来实施图案化
，并通过在双氧水（H₂O₂）药液中浸泡硅衬底 90 分钟来溶化没有被图
案化部分的 TiN，从而制成 MOS 电容器。

实施例 2

关于在实施例 1 中制作的 MOS 电容器，评价其 CV 特性行。通过下面
示意的方法来进行该测定。对栅极电极面积是 10000μm² 的电容器的
CV、特性进行评价。CV 特性是通过评价在频率 1MHz、栅极电压从 1V
到-2V 扫描的各电压时的电容所得。从 CV 特性来计算导电膜厚。

图 14 表示在通过 RLSA 氧化工序而形成的氧化膜和 HfSiO 膜上实施
氧化等离子体处理时的导电膜厚（Teq）。横轴表示氧化处理时间，纵轴
表示导电膜厚（Teq）。

图 14 所示，参考氧化膜在 20 秒以上的氧化时间内形成 25A 以上的膜
厚。由于氧化时间越短则工序的再现性就越低，对膜厚的控制也就越困
难，所以并不适用于 20 秒以下的短时间的工序。因此，在图 16 的参考中
所示的通常的氧化方法中，作为高介电常数氧化膜是难以得到所要求的
膜厚（10A 以下）的。与其相反，当在图 14 所示的 HfSiO 膜上实施 RLSA
氧化处理时，相对于初期的膜厚（约 16A），即使在实施了 35 秒以上的
长时间的处理时，导电膜厚的增加也会被抑制在 10A 范围之内。因为在氧
化工序中只使用稀有气体和氧气，所以认为引起该膜的增厚的原因是氧
气。膜的增厚被认为是自界面上开始的膜的增厚和膜本身（体积）的增厚。
现在，包括了 HfSiO 膜的高介电常数物质的问题是存在由高温热处理导致
的结晶。这是由于自膜中的 Si 原子的绝对量少而引起的。所以，通过将氧气
混入到膜中的膜增厚是由于在 Si-Si 结合内进入 O 而产生的膜增厚的可能性
性较低。此外，大量含有 Hf-O 的结合也是众所周知的。综上所述，对膜
的增厚最有帮助的部分是从衬底开始的膜的增厚，也就是在界面上形成氧
化膜的可能性较高。因此，认为根据本发明可以在界面上形成极薄的氧化膜。

图 15 分別表示在通过 RLSA 氧化工序而形成的氧化膜和 HfSiO 膜上实施氧化等离子体处理时的导电膜厚的均匀性（范围：面内的 Teq 的最大值与最小值之差）随氧化时间的变化。横轴表示氧化处理时间，纵轴表示范围。

如图 15 所示，参考 RLSA 氧化膜相对处理时间，范围的值没有变化，但是当对 HfSiO 膜实施 RLSA 氧化处理时，范围随着处理时间的增加而减小，即观察到了均匀性提高。该机构被认为如下所述。如前所述，膜的增厚的主要原因是界面氧化膜的增厚，膜薄的部分会产生很强的增厚效果，膜厚的部分会产生较弱的增厚效果。因此，可以认为膜厚的不均匀性是通过实施 RLSA 氧化来改善的，从而导电膜厚变得均匀。因此，图 15 的结果支持前面所述的图 14 的膜的增厚机构。

如上所述，通过在形成 HfSiO 膜以后实施等离子体处理，可以实现在单体氧化工序中难以实现的、极薄的、10A 以下的基底膜的形成，且可以形成具有良好均匀性的 HfSiO。

此外，虽然在上述例子中只提及了利用本发明制造的 HfSiO 膜，但是，对其它的高介电常数物质实施同样的处理也可以实现同样的效果。

工业上的可利用性

根据上述本发明，可以提供一种在绝缘膜和电子器件用基底材料之间的界面上形成使该绝缘膜特性提高的优质基底膜的方法。
图2
图6

图7
图8

SPA等离子体处理

图9
图10

图11
图15

范围 $[A] = T_{eq_{max}} - T_{eq_{min}}$