

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年7月24日(2008.7.24)

【公開番号】特開2008-83788(P2008-83788A)

【公開日】平成20年4月10日(2008.4.10)

【年通号数】公開・登録公報2008-014

【出願番号】特願2006-260494(P2006-260494)

【国際特許分類】

G 0 6 F 13/10 (2006.01)

G 0 6 F 3/06 (2006.01)

G 0 6 F 12/08 (2006.01)

【F I】

G 0 6 F 13/10 3 4 0 A

G 0 6 F 3/06 3 0 1 M

G 0 6 F 12/08 5 5 7

G 0 6 F 12/08 5 4 1 Z

G 0 6 F 12/08 5 5 1 Z

【手続補正書】

【提出日】平成20年6月11日(2008.6.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ホストコンピュータとディスクドライブとの間のデータ転送を制御するディスク制御装置であって、

チャンネルメモリを有するチャンネル部と、

キャッシュメモリを有するキャッシュ部と、を備え、

前記チャンネルメモリと前記キャッシュメモリとの間で、パケットによってデータが転送され、

前記パケットが転送される際に、前記転送されるパケットのヘッダ情報の整合性を検証することによって当該転送の許否を決定する制御部を備えることを特徴とするディスク制御装置。

【請求項 2】

前記ディスク制御装置は、さらに、前記チャンネル部及び前記キャッシュ部を接続し、内部ネットワークを形成するスイッチ部を備え、

前記スイッチ部は、前記内部ネットワークを介して、前記チャンネルメモリと前記キャッシュメモリとの間でパケットを転送し、

前記スイッチ部は、前記制御部を備えることによって、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することによって請求項 1 に記載のディスク制御装置。

【請求項 3】

前記チャンネル部及び前記キャッシュ部の少なくとも一つは、前記制御部を備えることによって、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することによって請求項 1 に記載のディスク制御装置。

【請求項 4】

前記ディスク制御装置は、さらに、他のディスク制御装置と接続するスイッチ部を備え

、

前記スイッチ部は、前記他のディスク制御装置との間で前記パケットを転送し、

前記スイッチ部は、前記制御部を備えることによって、前記パケットを前記ディスク制御装置間で転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 5】

前記チャネル部及び前記制御部の少なくとも一つは、前記パケット転送を起動する DMA コントローラを備え、

前記制御部は、前記ディスク制御装置間でパケットが転送される際に、前記転送先ディスク制御装置に備わる DMA コントローラによって転送が起動された場合に当該転送を許可し、前記転送元ディスク制御装置に備わる DMA コントローラによって転送が起動された場合に当該転送を許可しないことを特徴とする請求項 4 に記載のディスク制御装置。

【請求項 6】

前記チャネル部及び前記制御部の少なくとも一つは、前記パケット転送を起動するための DMA コントローラを備えることを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 7】

前記各メモリの記憶領域は、前記ホストコンピュータから送信されたデータが格納されるデータ領域と、前記ディスク制御装置内の動作を制御するためのデータが格納される制御領域と、に分割され、

前記制御部は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 8】

前記ディスク制御装置は、さらに、前記データの転送を制御するプロセッサを備え、

前記データ領域及び前記制御領域は、さらに、前記ホストコンピュータとの接続ポートによって使用される領域及び当該パケットの転送を制御するプロセッサによって使用される領域に分割されており、

前記制御部は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 7 に記載のディスク制御装置。

【請求項 9】

前記制御部は、

前記パケットの転送元アドレス及び転送先アドレスに基づいて、前記パケットの転送元のメモリの領域の属性及び前記転送先のメモリの領域の属性を特定し、

前記パケットの転送コマンドと前記特定された領域の属性に基づいて、当該転送の許否を決定することを特徴とする請求項 1 に記載のディスク制御装置。

【請求項 10】

前記制御部は、前記転送元の領域の属性と前記転送先の領域の属性とが一致する場合に、前記転送を許可することを特徴とする請求項 9 に記載のディスク制御装置。

【請求項 11】

前記ディスク制御装置は、前記転送元の領域の属性と、前記転送先の領域の属性と、前記パケット転送の転送コマンドとの関係によって、転送の許否を定めた転送条件を保持し

、

前記制御部は、前記転送条件を参照して、前記参照された転送条件によって許可されている場合には、転送を許可することを特徴とする請求項 9 に記載のディスク制御装置。

【請求項 12】

ホストコンピュータとディスクドライブとの間のデータ転送を制御するディスク制御装置におけるデータ転送制御方法であって、

前記ディスク制御装置は、チャネルメモリを有するチャネル部と、キャッシュメモリを

有するキャッシュ部と、を備え、

前記データ転送制御方法は、

前記チャネルメモリと前記キャッシュメモリとの間で、パケットによってデータを転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することによって当該転送の許否を決定し、

前記転送が許可されると決定された場合に、パケットを転送することを特徴とするデータ転送制御方法。

【請求項 1 3】

前記ディスク制御装置は、さらに、他のディスク制御装置と接続されており、

前記データ転送制御方法は、前記ディスク制御装置間でパケットを転送する際に、前記転送されるパケットのヘッダ情報の整合性を検証することを特徴とする請求項 1 2 に記載のデータ転送制御方法。

【請求項 1 4】

前記チャネル部及び前記プロセッサ部の少なくとも一つは、前記パケット転送を起動する D M A コントローラを備え、

前記データ転送制御方法は、前記ディスク制御装置間でパケットを転送する際に、前記転送先ディスク制御装置に備わる D M A コントローラによって転送が起動された場合に当該転送を許可し、前記転送元ディスク制御装置に備わる D M A コントローラによって転送が起動された場合に当該転送を許可しないことを特徴とする請求項 1 3 記載のデータ転送制御方法。

【請求項 1 5】

前記各メモリの記憶領域は、前記ホストコンピュータから送信されたデータが格納されるデータ領域と、前記ディスク制御装置内の動作を制御するためのデータが格納される制御領域と、に分割されており、

前記データ転送制御方法は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 1 2 に記載のデータ転送制御方法。

【請求項 1 6】

前記ディスク制御装置は、さらに、前記データの転送を制御するプロセッサを備え、

前記データ領域及び前記制御領域は、さらに、前記ホストコンピュータとの接続ポートによって使用される領域及び当該パケットの転送を制御するプロセッサによって使用される領域に分割されており、

前記データ転送制御方法は、前記パケットを転送する際に、前記転送されるパケットのヘッダ情報に基づいて、前記転送元のメモリの領域と前記転送先のメモリの領域との整合性を検証することを特徴とする請求項 1 5 に記載のデータ転送制御方法。

【請求項 1 7】

前記パケットの転送元アドレス及び転送先アドレスに基づいて、前記パケットの転送元のメモリの領域の属性及び前記転送先のメモリの領域の属性を特定し、

前記パケットの転送コマンドと前記特定された領域の属性に基づいて、当該転送の許否を決定することを特徴とする請求項 1 2 に記載のデータ転送制御方法。

【請求項 1 8】

前記転送元の領域の属性と前記転送先の領域の属性とが一致する場合に、前記転送を許可することを特徴とする請求項 1 7 に記載のデータ転送制御方法。

【請求項 1 9】

前記ディスク制御装置は、前記転送元の領域の属性と、前記転送先の領域の属性と、前記パケット転送の転送コマンドとの関係によって、転送の許否を定めた転送条件を保持し、

前記データ転送制御方法は、前記転送条件を参照して、前記参照された転送条件によって許可されている場合には、転送を許可することを特徴とする請求項 1 7 に記載のデータ転送制御方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

ディスク制御装置クラスタ10内には、フロントエンド部100、バックエンド部200、プロセッサ部300及びキャッシュ部400を接続する内部ネットワークが、スイッチ510によって構成される。内部ネットワークによって、これらの構成、及び、各部に備わるメモリがスイッチ510を介して接続される。内部ネットワークにおいてメモリ空間を一意に特定するために、各部のメモリアドレス空間が内部ネットワークアドレス空間にマッピングされる。図2は、マッピングされたメモリのアドレスを示す。複数のチャンネルメモリ120、プロセッサメモリ320、キャッシュメモリ420に、内部ネットワークの一意のアドレスが割り当てられる。従って、内部ネットワークのアドレスを指定することによって、その対象が属するクラスタ内で、他の構成部分を含めて一意にメモリ領域を指定することが可能となる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

プロセッサ(MP)330からフロントエンド部100に対してDMA転送を起動すると(1601)、キャッシュ部400に対してコピーコマンドを送信することによって、データ転送を開始するように制御がされる(1602、1603)。なお、図示は省略するが、DMA転送の起動(1401)の前に、DMA転送に必要とされるDMA転送用パラメータがプロセッサメモリ320上に作成され、作成されたパラメータがプロセッサメモリ320からチャンネルメモリ120に転送される(図14の1201、1202参照)。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

キャッシュメモリ(CM1)がコピーコマンドを受信すると、CM1とCM2の間で、スイッチ(SW)510を介して、メモリ間のデータ転送が開始される(1604)。この際、メモリ転送の経路上にあるスイッチ510において、前述と同様に、パケットヘッダ601を解析し、転送コマンド(キャッシュ間COPY)と、転送元メモリアドレス(CM1)の領域属性と、転送先メモリアドレス(CM2)の領域属性を取得する。そして、スイッチアクセス制御機構550は、転送コマンド、転送元アドレス及び転送先アドレスが正しい組み合わせか否かを判定して、転送1606を実行するか否かを決定する(1605)。すなわち、転送元アドレスがキャッシュ間COPYコマンドによるデータ転送が許可されている領域に含まれるか、及び、転送先アドレスがキャッシュ間COPYコマンドによるデータ転送が許可されている領域に含まれるか否かを判定する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【 0 0 3 7 】

図 6 は、第 1 の実施の形態の スイッチ アクセス制御機構 5 5 0 の構成を示す。

【 手続補正 6 】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 8

【補正方法】変更

【補正の内容】

【 0 0 3 8 】

スイッチ アクセス制御機構 5 5 0 は、アドレスを解析するアドレスデコード回路 7 0 0 (ADDRESSDECODE)、メモリのアドレスと領域の属性との関係を保持するアドレス領域テーブル 7 1 0 (REGIONTABLE)、コマンドを解析するコマンドデコード回路 7 2 0 (CMDDECODE)、及び、コマンド及びアドレスの整合性を検証する整合性チェック回路 7 3 0 (CONSISTENCYCHECK) を備える。

【 手続補正 7 】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 2

【補正方法】変更

【補正の内容】

【 0 0 4 2 】

なお、本実施の形態では、スイッチ アクセス制御機構 5 5 0 は、ハードウェアで実装されるが、プロセッサで実行されるソフトウェアで実装されてもよい。

【 手続補正 8 】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 6

【補正方法】変更

【補正の内容】

【 0 0 4 6 】

図 8 は、第 1 の実施の形態の スイッチ アクセス制御機構 5 5 0 の動作のフローチャートである。

【 手続補正 9 】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 7

【補正方法】変更

【補正の内容】

【 0 0 4 7 】

スイッチ アクセス制御機構 5 5 0 は、コマンドデコード回路 7 2 0 によって転送コマンドをデコードし、アドレスデコード回路 7 0 0 によって転送元アドレス及び転送先アドレスをデコードする。そして、転送元アドレス及び転送先アドレスで指定される各領域の属性を特定する (8 1 0)。その後、整合性チェック回路 7 3 0 によって、転送元領域の属性と転送先領域の属性が一致するか否かを判定する (8 2 0)。両領域の属性が一致しない場合はエラーとする。

【 手続補正 1 0 】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 0

【補正方法】変更

【補正の内容】

【 0 0 5 0 】

以上説明したように、第 1 の実施の形態のディスク制御装置によると、アクセス制御機構によって、内部ネットワークを介してパケットが転送される際に、パケットヘッダ情報の整合性を検証し、整合性の確認されたパケットのみを転送することによって、不適切な

転送を防止することが可能となり、ディスク制御装置を高信頼化することができる。特に、スイッチ510にスイッチアクセス制御機構550を設けることによって、パケットヘッダ情報の整合性をスイッチ部で検証することができる。すなわち、アクセス制御をスイッチ部のみで実行することから、集中的にメモリ間のデータ転送を検証することができ、ディスク制御装置のコストを低減することができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

図10は、第2の実施の形態においてチャネルメモリ(HM)から二つキャッシュメモリ(CM1、CM2)に、メモリ間でデータを転送する場合の、キャッシュメモリアクセス制御機構450によるデータ転送保護のシーケンス図である。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

プロセッサ(MP)330からフロントエンド部100に対してDMA転送を起動すると(1501)、チャネルメモリ(HM)120からスイッチ(SW)510を介して、二つのキャッシュメモリ(CM1、CM2)に対してパケットが転送される(1502)。なお、図示は省略するが、DMA転送の起動(1501)の前に、DMA転送に必要とされるDMA転送用パラメータがプロセッサメモリ320上に作成され、作成されたパラメータがプロセッサメモリ320からチャネルメモリ120に転送される(図14の1201、1202参照)。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

プロセッサ(MP)330からフロントエンド部100に対してDMA転送を起動すると(1701)、キャッシュ部400に対してコピーコマンドを送信することによって、データ転送を開始するように制御がなされる(1702、1703)。なお、図示は省略するが、DMA転送の起動(1701)の前に、DMA転送に必要とされるDMA転送用パラメータがプロセッサメモリ320上に作成され、作成されたパラメータがプロセッサメモリ320からチャネルメモリ120に転送される(図14の1201、1202参照)。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正の内容】

【0066】

キャッシュメモリ(CM1)がコピーコマンドを受信すると、CM1とCM2の間で、スイッチ(SW)510を介して、メモリ間のデータ転送が開始される(1703)。この際、宛先キャッシュメモリ(CM2)のキャッシュメモリアクセス制御機構450において、前述と同様に、パケットヘッダ601を解析し、転送コマンド(キャッシュ間CO

P Y)と、転送元メモリアドレス(C M 1)の領域属性と、転送先メモリアドレス(C M 2)の領域属性を取得する。そして、スイッチアクセス制御機構550は、転送コマンド、転送元アドレス及び転送先アドレスが正しい組み合わせか否かを判定して、転送1660を実行するか否かを決定する(1704、1705)。すなわち、転送元アドレスがキャッシュ間C O P Yコマンドによるデータ転送が許可されている領域に含まれるか、及び、転送先アドレスがキャッシュ間C O P Yコマンドによるデータ転送が許可されている領域に含まれるか否かを判定する。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

また、前述した第1の実施の形態と第2の実施の形態とを混在させて実装することも可能である。すなわち、スイッチ部500がスイッチアクセス制御機構550を備え、キャッシュ部400がキャッシュメモリアクセス制御機構450を備え、フロントエンド部100がチャンネルメモリアクセス制御機構150を備え、バックエンド部200がチャンネルメモリアクセス制御機構250を備え、プロセッサ部300がプロセッサメモリアクセス制御機構350を備える。なお、各メモリアクセス制御機構は一つ又は複数備えればよい。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

ディスク制御装置クラスタ10は、ホストコンピュータ(H O S T)30と接続されたフロントエンド部(F E P K)100と、ディスクドライブ装置20と接続されたバックエンド部(B E P K)200と、プロセッサ部(M P P K)300と、キャッシュ部(C M P K)400と、スイッチ部(S W P K)500と、を備える。ディスク制御装置クラスタ10、11の間は、お互いのスイッチ部500によって接続されている。スイッチ部500は、スイッチアクセス制御機構550を備える。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正の内容】

【0080】

従って、プロセッサメモリ320からチャンネルメモリ120に対するパラメータの転送(1202)と、チャンネルメモリ120からキャッシュメモリ420に対するデータの転送(1205)と、の二つのD M A転送が実行される。いずれのデータ転送においても、スイッチ510のスイッチアクセス制御機構550によって、当該データ転送の妥当性が検証されるため(1203、1206)、データ転送時にメモリに格納されたデータを保護することができる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

【0082】

まず、クラスタ1のプロセッサ(MP1)330は、データのDMA転送を起動するために、クラスタ2のプロセッサ(MP2)331に対して、クラスタ1のキャッシュメモリ(CM1)421からのREAD転送をするように要求する。このため、プロセッサ330は、プロセッサメモリ321上に制御情報を作成し、プロセッサメモリ用DMAコントローラ315を起動する(1301)。そして、プロセッサメモリ用DMAコントローラ315は、プロセッサメモリ(LM1)321に格納された制御情報を、スイッチ(SW1)510及びスイッチ(SW2)511を介して、プロセッサメモリ(LM2)323に転送する(1302、1303、1304)。さらに、プロセッサ(MP1)330は、プロセッサ間通知によって、転送された制御情報を処理するように、プロセッサ(MP2)331に依頼する。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

いずれのデータ転送においても、スイッチ510、511のスイッチアクセス制御機構550、551によって、当該データ転送の妥当性が検証されるため(1311、1312、1313)、データ転送時にメモリに格納されたデータを保護することができる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0106

【補正方法】変更

【補正の内容】

【0106】

10、11 ディスク制御装置クラスタ
20 ディスクドライブ
30 ホストコンピュータ
100、101 フロントエンド部(FE PK)
110、111 ハブ(LR)
115、116 DMAコントローラ
120 チャンネルメモリ(HM)
130、131 プロトコル制御チップ(PCV)
140 ホストコンピュータ接続ポート
150 チャンネルメモリアクセス制御機構
200 バックエンド・パッケージ(BE PK)
210 ハブ(LR)
220 チャンネルメモリ(HM)
230 プロトコル制御チップ(PCV)
240 ディスクドライブ接続ポート
250 チャンネルメモリアクセス制御機構
300、301 プロセッサ部(MP PK)
310、311 メモリコントローラ(MC)
315、316 DMAコントローラ
320 プロセッサメモリ(LM)
330、331 マイクロプロセッサ(MP)
350 プロセッサメモリアクセス制御機構
400、401 キャッシュメモリ部(CM PK)
410、411 キャッシュメモリコントローラ(CMC)
420 キャッシュメモリ(CM)

- 4 5 0 キャッシュメモリアクセス制御機構
- 5 0 0、5 0 1 スイッチ部 (S W P K)
- 5 1 0、5 1 1 スイッチ (S W)
- 5 4 0 クラスタ間接続ポート
- 5 5 0、5 5 1 スイッチアクセス制御機構
- 7 0 0 アドレスデコード回路 (A D D R E S S D E C O D E)
- 7 1 0 アドレス領域テーブル (R E G I O N T A B L E)
- 7 2 0 コマンドデコード回路 (C M D D E C O D E)
- 7 3 0 整合性チェック回路 (C O N S I S T E N C Y C H E C K)