

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4093197号  
(P4093197)

(45) 発行日 平成20年6月4日(2008.6.4)

(24) 登録日 平成20年3月14日(2008.3.14)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 545
<b>G09G 3/20 (2006.01)</b>	G02F 1/133 570
	G02F 1/133 575
	G09G 3/20 623B
請求項の数 17 (全 28 頁) 最終頁に続く	

(21) 出願番号	特願2004-85386 (P2004-85386)	(73) 特許権者	000002369
(22) 出願日	平成16年3月23日 (2004.3.23)		セイコーエプソン株式会社
(65) 公開番号	特開2005-274760 (P2005-274760A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成17年10月6日 (2005.10.6)	(74) 代理人	100104710
審査請求日	平成17年1月20日 (2005.1.20)		弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
最終頁に続く			

(54) 【発明の名称】 表示ドライバ及び電子機器

(57) 【特許請求の範囲】

【請求項1】

プロセッサ用インターフェースから入力される  $n$  ( $n$  は 2 以上の整数) ビットの表示データに対して  $s$  ( $s$  は 1 以上の整数) ビットのパリティデータを生成し、前記  $n$  ビットの表示データと前記  $s$  ビットのパリティデータを結合して  $n + s$  ビットの表示データとして表示メモリに出力するパリティ生成回路と、

前記表示メモリから  $n + s$  ビット単位で順次に入力される前記  $n + s$  ビットの表示データに対してデータの誤り検出を行い、前記  $n$  ビットの表示データを出力するパリティチェック回路と、

前記パリティチェック回路から出力された前記  $n$  ビットの表示データにデコード処理を施す少なくとも一つのデコーダと、

前記デコーダによってデコード処理が施されたデータをラッチする複数のラッチ回路と、

前記複数のラッチ回路の各々にラッチされているデータに基づいて表示パネルのデータ線を駆動する複数のデータ線駆動部とを含み、

前記パリティ生成回路は、

前記プロセッサ用インターフェースから入力される前記  $n$  ビットの表示データの各ビットの値の総和に基づいて前記  $s$  ビットのパリティデータを生成し、

前記  $n + s$  ビットの表示データの各ビットの総和が偶数である前記  $n + s$  ビットの表示データまたは前記  $n + s$  ビットの表示データの各ビットの総和が奇数である前記  $n + s$  ビ

10

20

ットの表示データを前記表示メモリに出力し、

前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記メモリセルに保持されている値が0に書き換えられてしまう場合が1に書き換えられてしまう場合よりも多いときは、前記パリティ生成回路によって出力される前記  $n + s$  ビットの表示データの各ビットの総和が奇数となるように前記  $s$  ビットのパリティデータが設定され、

前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記保持されている値が1に書き換えられてしまう場合が0に書き換えられてしまう場合よりも多いときは、前記パリティ生成回路によって出力される前記  $n + s$  ビットの表示データの各ビットの総和が偶数となるように前記  $s$  ビットのパリティデータが設定されることを特徴とする表示ドライバ。

10

【請求項2】

請求項1において、

前記  $n + s$  ビットの表示データは、前記表示メモリに対して1度のワードライン制御を行うことにより前記表示メモリから読み出されて前記パリティチェック回路に出力され、

前記デコーダは、前記パリティチェック回路から  $n$  ビット単位で順次に出力される前記  $n$  ビットの表示データに対してデコード処理を施し、前記デコード処理が施されたデータを前記複数のラッチ回路の各々に順次に出力し、

前記複数のデータ線駆動部の各々は、前記デコード処理が施されたデータが前記複数のラッチ回路に格納された後に前記複数のデータ線駆動部の各々に対応するデータ線を駆動することを特徴とする表示ドライバ。

20

【請求項3】

請求項1又は2において、

前記パリティチェック回路は、

前記パリティ生成回路から出力される前記  $n + s$  ビットの表示データの各ビットの総和が偶数である場合には、前記表示メモリから出力される前記  $n + s$  ビットの表示データの各ビットの総和が奇数であると判断した場合にデータエラー信号を前記プロセッサ用インターフェースに出力し、

前記パリティ生成回路から出力される前記  $n + s$  ビットの表示データの各ビットの総和が奇数である場合には、前記表示メモリから出力される前記  $n + s$  ビットの表示データの各ビットの総和が偶数であると判断した場合にデータエラー信号を前記プロセッサ用インターフェースに出力することを特徴とする表示ドライバ。

30

【請求項4】

表示メモリには、 $n$  ( $n$  は2以上の整数) ビットの表示データと、前記  $n$  ビットの表示データに基づいて生成された  $s$  ( $1$  以上の整数) ビットのパリティデータとが結合された  $n + s$  ビットの表示データが格納され、

前記表示メモリから  $n + s$  ビット単位で順次に入力される前記  $n + s$  ビットの表示データに対してデータの誤り検出を行い、前記  $n$  ビットの表示データを出力するパリティチェック回路と、

前記パリティチェック回路から出力された前記  $n$  ビットの表示データにデコード処理を施す少なくとも一つのデコーダと、

40

前記デコーダによってデコード処理が施されたデータをラッチする複数のラッチ回路と、

前記複数のラッチ回路の各々にラッチされているデータに基づいて表示パネルのデータ線を駆動する複数のデータ線駆動部と、

を含み、

前記  $n + s$  ビットの表示データは、前記表示メモリに対して1度のワードライン制御を行うことにより前記表示メモリから読み出されて前記パリティチェック回路に出力され、

前記デコーダは、前記パリティチェック回路から  $n$  ビット単位で順次に出力される前記  $n$  ビットの表示データに対してデコード処理を施し、前記デコード処理が施されたデータ

50

を前記複数のラッチ回路の各々に順次に出力し、

前記複数のデータ線駆動部の各々は、前記デコード処理が施されたデータが前記複数のラッチ回路に格納された後に前記複数のデータ線駆動部の各々に対応するデータ線を駆動し、

前記  $s$  ビットのパリティデータは、前記  $n$  ビットの表示データの各ビットの値の総和に基づいて生成され、

前記表示メモリには、前記  $n + s$  ビットの表示データの各ビットの総和が偶数である前記  $n + s$  ビットの表示データまたは前記  $n + s$  ビットの表示データの各ビットの総和が奇数である前記  $n + s$  ビットの表示データが格納され、

前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記メモリセルに保持されている値が 0 に書き換えられてしまう場合が 1 に書き換えられてしまう場合よりも多いときは、前記表示メモリに格納される前記  $n + s$  ビットの表示データの各ビットの総和が奇数となるように前記  $s$  ビットのパリティデータは設定され、

前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記メモリセルに保持されている値が 1 に書き換えられてしまう場合が 0 に書き換えられてしまう場合よりも多いときは、前記表示メモリに格納される前記  $n + s$  ビットの表示データの各ビットの総和が偶数となるように前記  $s$  ビットのパリティデータは設定されることを特徴とする表示ドライバ。

【請求項 5】

請求項 4 において、

前記パリティチェック回路は、

前記表示メモリに格納された前記  $n + s$  ビットの表示データの各ビットの総和が偶数である場合には、前記表示メモリからデータを読み出す際に前記表示メモリから出力される前記  $n + s$  ビットの表示データの各ビットの総和が奇数である場合にデータエラー信号を発生し、

前記表示メモリに格納された前記  $n + s$  ビットの表示データの各ビットの総和が奇数である場合には、前記表示メモリからデータを読み出す際に前記表示メモリから出力される前記  $n + s$  ビットの表示データの各ビットの総和が偶数である場合にデータエラー信号を発生することを特徴とする表示ドライバ。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記パリティチェック回路は、前記  $n + s$  ビットの表示データに対するデータの誤り検出の際において、データの誤りが検出された場合及びデータの誤りが検出されない場合のいずれの場合においても前記  $n$  ビットの表示データを前記デコードに出力することを特徴とする表示ドライバ。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記デコードの出力を前記複数のラッチ回路がラッチするためのラッチパルスを発生するアドレスデコードをさらに含み、

前記アドレスデコードは、前記  $n$  ビットの表示データが読み出される際の前記表示メモリのアドレス情報に基づいて、前記複数のラッチ回路のうちのいずれかを選択し、選択されたラッチ回路に前記ラッチパルスを出力することを特徴とする表示ドライバ。

【請求項 8】

請求項 7 において、

前記  $n$  ビットの表示データは、制御回路からのクロック信号の立ち上がりエッジ又は立ち下がりエッジの一方に同期して、前記表示メモリから読み出され、

前記アドレスデコードは、前記クロック信号の立ち上がりエッジ又は立ち下がりエッジの他方に同期して、前記ラッチパルスを出力することを特徴とする表示ドライバ。

【請求項 9】

10

20

30

40

50

請求項 1 において、

前記複数のラッチ回路が直列に接続され、前段のラッチ回路の出力端子が後段のラッチ回路の入力端子に接続されることで、前記複数のラッチ回路はシフトレジスタを構成し、

前記シフトレジスタは、前記デコーダから初段のラッチ回路に順次に入力されるデータをシフトしながら格納することを特徴とする表示ドライバ。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記デコーダは、マルチライン同時選択駆動用デコーダを含み、

前記マルチライン同時選択駆動用デコーダは、前記  $n$  ビットの表示データから抽出される  $m$  ( $2$  以上の整数) 画素の表示データに基づいて、走査線のマルチライン同時選択駆動に対応するための複数の駆動電圧の中から駆動電圧を選択するための駆動電圧選択データを生成し、前記駆動電圧選択データを前記複数のラッチ回路に出力することを特徴とする表示ドライバ。

10

【請求項 11】

請求項 10 において、

前記複数のデータ線駆動部の各々は、前記複数の駆動電圧の中から、前記複数のラッチ回路に格納されている前記駆動電圧選択データに基づいてデータ線駆動電圧を選択し、

前記複数のデータ線駆動部の各々は、前記データ線駆動電圧を用いてデータ線を駆動することを特徴とする表示ドライバ。

【請求項 12】

20

請求項 1 乃至 11 のいずれかにおいて、

前記デコーダは、階調デコーダを含み、

前記階調デコーダは、前記  $n$  ビットの表示データ及びフレーム情報に基づいて、前記  $n$  ビットの表示データの対象となる画素の表示パターンを決定することを特徴とする表示ドライバ。

【請求項 13】

請求項 12 において、

前記階調デコーダは、前記表示パターンに基づいて 0 又は 1 のデータを前記複数のラッチ回路のうち少なくともいずれか 1 つに出力することを特徴とする表示ドライバ。

【請求項 14】

30

請求項 12 において、

前記デコーダは、 $m$  ( $m$  は  $2$  以上の整数) 本の走査線を同時選択駆動するマルチライン同時選択駆動方式に対応するためのマルチライン同時選択駆動用デコーダをさらに含み、

前記マルチライン同時選択駆動用デコーダは、前記階調デコーダによって決定された表示パターンに基づいて、データ線を駆動するためのデータ線駆動電圧を選択するための駆動電圧選択データを前記複数のラッチ回路に出力することを特徴とする表示ドライバ。

【請求項 15】

請求項 14 において、

前記複数のデータ線駆動部の各々は、走査線のマルチライン同時選択駆動に対応するための複数種の駆動電圧の中から、前記複数のラッチ回路に格納されている前記駆動電圧選択データに基づいてデータ線駆動電圧を選択し、

前記複数のデータ線駆動部の各々は、前記データ線駆動電圧を用いてデータ線を駆動することを特徴とする表示ドライバ。

40

【請求項 16】

請求項 15 において、

前記  $n$  ビットの表示データから抽出される  $m$  画素の表示データにおける各画素の階調は、 $k$  ( $k$  は  $2$  以上の整数) ビットの階調データで表され、

前記階調デコーダは、前記  $k$  ビットの階調データとフレーム情報に基づいて、2 種類の表示状態を表す階調パターンを決定する階調 ROM を含み、

前記階調デコーダは、前記階調 ROM に基づいて  $m$  画素の各画素について前記階調パタ

50

ーンを決定し、決定された前記階調パターンに基づいてm画素の各画素の表示状態を0又は1で表したmビットの表示データを前記マルチライン同時選択駆動用デコーダに出力し

、  
前記マルチライン同時選択駆動用デコーダは、前記mビットの表示データに基づいて、前記駆動電圧選択データを生成し、前記複数のラッチ回路に出力することを特徴とする表示ドライバ。

【請求項17】

請求項1乃至16のいずれかに記載されている表示ドライバと、表示パネルと、前記表示パネルの走査線を駆動する走査ドライバと、前記表示ドライバ及び前記走査ドライバを制御するコントローラと、電源回路とを含むことを特徴とする電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示ドライバ及び電子機器に関する。

【背景技術】

【0002】

近年、電子機器の高機能化に伴って、表示パネルの需要が増加している。表示パネルの駆動方式には様々な形態があるが、その一例として特許文献1に記載されている駆動回路が知られている。特許文献1には、例えば表示パネルが640×480画素である場合に、10個のカラムドライバを用いて表示パネルを駆動する回路が示されている。各カラムドライバには演算回路が設けられている。この演算回路は、例えばメモリから読み出した7行×480列分の表示データを一斉に処理するために、演算回路の回路が複雑になり、回路面積も増大する。

20

【0003】

また、表示パネルが高解像度化されれば、表示データのデータ量も増大するので、表示パネルの駆動回路も複雑になってくる。回路が複雑化することで、チップ面積の増大や、設計時間などにより製造コストの増大が問題となる。特に、特許文献1に記載されている駆動回路においては、演算回路の面積がとて大きくなってしまふ。

【0004】

また、特許文献1に記載されている表示メモリの構成は、表示メモリの構成のワードラインに予期しない電圧がかかった場合、表示メモリを構成するトランジスタのワードゲートに電圧がかかり、表示メモリに誤ったデータが書き込まれてしまう可能性がある。この場合、表示パネルには例えば縦に1本の線が入ったように表示されてしまい、表示メモリが書き換えられるまで、誤表示の状態が継続されてしまふ。

30

【特許文献1】特開平7-281636号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、レイアウト面積が小さく、コストパフォーマンスに優れ、表示パネルの表示品質を高品質に維持できる表示ドライバ及び電子機器を提供することにある。

40

【課題を解決するための手段】

【0006】

本発明は、プロセッサ用インターフェースから入力されるn(nは2以上の整数)ビットの表示データに対してs(1以上の整数)ビットのパリティデータを生成し、前記nビットの表示データと前記sビットのパリティデータを結合してn+sビットの表示データとして表示メモリに出力するパリティ生成回路と、前記表示メモリからn+sビット単位で順次に入力される前記n+sビットの表示データに対してデータの誤り検出を行い、前記nビットの表示データを出力するパリティチェック回路と、前記パリティチェック回路から出力された前記nビットの表示データにデコード処理を施す少なくとも一つのデコー

50

ダと、前記デコーダによってデコード処理が施されたデータをラッチする複数のラッチ回路と、前記複数のラッチ回路の各々にラッチされているデータに基づいて表示パネルのデータ線を駆動する複数のデータ線駆動部と、を含む表示ドライバに係する。

【0007】

本発明によれば、表示メモリに $n$ ビットの表示データを格納する際に $s$ ビットのパリティデータを生成し、表示メモリに $s$ ビットのパリティデータを書き込むことができる。また、パリティチェック回路は $n$ ビットの表示データと $s$ ビットのパリティデータから $n$ ビットの表示データのデータの誤りを検出することができる。

【0008】

また、本発明では、前記 $n + s$ ビットの表示データは、前記表示メモリに対して1度のワードライン制御を行うことにより前記表示メモリから読み出されて前記パリティチェック回路に出力され、前記デコーダは、前記パリティチェック回路から $n$ ビット単位で順次に出力される前記 $n$ ビットの表示データに対してデコード処理を施し、前記デコード処理が施されたデータを前記複数のラッチ回路の各々に順次に出力し、前記複数のデータ線駆動部の各々は、前記デコード処理が施されたデータが前記複数のラッチ回路に格納された後に前記複数のデータ線駆動部の各々に対応するデータ線を駆動するようにしてもよい。

【0009】

本発明によれば、すべてのデータ線駆動部毎にデコーダを設けなくてもよくなるので、デコーダの数を少なくすることができる。

【0010】

また、本発明では、前記パリティ生成回路は、前記プロセッサ用インターフェースから入力される前記 $n$ ビットの表示データの各ビットの値の総和に基づいて前記 $s$ ビットのパリティデータを生成し、前記 $n + s$ ビットの表示データの各ビットの総和が偶数である前記 $n + s$ ビットの表示データまたは前記 $n + s$ ビットの表示データの各ビットの総和が奇数である前記 $n + s$ ビットの表示データを前記表示メモリに出力するようにしてもよい。

【0011】

このようにすれば、表示メモリに $s$ ビットのパリティデータを書き込むことができる。

【0012】

また、本発明では、前記パリティチェック回路は、前記パリティ生成回路から出力される前記 $n + s$ ビットの表示データの各ビットの総和が偶数である場合には、前記表示メモリから出力される前記 $n + s$ ビットの表示データの各ビットの総和が奇数であると判断した場合にデータエラー信号を前記プロセッサ用インターフェースに出力し、前記パリティ生成回路から出力される前記 $n + s$ ビットの表示データの各ビットの総和が奇数である場合には、前記表示メモリから出力される前記 $n + s$ ビットの表示データの各ビットの総和が偶数であると判断した場合にデータエラー信号を前記プロセッサ用インターフェースに出力するようにしてもよい。

【0013】

このようにすれば、表示メモリから出力される表示データにデータの誤りが合った場合、そのデータの誤りがあることを検出できる。

【0014】

また、本発明では、前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記メモリセルに保持されている値が0に書き換えられてしまう場合が1に書き換えられてしまう場合よりも多いときは、前記パリティ生成回路によって出力される前記 $n + s$ ビットの表示データの各ビットの総和が奇数となるように前記 $s$ ビットのパリティデータが設定され、前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記保持されている値が1に書き換えられてしまう場合が0に書き換えられてしまう場合よりも多いときは、前記パリティ生成回路によって出力される前記 $n + s$ ビットの表示データの各ビットの総和が偶数となるように前記 $s$ ビットのパリティデータが設定されるようにしてもよい。

【0015】

10

20

30

40

50

本発明は、表示メモリには、 $n$  ( $n$ は2以上の整数)ビットの表示データと、前記 $n$ ビットの表示データに基づいて生成された $s$  ( $1$ 以上の整数)ビットのパリティデータとが結合された $n + s$ ビットの表示データが格納され、前記表示メモリから $n + s$ ビット単位で順次に入力される前記 $n + s$ ビットの表示データに対してデータの誤り検出を行い、前記 $n$ ビットの表示データを出力するパリティチェック回路と、前記パリティチェック回路から出力された前記 $n$ ビットの表示データにデコード処理を施す少なくとも一つのデコーダと、前記デコーダによってデコード処理が施されたデータをラッチする複数のラッチ回路と、前記複数のラッチ回路の各々にラッチされているデータに基づいて表示パネルのデータ線を駆動する複数のデータ線駆動部と、を含み、前記 $n + s$ ビットの表示データは、前記表示メモリに対して1度のワードライン制御を行うことにより前記表示メモリから読み出されて前記パリティチェック回路に出力され、前記デコーダは、前記パリティチェック回路から $n$ ビット単位で順次に出力される前記 $n$ ビットの表示データに対してデコード処理を施し、前記デコード処理が施されたデータを前記複数のラッチ回路の各々に順次に出力し、前記複数のデータ線駆動部の各々は、前記デコード処理が施されたデータが前記複数のラッチ回路に格納された後に前記複数のデータ線駆動部の各々に対応するデータ線を駆動する表示ドライバに関係する。

10

【0016】

本発明によれば、パリティチェック回路は $n$ ビットの表示データと $s$ ビットのパリティデータから $n$ ビットの表示データのデータの誤りを検出することができる。

【0017】

20

また、本発明では、前記 $s$ ビットのパリティデータは、前記 $n$ ビットの表示データの各ビットの値の総和に基づいて生成され、前記表示メモリには、前記 $n + s$ ビットの表示データの各ビットの総和が偶数である前記 $n + s$ ビットの表示データまたは前記 $n + s$ ビットの表示データの各ビットの総和が奇数である前記 $n + s$ ビットの表示データが格納されるようにしてもよい。

【0018】

また、本発明では、前記パリティチェック回路は、前記表示メモリに格納された前記 $n + s$ ビットの表示データの各ビットの総和が偶数である場合には、前記表示メモリからデータを読み出す際に前記表示メモリから出力される前記 $n + s$ ビットの表示データの各ビットの総和が奇数である場合にデータエラー信号を発生し、前記表示メモリに格納された前記 $n + s$ ビットの表示データの各ビットの総和が奇数である場合には、前記表示メモリからデータを読み出す際に前記表示メモリから出力される前記 $n + s$ ビットの表示データの各ビットの総和が偶数である場合にデータエラー信号を発生するようにしてもよい。

30

【0019】

また、本発明では、前記パリティチェック回路は、前記 $n + s$ ビットの表示データに対するデータの誤り検出の際において、データの誤りが検出された場合及びデータの誤りが検出されない場合のいずれの場合においても前記 $n$ ビットの表示データを前記デコーダに出力するようにしてもよい。

【0020】

このようにすれば、データの誤りが検出されても、表示ドライバは表示パネルの表示品質を落とさずに表示パネルを駆動できる。

40

【0021】

また、本発明では、前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記メモリセルに保持されている値が0に書き換えられてしまう場合が1に書き換えられてしまう場合よりも多いときは、前記表示メモリに格納される前記 $n + s$ ビットの表示データの各ビットの総和が奇数となるように前記 $s$ ビットのパリティデータは設定され、前記表示メモリのメモリセルのワードラインに接続されているトランジスタが誤動作した場合の前記メモリセルに保持されている値が1に書き換えられてしまう場合が0に書き換えられてしまう場合よりも多いときは、前記表示メモリに格納される前記 $n + s$ ビットの表示データの各ビットの総和が偶数となるように前記 $s$ ビット

50

のパリティデータは設定されるようにしてもよい。

【0022】

また、本発明は、前記デコーダの出力を前記複数のラッチ回路がラッチするためのラッチパルスを発生するアドレスデコーダをさらに含み、前記アドレスデコーダは、前記 $n$ ビットの表示データが読み出される際の前記表示メモリのアドレス情報に基づいて、前記複数のラッチ回路のうちのいずれかを選択し、選択されたラッチ回路に前記ラッチパルスを出力するようにしてもよい。

【0023】

本発明によれば、例えば表示メモリから表示データを読み出す際のアドレス情報に対応したラッチ回路に前記デコーダの出力をラッチさせることができるので、表示データの対

10

【0024】

また、本発明では、前記 $n$ ビットの表示データは、制御回路からのクロック信号の立ち上がりエッジ又は立ち下がりエッジの一方に同期して、前記表示メモリから読み出され、前記アドレスデコーダは、前記クロック信号の立ち上がりエッジ又は立ち下がりエッジの他方に同期して、前記ラッチパルスを出力するようにしてもよい。

【0025】

本発明によれば、アドレスデコーダのラッチパルスを出力するタイミングと表示メモリから表示データを読み出すタイミングをクロック信号に従ってずらすことができるので、前記デコーダによってデコード処理されたデータが対象とするラッチ回路に対して、アド

20

【0026】

また、本発明では、前記複数のラッチ回路が直列に接続され、前段のラッチ回路の出力端子が後段のラッチ回路の入力端子に接続されることで、前記複数のラッチ回路はシフトレジスタを構成し、前記シフトレジスタは、前記デコーダから初段のラッチ回路に順次に入力されるデータをシフトしながら格納するようにしてもよい。

【0027】

本発明によれば、複数のラッチ回路が、シフトレジスタを構成することで、前記デコーダによってデコード処理されたデータを、前記シフトレジスタの各ラッチ回路に順次に格納させることができるので、複雑な処理を行わずに各データ線駆動部に対応した各ラッチ

30

【0028】

また、本発明では、前記デコーダは、マルチライン同時選択駆動用デコーダを含み、前記マルチライン同時選択駆動用デコーダは、前記 $n$ ビットの表示データから抽出される $m$  ( $2$ 以上の整数)画素の表示データに基づいて、走査線のマルチライン同時選択駆動に対応するための複数の駆動電圧の中から駆動電圧を選択するための駆動電圧選択データを生成し、前記駆動電圧選択データを前記複数のラッチ回路に出力するようにしてもよい。

【0029】

このようにすれば、前記複数のラッチ回路に対してマルチライン同時選択駆動用デコーダの数を少なくすることができるので、回路面積の小さな表示ドライバを提供できる。

40

【0030】

また、本発明では、前記複数のデータ線駆動部の各々は、前記複数の駆動電圧の中から、前記複数のラッチ回路に格納されている前記駆動電圧選択データに基づいてデータ線駆動電圧を選択し、前記複数のデータ線駆動部の各々は、前記データ線駆動電圧を用いてデータ線を駆動するようにしてもよい。

【0031】

このようにすれば、前記複数のラッチ回路に前記駆動電圧選択データを格納することで、表示パネルに対してマルチライン同時選択駆動ができる。

【0032】

また、本発明では、前記デコーダは、階調デコーダを含み、前記階調デコーダは、前記

50



nビットの表示データ及びフレーム情報に基づいて、前記nビットの表示データの対象となる画素の表示パターンを決定するようにしてもよい。

【0033】

このようにすれば、nビットの表示データに基づいた階調表現を行うことができる。また、本発明では、前記階調デコーダは、前記表示パターンに基づいて0又は1のデータを前記複数のラッチ回路のうち少なくともいずれか1つに出力するようにしてもよい。

【0034】

また、本発明では、前記デコーダは、m(mは2以上の整数)本の走査線を同時選択駆動するマルチライン同時選択駆動方式に対応するためのマルチライン同時選択駆動用デコーダをさらに含み、前記マルチライン同時選択駆動用デコーダは、前記階調デコーダによ

10

って決定された表示パターンに基づいて、データ線を駆動するためのデータ線駆動電圧を選択するための駆動電圧選択データを前記複数のラッチ回路に出力するようにしてもよい。

【0035】

このようにすれば、表示パネルに対してnビットの表示データに基づいた階調表現及びマルチライン同時選択駆動を行うことができる。

【0036】

また、本発明では、前記複数のデータ線駆動部の各々は、走査線のマルチライン同時選択駆動に対応するための複数種の駆動電圧の中から、前記複数のラッチ回路に格納されている前記駆動電圧選択データに基づいてデータ線駆動電圧を選択し、前記複数のデータ線

20

駆動部の各々は、前記データ線駆動電圧を用いてデータ線を駆動するようにしてもよい。

【0037】

また、本発明では、前記nビットの表示データから抽出されるm画素の表示データにおける各画素の階調は、k(kは2以上の整数)ビットの階調データで表され、前記階調デコーダは、前記kビットの階調データとフレーム情報に基づいて、2種類の表示状態を表す階調パターンを決定する階調ROMを含み、前記階調デコーダは、前記階調ROMに基づいてm画素の各画素について前記階調パターンを決定し、決定された前記階調パターンに基づいてm画素の各画素の表示状態を0又は1で表したmビットの表示データを前記マルチライン同時選択駆動用デコーダに出力し、前記マルチライン同時選択駆動用デコーダは、前記mビットの表示データに基づいて、前記駆動電圧選択データを生成し、前記複数の

30

ラッチ回路に出力するようにしてもよい。

【0038】

本発明は、上記に記載されているいずれかの表示ドライバと、表示パネルと、前記表示パネルの走査線を駆動する走査ドライバと、前記表示ドライバ及び前記走査ドライバを制御するコントローラと、電源とを含む電子機器に係する。

【発明を実施するための最良の形態】

【0039】

以下、本発明の一実施形態について、図面を参照して説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

40

【0040】

#### 1. 表示ドライバ

図1は表示ドライバ10のブロック図である。本実施形態では、表示ドライバ10は、プロセッサ用インターフェース50、パリティ生成回路60、パリティチェック回路70、デコーダ100、表示メモリ200、制御回路300、アドレスデコーダ400、データ線駆動部DRV及び複数のラッチ回路LA1~LAx(xは2以上の整数)を含むが、これに限定されない。例えば表示ドライバ10は、前述の回路等のいずれかを省略することや、他の回路を含むことも可能である。例えば、表示ドライバ10は、プロセッサ用インターフェース50、パリティ生成回路60、パリティチェック回路70、デコーダ100、表示メモリ200、制御回路300、アドレスデコーダ400のいずれかを省略でき

50

る。

#### 【0041】

プロセッサ用インターフェース50は、プロセッサ等の制御装置が接続されるインターフェースである。表示メモリ200に表示データを書き込む場合は、例えばプロセッサ等がプロセッサ用インターフェース50を介して表示メモリ200に表示データを出力する。

#### 【0042】

デコーダ100は、FRCデコーダ(広義には階調デコーダ)110及びMLSデコーダ(広義にはマルチライン同時選択駆動用デコーダ)120を含むが、これに限定されない。例えば、デコーダ100では、FRCデコーダ110またはMLSデコーダ120を省略することができる。FRCデコーダ110は、階調表示の方式としてFRC(Frame-Rate-Control)方式を用いる。本実施形態のFRCデコーダ110は、各画素について、2ビットの階調データ(広義にはkビットの階調データ)を用いて4階調の階調表現が可能であるが、これに限定されない。例えば、階調データのデータ長を4ビットに設定して、16階調の階調表現を行ってもよい。このように、FRCデコーダ110に対して、階調表現したい階調数に応じて階調データのデータ長を設定すればよい。また、MLSデコーダ120は、駆動方式としてMLS(Multi-Line-Select)駆動方式(マルチライン同時選択駆動方式)を用いる。本実施形態のMLSデコーダ120は、表示パネルの走査ラインについて例えば4ライン同時選択駆動を行うが、これに限定されない。例えば、3、5~8ライン同時選択駆動等、同時選択するライン数は適宜設定することができる。また、本実施形態はカラー表示に対応させることもでき、本実施形態の一画素を、カラー表示のRGBにおいてR画素、G画素、B画素のうちのいずれかの一画素としてもよい。

#### 【0043】

表示メモリ200にnビットの表示データを書き込む際は、プロセッサ用インターフェース50を介してパリティ生成回路60にnビット表示データが入力される。パリティ生成回路60は、入力されたnビットの表示データからsビットのパリティデータを生成し、nビットの表示データ及びsビットのパリティデータを表示メモリ200に出力する。即ち、表示メモリ200にはnビットの表示データとsビットのパリティデータが格納される。例えば、nビットの表示データDA1がパリティ生成回路60に入力されると、パリティ生成回路60はnビットの表示データDA1及びsビットのパリティデータPR1を表示メモリ200に出力する。このとき、表示メモリ200のワードラインWL1が選択されることで、図1に示されるようにnビットの表示データDA1及びsビットのパリティデータPR1が表示メモリ200に格納される。このようにして表示メモリ200には、表示パネルに画像を表示するための表示データが格納される。

#### 【0044】

表示メモリ200に格納された表示データに基づいて表示パネルに画像を表示する際は、表示メモリ200に格納されている表示データを読み出す。表示メモリ200から表示データを読み出す際、表示メモリ200は制御回路300の制御信号を受ける。制御回路300の制御信号は、表示メモリ200の複数のワードラインからワードラインを選択する選択信号(広義には表示メモリのアドレス情報)を含む。制御信号に含まれる選択信号に基づいて例えばワードラインWL1が選択され、nビットの表示データDA1及びsビットのパリティデータPR1が読み出される。読み出されたnビットの表示データDA1及びsビットのパリティデータPR1は、パリティチェック回路70に入力される。パリティチェック回路70は、表示メモリ200からnビットの表示データDA1及びsビットのパリティデータPR1を受け、nビットの表示データDA1に対してデータの誤り検出を行う。データの誤り検出によって、nビットの表示データDA1にデータの誤りが見つかった場合、パリティチェック回路70は例えば制御回路300にデータエラー信号を出力する。パリティチェック回路70は、nビットの表示データDA1にデータの誤りが見つかった場合及び見つからなかった場合のいずれの場合もnビットの表示データDA1をデコーダ100に出力するが、これに限定されない。

## 【 0 0 4 5 】

上記のように、1本のワードラインを選択したときに少なくとも一つの表示データDA1を表示メモリ200から読み出すことができる。本実施形態では、例えば、方向Yに沿ってワードラインが表示メモリ200に延在形成されている。表示メモリ200には、方向Xに沿って複数のワードラインWL1~WLQ(Qは2以上の整数)が配列されているが、これに限定されず、例えば1本のワードラインでもよい。

## 【 0 0 4 6 】

表示データDA1は、例えば複数の画素(広義にはm画素、mは2以上の整数)分の階調データを持つ。

## 【 0 0 4 7 】

デコーダ100は、表示メモリ200から読み出されたnビットの表示データDA1に対してデコード処理を行う。

## 【 0 0 4 8 】

FRCデコーダ110は、nビットの表示データDA1に含まれるm画素分の階調データをデコード処理する。

## 【 0 0 4 9 】

MLSデコーダ120は、FRCデコーダ110の処理結果に基づいて、駆動電圧選択データを生成し、複数のラッチ回路LA1~LAxに出力する。例えば、MLS駆動方式において、同時選択駆動の数を4ラインにした場合、データ線駆動部DRVが使用する電圧は例えば5種類であるため、駆動電圧選択データは3ビットのデータでよい。

## 【 0 0 5 0 】

アドレスデコーダ400は、例えばワードラインを選択する選択信号(表示メモリのアドレス情報)を受ける。さらに、アドレスデコーダ400は、この選択信号に基づいて複数のラッチ回路LA1~LAxから一つのラッチ回路を選択し、選択されたラッチ回路にラッチパルスを出力する。ラッチパルスを受けたラッチ回路は、駆動電圧選択データをラッチする。なお、このような選択信号(アドレス情報)を用いずにラッチパルスを出力する構成にすることもできる。

## 【 0 0 5 1 】

例えば、表示メモリ200のワードラインWL1が選択されることで、パリティチェック回路70を經由してnビットの表示データDA1がデコーダ100に入力される。nビットの表示データDA1はデコーダ100によってデコード処理が施され、デコード処理されたデータは駆動電圧選択データとしてバスLB1に出力される。ここで、ワードラインWL1が選択される際の選択信号が例えばアドレスデコーダ400に出力される。アドレスデコーダ400は、このワードラインWL1を選択する信号に基づいて、バスLB2を介してラッチパルスLP1をラッチ回路LA1に出力する。即ち、ラッチ回路LA1は、表示データDA1をデコード処理することで得られる駆動電圧選択データをラッチする。このようなデータラッチが、複数のワードラインWL1~WLQを順次に行われる。

## 【 0 0 5 2 】

データ線駆動部DRVは、ラッチ回路LA1~LAxに格納された駆動電圧選択データに基づいて、表示パネルの各データ線を駆動する。以下の図において同符号のものは同様の意味を表す。

## 【 0 0 5 3 】

図2は、アドレスデコーダ400と複数のラッチ回路LA1~LAxとの接続を示す図である。データ線駆動部DRV1が、表示データDA1に対応するデータ線を駆動する場合、表示データDA1をデコード処理することで生成された駆動電圧選択データは、ラッチ回路LA1に格納される。このとき、デコーダ100は、表示データDA1をデコード処理することで駆動電圧選択データVSD1を生成し、図2に示すように、バスLB1を介して複数のラッチ回路LA1~LAxに出力する。この時、アドレスデコーダ400は、制御回路300の制御信号を受けて、表示データDA1に対応するラッチ回路LA1に

10

20

30

40

50

のみラッチパルスLP1を出力するため、駆動電圧選択データVSD1はラッチ回路LA1にラッチされる。なお、制御回路300の制御信号には、表示メモリ200のワードラインを選択する際の選択信号が含まれているため、アドレスデコーダ400は制御回路300の制御信号を受けることで表示データDA1に対応したラッチ回路LA1へラッチパルスを出力することができる。

#### 【0054】

アドレスデコーダ400及びラッチ回路LA1～LAxの代わりに、シフトレジスタを用いることもできる。図3は、シフトレジスタSRの構成の一部を示す図である。複数のフリップフロップFF（広義にはラッチ回路）が直列に接続されて、シフトレジスタSRが構成されている。前段のフリップフロップFFのデータ出力Q（広義には出力端子）が後段のフリップフロップFFのデータ入力D（広義には入力端子）に接続されている。駆動電圧選択データは、デコーダ100からバスLB3を介してシフトレジスタSRに入力される。各フリップフロップFFのクロック入力Cに入力されるクロック信号に同期して、各フリップフロップFFに格納されているデータが方向DR1に対して右側にシフトされる。各フリップフロップFFの間に設けられた出力線OLは例えばラインラッチ回路等を介してデータ線駆動部DRVに接続される。例えば1走査ライン分のデータがシフトレジスタSRに格納された後にラインラッチ回路等にラッチパルスを出力することでラインラッチ回路等に駆動電圧選択データが格納される。これにより、データ線駆動部DRVは、ラインラッチ回路等に格納された駆動電圧選択データに従ってデータ線を駆動することができる。

#### 【0055】

図4は、表示メモリ200に格納されている表示データと、表示パネル500の画素との対応関係を示す図である。例えば図1のワードラインWL1が選択されることで、nビットの表示データDA1及びsビットのパリティデータPR1がパリティチェック回路70に入力される。パリティチェック回路70は入力された(n+s)ビットの表示データに対してデータの誤り検出を行い、nビットの表示データDA1をデコーダ100に出力する。nビットの表示データDA1は、デコーダ100によってデコード処理され、駆動電圧選択データVSD1としてラッチ回路LA1に格納される。データ線駆動部DRV1は、電圧選択データVSD1に基づいてデータ線DL1を駆動する。このとき、同時選択されるm個の画素PA1が、データ線DL1によって電圧制御される。即ち、表示メモリ200の表示データDA1は、表示パネル500のm個の画素PA1と対応している。同様にして、表示メモリ200の表示データDA2は、表示パネル500のm個の画素PA2と対応している。

#### 【0056】

例えば、1画素につきkビット(kは1以上の整数)の階調データを用いる場合、ワードラインWL1を選択することで得られるnビットの表示データDA1は、m個の画素PA1を表示するために、(k×m)ビットで構成されている。即ち、表示メモリ200に対して一度のワードライン選択を行うことで(k×m)ビットの表示データがデコーダ100に出力され、m個の画素を表示パネル500に表示させるためのデコード処理がデコーダ100にて行われる。

#### 【0057】

##### 2. デコーダ

図5は、FRCデコーダ110とMLSデコーダ120の動作を説明するブロック図である。図5には、nビットの表示データが例えば8ビットの表示データDA1である場合が図示されている。符号D0～D7は、8ビットの表示データDA1の各ビットのデータを表す。本実施形態のデコーダ100は、例えば、4階調表現、4ライン同時選択駆動方式（広義にはm本の走査線を同時選択駆動するマルチライン同時選択駆動方式）を用いるので、8ビットの表示データDA1は、4画素分の表示データを含み、4画素の各画素の階調は2ビットの階調データで表されている。ここで、8ビットの表示データDA1の対象となる4画素を第1～第4画素と呼ぶ。即ち、表示データDA1のD0、D1は、第1

10

20

30

40

50

画素の階調データであり、D 2 及び D 3 は第 2 画素の階調データである。同様にして、表示データ D A 1 の D 4 ~ D 7 も第 3、第 4 画素の階調データである。

【 0 0 5 8 】

8 ビットの表示データ D A 1 は、F R C デコーダ 1 1 0 によってデコード処理される。F R C デコーダ 1 1 0 は、F R C R O M ( 広義には階調 R O M ) 1 1 2 を含むが、これに限定されない。F R C デコーダ 1 1 0 は、制御回路 3 0 0 からフレーム情報を受ける。フレーム情報には、表示データ D A 1 がデコード処理される時点でのフレーム番号が含まれている。F R C R O M 1 1 2 は、フレーム番号及び画素の階調データに基づいて 1 画素につき 1 ビットのデータ ( 広義には表示パターン ) を決定するための表示パターンテーブルを格納する記憶回路である。

10

【 0 0 5 9 】

F R C デコーダ 1 1 0 は、このフレーム情報と、第 1 ~ 第 4 画素の階調データ D 0 ~ D 7 から、F R C R O M 1 1 2 に格納されている表示パターンテーブル ( 図 7 参照 ) に基づいて、4 ビット ( 広義には m ビット ) の表示データ M A 1 ( 広義には m 画素の表示データ ) を出力する。図 5 において、符号 M D 0 ~ M D 3 は、表示データ M A 1 の各ビットのデータを示す。

【 0 0 6 0 】

M L S デコーダ 1 2 0 は、4 ビットの表示データ M A 1 に対してデコード処理を行い、駆動電圧選択データ V S D 1 を生成し、複数のラッチ回路 L A 1 ~ L A x に出力する。なお、駆動電圧選択データ V S D 1 は、複数のラッチ回路 L A 1 ~ L A x のうち、例えばアドレスデコーダ 4 0 0 からラッチパルス L P 1 を受けたラッチ回路 L A 1 にラッチされる。

20

【 0 0 6 1 】

F R C 階調法 ( フレーム階調法 ) は、一画面を表示する表示期間を表示期間 1 T としたとき、表示期間 1 T を複数のフレーム期間に分割し、各フレーム期間において画素を表示させるか否かを制御する。F R C 階調法は、画素が表示されているフレーム期間の数を調整することで階調表現を実現する。なお、前述されたフレーム情報に含まれるフレーム番号は、各フレーム期間を択一的に示すための番号である。例えば図 6 には、表示期間 1 T を 4 つのフレーム期間に分割したときの例を示す。例えば 4 階調の階調表現を行う場合、2 ビットの階調データ ( 1 1 ) であるときは、図 6 の各フレーム期間フレーム 1 ~ フレーム 4 の例えば全てのフレーム期間で画素を表示させればよい。2 ビットの階調データが ( 0 1 ) であれば、図 6 の各フレーム期間フレーム 1 ~ フレーム 4 のうち、例えばいずれかが 1 つのフレーム期間で画素を表示させればよい。

30

【 0 0 6 2 】

なお、本実施形態では、例えば 4 ライン同時選択駆動を行うので、F R C デコーダ 1 1 0 によってデコード処理されたデータは、M L S デコーダ 1 2 0 にてデコード処理が施される。この場合、各フレーム期間フレーム 1 ~ フレーム 4 は、4 つのフィールド期間 F 1 ~ F 4 を含む。各フレーム期間毎に F R C デコーダ 1 1 0 にてデコード処理されたデータに基づいて、各フィールド期間で駆動電圧選択データが生成され、4 ライン同時選択駆動が行われる。

40

【 0 0 6 3 】

図 7 に表示パターンテーブルの一例を示す。F R C デコーダ 1 1 0 は、F R C R O M 1 1 2 に格納された表示パターンテーブルに従って、表示データ M A 1 を出力する。表示パターンテーブルは、例えば図 7 のように、フレーム番号と階調データに基づいて 1 ビットの値を決定するためのテーブルである。例えば、図 6 のフレーム期間フレーム 1 にて表示データをデコード処理する時、即ちフレーム番号が 1 の時は、画素の階調データ ( 0 0 ) に対しては 0 の値を出力する。フレーム番号が 4 の時は、画素の階調データ ( 0 0 ) に対しては 0 の値を出力し、画素の階調データ ( 1 0 ) に対しては 1 の値を出力する。

【 0 0 6 4 】

図 8 に示される各表示データ M A 1 - 1 ~ M A 1 - 4 は、表示データ D A 1 の各データ

50

D0～D7の値が例えば(00011011)である場合の各フレーム期間でデコード出力される表示データMA1を示す。図7の表示パターンテーブルに従うと、フレーム1の期間では、表示データMA1-1の各データMD0～MD3の値が(0111)とデコード出力される。フレーム2の期間では、表示データMA1-2の各データMD0～MD3の値が(0001)と出力される。同様に、表示データMA1-3、MA1-4の各データMD0～MD3の値は、(0011)、(0111)と出力される。

【0065】

なお、図8では、表示データの各データの値が1の場合は画素が表示され、各データの値が0の場合は画素が表示されないことを示すが、その逆でもよい。

【0066】

次に、表示メモリ200からnビットの表示データが順次にデコード処理され、駆動電圧選択データが複数のラッチ回路LA1～LAxに出力される流れを図9、図10を用いて説明する。

【0067】

図9は、複数のラッチ回路LA1～LAxにラッチパルスが入力される時のタイミングチャートである。ワードライン選択信号は、表示メモリ200の複数のワードラインからワードラインを選択するための選択信号(広義には表示メモリのアドレス情報)である。符号E1に示されるワードライン選択信号に基づいて、ラッチ回路LA1に駆動電圧選択データがラッチされる。表示メモリ200のワードラインWL1～WLQが順次選択されることで、複数のラッチ回路LA1～LAxに駆動電圧選択データがラッチされる。複数のラッチ回路LA1～LAxに駆動電圧選択データがラッチされた後、符号E2に示される出力イネーブル信号が複数のデータ線駆動部DRVに出力され、複数のデータ線駆動部DRVによって複数のデータ線が駆動される。

【0068】

図10は、図9の符号SDで示される期間を拡大したタイミングチャートである。期間SDは、例えばクロック信号の1周期に相当する。符号E3に示されるクロック信号の立ち上がりエッジに同期して、ワードライン選択信号が制御回路300から表示メモリ200に出力される。表示メモリ200では、ワードライン選択信号に基づいて例えばワードラインWL1が選択される。これにより、例えば符号E4に示されるタイミングで、nビットの表示データDA1及びsビットのパリティデータPR1がパリティチェック回路70に入力され、データの誤り検出が行われる。例えば符号E5に示されるタイミングで、パリティチェック回路70からnビットの表示データDA1がFRCデコーダ110に入力され、FRCデコーダ110によってデコード処理される。FRCデコーダ110によってデコード処理されたデータは、例えば符号E6に示されるタイミングでMLSデコーダ120に入力され、MLSデコーダ120によってデコード処理される。MLSデコーダ120によってデコード処理されたデータは、例えば駆動電圧選択データVSD1として複数のラッチ回路LA1～LAxに出力される。

【0069】

符号E7に示されるクロック信号の立ち下がりエッジに同期して、例えば符号E8に示されるラッチパルスLP1がアドレスデコーダ400からラッチ回路LA1に出力される。これにより、ラッチ回路LA1は、MLSデコーダ120によって生成された駆動電圧選択データVSD1をラッチすることができる。

【0070】

符号E7に示されるクロック信号の立ち下がりエッジよりも前の期間に、MLSデコーダ120はFRCデコーダ110からの出力データをデコード処理している。このため、符号E6に示されるクロック信号の立ち下がりエッジのタイミングでは、MLSデコーダ120は電圧選択データVSD1を出力できる。

【0071】

なお、ワードライン選択信号はクロック信号の立ち上がりエッジに同期して出力され、例えばラッチパルスLP1はクロック信号の立ち下がりエッジに同期して出力されるが、

10

20

30

40

50

これに限定されない。例えば、ワードライン選択信号がクロック信号の立ち下がりエッジに同期するように出力され、ラッチパルスLP1がクロック信号の立ち上がりエッジに同期して出力されてもよい。

【0072】

また、例えばワードライン選択信号がクロック信号の立ち上がりエッジに同期して出力され、ラッチパルスLP1はクロック信号の立ち下がりエッジに同期せず、ワードライン選択信号と同じクロック信号の立ち上がりエッジからFRCデコーダ110およびMLSデコーダ120で処理を行うのに十分な時間を、例えばディレイ回路により確保した後、LP1を発生するようにしても良い。

【0073】

なお、クロック信号の立ち上がり立ち下がりエッジと他の信号の立ち上がり立ち下がりエッジが同期していることは、クロック信号の立ち上がり立ち下がりエッジと他の信号の立ち上がり立ち下がりエッジの時間差が均一であることを含み、クロック信号の立ち下がりエッジと同時に他の信号の立ち上がり立ち下がりエッジが設定されていることも含む。

【0074】

### 3. 表示メモリ

図11に表示メモリ200を示す。表示メモリ200には、複数のビットラインBLが設けられている。各ビットラインBLは方向Xに沿って延在形成されている。例えばワードラインWL1が選択されると、複数のビットラインBLから $(n+s)$ ビットのデータが出力される。

【0075】

図12に表示メモリ200に設けられている複数のメモリセルとnビットの表示データDA1との関係を示す。図12は、表示メモリ200の一部を示す。ビットラインNBL1~NBL4のそれぞれには、ビットラインBL1~BL4のそれぞれに入力される信号が反転された反転信号が入力される。表示メモリ200の各メモリセルは、N型トランジスタNTR1、NTR2及びインバータINV1、INV2を含む。例えばメモリセルMC1は、ビットラインBL1、NBL1にてデータの読み書きが行われる。つまり、メモリセルMC1は、データの入力及び出力を同一系統のラインで行うため、ここでは1ポートのメモリセルと呼ぶ。

【0076】

ワードラインWL1が選択されると、メモリセルMC1のN型トランジスタNTR1、NTR2のゲートがオン状態になる。これによりメモリセルMC1からデータを読み出したり、メモリセルMC1にデータを書き込んだりできる。このような1ポートのメモリセルが複数配列された表示メモリ200に表示データDA1が格納される。nビットの表示データDA1のデータD0は、例えばメモリセルMC1に格納される。nビットの表示データDA1のデータD1は、例えばメモリセルMC2に格納される。同様にして、表示データDA1のデータD2、D3は、例えば、メモリセルMC3、MC4に格納される。

【0077】

また、sビットのパリティデータPR1は、例えばワードラインWL1に接続される他のs個のメモリセルに格納されるが、図12では省略されている。表示メモリ200には、nビットの表示データDA1及びsビットのパリティデータPR1の各ビットのデータは、方向Yに沿って配列されたメモリセルのうち例えばワードラインWL1に接続されるメモリセルに格納される。即ち、ワードラインWL1が選択されることで、nビットの表示データDA1及びsビットのパリティデータPR1が表示メモリ200から出力される。

【0078】

表示メモリ200に格納されている表示データDA1は、ワードラインWL1を選択することでデコーダ100に出力される。例えば、ビットラインBL1、NBL1の出力をセンスアンプ等で読みとることで、表示データDA1のデータD0を読み出すことができる。表示データDA1のデータD2~D3についても同様に、ビットラインBL2~4、

10

20

30

40

50

ビットライン NBL 2 ~ 4 の出力から読み出すことができる。

【 0 0 7 9 】

#### 4 . パリティ生成回路及びパリティチェック回路

パリティ生成回路 6 0 及びパリティチェック回路 7 0 は、二つのパリティモードのいずれかで動作する。二つのパリティモードには、偶パリティモードと奇パリティモードがある。この二つのパリティモードでは、 $n$  ビットの表示データ及び  $s$  ビットのパリティデータの各ビットのうち、ビットのデータの値が 1 の値であるビットの合計数が偶数であるか奇数であるかが判断される。例えば偶パリティモードである場合には、ビットのデータの値が 1 の値であるビットの合計数が偶数になるように、 $s$  ビットのパリティデータが設定される。また、例えば奇パリティモードである場合には、ビットのデータの値が 1 の値であるビットの合計数が奇数になるように、 $s$  ビットのパリティデータが設定される。

10

【 0 0 8 0 】

上記では、ビットのデータの値が 1 の値であるビットの合計数が判断基準にされているが、これに限定されない。例えば、ビットのデータの値が 0 の値であるビットの合計数が判断基準にされてもよい。

【 0 0 8 1 】

$s$  ビットのパリティデータについて説明するために、以下の図 1 3 ~ 図 1 7 には、 $n$  ビットの表示データを例えば 3 ビットの表示データとし、 $s$  ビットのパリティデータを例えば 1 ビットのパリティデータとして示されているがこれに限定されない。

【 0 0 8 2 】

20

図 1 3 は、3 ビットの表示データと 1 ビットパリティデータとの対応関係を示す。パリティモード P T Y - M O D E は偶パリティモードまたは奇パリティモードを示すためのデータである。パリティモード P T Y - M O D E が 0 の値である場合は、例えば偶パリティモードを示す。また、パリティモード P T Y - M O D E が 1 の値である場合は、例えば奇パリティモードを示す。データ D 0 ~ D 2 は、3 ビットの表示データの各ビットのデータを示す。データ P T Y - B I T は、1 ビットのパリティデータを示す。

【 0 0 8 3 】

図 1 3 によると、例えば 3 ビットの表示データの各ビットのデータ D 0 ~ D 2 が ( 0 0 0 ) である場合、偶パリティモードではパリティデータ P T Y - B I T は 0 の値であり、奇パリティモードではパリティデータ P T Y - B I T は 1 の値である。また、例えば 3 ビットの表示データの各ビットのデータ D 0 ~ D 2 が ( 1 0 0 ) である場合、偶パリティモードではパリティデータ P T Y - B I T は 1 の値であり、奇パリティモードではパリティデータ P T Y - B I T は 0 の値である。

30

【 0 0 8 4 】

図 1 4 に偶パリティモードでの 3 ビットの表示データの各ビットのデータ D 0 ~ D 2 とパリティデータ P T Y - B I T を示す。偶パリティモードでは、データ D 0 ~ D 2 の値が ( 0 0 0 ) である場合、パリティデータ P T Y - B I T が 0 の値に設定される。これにより、データ D 0 ~ D 2 及びパリティデータ ( P T Y - B I T ) の各データのうち、データの値が 1 の値であるデータの合計個数が 0 個 ( 偶数 ) となる。

【 0 0 8 5 】

40

また、偶パリティモードでは、データ D 0 ~ D 2 の値が ( 1 0 0 ) である場合、パリティデータ P T Y - B I T が 1 の値に設定される。これにより、データ D 0 ~ D 2 及びパリティデータ ( P T Y - B I T ) の各データのうち、データの値が 1 の値であるデータの合計個数が 2 個 ( 偶数 ) となる。

【 0 0 8 6 】

図 1 5 に奇パリティモードでの 3 ビットの表示データの各ビットのデータ D 0 ~ D 2 とパリティデータ P T Y - B I T を示す。偶パリティモードでは、データ D 0 ~ D 2 の値が ( 0 0 0 ) である場合、パリティデータ P T Y - B I T が 1 の値に設定される。これにより、データ D 0 ~ D 2 及びパリティデータ ( P T Y - B I T ) の各データのうち、データの値が 1 の値であるデータの合計個数が 1 個 ( 奇数 ) となる。

50



## 【 0 0 8 7 】

また、奇パリティモードでは、データD0～D2の値が(100)である場合、パリティデータPTY-BITが0の値に設定される。これにより、データD0～D2及びパリティデータ(PTY-BIT)の各データのうち、データの値が1の値であるデータの合計個数が1個(奇数)となる。

## 【 0 0 8 8 】

このように、パリティデータPTY-BITが設定されることで、表示データの各ビットのデータが誤動作などで、例えば全て0または1の値になってしまった場合を検出できる。具体的には、パリティチェック回路70は、nビットの表示データ及びsビットのパリティデータPTY-BITを調べ、例えばデータの値が1の値であるビットの個数を調べる。この個数を調べることで、前述のnビット表示データの各ビットの値が例えば全て0または1の値になってしまった場合を検出できる。

10

## 【 0 0 8 9 】

図16はパリティ生成回路を示す回路図である。説明の簡略化のため、図16、図17では、3ビットの表示データ及び1ビットのパリティデータが示されているがこれに限定されない。パリティ生成回路60は例えば論理回路EXOR1～EXOR3を含む。論理回路EXOR1～EXOR3は例えば排他的論理和回路である。パリティ生成回路60には、図13のパリティモードPTY-MODE、データD0～D2が入力される。入力されたデータD0～D2は、例えばパリティ生成回路60を経由してそのまま表示メモリ200に出力される。パリティモードPTY-MODE、データD0～D2に基づいて、各論理回路EXOR1にて論理演算された結果がパリティデータPTY-BITとして表示メモリ200に出力される。

20

## 【 0 0 9 0 】

具体的には、パリティモードが例えば奇パリティモードであり、各データD0～D2の値が(000)である場合、パリティ生成回路60の入力は、パリティモードPTY-MODEの値が1の値に、データD0～D2の値が(000)に設定される。このとき論理回路EXOR1は論理回路EXOR3に1を、EXOR2は論理回路EXOR3に0の値を出力する。これにより、最終段の論理回路EXOR3は1の値を出力する。この最終段の論理回路EXOR1の出力は、1ビットのパリティデータPTY-BITとして表示メモリ200に入力される。パリティモードが偶パリティモードである場合も同様である。

30

## 【 0 0 9 1 】

図17は、パリティチェック回路を示す回路図である。パリティチェック回路70は例えば論理回路EXOR1～EXOR4を含む。論理回路EXOR4は例えば排他的論理和回路である。ワードライン制御によって、表示メモリ200から例えば3ビットの表示データ及び例えば1ビットのパリティデータがパリティチェック回路70に入力される。また、例えば制御回路300からパリティモードPTY-MODEがパリティチェック回路70に入力される。例えば、奇パリティモードで3ビットの表示データが表示メモリ200に格納されていた場合、パリティモードPTY-MODEの値は1の値であり、パリティデータPTY-BITの値は1の値である。このとき、パリティチェック回路70に入力されたデータにおいて、前述のように3ビットの表示データの各ビットのデータD0～D2の値が(000)であり、パリティデータPTY-BITの値が1の値である場合には、パリティチェック回路70の論理回路EXOR3の出力値は、図16のパリティ生成回路60と同様に1の値となる。さらに、パリティモードPTY-MODEの値は1の値であるため、論理回路EXOR4の出力値は0の値である。即ち、パリティチェック回路70のデータエラー信号ERSは0の値を示す信号(または、ローレベルの信号)となる。なお、論理回路EXOR4の出力は、パリティチェック回路70のデータエラー信号ERSである。例えば、データエラー信号ERSの値が1の値(または、ハイレベルの信号)である場合は、nビットの表示データにデータの誤りがあることを示す。

40

## 【 0 0 9 2 】

ここで、前述では、奇パリティモードで表示メモリ200に格納されている3ビットの

50

表示データ及び1ビットのパリティデータは、それぞれ、データD0～D2の値が(000)であり、1ビットのパリティデータの値は1の値であるが、誤動作により3ビットの表示データ及び1ビットのパリティデータの値が全て1の値になってしまった場合を考える。

#### 【0093】

この場合、論理回路EXOR1、EXOR2の出力値はそれぞれ0の値であるため、論理回路EXOR3の出力値も0の値となる。ところが、この場合は奇パリティモードであるため、パリティモードPTY-MODEの値は1の値である。即ち、1の値と0の値が入力される論理回路EXOR4の出力は1の値なので、データエラー信号ERSはハイレベルの信号となり、これは3ビットの表示データにデータの誤りがあることを意味する。

10

#### 【0094】

##### 5. メモリセル

本実施形態の表示メモリ200は、図12に示されるようにワードラインWL1～WL3を含む複数のワードラインが方向Yに沿って延在形成されている。表示メモリ200においてデータの読み出しや書き込みが行われていないとき、複数のビットラインは例えば同電位に設定されている。このとき、表示メモリ200の誤動作等で複数のワードラインのいずれかが選択されてしまった場合、メモリセルのインバータINV1、INV2に電圧が印加されてしまう場合がある。メモリセルのインバータINV1、INV2に電圧が印加されてしまうと、保持されているデータを書き換えてしまう場合がある。メモリセルを構成する2つのトランジスタNTR1、NTR2は、同一のトランジスタとして製造されるが、実際には素子のばらつき等によってわずかにトランジスタの電流能力等の特性が変わってしまうことがある。つまり、複数のビットラインが同電位に設定されていても、トランジスタNTR1、NTR2の素子のばらつきによってインバータINV1、INV2に電圧が印加されてしまう場合がある。このような素子のばらつきは、複数のメモリセルにも同様に存在し、完全にばらつきをなくして製造することは難しいうえ、コストの面からも歩留まりの原因となる。

20

#### 【0095】

例えば、表示メモリ200においてデータの読み出しや書き込みが行われていないときに、図12のワードラインWL1が誤って選択されてしまうと、ワードラインWL1に接続されたいくつかメモリセルが例えば0の値に設定されてしまう場合がある。このような状態は、例えば外部からの静電気によって引き起こされる。表示パネル500がアンテナの機能を果たし、表示メモリ200は外部の静電気の影響を受けてしまう。表示パネルが高解像度化されると、表示パネルの配線密度が高まり、前述の影響はさらに顕著なものとなる。

30

#### 【0096】

例えば、表示メモリ200のメモリセルのワードラインに接続されているトランジスタNTR1、NTR2が誤動作した場合のメモリセルが0に書き換えられてしまう場合が1に書き換えられてしまう場合よりも多いときは、nビットの表示データ及びsビットのパリティデータの各ビットの総和が奇数となるようにsビットのパリティデータが設定されてもよい。また、表示メモリ200のメモリセルのワードラインに接続されているトランジスタPTR1、PTR2が誤動作した場合のメモリセルが1に書き換えられてしまう場合が0に書き換えられてしまう場合よりも多いときは、nビットの表示データ及びsビットのパリティデータの各ビットの総和が偶数となるようにsビットのパリティデータが設定されてもよい。

40

#### 【0097】

ワードラインに接続されている各メモリセルのトランジスタPTR1、PTR2のばらつきによって、複数のビットラインが同電位であるときに選択されたワードラインに接続されるメモリセルのデータが、1に書き換えられてしまうメモリセルと、0に書き換えられてしまうメモリセルとがある。表示メモリ200が製造される際、1に書き換えられてしまうメモリセルの個数が多い表示メモリ200と、0に書き換えられてしまうメモリセ

50

ルの個数が多い表示メモリ200とが製造される。

#### 【0098】

そこで、0に書き換えられてしまうメモリセルの個数が多い表示メモリ200には、例えば奇パリティモードでsビットのパリティデータが表示メモリ200に書き込まれる。このようにすれば、nビットの表示データ及びsビットのパリティデータの各ビットが例えば全て0に書き換えられても、奇パリティモードでデータの誤りを検出できる。また、1に書き換えられてしまうメモリセルの個数が多い表示メモリ200には、例えば偶パリティモードでsビットのパリティデータが表示メモリ200に書き込まれる。このようにすれば、nビットの表示データ及びsビットのパリティデータの各ビットが例えば全て1に書き換えられても、(s+n)の値が奇数であれば、偶パリティモードでデータの誤りを検出できる。

10

#### 【0099】

図18は、表示データにデータの誤りが発生した場合に、表示パネルが受ける影響を示す図である。符号PAYで囲まれる部分は、データの誤りによって、表示パネル500の表示画素が例えば白表示されている部分である。つまり、前述のように例えばワードラインWL1に接続されているメモリセルにデータの誤りがあると、例えば表示パネル500の符号PAYの部分に示されるように縦に1本の線が入ったように表示される。

#### 【0100】

本実施形態では、図17のデータエラー信号ERSは、例えばプロセッサ用インターフェース50または制御回路300に出力される。つまり、データの誤りの発生を検出できるため、即座にデータの書き直しが行える。例えば、制御回路300が受けたデータエラー信号ERSが例えばハイレベルの信号の場合、データの誤りがある表示データが格納されている表示メモリ200のメモリセルに再度表示データが書き込まれるようにしてもよい。このようにすれば、表示メモリ200の誤動作等によって表示データにデータの誤りが発生しても、データの誤りの発生を検出することができるので、表示パネル500に現れる例えば図18に示されるような影響を抑制できる。

20

#### 【0101】

また、図12に示される各メモリセルのトランジスタNTR1、NTR2の電流能力にあらかじめオフセットを与えることで、誤動作等によって誤ってワード線が選択されてしまった際にメモリセルが例えば0の値に書き換えられてしまうようにすることができる。

30

#### 【0102】

このようにすれば、選択されたワードラインに接続されるメモリセルがすべて例えば0の値に設定されるので、誤ってワードラインが選択されたことを確実に検出できる。具体的には、トランジスタNTR1のチャンネル幅やゲート長とトランジスタNTR2のチャンネル幅やゲート長を異なる値に設定し、トランジスタNTR1の電流能力と、トランジスタNTR2の電流能力とが異なるように設計する。こうすることで、複数のビットラインが同電位に設定されている状態で、ワードラインが誤って選択された場合、選択されたワードラインに接続されるメモリセルはすべて0の値または1の値が書き込まれる。

#### 【0103】

##### 6. 比較例との対比

40

図19は、比較例の表示ドライバ1000を示す図である。表示ドライバ1000は、例えば表示メモリ210、複数のデコーダ1100、複数のラッチ回路1200及び複数のデータ線駆動部1300を含む。デコーダ1100は例えば、階調データをデコードする階調デコーダ及びデータ線駆動部1300の駆動電圧を選択するデータを生成するマルチライン同時選択駆動デコーダを含む。

#### 【0104】

表示メモリ210には、方向Xに沿ってワードラインが延在形成されている。また、方向Yに沿ってビットラインQBLが表示メモリ210に延在形成され、複数のビットラインQBLが、方向Xに沿って配列されている。表示メモリ210には、方向Yに沿って複数のワードラインWLXが配列されているが、説明の簡略化のため、図19には1本のワ

50

ードラインW L X 1 が図示されている。

【 0 1 0 5 】

ワードラインW L X 1 が選択されると、表示メモリ2 1 0 に格納されているnビットの表示データD A 1 から、ワードラインW L X 1 に接続するメモリセルに格納された1ビットのデータD A 1 - 1 がデコーダ1 1 0 0 Aに出力される。同様に、nビットの表示データD A 2 ~ D A x ( x は2以上の整数) からワードラインW L X 1 に接続する各メモリセルに格納された1ビットのデータが、各ビット線Q B L を介して対応する各デコーダ1 1 0 0 に出力される。

【 0 1 0 6 】

つまり、1度のワードライン選択で、複数のデコーダ1 1 0 0 の各々に1ビットの表示データを出力する。例えば、デコーダ1 1 0 0 が表示データをデコード処理するために必要な情報量がnビットだった場合、各デコーダ1 1 0 0 にラッチ回路等を設けて、ワードラインをn回選択し、nビットのデータをデコーダ1 1 0 0 に格納させればよい。

10

【 0 1 0 7 】

ところが、表示パネルが高解像度化すると、データ線の増加に伴いデコーダ1 1 0 0 の数も増加する。このデコーダ1 1 0 0 の数の増加は、チップ面積の増大を引き起こし、製造コストを増大させる。本実施形態の表示ドライバ1 0 では、例えば一つのデコーダ1 0 0 が駆動電圧選択データを複数のラッチ回路L A 1 ~ L A x に出力するため、大幅なチップ面積縮小が可能である。チップ面積の縮小は、製造コスト削減の他、レイアウトの自由度を向上させることができる。

20

【 0 1 0 8 】

次に、比較例の表示ドライバ1 0 0 0 の表示メモリ2 1 0 に表示データを書き込む動作を説明する。図2 0 は、比較例の表示メモリ2 1 0 を示す図である。表示メモリ2 1 0 は、複数のビットラインQ B L の他に、複数のワードラインW L Y を含む。各ワードラインW L Y は、表示メモリ2 1 0 に方向Yに沿って延在形成されている。nビットの表示データD A 1 を表示メモリ2 1 0 に書き込む場合、ワードラインW L Y - 1 が選択され、ワードラインW L Y - 1 に接続されたメモリセルに表示データD A 1 が書き込まれる。即ち、nビットの表示データD A 1 の各ビットのデータは、方向Yに沿って配列されたメモリセルに格納される。この表示データD A 1 の各ビットのデータが格納されるメモリセルの配列は、本実施形態の表示メモリ2 0 0 に格納されているnビットの表示データD A 1 と同様である。

30

【 0 1 0 9 】

つまり、比較例の表示ドライバ1 0 0 0 を使用する場合と同じように表示メモリ2 0 0 に表示データD A 1 を書き込むことができる。例えば、比較例の表示ドライバ1 0 0 0 を用いるために作成したメモリ制御用のプログラムを、本実施形態の表示ドライバ1 0 にも容易に適用できる。このように表示メモリに対する表示データの書き込み方法において、比較例の表示ドライバ1 0 0 0 と互換性を持たせることで、設計時間の短縮が可能である。

【 0 1 1 0 】

さらに、本実施形態の表示メモリ2 0 0 は、比較例の表示メモリ2 1 0 に比べて表示メモリの単位面積あたりに記憶できるデータ量が拡大されている。即ち、1ビットあたりのメモリセルのレイアウトサイズが縮小され、表示メモリに設けられている配線数も削減されている。これにより、例えば表示メモリ2 0 0 を含む表示ドライバ1 0 は、比較例の表示ドライバ1 0 0 0 に比べて、チップ面積の大幅な縮小が可能であり、製造コスト削減の効果を奏す。

40

【 0 1 1 1 】

上述の効果を説明するために、比較例の表示メモリ2 1 0 の一部を示す回路図を図2 1 に示す。表示メモリ2 1 0 には、前述の通り、複数のワードラインW L Y、複数のビットラインQ B L、複数のワードラインW L X が設けられている。また、表示メモリ2 1 0 には、方向Xに沿って延在形成されたビットラインB L、N B L が複数設けられているが、

50

図 2 1 にはその一部としてビットライン B L 1 ~ B L 4、N B L 1 ~ N B L 4 が示されている。表示メモリ 2 1 0 において、1 ビットのデータを格納できるメモリセルは、N 型トランジスタ N T R 1、2 および P 型トランジスタ P T R 3、4 を含む。また、表示メモリ 2 1 0 のメモリセルはインバータ I N V 1、I N V 2 を含む。

【 0 1 1 2 】

この表示メモリ 2 1 0 に表示データを書き込む際には、方向 Y に沿って延在形成されたワードライン W L Y が選択され、方向 X に沿って延在形成されたビットライン B L、N B L を介して各メモリセルにデータが書き込まれる。表示メモリ 2 1 0 から表示データを読み出す際は、方向 X に沿って延在形成されたワードライン W L X が選択され、方向 Y に沿って延在形成されたビットライン Q B L を介して各メモリセルに格納されているデータが出力される。このように、一つのメモリセルに対してデータが例えばビットライン B L 1、N B L 1 の 2 系統から入力され、メモリセルに格納されているデータがビットライン B L 1、N B L 1 とは別系統である例えばビットライン Q B L の 1 系統から出力されるものを、ここでは、1 . 5 ポートのメモリセルと呼ぶ。

10

【 0 1 1 3 】

ここで、図 1 2 に示される 1 ポートのメモリセルを見ると、図 1 2 の 1 ポートのメモリセルには、比較例の 1 . 5 ポートのメモリセルに設けられている 2 つの P 型トランジスタ P T R 3、P T R 4 が設けられていない。さらに、比較例の表示メモリ 2 1 0 に設けられている複数のワードライン W L X 及び複数のビットライン Q B L が、本実施形態の表示メモリ 2 0 0 には設けられていない。即ち、表示メモリ 2 0 0 と表示メモリ 2 1 0 とが同容量のデータを記憶できる場合、本実施形態の表示メモリ 2 0 0 は、比較例の表示メモリ 2 1 0 に比べて大幅にチップサイズを縮小できる。

20

【 0 1 1 4 】

7 . 変形例

図 2 2 に、本実施形態の表示ドライバ 1 0 の変形例を示す。本実施形態の変形例である表示ドライバ 2 0 0 0 は、パリティチェック回路 7 0、表示メモリ 2 0 0、デコーダ 1 0 1、1 0 2、複数のラッチ回路、複数のデータ線駆動部を含むが、これに限定されない。例えば、表示ドライバ 2 0 0 0 は、表示メモリ 2 0 0 が省略されて構成されてもよい。表示メモリ 2 0 0 から n ビットの表示データ D A 1、D A 2 及び s ビットのパリティデータ P R 1、P R 2 の合計 2 ( n + s ) ビットのデータが読み出される。パリティチェック回路 7 0 は、2 ( n + s ) ビットのデータのうち、例えば n ビットの表示データ D A 1 をデコーダ 1 0 1 に出力し、例えば n ビットの表示データ D A 2 をデコーダ 1 0 2 に出力する。表示パネルの解像度が高くなると、1 表示期間中に表示データのデコード処理が追いつかなくなり表示パネルの表示状態に影響を及ぼす可能性がある。しかし、表示ドライバ 2 0 0 0 を用いることで、表示パネルがより高解像度の高い場合でも、表示データのデコード処理をデコーダ 1 0 1、1 0 2 に分散させることができるので、高画質に表示データを表示パネルに表示できる。

30

【 0 1 1 5 】

8 . 電子機器

図 2 3 は、本実施形態に係る表示ドライバ 1 0 を含む電子機器の構成を示すブロック図である。図 2 3 の電子機器 4 0 0 0 は、表示ドライバ 1 0 と、表示パネル 5 0 0 と、表示パネル 5 0 0 の走査線を駆動する走査ドライバ 4 1 0 0 と、表示ドライバ 1 0 及び走査ドライバ 4 1 0 0 に制御信号等を供給するコントローラ 4 2 0 0 と、電源 4 3 0 0 とを含むが、これに限定されない。例えば、コントローラ 4 2 0 0 や電源が省略されてもよいし、他のデバイスが設けられてもよい。

40

【 0 1 1 6 】

電子機器 4 0 0 0 には、表示ドライバ 1 0 が設けられているので、電子機器 4 0 0 0 の製造コストを削減することができる。また、外部からの静電気等によって生じる表示メモリのデータの誤りを検出できるので、表示品質のよい表示パネルが設けられた電子機器を提供できる。

50

## 【 0 1 1 7 】

本実施形態の表示メモリ 2 0 0 は、例えばパリティ生成回路 6 0 によって生成された s ビットのパリティデータが格納されているが、これに限定されない。例えばプロセッサが上述されたような s ビットのパリティデータを生成し、表示メモリ 2 0 0 にその s ビットのパリティデータが格納されてもよい。

## 【 0 1 1 8 】

なお、本発明は、上記実施形態で説明されたものに限らず、種々の変形実施が可能である。例えば、明細書又は図面中の記載において広義や同義な用語（階調デコーダ、階調 R O M、マルチライン同時選択駆動用デコーダ、表示メモリのアドレス情報、ラッチ回路等）として引用された用語は、明細書又は図面中の他の記載においても広義や同義な用語（ F R C デコーダ、 F R C R O M、 M L S デコーダ、ワードラインを選択する選択信号、フリップフロップ等）に置き換えることができる。

10

## 【 図面の簡単な説明 】

## 【 0 1 1 9 】

【 図 1 】 本実施形態に係る表示ドライバのブロック図。

【 図 2 】 本実施形態に係るアドレスデコーダと複数のラッチ回路との接続を示す図。

【 図 3 】 本実施形態に係るシフトレジスタの一部を示す図。

【 図 4 】 本実施形態に係る表示メモリに格納されている表示データと表示パネルの画素との対応関係を示す図。

【 図 5 】 F R C デコーダと M L S デコーダの動作を説明するためのブロック図。

20

【 図 6 】 本実施形態に係る表示期間、フレーム期間及びフィールド期間の関係を示す図。

【 図 7 】 本実施形態に係る表示パターンテーブルの一例を示す図。

【 図 8 】 本実施形態に係る F R C デコーダの動作を説明するための図。

【 図 9 】 本実施形態に係るラッチ回路にラッチパルスが入力される際のタイミングチャート。

【 図 1 0 】 図 9 に示される期間の一部を詳細を示すタイミングチャート。

【 図 1 1 】 本実施形態に係る表示メモリを示す図。

【 図 1 2 】 本実施形態に係る表示メモリに設けられているメモリセルと表示データとの関係を示す図。

【 図 1 3 】 本実施形態における 3 ビットの表示データと 1 ビットパリティデータとの対応関係を示す。

30

【 図 1 4 】 本実施形態における偶パリティモードでの 3 ビットの表示データの各ビットのデータとパリティデータを示す図。

【 図 1 5 】 本実施形態における奇パリティモードでの 3 ビットの表示データの各ビットのデータとパリティデータを示す図。

【 図 1 6 】 本実施形態のパリティ生成回路を示す回路図。

【 図 1 7 】 本実施形態のパリティチェック回路を示す回路図。

【 図 1 8 】 表示データにデータの誤りが発生した場合に、表示パネルが受ける影響を示す図。

【 図 1 9 】 比較例の表示ドライバを示す図。

40

【 図 2 0 】 比較例の表示メモリを示す図。

【 図 2 1 】 比較例の表示メモリの一部を示す図。

【 図 2 2 】 本実施形態の変形例に係る表示ドライバを示す図。

【 図 2 3 】 本実施形態に係る電子機器を示す図。

## 【 符号の説明 】

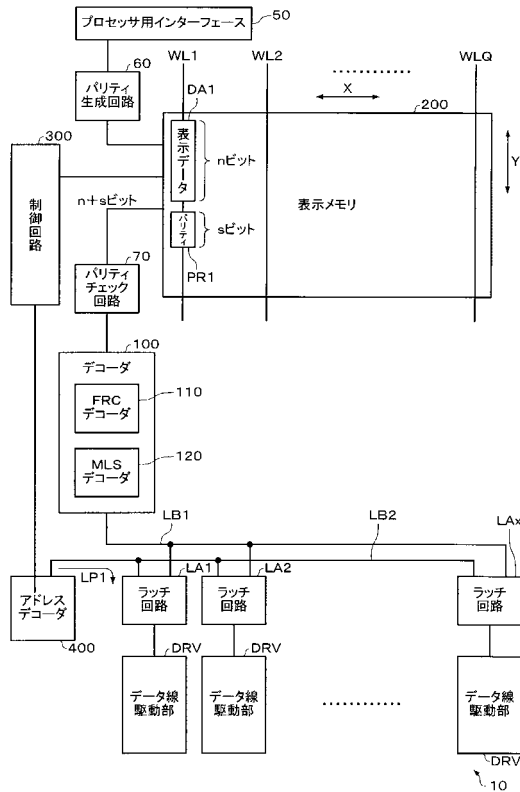
## 【 0 1 2 0 】

1 0 表示ドライバ、 5 0 プロセッサ用インターフェース、 6 0 パリティ生成回路、  
7 0 パリティチェック回路、 1 0 0 デコーダ、 1 1 0 F R C デコーダ、  
1 1 2 F R C R O M、 1 2 0 M L S デコーダ、 2 0 0 表示メモリ、  
3 0 0 制御回路、 4 0 0 アドレスデコーダ、 5 0 0 表示パネル、

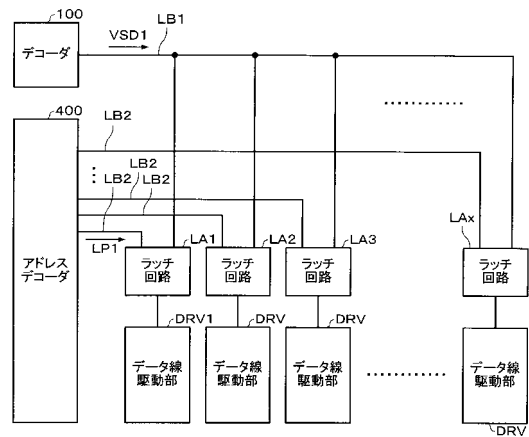
50

4000 電子機器、4100 走査ドライバ、4200 コントローラ、  
4300 電源、D データ入力、DA1 表示データ、DA2 表示データ、  
DRV データ線駆動部、ERS データエラー信号、FF フリップフロップ、  
LA1~LAx ラッチ回路、LP1 ラッチパルス、MA1 表示データ、  
PR1~PR2 パリティデータ、PTR1~PTR2 トランジスタ、  
Q データ出力、SR シフトレジスタ、VSD1 駆動電圧選択データ、  
WL1~WLQ ワードライン

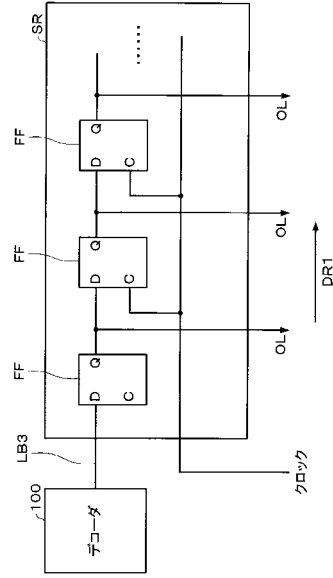
【図1】



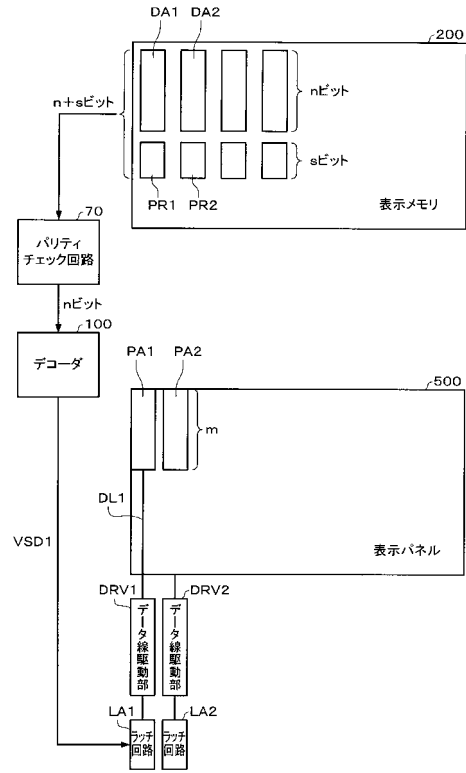
【図2】



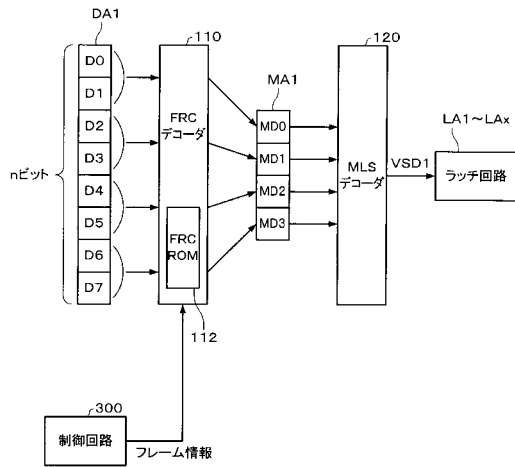
【図3】



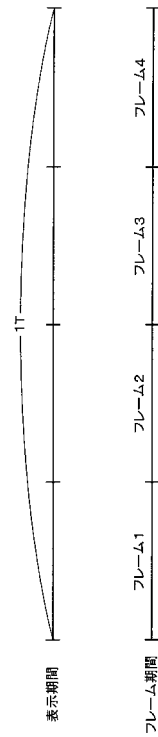
【図4】



【図5】



【図6】

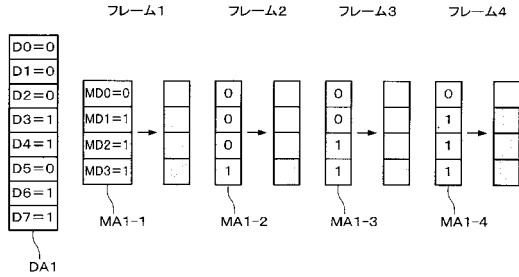




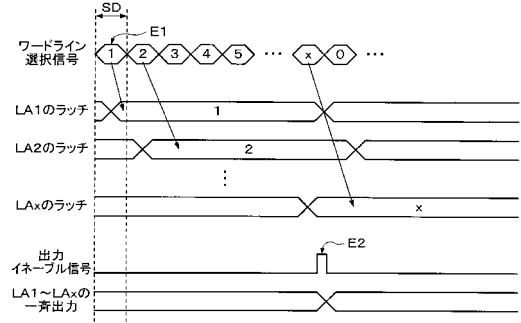
【図7】

		フレーム番号			
		1	2	3	4
階調データ	0	0	0	0	0
	0	1	1	0	0
	1	0	1	0	1
	1	1	1	1	1

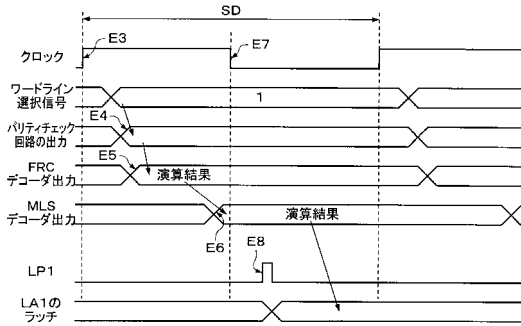
【図8】



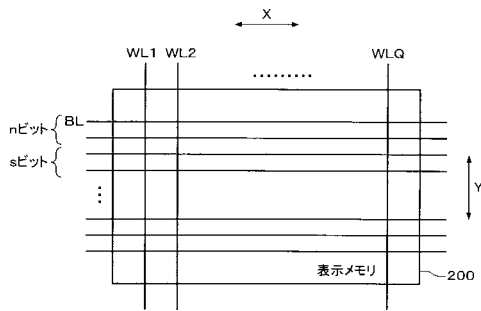
【図9】



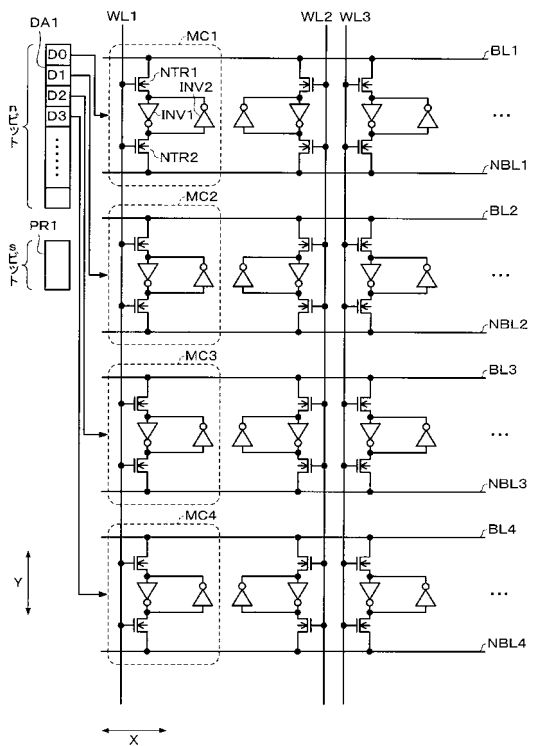
【図10】



【図11】



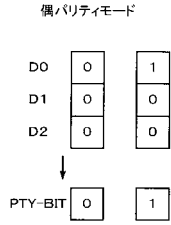
【図12】



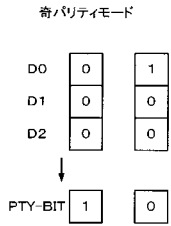
【図13】

PTY-MODE	D2	D1	D0	PTY-BIT
偶パリティ	0	0	0	0
	0	0	1	1
	0	1	0	1
	0	1	1	0
	1	0	0	1
	1	0	1	0
奇パリティ	1	0	0	1
	1	0	1	0
	1	1	0	0
	1	1	1	1
	0	0	0	1
	0	0	1	0

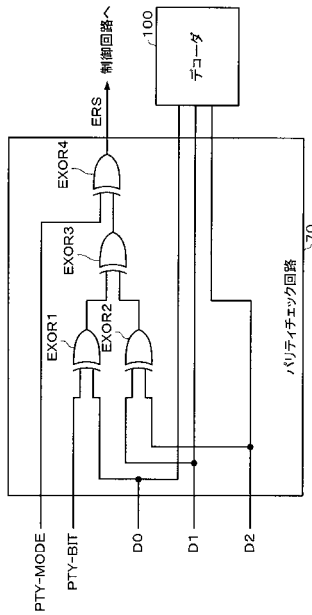
【図14】



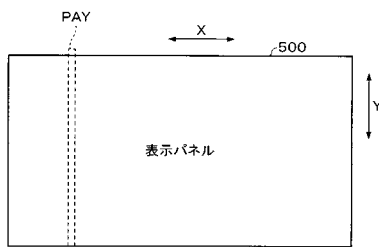
【図15】



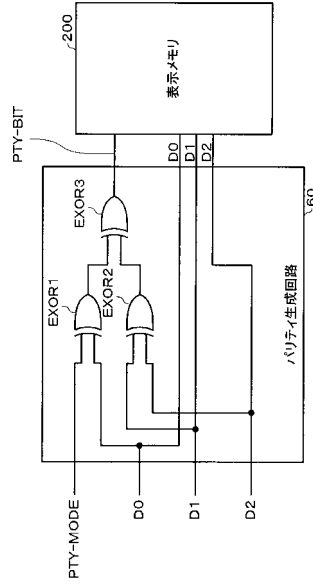
【図17】



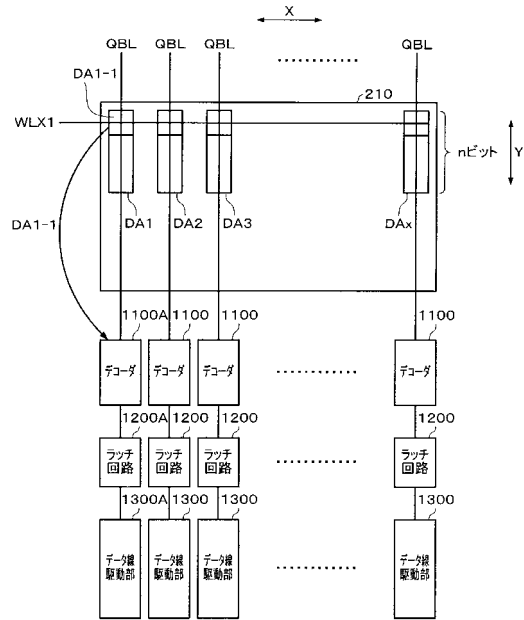
【図18】



【図16】

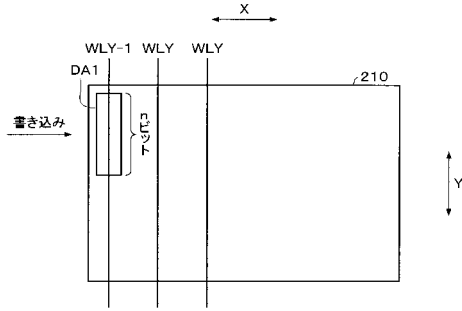


【図19】

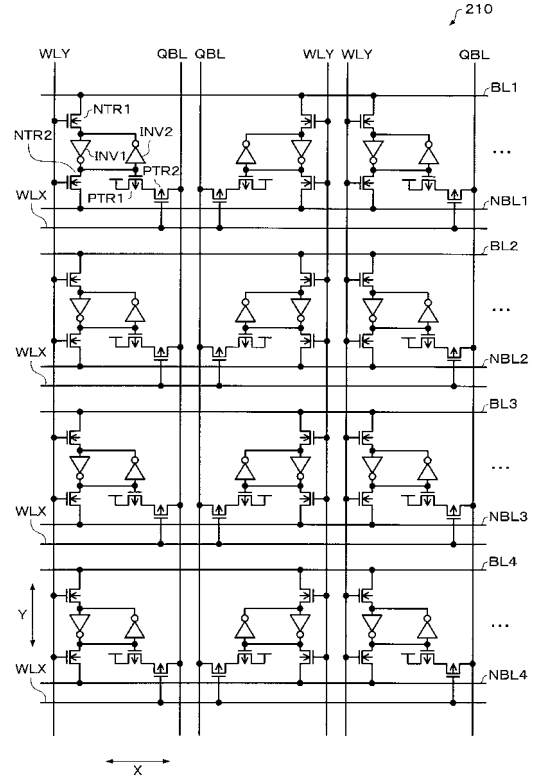


1000

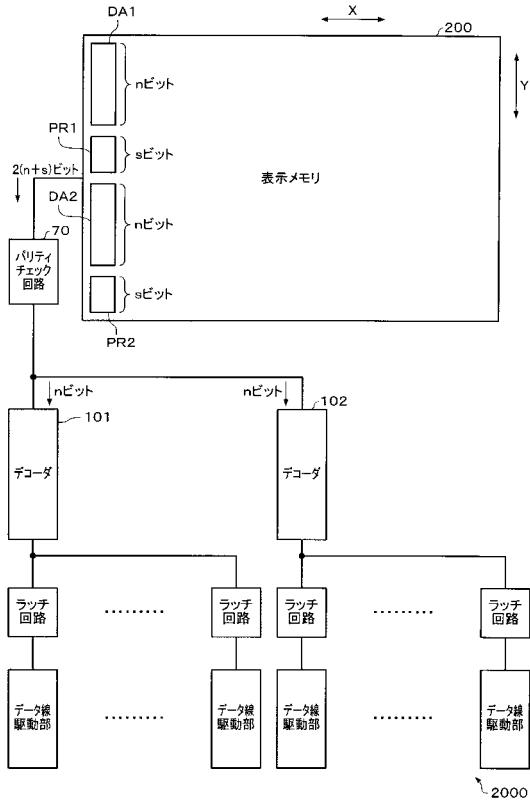
【図20】



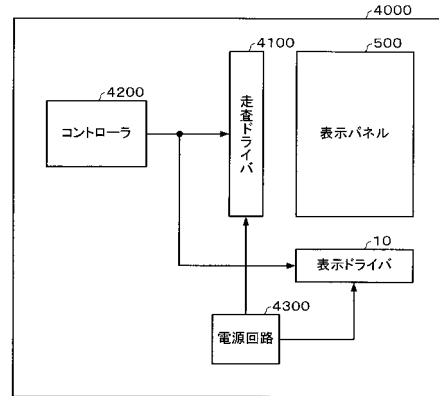
【図21】



【図22】



【図23】



## フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 3 1 M  
G 0 9 G 3/20 6 4 1 E  
G 0 9 G 3/20 6 7 0 E  
G 0 9 G 3/20 6 7 0 F

(72)発明者 福田 雅文  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 安江 匡  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

(56)参考文献 特開平05 - 037969 (JP, A)  
特開平09 - 237076 (JP, A)  
特開平11 - 282432 (JP, A)  
特開平09 - 171171 (JP, A)  
特開平06 - 195043 (JP, A)  
特開平06 - 095618 (JP, A)  
特開平03 - 111932 (JP, A)  
特開平10 - 340067 (JP, A)  
特開平06 - 324644 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0