



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I559497 B

(45)公告日：中華民國 105 (2016) 年 11 月 21 日

(21)申請案號：101102258

(22)申請日：中華民國 101 (2012) 年 01 月 19 日

(51)Int. Cl. : *H01L27/04 (2006.01)**H01L27/10 (2006.01)*

(30)優先權：2011/01/28 日本

2011-015871

2011/05/14 日本

2011-108880

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：藤田雅史 FUJITA, MASASHI (JP)；鹽野入豐 SHIONOIRI, YUTAKA (JP)；戶松浩
之 TOMATSU, HIROYUKI (JP)；小林英智 KOBAYASHI, HIDETOMO (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 9-107107A

JP 2010-3910A

US 2010/0220117A1

審查人員：孫建文

申請專利範圍項數：15 項 圖式數：29 共 122 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

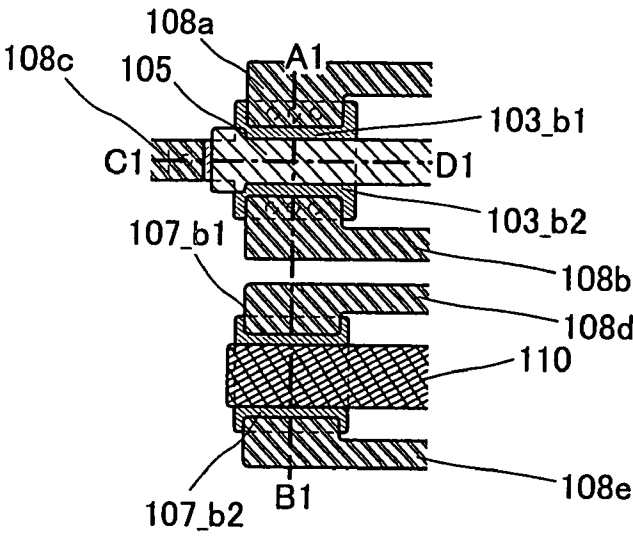
(57)摘要

本發明提供：配置於基板上之第一場效電晶體，其中絕緣區域係配置於第一半導體區域之上，及第二半導體區域係配置於該絕緣區域之上；絕緣層配置於該基板之上；第二場效電晶體，其配置該絕緣層之一平坦表面，並包括氧化物半導體層；以及控制端子。該控制端子係以與該第二場效電晶體之源極及汲極相同步驟形成，且用於控制該第一場效電晶體之閾值電壓的電壓施加於該控制端子。

A first field-effect transistor provided over a substrate in which an insulating region is provided over a first semiconductor region and a second semiconductor region is provided over the insulating region; an insulating layer provided over the substrate; a second field-effect transistor that is provided one flat surface of the insulating layer and includes an oxide semiconductor layer; and a control terminal are provided. The control terminal is formed in the same step as a source and a drain of the second field-effect transistor, and a voltage for controlling a threshold voltage of the first field-effect transistor is supplied to the control terminal.

指定代表圖：

圖 1A



符號簡單說明：
103_b1、103_b2、
107_b1、
107_b2 . . . 區域
105、108a、108b、
108c、108d、108e、
110 . . . 導電層

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101102258

※申請日：101 年 01 月 19 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

101L 2710X 2006.01

101L 27110 2006.01

二、中文發明摘要：

本發明提供：配置於基板上之第一場效電晶體，其中絕緣區域係配置於第一半導體區域之上，及第二半導體區域係配置於該絕緣區域之上；絕緣層配置於該基板之上；第二場效電晶體，其配置該絕緣層之一平坦表面，並包括氧化物半導體層；以及控制端子。該控制端子係以與該第二場效電晶體之源極及汲極相同步驟形成，且用於控制該第一場效電晶體之閾值電壓的電壓施加於該控制端子。

三、英文發明摘要：

A first field-effect transistor provided over a substrate in which an insulating region is provided over a first semiconductor region and a second semiconductor region is provided over the insulating region; an insulating layer provided over the substrate; a second field-effect transistor that is provided one flat surface of the insulating layer and includes an oxide semiconductor layer; and a control terminal are provided. The control terminal is formed in the same step as a source and a drain of the second field-effect transistor, and a voltage for controlling a threshold voltage of the first field-effect transistor is supplied to the control terminal.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

103_b1、103_b2、107_b1、107_b2：區域

105、108a、108b、108c、108d、108e、110：導電層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明之一實施例關於半導體裝置。

【先前技術】

近年來，資訊社會已愈見發展，且對於例如個人電腦、行動電話等之更高速度、更高容量、更小尺寸、更輕重量等之需求已增加。因此，諸如大型積體電路（LSI）及中央處理單元（CPU）之半導體裝置需更高整合、更高作業速度、及更低電力消耗。

半導體裝置之電力消耗實質上等於半導體裝置之作業狀態中產生之電力消耗及停止狀態產生之電力消耗（以下稱為待機電力）之總和。

待機電力可區分為靜態待機電力及動態待機電力。靜態待機電力為於半導體裝置之電晶體之電極之間未施加電壓之狀態下，即閘極與源極之間之電壓約 0 V 之狀態下，藉由源極與汲極之間、閘極與源極之間、及閘極與汲極之間之洩漏電流產生所消耗之電力。另一方面，動態待機電力為當諸如時脈信號或電源電壓之各種信號之電壓於待機狀態持續施加於電路所消耗之電力。

儘管已發展微細加工技術以獲得半導體裝置之更高作業速度，當微細加工先進時，電晶體之通道長度變成更小，及以閘極絕緣層代表之絕緣層具有更小厚度。因此，電晶體之洩漏電流增加及動態待機電力傾向於增加。有關獲

得半導體裝置之更高作業速度而無微細加工之方法，提供一種方法其中電晶體係使用基板（亦稱為 SOI 基板）形成，其中絕緣區域係配置於第一半導體區域之上，及第二半導體區域係配置於絕緣區域之上（例如專利文獻 1）。

[參考文獻]

[專利文獻]

[專利文獻 1]日本公開專利申請案 No. H6-291291

【發明內容】

隨著微細加工增長及整合程度增加，待機電力增加。因此，為減少電力消耗，重要的是減少待機電力。

在使用 SOI 基板之電晶體中，絕緣區域下方之第一半導體區域充當閘極及閾值電壓偏移，即造成背閘極效應。因此，甚至當施加於電晶體之閘極與源極之間之電壓為 0 V 時，存在電晶體之源極與汲極之間流動之電流量增加且半導體裝置之電力消耗增加的可能性。

本發明之一實施例之一目標為抑制作業速度減少及電力消耗減少。

在本發明之一實施例中，配置於 SOI 基板上之場效電晶體及包括氧化物半導體層並具有低關閉狀態電流之場效電晶體，配置於半導體裝置中，使得作業速度改進及電力消耗減少。

此外，在本發明之一實施例中，配置控制端子用於控制配置於 SOI 基板上場效電晶體之閾值電壓，使得控制配

置於 SOI 基板上場效電晶體之閾值電壓，並減少電力消耗。此時，控制端子係以與包括氧化物半導體層之場效電晶體之源極及汲極之相同步驟形成，藉此抑制步驟數量增加。

此外，控制端子電連接至 SOI 基板之第二半導體區域中所形成之雜質區域。雜質區域具有與配置於 SOI 基板上場效電晶體之源極區域及汲極區域相反的導電類型，並根據經由控制端子輸入之電壓而控制施加於通道形成區域之電壓。此時，雜質區域可與包括氧化物半導體層之場效電晶體的通道形成區域重疊，藉此充當端子（例如，背閘極）用於控制包括氧化物半導體層之場效電晶體的閾值電壓。因此，藉由相同控制電壓可控制配置於 SOI 基板上之場效電晶體及包括氧化物半導體層之場效電晶體的閾值電壓，使得電力消耗進一步減少。

此外，控制端子可電連接至 SOI 基板之第一半導體區域中所形成之雜質區域。雜質區域與配置於 SOI 基板上且絕緣區域配置於其間之場效電晶體的通道形成區域重疊，因而，藉由經由控制端子輸入之電壓而控制施加於通道形成區域之電壓。

本發明之一實施例為半導體裝置，包括匯流排介面、控制單元、快取記憶體、 N （ N 為大於或等於 3 之自然數）暫存器、指令解碼器、及算術邏輯單元。此時，配置於 SOI 基板上之場效電晶體及包括氧化物半導體層之場效電晶體，係配置於暫存器之單元記憶體裝置，且資料信號輸

入至包括氧化物半導體層之場效電晶體之源極及汲極之一。

根據本發明之一實施例，可抑制作業速度減少，並可減少於處於關閉狀態之電晶體之源極與汲極之間流動之電流量，此導致電力消耗減少。

【實施方式】

以下將參照圖式說明用於說明本發明之實施例範例。請注意，熟悉本技藝之人士易於改變實施例之內容而未偏離本發明之精神及範圍。因而，本發明不應侷限於下列實施例之說明。

請注意，不同實施例中內容可適當相互組合。此外，不同實施例中內容可相互交換。

此外，諸如「第一」及「第二」之序數係附加用於避免組件之間混淆，且組件數量不侷限於序數數量。

請注意，為求方便，圖式中所描繪之組件可包括該些具有與實際尺寸不同尺寸者。

（實施例 1）

在本實施例中，將說明包括配置於 SOI 基板上之電晶體及包括氧化物半導體層之電晶體的半導體裝置範例。

參照圖 1A 至 1C 說明本實施例中半導體裝置之結構範例。圖 1A 為示意俯視圖，圖 1B 為沿圖 1A 之線 A1-B1 之示意截面圖，及圖 1C 為沿圖 1A 之線 C1-D1 之示意截面

圖。

圖 1A 至 1C 中所描繪之半導體裝置包括半導體層 101、絕緣層 102、半導體層 103、絕緣層 104、導電層 105、絕緣層 106、半導體層 107、導電層 108a 至 108e、絕緣層 109、及導電層 110。電晶體 100a 及電晶體 100b 係使用以上結構予以形成。

請注意，在半導體裝置中，例如場效電晶體可用作電晶體。

依據電晶體之結構或作業狀況，有時電晶體之源極及汲極交換。

電壓通常係指二點電位之間之差異（亦稱為電位差）。然而，電路圖等中電壓及電位二者之值有時係使用伏（V）代表，使得其間難以區別。此即為何在本說明書中，一點之電位與將為參考之電位（亦稱為參考電位）之間之電位差有時用作點之電壓。

當存在二或更多組件相互電連接之時期時，可以說二或更多組件相互電連接。

電晶體 100a 係使用例如矽等單晶半導體層予以形成。電晶體 100a 用作例如半導體裝置中邏輯電路之電晶體。

電晶體 100b 為包括氧化物半導體層之電晶體，其關閉狀態電流低於包括矽等半導體層之習知電晶體。氧化物半導體層具有較矽更寬帶隙，並為本質（i 型）或實質上本質半導體層。包括氧化物半導體層之電晶體之通道寬度

之每微米關閉狀態電流為低於或等於 10 aA ($1 \times 10^{-17} \text{ A}$)，較佳地為低於或等於 1 aA ($1 \times 10^{-18} \text{ A}$)，進一步較佳地為低於或等於 10 zA ($1 \times 10^{-20} \text{ A}$)，進一步較佳地為低於或等於 1 zA ($1 \times 10^{-21} \text{ A}$)，更進一步較佳地為低於或等於 100 yA ($1 \times 10^{-22} \text{ A}$)。電晶體 100b 用作例如記憶體電路之電晶體。資料輸入至電晶體 100b 之源極或汲極電連接至另一電路或元件之部分，接著電晶體 100b 關閉，藉此資料可長時間保持。然而，本實施例不侷限於此，且電晶體 100b 亦可用於邏輯電路等。

半導體層 101 為 SOI 基板中第一半導體區域。半導體層 101 例如係使用半導體基板形成。有關半導體基板，例如可使用矽基板等。

絕緣層 102 係配置於半導體層 101 之上。

絕緣層 102 為 SOI 基板中絕緣區域。有關絕緣層 102，例如可使用諸如氧化矽之材料層。

半導體層 103 係配置於絕緣層 102 之上。

半導體層 103 包括區域 103_a、區域 103_b1、區域 103_b2、及區域 103_c。

區域 103_a 為區域 103_b1 與區域 103_b2 之間之區域。區域 103_a 為通道形成之區域（亦稱為通道形成區域）。

區域 103_b1 及區域 103_b2 相互保持距離。區域 103_b1 為充當電晶體 100a 之源極區域及汲極區域之一之區域，及區域 103_b2 為充當電晶體 100a 之源極區域及汲

極區域之另一者之區域。區域 103_b1 及區域 103_b2 包括賦予 n 型或 p 型導電類型之雜質元素。有關賦予 n 型或 p 型導電類型之雜質元素，例如可使用磷、硼等。

此外，區域 103_c 接觸區域 103_a，其中形成通道並包括賦予與區域 103_b1 及區域 103_b2 相反導電類型之雜質元素。此時，區域 103_c 具有與區域 103_b1 及區域 103_b2 相反之導電類型。電壓經由區域 103_c 而施加於區域 103_a。此外，將添加至區域 103_c 之雜質元素濃度設定高於添加至區域 103_a 之雜質元素濃度，藉此可減少與區域 103_a 接觸電阻。

半導體層 103 為 SOI 基板中至少部分第二半導體區域。請注意，亦可以該等方式形成電晶體 100a，即使用由絕緣區域環繞之半導體區域取代半導體層 103。

可使用例如單晶半導體層，諸如單晶矽之材料層，而形成半導體層 103。

絕緣層 104 係配置於半導體層 103 之一平坦表面之上。

有關絕緣層 104，例如可使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層、或氧化鉛層。亦可藉由可應用於絕緣層 104 之材料之堆疊層來形成絕緣層 104。

絕緣層 104 充當電晶體 100a 中間極絕緣層。

導電層 105 與部分半導體層 103（區域 103_a）重疊且絕緣層 104 配置於其間。

有關導電層 105，例如可使用諸如鋁、鉻、銅、鋇、鈦、鉬、或鎢之金屬材料層；或包含任何以上金屬材料作為主要成分之合金材料。亦可藉由可施加於導電層 105 之材料的堆疊層而形成導電層 105。

導電層 105 充當電晶體 100a 中閘極。

絕緣層 106 係配置於絕緣層 104 及導電層 105 之上。

有關絕緣層 106，例如可使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層，或氧化鈣層。亦可藉由可施加於絕緣層 106 之材料的堆疊層而形成絕緣層 106。

絕緣層 106 充當平面化絕緣層。

半導體層 107 係配置於絕緣層 106 之一平坦表面之上。

半導體層 107 包括區域 107_a。此外，區域 107_b1 及區域 107_b2 係如圖 1A 及 1B 中所描繪配置於半導體層 107 中，但不一定配置。

區域 107_a 為區域 107_b1 與區域 107_b2 之間之區域。區域 107_a 為電晶體 100b 之通道形成區域。

區域 107_b1 及區域 107_b2 相互保持距離，並包括充當摻雜劑之元素。有關摻雜劑，可使用例如週期表中 15 族元素之一或多項（例如，氮、磷、砷之一或多項）及稀有氣體元素之一或多項（例如，氦、氬、氙之一或多項）。當添加摻雜劑以形成充當源極區域及汲極區域之區域時，甚至在電晶體之面積小之狀況下，電晶體之源極或汲極

與通道形成區域之間之電阻值可減少。因而，半導體裝置之電路面積可減少。

有關半導體層 107，例如可使用包含四成分金屬氧化物、三成分金屬氧化物、二成分金屬氧化物、單成分金屬氧化物等之氧化物半導體層。

將使用之氧化物半導體較佳地包含至少銦（In）或鋅（Zn）。尤其，較佳地包含 In 及 Zn。有關用於減少使用氧化物半導體之電晶體之電特性變化之穩定劑，較佳地額外包含鎵（Ga）。較佳地包含錫（Sn）作為穩定劑。較佳地包含鈦（Hf）作為穩定劑。較佳地包含鋁（Al）作為穩定劑。

有關另一穩定劑，可包含一或複數種鐳系元素，諸如鐳（La）、鈾（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、鉕（Tb）、鐳（Dy）、鈹（Ho）、鉕（Er）、鈹（Tm）、鐳（Yb）、或鐳（Lu）。

例如，有關四成分金屬氧化物，可使用 In-Sn-Ga-Zn-O 基金屬氧化物、In-Hf-Ga-Zn-O 基金屬氧化物、In-Al-Ga-Zn-O 基金屬氧化物、In-Sn-Al-Zn-O 基金屬氧化物、In-Sn-Hf-Zn-O 基金屬氧化物、In-Hf-Al-Zn-O 基金屬氧化物等。

有關三成分金屬元素之氧化物，例如可使用 In-Ga-Zn-O 基金屬氧化物、In-Sn-Zn-O 基金屬氧化物、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物、Sn-Al-Zn-O 基金屬氧化物、In-Hf-

Zn-O 基金屬氧化物、In-La-Zn-O 基金屬氧化物、In-Ce-Zn-O 基金屬氧化物、In-Pr-Zn-O 基金屬氧化物、In-Nd-Zn-O 基金屬氧化物、In-Sm-Zn-O 基金屬氧化物、In-Eu-Zn-O 基金屬氧化物、In-Gd-Zn-O 基金屬氧化物、In-Tb-Zn-O 基金屬氧化物、In-Dy-Zn-O 基金屬氧化物、In-Ho-Zn-O 基金屬氧化物、In-Er-Zn-O 基金屬氧化物、In-Tm-Zn-O 基金屬氧化物、In-Yb-Zn-O 基金屬氧化物、或 In-Lu-Zn-O 基金屬氧化物。

有關二成分金屬氧化物，例如可使用 In-Zn-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、In-Mg-O 基金屬氧化物、In-Sn-O 基金屬氧化物、或 In-Ga-O 基金屬氧化物。

請注意，In-Ga-Zn-O 基金屬氧化物係指其主要成分為 In、Ga、及 Zn 之金屬氧化物，且對於 In : Ga : Zn 之比例並無特別限制。In-Ga-Zn-O 基氧化物可包含非 In、Ga、及 Zn 之金屬元素。

若使用 In-Zn-O 基金屬氧化物，例如可用於形成氧化物靶材，其具有 In : Zn = 50 : 1 至 1 : 2 原子比 (In₂O₃ : ZnO = 25 : 1 至 1 : 4 莫耳比) 之組成比，較佳地為 In : Zn = 20 : 1 至 1 : 1 原子比 (In₂O₃ : ZnO = 10 : 1 至 1 : 2 莫耳比)，進一步較佳地為 In : Zn = 15 : 1 至 1.5 : 1 原子比 (In₂O₃ : ZnO = 15 : 2 至 3 : 4 莫耳比)。例如，當用於 In-Zn-O 基氧化物半導體之沉積之靶材之原子比藉由 In

： $Zn : O = P : Q : R$ 表示， $R > 1.5P + Q$ 。銦量增加使得電晶體之移動性增加。

此外，在 $In-Sn-Zn-O$ 基金屬氧化物之狀況下，使用氧化物靶材，其具有 $In : Sn : Zn = 1 : 2 : 2$ 、 $In : Sn : Zn = 2 : 1 : 3$ 、 $In : Sn : Zn = 1 : 1 : 1$ 、 $In : Sn : Zn = 20 : 45 : 35$ 等組成比。

另一方面，有關半導體層 107，例如可使用 $I-O$ 基金屬氧化物、 $Sn-O$ 基金屬氧化物、 $Zn-O$ 基金屬氧化物等層。此外，可用作氧化物半導體之金屬氧化物可包含氧化矽。另一方面，可用作氧化物半導體之金屬氧化物可包含氮。

另一方面，有關半導體層 107，可使用以 $InLO_3 (ZnO)_1$ (1 大於 0 且並非整數) 代表之材料層。此處， $InLO_3 (ZnO)_1$ 中 L 代表選自 Ga 、 Fe 、 Al 、 Mn 、或 Co 之一或多項金屬元素。有關氧化物半導體，亦可使用以 $In_3SnO_5 (ZnO)_n$ (n 大於 0 且為整數) 代表之材料層。

例如，可使用具 $In : Ga : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) 或 $In : Ga : Zn = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) 原子比之 $In-Ga-Zn-O$ 基金屬氧化物，或具接近以上原子比之原子比之氧化物。另一方面，可使用具 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$)、或 $In : Sn : Zn = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) 原子比之 $In-Sn-Zn-O$ 基氧化物，或具接近以上原子比之原子比之氧化物。

然而，不侷限於以上提供之材料，可依據所欲半導體特性（例如，移動性、閾值電壓、及變化）而使用具適當組成之材料。為獲得所需半導體特性，較佳的是適當設定載子濃度、雜質濃度、缺陷密度、金屬元素相對於氧之原子比、原子間距離、密度等。

例如，在使用 In-Sn-Zn-O 基金屬氧化物之狀況下，可相對容易獲得高移動性。然而，亦在使用 In-Ga-Zn-O 基金屬氧化物之狀況下，藉由減少整批中缺陷密度，可增加移動性。

請注意，例如「包括 $\text{In:Ga:Zn} = a:b:c$ ($a + b + c = 1$) 之原子比之 In 、 Ga 、及 Zn 之氧化物的組成，接近包括 $\text{In:Ga:Zn} = A:B:C$ ($A + B + C = 1$) 之原子比之 In 、 Ga 、及 Zn 之氧化物的組成」表示 a 、 b 、及 c 滿足下列關係： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ ，且 r 可為例如 0.05。相同論述應用於其他氧化物。

氧化物半導體可為單晶或非單晶。在後者之狀況下，氧化物半導體可為非結晶或多晶。此外，氧化物半導體可具有包括具有結晶性部分之非結晶結構或非非結晶結構。

在非結晶狀態之氧化物半導體中，可相對容易獲得平坦表面，使得當使用氧化物半導體製造電晶體時，可減少介面散射，並可相對容易獲得相對高移動性。

在具有結晶性之氧化物半導體中，可進一步減少整批中缺陷，且當表面平坦性改進時，可獲得高於非結晶狀態之氧化物半導體層之移動性。為改進表面平坦性，氧化物

半導體較佳地形成於平坦表面之上。具體地，氧化物半導體可形成於具低於或等於 1 nm 之平均表面粗糙度 (Ra) 之表面之上，較佳地為低於或等於 0.3 nm，更佳地為低於或等於 0.1 nm。

請注意，Ra 係藉由中心線平均粗糙度之三維擴充而予獲得，其係藉由 JIS B 0601 定義以便施加於平面。Ra 可表示為「從參考表面偏離至特定表面之絕對值的平均值」，並由以下方程式定義。

[方程式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

在以上方程式中， S_0 代表將測量之平面的面積（由座標 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 、及 (x_2, y_2) 代表之四點定義之矩形區域），及 Z_0 代表將測量之平面的平均高度。Ra 可使用原子力顯微鏡 (AFM) 予以測量。請注意，測量平面為由所有測量資料顯示之平面，及測量資料包含三參數 (x, y, z) 並由 $z = f(x, y)$ 代表。 x （及 y ）之範圍從 0 至 x_{max} （及 y_{max} ），及 z 之範圍從 z_{min} 至 z_{max} 。

至少其中形成通道之半導體層 107 之區域可為非單晶，並包括一相位，當從垂直於 a-b 平面之方向觀看時，其具有三角形、六角形、正三角形、或正六角形原子配置，及其中當從垂直於 c 軸方向之方向觀看時，金屬原子係以

層級方式配置，或當從垂直於 c 軸方向之方向觀看時，金屬原子及氧原子係以層級方式配置。以上相位之形成使其可抑制電晶體因光之降格。請注意，具有該相位之材料亦稱為 c 軸校準晶體或 CAAC。

導電層 108a 經由穿透絕緣層 104 及絕緣層 106 之第一開口而電連接至區域 103_b1。

導電層 108a 充當電晶體 100a 之源極及汲極之一。

導電層 108b 經由穿透絕緣層 104 及絕緣層 106 之第二開口而電連接至區域 103_b2。

導電層 108b 充當電晶體 100a 之源極及汲極之另一者。

導電層 108c 經由穿透絕緣層 104 及絕緣層 106 之第三開口而電連接至區域 103_c。

導電層 108c 充當控制端子，用於控制施加於電晶體 100a 之區域 103_a 之電壓。

導電層 108d 電連接至半導體層 107。

導電層 108d 充當電晶體 100b 之源極及汲極之一。

導電層 108e 電連接至半導體層 107。

導電層 108e 充當電晶體 100b 之源極及汲極之另一者。

請注意，如圖 1A 及 1B 中所描繪，儘管導電層 108d 及導電層 108e 係配置於半導體層 107 之上，本實施例不侷限於此，且半導體層 107 可配置於導電層 108d 及導電層 108e 之上。

導電層 108c 係以與導電層 108d 及導電層 108e 之相同步驟形成。此外，導電層 108a 及導電層 108b 可以與導電層 108c 至導電層 108e 之相同步驟形成。每一導電層 108a 至 108e 例如可使用諸如鋁、鉻、銅、鈹、鈦、鉬、或鎢之金屬材料層；或包含任何以上金屬材料作為主要成分之合金材料，予以形成。有關合金材料層，例如可使用 Cu-Mg-Al 合金材料層。

此外，包括導電金屬氧化物之層可用作每一導電層 108a 至 108e。請注意，可用作每一導電層 108a 至 108e 之導電金屬氧化物可包括氧化矽。

導電層 108a 至 108e 亦可藉由可應用於導電層 108a 至 108e 之材料之堆疊層予以形成。例如，導電層 108a 至 108e 各以銅層配置於 Cu-Mg-Al 合金材料層上之堆疊予以形成，藉此導電層 108a 至 108e 與接觸導電層 108a 至 108e 之其他層之間之黏著可增加。

絕緣層 109 係配置於絕緣層 106、半導體層 107、及導電層 108a 至 108e 之上。

例如氧化矽層可用作絕緣層 109。另一方面，可使用氧化矽層與另一層之堆疊而形成絕緣層 109。

導電層 110 與半導體層 107 重疊，且絕緣層 109 配置於其間。

導電層 110 例如可為諸如鋁、鉻、銅、鈹、鈦、鉬、或鎢之金屬材料層；或包含任何以上金屬材料作為主要成分之合金材料。

在圖 1A 至 1C 中所描繪之半導體裝置中，控制電壓經由充當控制端子之導電層 108c 而予施加。接著，可根據控制電壓而將區域 103_a 之電壓控制至一位準。例如，若電晶體 100a 為 p 通道電晶體，當控制電壓之位準增加時，電晶體 100a 之閾值電壓為負向偏移。因而，甚至若電晶體 100a 之閾值電壓因半導體層 101 改變，當控制電壓經由導電層 108c 而輸入以控制區域 103_a 之電壓及電晶體 100a 之閾值電壓時，藉此可減少處於關閉狀態之電晶體 100a 之源極與汲極之間流動之電流量。較佳地控制電晶體 100a 之閾值電壓，例如使得電晶體 100a 變成增強類型電晶體。

請注意，當電晶體 100a 及電晶體 100b 具有相同導電類型時，區域 103_c 可與電晶體 100b 之通道形成區域重疊，使得可藉由共同控制電壓而控制電晶體 100a 之閾值電壓及電晶體 100b 之閾值電壓。在此狀況下，可減少信號數量，藉此可減少佈線數量。

此外，可於 SOI 基板上配置具有與電晶體 100a 不同導電類型之另一電晶體。此時，具有與電晶體 100a 不同導電類型之電晶體可具有與電晶體 100a 相同結構，除了雜質區域之導電類型與電晶體 100a 不同以外。因此，可形成具有不同導電類型之電晶體，同時抑制製造步驟數量增加。

此係本實施例中半導體裝置之範例。

在本實施例之半導體裝置之範例中，使用配置於 SOI

基板上之場效電晶體及包括氧化物半導體層之場效電晶體。使用該些電晶體使得改進作業速度及減少不必要電流，藉此減少電力消耗。

此外，在本實施例之半導體裝置之範例中，配置用於控制配置於 SOI 基板上場效電晶體之閾值電壓的控制端子，並控制配置於 SOI 基板上場效電晶體之閾值電壓。結果，可減少於配置於 SOI 基板上並處於關閉狀態之場效電晶體之源極與汲極之間流動之電流量，使得可減少半導體裝置之電力消耗。此外，可控制配置於 SOI 基板上並具有以上結構之每一 n 通道電晶體或 p 通道電晶體之閾值電壓。

此外，在本實施例之半導體裝置之範例中，可以與包括氧化物半導體層之場效電晶體之源極及汲極之相同步驟形成充當控制端子之導電層。結果，可抑制製造步驟之數量增加。

參照圖 2A1 至 2C2、圖 3A1 至 3C2、圖 4A1 至 4B2、圖 5A1 至 5B2、及圖 6A1 至 6B2 說明圖 1A 至 1C 中所描繪之半導體裝置之製造方法範例，作為本實施例中半導體裝置之製造方法範例。圖 2A1 至圖 6B2 為截面圖，描繪圖 1A 至 1C 中所描繪之半導體裝置之製造方法範例。

首先，如圖 2A1 及 2A2 中所描繪，準備半導體層 101，絕緣層 102 係形成於半導體層 101 之一平坦表面之上，接著半導體層 103 係形成於半導體層 101 之一平坦表面之上，且絕緣層 102 配置於其間。請注意，氧化物絕緣層或氮化物絕緣層可預先形成於半導體層 101 之上。

此處，以下說明包括半導體層 101、絕緣層 102、及半導體層 103 之 SOI 基板的形成方法範例。

例如，準備第一半導體基板作為半導體層 101，及準備其頂面配置絕緣層 102 之第二半導體基板。請注意，賦予 n 型或 p 型導電之雜質元素可預先添加至第一半導體基板。

例如，藉由熱氧化、CVD、濺鍍等形成氧化物絕緣膜，可形成氧化物絕緣層。例如，藉由以熱氧化中熱氧化處理於第二半導體基板之上形成氧化物矽膜，可形成氧化物絕緣層。

此外，包括藉由電場加速之離子的離子束進入第二半導體基板，並於距第二半導體基板之表面某深度之區域中形成易碎區域。請注意，藉由動能、質量、電荷、或離子之入射角等，調整形形成易碎區域之深度。

例如，可使用離子摻雜設備或離子注入設備將離子導入第二半導體基板。

有關用於輻照之離子，例如可使用氫及／或氘。例如，若使用離子摻雜設備而以氫離子執行輻照，藉由增加用於輻照之離子中 H_3^+ 比例，可改進離子輻照效率。具體地，較佳的是 H_3^+ 關於 H^+ 、 H_2^+ 、及 H_3^+ 總量之比例為高於或等於 50 %（進一步較佳地為高於或等於 80 %）。

此外，第一半導體基板及第二半導體基板相互連接，且配置於第二半導體基板上之絕緣層配置於其間。請注意，若第一半導體基板亦配置絕緣層，第一半導體基板及第

二半導體基板相互連接，且第二半導體基板上絕緣層及第一半導體基板上絕緣層配置於其間。在此狀況下，配置於第一半導體基板與第二半導體基板之間之絕緣層相應於絕緣層 102。

此外，執行熱處理使得第二半導體基板以用作分裂平面之易碎區域予以分隔。因而，半導體層 103 可形成於絕緣層 102 之上。

請注意，當半導體層 103 表面以雷射光輻照時，可改進半導體層 103 之表面平坦性。

然而，本實施例不侷限於此，例如可使用 Smart Cut（註冊商標）法或 SIMOX 法以形成 SOI 基板。

其次，如圖 2B1 及 2B2 中所描繪，蝕刻部分半導體層 103。

例如，抗蝕罩藉由光刻步驟而形成於部分層或膜之上，並可使用抗蝕罩蝕刻部分層或膜，使得可形成層。請注意，在此狀況下，於層形成之後移除抗蝕罩。

另一方面，可使用具有不同透射比之複數區域的曝光遮罩（亦稱為多色調遮罩）而形成抗蝕罩。基於多色調遮罩，可形成具有不同厚度區域之抗蝕罩，使得可減少用於製造半導體裝置之抗蝕罩數量。

其次，如圖 2C1 及 2C2 中所描繪，絕緣層 104 係形成於半導體層 103 之一平坦表面之上。

例如，可使用可用於絕緣層 104 之材料形成膜，並藉由濺鍍法、電漿 CVD 法等而形成絕緣層 104。另一方面，

絕緣層 104 可為使用可用於絕緣層 104 之材料形成之膜的堆疊。

請注意，在半導體層 103 形成之後，賦予 n 型或 p 型導電類型之雜質元素可添加至半導體層 103。例如，在絕緣層 104 形成之後，雜質元素可添加至部分半導體層 103。雜質元素添加至半導體層 103 使其可易於控制包括半導體層 103 之電晶體的閾值電壓。

其次，如圖 3A1 及 3A2 中所描繪，第一導電膜係形成於半導體層 103 之上，且絕緣層 104 配置於其間，並蝕刻部分第一導電膜，使得形成導電層 105。

例如，可使用可用於導電層 105 之材料形成膜而藉由濺鍍法形成第一導電膜。可使用可用於第一導電膜之材料各形成堆疊層而形成第一導電膜。

其次，如圖 3B1 及 3B2 中所描繪，使用導電層 105 及抗蝕罩作為遮罩而添加賦予 p 型導電類型及 n 型導電類型之一者之雜質元素，使得形成區域 103_b1 及區域 103_b2，反之，使用第一導電膜形成之另一導電層或抗蝕罩作為遮罩而添加賦予 p 型導電類型及 n 型導電類型之另一者之雜質元素，使得形成區域 103_c。此時，在與導電層 105 重疊且絕緣層 104 配置於其間之部分半導體層 103 中，區域 103_b1 與區域 103_b2 之間之區域為區域 103_a。

其次，如圖 3C1 及 3C2 中所描繪，第三絕緣膜係形成於絕緣層 104 及導電層 105 之上，以形成絕緣層 106。

例如，可以該等方式形成絕緣層 106，即氧氮化矽膜

係形成於絕緣層 104 及導電層 105 之上、氮氧化矽膜係形成於氮氧化矽膜之上、及氧化矽膜係形成於氮氧化矽膜之上。

接著，如圖 4A1 及 4A2 中所描繪，氧化物半導體膜係形成於絕緣層 106 之上，並蝕刻部分氧化物半導體膜以形成半導體層 107。

此處，有關半導體層 107 之範例，例如藉由以下說明之方法形成為 CAAC 之氧化物半導體層。

在用於形成半導體層 107 之方法範例中，可包括執行熱處理一次或複數次之步驟及移除部分半導體膜之步驟之一或二者。此時，移除部分半導體膜之步驟的時序未特別侷限於此，只要是在導電層 110 形成之前半導體膜形成之後執行即可。此外，執行熱處理之步驟的時序不侷限於此，只要是在半導體膜形成之後執行即可。

例如，藉由使用可用於半導體層 107 之材料形成膜並藉由濺鍍法而形成半導體膜。此時，形成半導體膜之元件形成層的溫度設定為高於或等於 100°C 及低於或等於 500°C ，較佳地為高於或等於 200°C 及低於或等於 350°C 。當形成半導體膜之元件形成層的溫度高時，當從垂直於 a-b 平面之方向觀看時，半導體膜可具有以三角形、六角形、等邊三角形、或正六角形配置之原子，並具有一相位其中當從垂直於 c 軸方向之方向觀看時，金屬原子係以層級方式配置，或一相位其中當從垂直於 c 軸方向之方向觀看時，金屬原子及氧原子係以層級方式配置。

有關執行熱處理之步驟，熱處理（亦稱為熱處理 A）係以例如高於或等於 400℃及低於或等於 750℃或高於或等於 400℃及低於基板之應變點之溫度執行。請注意熱處理 A 之時序不侷限於此，只要是在半導體膜形成之後執行即可。

熱處理 A 可增加半導體層 107 中結晶性。

用於熱處理 A 之熱處理設備可為電熔爐或藉由來自諸如電阻加熱元件之加熱元件的熱傳導或熱輻射而加熱目標之設備。例如，可使用快速熱降火（RTA）設備，諸如氣體快速熱降火（GRTA）設備或燈快速熱降火（LRTA）設備。LRTA 設備為一種設備，藉由自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱處理目標。GRTA 設備為用於使用高溫氣體而熱處理之設備。有關該高溫氣體，可使用未藉由熱處理而與目標反應之稀有氣體或惰性氣體（例如，氮）。

在熱處理 A 之後，可將高純度氧氣、高純度 N_2O 氣體、或極乾燥空氣（具低於或等於 -40℃之露點，較佳地為低於或等於 -60℃）導入以上熱處理 A 中使用之熔爐。較佳的是氧氣或 N_2O 氣體不包含水、氫等。被導入熱處理設備之氧氣或 N_2O 氣體的純度較佳地為等於或高於 6N，更佳地為等於或高於 7N（即，氧氣或 N_2O 氣體之雜質濃度較佳地為等於或低於 1 ppm，更佳地為等於或低於 0.1 ppm）。藉由氧氣或 N_2O 氣體之動作，氧施加於半導體膜

或半導體層 107，使得可減少藉由半導體膜或半導體層 107 中缺氧造成之缺陷。

其次，如圖 4B1 及 4B2 中所描繪，例如蝕刻部分絕緣層 104 及部分絕緣層 106 以形成穿透絕緣層 104 及絕緣層 106 之開口 111a 至 111c。

其次，如圖 5A1 及 5A2 中所描繪，第二導電膜係形成於絕緣層 106 及半導體層 107 之上，並蝕刻部分第二導電膜，使得形成導電層 108a 至 108e。

例如，可藉由使用可用於導電層 108a 至 108e 之材料形成膜並藉由濺鍍法而形成第二導電膜。可藉由使用可用於第二導電膜之材料形成堆疊層而形成第二導電膜。

其次，如圖 5B1 及 5B2 中所描繪，第四絕緣膜係形成於絕緣層 106、半導體層 107、及導電層 108a 至 108e 之上而接觸半導體層 107，使得形成絕緣層 109。

例如，可藉由使用可用於絕緣層 109 之材料形成膜並藉由濺鍍法、電漿 CVD 法等而形成第四絕緣膜。亦可藉由使用可用於第四絕緣膜之材料形成堆疊膜而形成第四絕緣膜。再者，當使用可用於絕緣層 109 之材料並藉由高密度電漿 CVD 法（例如，使用微波之高密度電漿 CVD 法，諸如 2.45 GHz 頻率之微波）而形成膜時，絕緣層 109 可為密集，並可改進絕緣層 109 之耐受電壓。

其次，如圖 6A1 及 6A2 中所描繪，第三導電膜係形成於絕緣層 109 之上，並蝕刻部分第三導電膜以形成導電層 110。

例如，可藉由使用可用於導電層 110 之材料形成膜並藉由濺鍍法而形成第三導電膜。可藉由可用於第三導電膜之材料形成堆疊膜而形成第三導電膜。

當諸如氫、水、烴基、或氫化物之雜質移除之高純度氣體用作濺鍍氣體時，可減少將形成之膜的雜質濃度。

請注意，在藉由濺鍍法形成膜之前，可於濺鍍設備之預熱室中執行熱處理（亦稱為熱處理 B）。藉由熱處理 B，可排除諸如氫或濕氣之雜質。

再者，在藉由濺鍍法形成膜之前，可執行下列處理（稱為反向濺鍍）：取代施加電壓於靶材側，RF 電源用於在氫、氮、氬、或氧氣體中施加電壓於基板側，使得產生電漿以修改將形成膜之表面。基於反向濺鍍，可移除附著至將形成膜之表面的粉狀物質（亦稱為粒子或灰塵）。

若藉由濺鍍法形成膜，可以截留真空泵等移除用於形成膜之沉積室中殘留濕氣。有關截留真空泵，例如可使用低溫泵、離子泵、或鈦昇華泵。再者，可以配置冷阱之渦輪泵移除沉積室中殘留濕氣。

此外，在絕緣層 109 形成之後，可於惰性氣體或氧氣中執行熱處理（亦稱為熱處理 C）。此時，可以高於或等於 200℃ 及低於或等於 400℃ 之溫度執行熱處理 C，較佳地為高於或等於 250℃ 及低於或等於 350℃。

其次，如圖 6B1 及 6B2 中所描繪，經由絕緣層 109 而從形成導電層 110 側將摻雜劑添加至半導體層 107，藉此以自校準方式形成區域 107_b1 及區域 107_b2。因此，相

較於摻雜劑直接添加至半導體層之狀況，可避免半導體層 107 過度蝕刻，可減少對於半導體層 107 過度損害，及半導體層 107 與絕緣層 109 之間之介面可保持清潔。結果，可增加電晶體之特性及可靠性。此時，區域 107_b1 與區域 107_b2 之間之區域為區域 107_a。

例如，使用離子摻雜設備或離子注入設備可添加摻雜劑。

請注意，在摻雜劑添加至半導體層 107 之後，可執行熱處理。

此係圖 1A 至 1C 中所描繪之電晶體之製造方法範例。

在本實施例之半導體裝置之製造方法範例中，當蝕刻部分導電膜時，可以與充當第二場效電晶體之源極及汲極之導電層之相同步驟形成充當控制端子之導電層。結果，可抑制製造步驟數量增加。

（實施例 2）

在本實施例中，將說明具有與實施例 1 不同結構之半導體裝置。請注意，實施例 1 中半導體裝置電路之說明可適當參照與實施例 1 中所說明之半導體裝置中相同部分。

參照圖 7A 至 7C 說明本實施例中半導體裝置之結構範例。圖 7A 為示意俯視圖，圖 7B 為沿圖 7A 之線 A2-B2 之示意截面圖，及圖 7C 為沿圖 7A 之線 C2-D2 之示意截面圖。

圖 7A 至 7C 中所描繪之半導體裝置包括半導體層 201

、絕緣層 202、半導體層 203a 及 203b、絕緣層 204、導電層 205a 及 205b、絕緣層 206、半導體層 207、導電層 208a 至 208h、絕緣層 209、及導電層 210。電晶體 200a、電晶體 200b、及電晶體 200c 係使用以上結構形成。

電晶體 200a 例如係使用矽等單晶半導體層形成。電晶體 200a 例如用作半導體裝置中邏輯電路之電晶體。

電晶體 200b 例如係使用矽等單晶半導體層形成，並具有與電晶體 200a 不同導電類型。電晶體 200b 例如用作半導體裝置中邏輯電路之電晶體。

然而，本實施例不侷限於此，並可省略電晶體 200a 或電晶體 200b。

電晶體 200c 為包括氧化物半導體層之電晶體，其關閉狀態電流低於包括矽等半導體層之習知電晶體。有關電晶體 200c，可使用可用於電晶體 100b 之電晶體。資料輸入至電晶體 200c 之源極或汲極電連接至另一電路或元件之部分，接著電晶體 200c 關閉，藉此資料可長時間保持。然而，本實施例不侷限於此，且電晶體 200c 亦可用於邏輯電路等。

半導體層 201 相應於 SOI 基板之第一半導體區域。半導體層 201 包括添加賦予 n 型導電類型及 p 型導電類型之一之雜質元素的區域 201_a，及添加賦予與區域 201_a 相反導電類型之雜質元素的區域 201_b。例如，在半導體層 201 連接至包括半導體層 203a 及半導體層 203b 之半導體層之前，賦予 n 型導電類型之雜質元素或賦予 p 型導電類

型之雜質元素選擇性添加至部分半導體層 201，藉此可形成區域 201_a 及區域 201_b。

對半導體層 201 而言，例如可使用可用於圖 1A 至 1C 中半導體層 101 之材料。

絕緣層 202 係配置於半導體層 201 之上。

絕緣層 202 相應於 SOI 基板中絕緣區域。可使用例如可用於圖 1A 至 1C 中絕緣層 102 之材料層形成絕緣層 202，並可藉由類似於絕緣層 102 之製造方法予以形成。

半導體層 203a 與區域 201_a 重疊且絕緣層 202 配置於其間，及半導體層 203b 與區域 201_b 重疊且絕緣層 202 配置於其間。

半導體層 203a 包括區域 203a_a、區域 203a_b1、及區域 203a_b2。此外，半導體層 203b 包括區域 203b_a、區域 203b_b1、及區域 203b_b2。

區域 203a_a 為區域 203a_b1 與區域 203a_b2 之間之區域，及區域 203b_a 為區域 203b_b1 與區域 203b_b2 之間之區域。區域 203a_a 及區域 203b_a 為通道形成區域。

區域 203a_b1 及區域 203a_b2 相互保持距離，及區域 203b_b1 及區域 203b_b2 相互保持距離。區域 203a_b1 為充當電晶體 200a 之源極區域及汲極區域之一之區域，及區域 203a_b2 為充當電晶體 200a 之源極區域及汲極區域之另一者之區域。區域 203b_b1 為充當電晶體 200b 之源極區域及汲極區域之一之區域，及區域 203b_b2 為充當電晶體 200b 之源極區域及汲極區域之另一者之區域。區域

203a_b1 及區域 203a_b2 包括賦予 n 型或 p 型導電類型之雜質元素。區域 203b_b1 及區域 203b_b2 包括賦予與區域 203a_b1 及區域 203a_b2 之導電類型相反之雜質元素。

半導體層 203 a 及半導體層 203b 各相應於 SOI 基板中至少部分第二半導體區域。請注意，電晶體 200a 可使用藉由絕緣區域環繞之半導體區域形成，而非半導體層 203a，及電晶體 200b 可使用藉由絕緣區域環繞之另一半導體區域形成，而非半導體層 203b。

半導體層 203a 及半導體層 203b 例如可使用可用於圖 1A 至 1C 中半導體層 103 之材料層形成，並可使用一半導體膜藉由類似於半導體層 103 之製造方法形成。

絕緣層 204 係配置於半導體層 203a 之一平坦表面及半導體層 203b 之一平坦表面之上。

絕緣層 204 例如可使用可用於圖 1A 至 1C 中絕緣層 104 之材料層形成，並可藉由類似於絕緣層 104 之製造方法形成。

絕緣層 204 充當電晶體 200a 中閘極絕緣層及電晶體 200b 中閘極絕緣層。

導電層 205a 與部分半導體層 203a (區域 203a_a) 重疊且絕緣層 204 配置於其間，及導電層 205b 與部分半導體層 203b (區域 203b_a) 重疊且絕緣層 204 配置於其間。

導電層 205a 及導電層 205b 例如可使用可用於圖 1A 至 1C 中導電層 105 之材料層形成，並可使用一導電膜藉

由類似於導電層 105 之製造方法形成。

導電層 205a 充當電晶體 200a 之閘極，及導電層 205b 充當電晶體 200b 之閘極。

絕緣層 206 係配置於絕緣層 204、導電層 205a、及導電層 205b 之上。

絕緣層 206 例如可使用可用於圖 1A 至 1C 中絕緣層 106 之材料層形成，並可藉由類似於絕緣層 106 之製造方法形成。

絕緣層 206 充當平面化絕緣層。

半導體層 207 係配置於絕緣層 206 之一平坦表面之上。

半導體層 207 包括區域 207_a。此外，如圖 7A 及 7B 中所描繪，區域 207_b1 及區域 207_b2 係配置於半導體層 207 中，但不一定配置。

區域 207_a 為區域 207_b1 與區域 207_b2 之間之區域。區域 207_a 為電晶體 200c 之通道形成區域。

區域 207_b1 及區域 207_b2 相互保持距離，並包括充當摻雜劑之元件。

半導體層 207 例如可使用可用於圖 1A 至 1C 中半導體層 107 之材料層形成，並可藉由類似於半導體層 107 之製造方法形成。

導電層 208a 經由穿透絕緣層 204 及絕緣層 206 之第一開口而電連接至區域 203a_b1。

導電層 208a 充當電晶體 200a 之源極及汲極之一。

導電層 208b 經由穿透絕緣層 204 及絕緣層 206 之第二開口而電連接至區域 203a_b2。

導電層 208b 充當電晶體 200a 之源極及汲極之另一者。

導電層 208c 經由穿透絕緣層 202、絕緣層 204、及絕緣層 206 之第三開口而電連接至區域 201_a。

導電層 208c 充當控制端子，用於控制施加於區域 201_a 之電壓。

導電層 208d 經由穿透絕緣層 204 及絕緣層 206 之第四開口而電連接至區域 203b_b1。

導電層 208d 充當電晶體 200b 之源極及汲極之一。

導電層 208e 經由穿透絕緣層 204 及絕緣層 206 之第五開口而電連接至區域 203b_b2。

導電層 208e 充當電晶體 200b 之源極及汲極之另一者。

導電層 208f 經由穿透絕緣層 202、絕緣層 204、及絕緣層 206 之第六開口而電連接至區域 201_b。

導電層 208f 充當控制端子，用於控制施加於區域 201_b 之電壓。

導電層 208g 電連接至半導體層 207。

導電層 208g 充當電晶體 200c 之源極及汲極之一。

導電層 208h 電連接至半導體層 207。

導電層 208h 充當電晶體 200c 之源極及汲極之另一者。

請注意，如圖 7A 及 7B 中所描繪，儘管導電層 208g 及導電層 208h 係配置於半導體層 207 之上，本實施例不侷限於此，且半導體層 207 可配置於導電層 208g 及導電層 208h 之上。

導電層 208c 及導電層 208f 係以與導電層 208g 及導電層 208h 之相同步驟形成。此外，導電層 208a 及導電層 208b，及導電層 208d 及導電層 208e，可以與導電層 208c、導電層 208f、導電層 208g、及導電層 208h 之相同步驟形成。有關導電層 208a 至 208h，可使用可用於圖 1A 至 1C 中導電層 108a 至 108e 之材料層。以與導電層 108a 至 108e 之相同方式使用一導電膜，可使用導電層 208a 至 208h。

絕緣層 209 係配置於絕緣層 206、半導體層 207、及導電層 208a 至 208h 之上。

絕緣層 209 例如可使用可用於圖 1A 至 1C 中絕緣層 109 之材料層形成，並可藉由類似於絕緣層 109 之製造方法形成。

導電層 210 與半導體層 207 重疊，且絕緣層 209 配置於其間。

導電層 210 例如可使用可用於圖 1A 至 1C 中導電層 110 之材料層形成，並可藉由類似於導電層 110 之製造方法形成。

在圖 7A 至 7C 中所描繪之半導體裝置中，當經由導電層 208c 而施加第一控制電壓時，可根據第一控制電壓而

控制區域 201_a 之電壓至一位準，並可控制施加於半導體層 203a 之電壓。此外，當經由導電層 208f 而施加第二控制電壓時，可根據第二控制電壓而控制區域 201_b 之電壓至一位準，並可控制施加於半導體層 203b 之電壓。例如，若電晶體 200a 為 p 通道電晶體，當第一控制電壓之位準設定為高時，電晶體 200a 之閾值負向偏移。若電晶體 200b 為 n 通道電晶體，當第二控制電壓設定為低時，電晶體 200b 之閾值電壓為正向偏移。因而，甚至若電晶體 200a 及電晶體 200b 之閾值電壓因半導體層 201 而改變，當控制區域 203_a_a 及區域 203b_a 之電壓，並控制電晶體 200a 及電晶體 200b 之閾值電壓時，藉此可減少處於關閉狀態之每一電晶體 200a 及電晶體 200b 之源極與汲極之間流動之電流量。例如，電晶體 200a 及電晶體 200b 之閾值電壓較佳地為電晶體 200a 及電晶體 200b 變成增強類型電晶體之位準。

此係本實施例中半導體裝置之範例。

在本實施例之半導體裝置之範例中，使用配置於 SOI 基板上之場效電晶體，及包括氧化物半導體層之場效電晶體。使用該些電晶體使得作業速度改進並減少不必要電流，藉此減少電力消耗。

此外，在本實施例之半導體裝置之範例中，配置用於控制配置於 SOI 基板上之場效電晶體之閾值電壓的控制端子，並控制配置於 SOI 基板上之場效電晶體之閾值電壓。結果，可減少配置於 SOI 基板上並處於關閉狀態之場效電

晶體之源極與汲極之間流動之電流量，使得可減少半導體裝置之電力消耗。此外，可控制配置於 SOI 基板上並具有以上結構之每一 n 通道電晶體或 p 通道電晶體之閾值電壓。

此外，在本實施例之半導體裝置之範例中，可以與包括氧化物半導體層之場效電晶體之源極及汲極之相同步驟形成充當控制端子之導電層。結果，可抑制製造步驟數量增加。

（實施例 3）

在本實施例中，將說明具有與實施例 1 及實施例 2 不同結構之半導體裝置。請注意，實施例 1 及實施例 2 中半導體裝置之說明可適當參照與實施例 1 及實施例 2 中所說明之半導體裝置中相同部分。

參照圖 8A 至 8D 說明本實施例之半導體裝置之結構範例。圖 8A 為示意俯視圖，圖 8B 為沿圖 8A 之線 A3-B3 之示意截面圖，圖 8C 為沿圖 8A 之沿線 C3-D3 之示意截面圖，及圖 8D 為沿圖 8A 之線 E3-F3 之示意截面圖。

圖 8A 至 8D 中所描繪之半導體裝置包括半導體層 301、絕緣層 302、半導體層 303、絕緣層 304、導電層 305、絕緣層 306、半導體層 307、導電層 308a 至 308d、絕緣層 309、導電層 310a、及導電層 310b。電晶體 300a 及電晶體 300b 係使用以上結構形成。

電晶體 300a 例如係使用矽等單晶半導體層形成。例

如，電晶體 300a 用作任何各式邏輯電路中之電晶體。電晶體 300a 例如可用作記憶體電路中輸出電晶體。

然而，本實施例不侷限於此，且如圖 7A 至 7C 中所描繪，除了電晶體 300a 以外，可配置包括單晶半導體層之電晶體。

電晶體 300b 為包括氧化物半導體層之電晶體，其關閉狀態電流低於包括矽等半導體層之習知電晶體。有關電晶體 300b，可使用可用於電晶體 100b 之電晶體。此時，電晶體 300b 及電晶體 300a 具有相同導電類型。電晶體 300b 例如可用作記憶體電路之電晶體。資料輸入至電晶體 300b 之源極或汲極電連接至另一電路或元件之部分，接著電晶體 300b 關閉，藉此資料可長時間保持。然而，本實施例不侷限於此，及電晶體 300b 亦可用於邏輯電路等。

半導體層 301 相應於 SOI 基板中第一半導體區域。請注意，在圖 8A 至 8D 中，半導體層 301 包括添加賦予 n 型或 p 型導電類型之雜質元素之區域 301_a。例如，在半導體層 301 及包括半導體層 303 之半導體層相互連接之前，雜質元素添加至部分半導體層 301，藉此可形成區域 301_a。請注意，若電晶體包括具有相互不同極性之單晶半導體層，可配置添加具有相互不同導電類型之雜質元素之複數雜質區域。請注意，可省略區域 301_a。

對半導體層 301 而言，例如可使用可用於圖 1A 至 1C 中半導體層 101 之材料。

絕緣層 302 係配置於半導體層 301 之上。

絕緣層 302 相應於 SOI 基板中絕緣區域。絕緣層 302 例如可使用可用於圖 1A 至 1C 中絕緣層 102 之材料層形成，並可藉由類似於絕緣層 102 之製造方法形成。

半導體層 303 與區域 301_a 重疊，且絕緣層 302 配置於其間。

半導體層 303 包括區域 303_a、區域 303_b1、區域 303_b2、及區域 303_c。

區域 303_a 為區域 303_b1 與區域 303_b2 之間之區域。區域 303_a 為通道形成區域。

區域 303_b1 及區域 303_b2 相互保持距離。區域 303_b1 為充當電晶體 300a 之源極區域及汲極區域之一之區域，及區域 303_b2 為充當電晶體 300a 之源極區域及汲極區域之另一者之區域。區域 303_b1 及區域 303_b2 包括賦予 n 型或 p 型導電類型之雜質元素。

此外，區域 303_c 接觸其中形成通道之區域 303_a，並包括賦予與區域 303_b1 及區域 303_b2 相反導電類型之雜質元素。此時，區域 303_c 具有與區域 303_b1 及區域 303_b2 相反導電類型。電壓經由區域 303_c 而施加於區域 303_a。此外，添加至區域 303_c 之雜質元素濃度設定為高於添加至區域 303_a 之雜質元素濃度，藉此可減少與區域 303_a 之接觸電阻。

半導體層 303 為 SOI 基板中至少部分第二半導體區域。請注意，電晶體 300a 亦可以該等方式形成，即使用藉由絕緣區域環繞之半導體區域取代半導體層 303。

半導體層 303 例如可使用可用於圖 1A 至 1C 中半導體層 103 之材料層形成，並可使用藉由類似於半導體層 103 之製造方法形成一半導體膜。

絕緣層 304 係配置於半導體層 303 之一平坦表面之上。

絕緣層 304 例如可使用可用於圖 1A 至 1C 中絕緣層 104 之材料層形成，並可藉由類似於絕緣層 104 之製造方法形成。

絕緣層 304 充當電晶體 300a 中閘極絕緣層。

導電層 305 與部分半導體層 303 (區域 303_a) 重疊，且絕緣層 304 配置於其間。

導電層 305 例如可使用可用於圖 1A 至 1C 中導電層 105 之材料層形成，並可使用一導電膜而藉由例如類似於導電層 105 之製造方法形成。

導電層 305 充當電晶體 300a 中閘極。

絕緣層 306 係配置於絕緣層 304 及導電層 305 之上。

絕緣層 306 例如可使用可用於圖 1A 至 1C 中絕緣層 106 之材料層形成，並可藉由類似於絕緣層 106 之製造方法形成。

絕緣層 306 充當平面化絕緣層。

半導體層 307 係配置於絕緣層 306 之一平坦表面之上。

半導體層 307 包括區域 307_a。此外，如圖 8A 及 8B 中所描繪，區域 307_b1 及區域 307_b2 係配置於半導體層

307 中，但不一定配置。

區域 307_a 為區域 307_b1 與區域 307_b2 之間之區域。區域 307_a 與區域 303_c 重疊，且絕緣層 304 及絕緣層 306 配置於其間。區域 307_a 為電晶體 300b 之通道形成區域。

區域 307_b1 及區域 307_b2 相互保持距離，並包括充當摻雜劑之元素。

半導體層 307 例如可使用可用於圖 1A 至 1C 中半導體層 107 之材料層形成，並可藉由類似於半導體層 107 之製造方法形成。

導電層 308a 接觸導電層 305 並電連接至半導體層 307。其中導電層 308a 接觸導電層 305 之結構可以該等方式形成，例如在絕緣層 306 形成之後，藉由化學拋光處理等而暴露導電層 305 之表面，及接著形成導電層 308a。

請注意，儘管圖 8A 至 8D 中導電層 308a 接觸導電層 305，本實施例不侷限於此。其中導電層 308a 接觸導電層 305 之結構，相較於若導電層 308a 經由絕緣層之開口而電連接至導電層 305，使其可增加接觸面積。結果，可減少接觸電阻。

導電層 308a 充當電晶體 300b 之源極及汲極之一。

導電層 308b 電連接至半導體層 307。

導電層 308b 充當電晶體 300b 之源極及汲極之另一者。

請注意，儘管圖 8A 至 8D 中導電層 308a 及導電層

308b 係配置於半導體層 307 之上，本實施例不侷限於此，且半導體層 307 可配置於導電層 308a 及導電層 308b 之上。

導電層 308c 經由穿透絕緣層 302、絕緣層 304、及絕緣層 306 之第一開口而電連接至區域 301_a。

導電層 308c 充當控制端子，用於控制施加於區域 301_a 之電壓。

導電層 308d 經由穿透絕緣層 304 及絕緣層 306 之第二開口而電連接至區域 303_c。

導電層 308d 充當第二控制端子，用於控制施加於區域 303_c 之電壓。

導電層 308c 及導電層 308d 係以與導電層 308a 及導電層 308b 之相同步驟形成。有關導電層 308a 至 308d，可使用可用於圖 1A 至 1C 中導電層 108a 至 108e 之材料層。以與導電層 108a 至 108e 之相同方式使用一導電膜，而可使用導電層 308a 至 308h。

當未配置區域 301_a 時，可省略導電層 308c。

絕緣層 309 係配置於絕緣層 306、半導體層 307、及導電層 308a 至 308d 之上。

絕緣層 309 例如可使用可用於圖 1A 至 1C 中絕緣層 109 之材料層形成，並可藉由類似於絕緣層 109 之製造方法形成。

導電層 310a 與導電層 308a 重疊，且絕緣層 309 配置於其間。導電層 310a 充當電容器之電容器電極。

請注意，可以導電層 308a、絕緣層 309、及導電層 310a 形成電容器。然而，電容器不一定配置。

導電層 310b 與區域 307_a 重疊，且絕緣層 309 配置於其間。導電層 310b 充當電晶體 300b 之閘極。

導電層 310a 及導電層 310b 例如可使用可用於圖 1A 至 1C 中導電層 110 之材料層形成，並可藉由類似於導電層 110 之製造方法形成。

在圖 8A 至 8D 中所描繪之半導體裝置中，當經由導電層 308c，其為第一控制端子，而施加第一控制電壓時，可根據第一控制電壓而控制電連接至導電層 308c 之區域 301_a 之電壓至一位準。此外，當經由導電層 308d 而施加第二控制電壓時，可根據第二控制電壓而控制區域 303_a 之電壓至一位準。此時，第一控制電壓及第二控制電壓較佳地具有相同位準。此外，當經由導電層 308d 而施加第二控制電壓時，亦可控制半導體層 307 之電壓，並可控制施加於區域 303_a 之電壓及半導體層 307 之電壓二者。例如，若電晶體 300a 及電晶體 300b 為 n 通道電晶體，當第一控制電壓及第二控制電壓之位準下降時，電晶體 300a 及電晶體 300b 之閾值電壓正向偏移。因此，甚至若電晶體 300a 及電晶體 300b 之閾值電壓改變，控制施加於區域 303_a 及區域 307_a 之電壓，並控制電晶體 300a 及電晶體 300b 之閾值電壓，藉此可減少處於關閉狀態之每一電晶體 300a 及電晶體 300b 之源極與汲極之間流動之電流量。電晶體 300a 及電晶體 300b 之閾值電壓較佳地為電晶體 300a

及電晶體 300b 變成增強類型電晶體之位準。

此外，具有與電晶體 300a 不同導電類型之另一電晶體係以類似於圖 7A 至 7C 之方式配置於 SOI 基板上。此時，具有與電晶體 300a 不同導電類型之電晶體，除了雜質區域之導電類型與電晶體 300a 不同外，可具有與電晶體 300a 相同結構。因此，可形成具有不同導電類型之電晶體，同時抑制製造步驟數量增加。

此係本實施例中半導體裝置之範例。

在本實施例之半導體裝置範例中，使用配置於 SOI 基板上之場效電晶體及包括氧化物半導體層之場效電晶體。使用該些電晶體使得作業速度改進並減少不必要電流，藉此減少電力消耗。

此外，在本實施例之半導體裝置範例中，配置用於控制配置於 SOI 基板上之場效電晶體之閾值電壓之控制端子，並控制配置於 SOI 基板上之場效電晶體之閾值電壓。結果，可減少配置於 SOI 基板上並處於關閉狀態之場效電晶體之源極與汲極之間流動之電流量，使得可減少半導體裝置之電力消耗。此外，可控制配置於 SOI 基板上並具有以上結構之每一 n 通道電晶體或 p 通道電晶體之閾值電壓。

此外，在本實施例之半導體裝置範例中，SOI 基板中所形成之雜質區域充當包括氧化物半導體層之場效電晶體之閘極。所以，由於可藉由共同控制電壓控制第一場效電晶體及第二場效電晶體之閾值電壓，可減少佈線數量，並可減少半導體裝置之電路面積。

此外，在本實施例之半導體裝置範例中，可以與包括氧化物半導體層之第二場效電晶體之源極及汲極之相同步驟形成充當控制端子之導電層。結果，可抑制製造步驟數量增加。

（實施例 4）

在本實施例中，將說明算術處理單元之範例作為半導體裝置之一範例。

參照圖 9 說明本實施例中算術處理單元之結構範例。圖 9 描繪本實施例中算術處理單元之結構範例。

圖 9 中所描繪之算術處理單元包括匯流排介面（亦稱為 IF）501、控制單元（亦稱為 CTL）502、快取記憶體（亦稱為 CACH）503、N（N 為大於或等於 3 之自然數）暫存器（亦稱為 REG）504（暫存器 504_1 至 504_N）、指令解碼器（亦稱為 IDCD）505、及算術邏輯單元（亦稱為 ALU）506。

匯流排介面 501 具有與算術處理單元外部交換信號之功能，及與算術處理單元中電路交換信號之功能等。

控制單元 502 具有控制算術處理單元中電路作業之功能。

快取記憶體 503 係藉由控制單元 502 控制，並具有於算術處理單元作業期間暫時保持資料之功能。請注意，算術處理單元可包括複數快取記憶體 503。

N 暫存器 504 係藉由控制單元 502 控制，並各具有儲

存用於算術處理之資料之功能。例如，一暫存器 504 可用作算術邏輯單元 506 之暫存器及另一暫存器 504 可用作指令解碼器 505 之暫存器。

例如，N 暫存器 504 可藉由使用複數單元記憶體裝置形成，其各配置：配置於 SOI 基板上之場效電晶體，及包括以上實施例中所說明之半導體裝置中氧化物半導體層之場效電晶體。

指令解碼器 505 具有翻譯讀取之指令信號之功能。翻譯之指令信號輸入至控制單元 502，且控制單元 502 根據指令信號而將控制信號輸出至算術邏輯單元 506。

算術邏輯單元 506 係藉由控制單元 502 控制，並具有根據輸入指令信號而執行算術處理之功能。

參照圖 10A 及 10B 及圖 11A 至 11C 說明二單元記憶體裝置作為單元記憶體裝置之範例。

首先，參照圖 10A 說明一單元記憶體裝置之結構。

圖 10A 中所描繪之單元記憶體裝置包括類比開關 611、NOT 閘極（亦稱為反向器）612、電晶體 613、電容器 614、NOT 閘極 615、NAND 閘極 616、時脈反向器 617、類比開關 618、NOT 閘極 619、時脈 NAND 閘極 620、及 NOT 閘極 621。

資料信號 D 輸入至類比開關 611 之資料輸入端子，時脈信號 CLK 輸入至類比開關 611 之第一信號輸入端子，及時脈信號 CLK 之反向信號輸入至類比開關 611 之第二信號輸入端子。

時脈信號 CLK 輸入至 NOT 閘極 612 之資料輸入端子

電晶體 613 之源極及汲極之一電連接至類比開關 611 之資料輸出端子，及時脈信號 CLK 輸入至電晶體 613 之閘極。來自類比開關 611 之輸出信號輸入至電晶體 613 之源極及汲極之一。有關電晶體 613，例如可使用包括以上實施例中所說明之氧化物半導體層之電晶體。例如，可使用圖 1A 至 1C 中電晶體 100b、圖 7A 至 7C 中電晶體 200c、或圖 8A 至 8D 中電晶體 300b。

電容器 614 之第一電容器電極電連接至電晶體 613 之源極及汲極之另一者。低電源電壓 V_{ss} 輸入至電容器 614 之第二電容器電極。

NOT 閘極 615 之資料輸入端子電連接至電晶體 613 之源極及汲極之另一者。

NAND 閘極 616 之第一資料輸入端子電連接至 NOT 閘極 615 之資料輸出端子。重置信號 RST 輸入至 NAND 閘極 616 之第二資料輸入端子。

時脈反向器 617 之資料輸入端子電連接至 NAND 閘極 616 之資料輸出端子。時脈信號 CLK 之反向信號輸入至時脈反向器 617 之第一信號輸入端子。時脈信號 CLK 輸入至時脈反向器 617 之第二信號輸入端子。時脈反向器 617 之資料輸出端子電連接至 NOT 閘極 615 之資料輸出端子。

類比開關 618 之資料輸入端子電連接至 NAND 閘極

616 之資料輸出端子。時脈信號 CLK 之反向信號輸入至類比開關 618 之第一信號輸入端子。時脈信號 CLK 輸入至類比開關 618 之第二信號輸入端子。

NOT 閘極 619 之資料輸入端子電連接至類比開關 618 之資料輸出端子。

時脈 NAND 閘極 620 之第一資料輸入端子電連接至 NOT 閘極 619 之資料輸出端子。重置信號 RST 輸入至時脈 NAND 閘極 620 之第二資料輸入端子。時脈信號 CLK 輸入至時脈 NAND 閘極 620 之第一信號輸入端子。時脈信號 CLK 之反向信號輸入至時脈 NAND 閘極 620 之第二輸入端子。時脈 NAND 閘極 620 之資料輸出端子電連接至類比開關 618 之資料輸出端子。時脈 NAND 閘極 620 例如係以 NAND 閘極及類比開關形成。

NOT 閘極 621 之資料輸入端子電連接至 NOT 閘極 619 之資料輸出端子及時脈 NAND 閘極 620 之第一資料輸入端子。資料信號 Q 係從 NOT 閘極 621 之資料輸出端子輸出。

此外，類比開關 611、NOT 閘極 612、NOT 閘極 615、門鎖電路 651、類比開關 618、門鎖電路 652 及 NOT 閘極 621 之一或多項包括以上實施例中所說明之配置於 SOI 基板上之場效電晶體，並可使用例如圖 1A 至 1C 中電晶體 100a、圖 7A 至 7C 中電晶體 200b、或圖 8A 至 8D 中電晶體 300a。

其次，參照圖 10B 說明圖 10A 中所描繪之單元記憶體

裝置之作業範例。圖 10B 為時序圖，顯示圖 10A 中順序電路之作業範例。

在時期 691 中，電源電壓 V_p 、時脈信號 CLK、及重置信號 RST 施加於圖 10A 中所描繪之單元記憶體裝置。此時，重置信號設定為高位準。

當時脈信號 CLK 設定為高位準時，類比開關 611 及電晶體 613 開啓及類比開關 618 關閉。此時，電容器 614 之第一電容器電極之電壓變成等於資料信號 D 之電壓。結果，資料信號 D 之資料寫入單元記憶體裝置。

當時脈信號 CLK 設定為低位準時，類比開關 611 及電晶體 613 關閉及類比開關 618 開啓。此時，信號 Q 之電壓變成資料信號 D 之資料之電壓，並從單元記憶體裝置輸出資料信號 D 之寫入資料。

如時期 692 中所示，為停止單元記憶體裝置之作業，停止時脈信號 CLK 之供應及重置信號 RST 之供應，接著停止電源電壓 V_p 之供應。此時，時脈信號 CLK 供應之停止時序可與重置信號 RST 供應之停止時序不同。

此時，儘管停止類比開關 611、NOT 閘極 612、電晶體 613、門鎖電路 651、類比開關 618、門鎖電路 652、及 NOT 閘極 621 之作業，因為電晶體 613 之關閉狀態電流低，電容器 614 之第一電容器電極之電壓保持在單元記憶體裝置之作業停止前之時期中資料信號 D 之電壓達某時期。

此外，若單元記憶體裝置之作業重新開始，如時期 693 中所示，首先重新開始電源電壓 V_p 之供應；重新開

始重置信號 RST 之供應；接著，重新開始時脈信號 CLK 之供應。

此時，類比開關 611、NOT 閘極 612、電晶體 613、門鎖電路 651、類比開關 618、門鎖電路 652、及 NOT 閘極 621 之作業重新開始。當時脈信號 CLK 處於低位準時，信號 Q 之電壓變成寫入單元記憶體裝置之資料信號 D 之資料之電壓，並從單元記憶體裝置輸出資料信號 D 之寫入資料。結果，單元記憶體裝置之狀態可返回至單元記憶體裝置之作業停止之前之狀態。

此係圖 10A 中所描繪之單元記憶體裝置之作業範例。

參照圖 11A 至 11C 說明單元記憶體裝置之另一範例。

圖 11A 中所描繪之單元記憶體裝置輸入資料信號 IN71。圖 11A 中所描繪之單元記憶體裝置輸出資料信號 OUT72。圖 11A 中所描繪之單元記憶體裝置包括電晶體 701、電晶體 702、記憶體電路 703、電容器 704、NOT 閘極 705、切換電路（亦稱為 SW）706、及記憶體電路（亦稱為 MEM）707。

電壓 V1 輸入至電晶體 701 之源極及汲極之一，及信號 S53 輸入至電晶體 701 之閘極。

電晶體 702 具有與電晶體 701 不同導電類型。電晶體 702 之源極及汲極之一電連接至電晶體 701 之源極及汲極之另一者，及信號 S53 輸入至電晶體 702 之閘極。

記憶體電路 703 包括電晶體 751、電晶體 752、及電容器 753。

資料信號 IN71 輸入至電晶體 751 之源極及汲極之一，及信號 S54 輸入至電晶體 751 之閘極。

有關電晶體 751，例如可使用以上實施例中所說明之包括氧化物半導體層之電晶體。例如，可使用圖 1A 至 1C 中電晶體 100b、圖 7A 至 7C 中電晶體 200c、或圖 8A 至 8D 中電晶體 300b。

電晶體 752 之閘極電連接至電晶體 751 之源極及汲極之另一者，電晶體 752 之源極及汲極之一電連接至電晶體 702 之源極及汲極之另一者，及電壓 V2 輸入至電晶體 752 之源極及汲極之另一者。

有關電晶體 752，例如可使用以上實施例中所說明之配置於 SOI 基板上之場效電晶體。例如，可使用圖 1A 至 1C 中電晶體 100a、圖 7A 至 7C 中電晶體 200a 或 200b、或圖 8A 至 8D 中電晶體 300a。

電容器 753 之第一電容器電極電連接至電晶體 751 之源極及汲極之另一者，及電壓 V2 輸入至電容器 753 之第二電容器電極。有關電容器 753，可使用圖 8A 至 8D 中所描繪之電容器。請注意，不一定配置電容器 753。

請注意，電壓 V1 與電壓 V2 之間之差異為圖 11A 及 11B 中電源電壓 V_p 。

電容器 704 之第一電容器電極電連接至電晶體 701 之源極及汲極之另一者，及電壓 V2 輸入至電容器 704 之第二電容器電極。

NOT 閘極 705 之資料輸入端子電連接至電晶體 701 之

源極及汲極之另一者。

信號 S51、資料信號 IN71、來自 NOT 閘極 705 之輸出信號（亦稱為資料信號 D71）輸入至切換電路 706。切換電路 706 具有根據信號 S51 而輸出具有相應於資料信號 IN71 或資料信號 D71 之值之資料信號 D72 之值之功能。

切換電路 706 包括例如至少二類比開關。例如，當二類比開關之一開啓時，二類比開關之另一者關閉，藉此資料信號 D72 之資料可切換為相應於資料信號 IN71 或資料信號 D71 之值。

資料信號 D72 從切換電路 706 輸入至記憶體電路 707。記憶體電路 707 輸出信號 S52，其值係根據輸入至記憶體電路 707 之信號。信號 S52 變成資料信號 OUT72。

記憶體電路 707 包括例如使用包括單晶半導體層之電晶體形成之正反器。

電晶體 701、電晶體 702、NOT 閘極 705、切換電路 706、及記憶體電路 707 係使用例如以上實施例中所說明之配置於 SOI 基板上之場效電晶體。例如，可使用圖 1A 至 1C 中電晶體 100a、圖 7A 至 7C 中電晶體 200a 或 200b、或圖 8A 至 8D 中電晶體 300a。

其次，參照圖 11B 及 11C 說明圖 11A 中所描繪之單元記憶體裝置之作業範例。圖 11B 及 11C 各為說明圖 11A 中順序電路之作業範例之時序圖。

在圖 11A 中所描繪之單元記憶體裝置中，於供應電源電壓 V_p 期間，信號 S51 設定為低位準，資料信號 D72 藉

由切換電路 706 而變成相應於資料信號 IN71 之值，且具有相應於資料信號 IN71 之值之資料信號 D72 之資料儲存於記憶體電路 707 中。

如圖 11B 中所示，為停止單元記憶體裝置之作業，信號 S51 設定為低位準，接著信號 S54 之脈衝輸入至電晶體 751 之閘極。

此時，電晶體 751 開啓，且電容器 753 之第一電容器電極之電壓變成等於儲存於記憶體電路 707 中資料之電壓。接著，在信號 S54 之脈衝輸入完成後，電晶體 751 關閉。此時，因為電晶體 751 之關閉狀態電流低，電容器 753 之第一電容器電極之電壓保持達某時期。之後，停止供應電源電壓 V_p 至單元記憶體裝置。

如圖 11C 中所示，為重新開始單元記憶體裝置之作業，重新開始電源電壓 V_p 之供應，接著信號 S53 設定為低位準。此時，信號 S51 及信號 S54 各設定為低位準。

此時，電晶體 701 開啓及電晶體 702 關閉，使得電容器 704 之第一電容器電極之電壓變成等於電壓 V_1 。

之後，信號 S53 設定為高位準。此時，電晶體 701 關閉及電晶體 702 開啓，使得電容器 704 之第一電容器電極之電壓依據於電晶體 752 之源極與汲極之間流動之電流而改變。於電晶體 752 之源極與汲極之間流動之電流係藉由電晶體 752 之閘極之電壓決定，即，依據儲存於電容器之第一電容器電極中而從記憶體電路 703 輸入之資料決定。因此，當電晶體 702 開啓時，電容器 704 之第一電容器電

極之電壓可為相應於資料信號 IN71 之值。

之後，信號 S51 設定為高位準，同時信號 S53 保持高位準。

此時，藉由切換電路 706，資料信號 D72 具有相應於信號 D71 之值（相應於寫入記憶體電路 703 之資料之值），且具有相應於資料信號 D71 之值的信號 D72 輸入至記憶體電路 707。結果，記憶體電路 707 之狀態可返回至單元記憶體裝置之作業停止前之狀態。

此即圖 11A 中所描繪之單元記憶體裝置之作業範例。

在暫存器包括單元記憶體裝置之本實施例之算術處理單元中，甚至當電源電壓之供應停止時，可保持處於電源電壓之供應停止前之狀態的部分內部資料，且當電源電壓重新開始供應時，算術處理單元之狀態可返回至電源電壓之供應停止前之狀態。因此，甚至當藉由選擇性停止供應電源電壓而減少電力消耗時，可縮短電源電壓重新開始供應之後直至正常作業開始之時間。

（實施例 5）

在本實施例中，將說明 CAAC。

CAAC 並非單晶，但並非表示 CAAC 僅由非結晶成分組成。儘管 CAAC 包括結晶之部分（結晶部分），一結晶部分與另一結晶部分之間之邊界有時不清楚。

若 CAAC 中包括氧，氮可替代 CAAC 中所包括之部分氧。CAAC 中所包括之個別結晶部分之 c 軸可沿一方向對

齊（例如，垂直於其上形成 CAAC 之基板表面或 CAAC 表面之方向）。另一方面，CAAC 中所包括之個別結晶部分之 a - b 平面的法線可沿一方向對齊（例如，垂直於其上形成 CAAC 之基板表面或 CAAC 表面之方向）。

CAAC 依據其組成等而變成導體、半導體、或絕緣體。
CAAC 依據其組成等而透射或不透射可見光。

該等 CAAC 之範例為形成為膜形狀之結晶，當從垂直於膜表面或支撐基板表面之方向觀察時，並具有三角形或六角形原子配置，且當觀察膜之截面時，其中金屬原子係以層級方式配置，或金屬原子及氧原子（或氮原子）係以層級方式配置。

將參照圖 13A 至 13E、圖 14A 至 14C、及圖 15A 至 15C 詳細說明 CAAC 之結晶結構範例。在圖 13A 至 13E、圖 14A 至 14C、及圖 15A 至 15C 中，除非特別指明，垂直方向相應於 c 軸方向，及垂直於 c 軸方向之平面相應於 a - b 平面。若簡單地使用「上半」及「下半」表示，係指 a - b 平面以上上半及 a - b 平面以下下半（關於 a - b 平面之上半及下半）。

圖 13A 描繪包括一個六配位 In 原子及緊鄰 In 原子之六個四配位氧（以下稱為四配位 O）原子之結構。此處，包括一個金屬原子及緊鄰金屬原子之一個氧原子之結構稱為小群組。圖 13A 中結構為實際八面體結構，但為求簡單而描繪為平面結構。請注意，三個四配位 O 原子存在於圖 13A 之每一上半及下半中。在圖 13A 中所描繪之小群組中

，電荷爲 0。

圖 13B 描繪包括一個五配位 Ga 原子、緊鄰 Ga 原子之三個三配位氧（以下稱爲三配位 O）原子、及緊鄰 Ga 原子之二個四配位 O 原子之結構。所有三配位 O 原子存在於 a-b 平面上。一個四配位 O 原子存在於圖 13B 之每一上半及下半中。In 原子亦可具有圖 13B 中所描繪之結構，因爲 In 原子可具有五個配位體。在圖 13B 中所描繪之小群組中，電荷爲 0。

圖 13C 描繪包括一個四配位 Zn 原子及緊鄰 Zn 原子之四個四配位 O 原子之結構。在圖 13C 中，一個四配位 O 原子存在於上半中，及三個四配位 O 原子存在於下半中。另一方面，在圖 13C 中，三個四配位 O 原子可存在於上半中，及一個四配位 O 原子可存在於下半中。在圖 13C 中所描繪之小群組中，電荷爲 0。

圖 13D 描繪包括一個六配位 Sn 原子及緊鄰 Sn 原子之六個四配位 O 原子之結構。在圖 13D 中，三個四配位 O 原子存在於每一上半及下半中。在圖 13D 中所描繪之小群組中，電荷爲 +1。

圖 13E 描繪包括二個 Zn 原子之小群組。在圖 13E 中，一個四配位 O 原子存在於每一上半及下半中。在圖 13E 中所描繪之小群組中，電荷爲 -1。

此處，複數小群組形成中群組，及複數中群組形成大群組（亦稱爲單元格）。

現在將說明小群組之間之鍵結規則。圖 13A 中關於六

配位 In 原子之上半中三個 O 原子沿向下方向各具有三個緊鄰 In 原子，且下半中三個 O 原子沿向上方向各具有三個緊鄰 In 原子。關於五配位 Ga 原子之上半中一個 O 原子沿向下方向具有一個緊鄰 Ga 原子，且下半中一個 O 原子沿向上方向具有一個緊鄰 Ga 原子。關於四配位 Zn 原子之上半中一個 O 原子沿向下方向具有一個緊鄰 Zn 原子，且下半中三個 O 原子沿向上方向各具有三個緊鄰 Zn 原子。以此方式，金屬原子以上四配位 O 原子之數量等於緊鄰及每一個四配位 O 原子以下之金屬原子數量。類似地，金屬原子以下之四配位 O 原子數量等於緊鄰及每一個四配位 O 原子以上之金屬原子數量。由於四配位 O 原子之配位數量為 4，緊鄰及 O 原子以下之金屬原子數量及緊鄰及 O 原子以上之金屬原子數量的總和為 4。因此，當金屬原子以上之四配位 O 原子數量及另一金屬原子以下之四配位 O 原子數量的總和為 4 時，包括金屬原子之二種小群組可鍵結。例如，若六配位金屬（In 或 Sn）原子經由下半中三個四配位 O 原子鍵結，便鍵結至五配位金屬（Ga 或 In）原子或四配位金屬（Zn）原子。

具有以上配位數量之金屬原子經由 c 軸方向之四配位 O 原子而鍵結至具有以上配位數量之另一金屬原子。除了以上之外，可藉由組合複數小群組而以不同方式形成中群組，使得層級結構之總電荷為 0。

圖 14A 描繪 In-Sn-Zn-O 基材料之層級結構中所包括之中群組模型。圖 14B 描繪包括三個中群組之大群組。圖

14C 描繪若從 c 軸方向觀察，圖 14B 中層級結構之配置順序。

在圖 14A 中，為求簡單，省略三配位 O 原子，並藉由圓圈顯示四配位 O 原子；圓圈中數字顯示四配位 O 原子數量。例如，三個四配位 O 原子關於 Sn 原子而存在於每一上半及下半，標示為圓圈 3。類似地，在圖 14A 中，一個四配位 O 原子關於 In 原子而存在於每一上半及下半，標示為圓圈 1。圖 14A 亦描繪下半中緊鄰一個四配位 O 原子之 Zn 原子，及上半中三個配位 O 原子，及上半中緊鄰一個四配位 O 原子之 Zn 原子，及下半中三個配位 O 原子。

在圖 14A 中 In-Sn-Zn-O 基材料之層級結構中所包括之中群組中，以從頂部開始之順序，每一上半及下半中緊鄰三個四配位 O 原子之 Sn 原子鍵結至每一上半及下半中緊鄰一個四配位 O 原子之 In 原子，In 原子鍵結至上半中緊鄰三個四配位 O 原子之 Zn 原子，Zn 原子經由關於 Zn 原子之下半中一個四配位 O 原子而鍵結至每一上半及下半中緊鄰三個四配位 O 原子之 In 原子，In 原子鍵結至包括二個 Zn 原子之小群組，並緊鄰上半中一個四配位 O 原子，及小群組經由關於小群組之下半中一個四配位 O 原子而鍵結至每一上半及下半中緊鄰三個四配位 O 原子之 Sn 原子。鍵結複數該等中群組，使得形成大群組。

此處，三配位 O 原子之一鍵的電荷及四配位 O 原子之一鍵的電荷可分別假設為 -0.667 及 -0.5。例如，（六配

位或五配位) In 原子之電荷、(四配位) Zn 原子之電荷、及(五配位或六配位) Sn 原子之電荷分別為 +3、+2、及 +4。因此，包括 Sn 原子之小群組中電荷為 +1。因此，需要抵銷 +1 之 -1 電荷以形成包括 Sn 原子之層級結構。有關具有 -1 電荷之結構，如圖 13E 中所描繪，可提供包括二個 Zn 原子之小群組。例如，基於包括二個 Zn 原子之一個小群組，可抵銷包括 Sn 原子之一個小群組之電荷，使得層級結構之總電荷可為 0。

當圖 14B 中所描繪之大群組重複時，可獲得 In-Sn-Zn-O 基結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。請注意，獲得之 In-Sn-Zn-O 基結晶的層級結構可以組成方程式表示， $\text{In}_2\text{SnZn}_2\text{O}_7 (\text{ZnO})_m$ (m 為 0 或自然數)。隨著 m 愈大，In-Sn-Zn-O 基結晶之結晶性改進，此係較佳的。

以上說明之規則亦應用於下列：四成分金屬氧化物，諸如 In-Sn-Ga-Zn-O 基金屬氧化物；三成分金屬氧化物，諸如 In-Ga-Zn-O 基金屬氧化物（亦稱為 IGZO）、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物、Sn-Al-Zn-O 基金屬氧化物、In-Hf-Zn-O 基金屬氧化物、In-La-Zn-O 基金屬氧化物、In-Ce-Zn-O 基金屬氧化物、In-Pr-Zn-O 基金屬氧化物、In-Nd-Zn-O 基金屬氧化物、In-Sm-Zn-O 基金屬氧化物、In-Eu-Zn-O 基金屬氧化物、In-Gd-Zn-O 基金屬氧化物、In-Tb-Zn-O 基金屬氧化物、In-Dy-Zn-O 基金屬氧化物、In-Ho-Zn-O 基金屬氧化物、In-Er-Zn-O 基金屬氧化物、In-Tm-

Zn-O 基金屬氧化物、In-Yb-Zn-O 基金屬氧化物、或 In-Lu-Zn-O 基金屬氧化物；二成分金屬氧化物，諸如 In-Zn-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、In-Mg-O 基金屬氧化物、或 In-Ga-O 基金屬氧化物；單成分金屬氧化物，諸如 In-O 基金屬氧化物、Sn-O 基金屬氧化物、或 Zn-O 基金屬氧化物等。

有關一範例，圖 15A 描繪 In-Ga-Zn-O 基材料之層級結構中所包括之中群組模型。

在圖 15A 中 In-Ga-Zn-O 基材料之層級結構中所包括之中群組中，以從頂部開始之順序，每一上半及下半中緊鄰三個四配位 O 原子之 In 原子鍵結至上半中緊鄰一個四配位 O 原子之 Zn 原子，Zn 原子經由關於 Zn 原子之下半中三個四配位 O 原子而鍵結至每一上半及下半中緊鄰一個四配位 O 原子之 Ga 原子，及 Ga 原子經由關於 Ga 原子之下半中一個四配位 O 原子而鍵結至每一上半及下半中緊鄰三個四配位 O 原子之 In 原子。鍵結複數該等中群組，使得形成大群組。

圖 15B 描繪包括三個中群組之大群組。圖 15C 描繪若從 c 軸方向觀察，圖 15B 中層級結構之原子配置。

此處，由於（六配位或五配位）In 原子之電荷、（四配位）Zn 原子之電荷、及（五配位）Ga 原子之電荷分別為 +3、+2、及 +3，包括任何 In 原子、Zn 原子、及 Ga 原子之小群組的電荷為 0。結果，具有該等小群組之組合之

中群組的總電荷總是為 0。

為形成 In-Ga-Zn-O 基材料之層級結構，不僅使用圖 15A 中所描繪之中群組，亦使用其中 In 原子、Ga 原子、及 Zn 原子之配置與圖 15A 中不同之中群組，而可形成大群組。

(實施例 6)

在本實施例中，將說明電晶體之場效移動性。

因為各種原因，絕緣閘極電晶體之實際測量場效移動性可低於其原始移動性；此現象不僅發生於使用氧化物半導體之狀況。移動性減少之因素之一為半導體內部缺陷或半導體與絕緣膜之間介面之缺陷。當使用 Levinson 模型時，假設半導體內部不存在缺陷，可理論上計算場效移動性。

假設半導體之原始移動性及測量之場效移動性分別為 μ_0 及 μ ，且半導體存在電位障壁（諸如晶粒邊界），測量之場效移動性可以下列方程式表示。

[方程式 2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

此處，E 代表電位障壁之高度，k 代表 Boltzmann 常數，及 T 代表絕對溫度。當假設電位障壁有助於缺陷時，根據 Levinson 模型，電位障壁之高度可以下列方程式表示。

[方程式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

此處， e 代表基本電荷， N 代表通道中每單元面積之平均缺陷密度， ϵ 代表半導體之介電常數， n 代表通道中每單元面積之載子數量， C_{ox} 代表每單元面積之電容， V_g 代表閘極電壓，及 t 代表通道之厚度。若半導體層之厚度為 30 nm 或更少，通道之厚度可視為與半導體層之厚度相同。線性區域中汲極電流 I_d 可以下列方程式表示。

[方程式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

此處， L 代表通道長度及 W 代表通道寬度，且 L 及 W 各為 10 μm 。此外， V_d 代表汲極電壓。當以上方程式兩側同除以 V_g ，接著兩側採取對數，可獲得下列方程式。

[方程式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

方程式 5 之右側為 V_g 之函數。從方程式，發現從線之斜率，其中 $\ln(I_d/V_g)$ 為縱座標及 $1/V_g$ 為橫座標，可獲得缺陷密度 N 。即，從電晶體之 I_d - V_g 特性可評估缺陷密度。其中錳 (In)、錫 (Sn)、及鋅 (Zn) 之比例為 1

：1：1 之氧化物半導體的缺陷密度 N 為約 $1 \times 10^{12}/\text{cm}^2$ 。

依據以此方式等獲得之缺陷密度，從方程式 2 及方程式 3， μ_0 可計算為 $120 \text{ cm}^2/\text{Vs}$ 。包括缺陷之 In-Sn-Zn 氧化物的測量之移動性為約 $35 \text{ cm}^2/\text{Vs}$ 。然而，假設半導體內部及半導體與絕緣膜之間之介面均不存在缺陷，氧化物半導體之移動性 μ_0 可預期為 $120 \text{ cm}^2/\text{Vs}$ 。

請注意，甚至當半導體內部不存在缺陷時，通道與閘極絕緣層之間介面之散射影響電晶體之輸送屬性。換言之，可以下列方程式表示通道與閘極絕緣層之間介面距離 x 之位置的移動性 μ_1 。

[方程式 6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

此處， D 代表沿閘極方向之電場，及 B 及 G 為常數。 B 及 G 可從實際測量結果獲得；根據以上測量結果， B 為 $4.75 \times 10^7 \text{ cm/s}$ 及 G 為 10 nm （介面散射影響達到深度）。當 D 增加時（即，當閘極電壓增加時），方程式 6 之第二項增加，因此移動性 μ_1 減少。

圖 16 中顯示其通道包括半導體內部無缺陷之理想氧化物半導體之電晶體之移動性 μ_2 之計算結果。為予計算，使用 Synopsys, Inc. 製造之裝置模擬軟體 Sentaurus Device，並假設帶隙、電子親和性、相對介電常數、及氧化物半導體厚度分別為 2.8 eV 、 4.7 eV 、 15 、及 15 nm 。該些值係測量藉由濺鍍形成之薄膜而獲得。

此外，假設閘極、源極、及汲極之功函數分別為 5.5 eV、4.6 eV、及 4.6 eV。閘極絕緣層之厚度假設為 100 nm，及其相對介電常數假設為 4.1。通道長度及通道寬度各假設為 10 μm ，及汲極電壓 V_d 假設為 0.1 V。

如圖 16 中所示，於略高於 1 V 之閘極電壓，移動性具有 100 cm^2/Vs 或更高之峰值，並隨著閘極電壓變成更高而減少，因為介面散射之影響增加。請注意，為減少介面散射，所欲的是半導體層表面於原子位準為平坦（原子層平坦）。

圖 17A 至 17C、圖 18A 至 18C、及圖 19A 至 19C 中顯示使用具有該等移動性之氧化物半導體製造之微小電晶體特性之計算結果。圖 20A 及 20B 描繪用於計算之電晶體的截面結構。圖 20A 及 20B 中所描繪之電晶體各包括半導體區域 2103a 及半導體區域 2103c，其於氧化物半導體層中具有 n^+ 型導電。半導體區域 2103a 及半導體區域 2103c 之電阻率為 $2 \times 10^{-3} \Omega\text{cm}$ 。

圖 20A 中所描繪之電晶體係形成於基底絕緣層 2101 之上，且嵌入基底絕緣層 2101 之嵌入絕緣體 2102 係以氧化鋁形成。電晶體包括半導體區域 2103a、半導體區域 2103c、充當其間通道形成區域之本質半導體區域 2103b、及閘極 2105。閘極 2105 之寬度為 33 nm。

閘極絕緣層 2104 係形成於閘極 2105 與半導體區域 2103b 之間。此外，側壁絕緣體 2106a 及側壁絕緣體 2106b 係形成於閘極 2105 之二側面，且絕緣體 2107 係形

成於閘極 2105 之上，以避免閘極 2105 與另一佈線之間之短電路。側壁絕緣體具有 5 nm 寬度。源極 2108a 及汲極 2108b 經配置而分別接觸半導體區域 2103a 及半導體區域 2103c。請注意，此電晶體之通道寬度為 40 nm。

圖 20B 之電晶體與圖 20A 之電晶體相同，其係形成於基底絕緣層 2101 及以氧化鋁形成之嵌入絕緣體 2102 之上，且其包括半導體區域 2103a、半導體區域 2103c、配置於其間之本質半導體區域 2103b、具有 33 nm 寬度之閘極 2105、閘極絕緣層 2104、側壁絕緣體 2106a、側壁絕緣體 2106b、絕緣體 2107、源極 2108a、及汲極 2108b。

於側壁絕緣體 2106a 及側壁絕緣體 2106b 下之半導體區域之導電類型方面，圖 20B 中所描繪之電晶體與圖 20A 中所描繪之電晶體不同。在圖 20A 中所描繪之電晶體中，於側壁絕緣體 2106a 及側壁絕緣體 2106b 下之半導體區域為具有 n^+ 型導電之部分半導體區域 2103a 及具有 n^+ 型導電之部分半導體區域 2103c，反之，在圖 20B 中所描繪之電晶體中，側壁絕緣體 2106a 及側壁絕緣體 2106b 下之半導體區域為部分本質半導體區域 2103b。換言之，配置具有寬度 L_{off} 之區域，其未與半導體區域 2103a（半導體區域 2103c）或閘極 2105 重疊。此區域稱為補償區域，且寬度 L_{off} 稱為補償長度。如同從圖觀察，補償長度等於側壁絕緣體 2106a 之寬度（側壁絕緣體 2106b）。

以上說明用於計算之其他參數。為予計算，使用 Synopsys, Inc. 製造之裝置模擬軟體 Sentaurus Device。圖

17A 至 17C 顯示具有圖 20A 中所描繪之結構之電晶體的汲極電流 (I_d ，實線) 及移動性 (μ ，虛線) 之閘極電壓 (V_g ：閘極與源極之間之電位差) 相依。汲極電流 I_d 係在汲極電壓 (汲極與源極之間之電位差) 為 +1 V 之假設下藉由計算而予獲得，及移動性 μ 係在汲極電壓為 +0.1 V 之假設下藉由計算而予獲得。

圖 17A 顯示若閘極絕緣層之厚度為 15 nm，電晶體之閘極電壓相依，圖 17B 顯示若閘極絕緣層之厚度為 10 nm，電晶體之閘極電壓相依，及圖 17C 顯示若閘極絕緣層之厚度為 5 nm，電晶體之閘極電壓相依。隨著閘極絕緣層愈薄，特別在關閉狀態之汲極電流 I_d (關閉狀態電流) 顯著減少。相反地，在移動性 μ 及開啓狀態之汲極電流 I_d (開啓狀態電流) 之峰值未顯著改變。圖中顯示在閘極之電壓約 1 V，汲極電流超過 10 μ A。

圖 18A 至 18C 顯示具有圖 20B 中所描繪之結構之電晶體之汲極電流 I_d (實線) 及移動性 μ (虛線) 之閘極電壓 V_g 相依，其中補償長度 L_{off} 為 5 nm。汲極電流 I_d 係在汲極電壓為 +1 V 之假設下藉由計算而予獲得，及移動性 μ 係在汲極電壓為 +0.1 V 之假設下藉由計算而予獲得。圖 18A 顯示若閘極絕緣層之厚度為 15 nm，電晶體之閘極電壓相依，圖 18B 顯示若閘極絕緣層之厚度為 10 nm，電晶體之閘極電壓相依，及圖 18C 顯示若閘極絕緣層之厚度為 5 nm，電晶體之閘極電壓相依。

此外，圖 19A 至 19C 顯示具有圖 20B 中所描繪之結

構之電晶體之汲極電流 I_d (實線) 及移動性 μ (虛線) 之閘極電壓相依，其中補償長度 L_{off} 為 15 nm。汲極電流 I_d 係在汲極電壓為 +1 V 之假設下藉由計算而予獲得，及移動性 μ 係在汲極電壓為 +0.1V 之假設下藉由計算而予獲得。圖 19A 顯示若閘極絕緣層之厚度為 15 nm，電晶體之閘極電壓相依，圖 19B 顯示若閘極絕緣層之厚度為 10 nm，電晶體之閘極電壓相依，及圖 19C 顯示若閘極絕緣層之厚度為 5 nm，電晶體之閘極電壓相依。

在任一結構中，隨著閘極絕緣層愈薄，關閉狀態電流顯著減少，反之，移動性 μ 及開啓狀態電流之峰值未產生顯著改變。

請注意，移動性 μ 之峰值於圖 17A 至 17C 中約 80 cm^2/Vs ，於圖 18A 至 18C 中約 60 cm^2/Vs ，於圖 19A 至 19C 中約 40 cm^2/Vs ；因而，移動性 μ 之峰值隨著補償長度 L_{off} 增加而減少。此外，相同狀況應用於關閉狀態電流。開啓狀態電流亦隨著補償長度 L_{off} 增加而減少；然而，開啓狀態電流之減少較關閉狀態電流之減少緩慢地多。此外，圖中顯示在任一結構中，於閘極之電壓約 1 V，汲極電流超過 10 μA 。

(實施例 7)

在本實施例中，將說明其中氧化物半導體包括 In、Sn、及 Zn 作為主要成分之電晶體用作氧化物半導體。

藉由沉積氧化物半導體同時加熱基板，或藉由於氧化

物半導體膜形成之後執行熱處理，其中包括 In、Sn、及 Zn 作為主要成分之氧化物半導體用作通道形成區域的電晶體可具有有利特性。請注意，主要成分係指 5 原子%或更高成分中所包括之元素。

藉由於包括 In、Sn、及 Zn 作為主要成分之氧化物半導體膜形成之後，刻意加熱基板，可改進電晶體之場效移動性。此外，電晶體之閾值電壓可正向偏移而使電晶體正常關。

有關一範例，圖 21A 至 21C 各顯示電晶體之特性，該電晶體包括包括 In、Sn、及 Zn 作為主要成分之氧化物半導體膜，並具有 3 μm 通道長度 L 及 10 μm 通道寬度 W，且閘極絕緣層具 100 nm 厚度。請注意， V_d 設定為 10 V。

圖 21A 顯示電晶體之特性，其藉由濺鍍法而未刻意加熱基板，形成包括 In、Sn、及 Zn 作為主要成分之氧化物半導體膜。電晶體之場效移動性為 18.8 cm^2/Vsec 。另一方面，當形成包括 In、Sn、及 Zn 作為主要成分之氧化物半導體膜同時刻意加熱基板時，可改進場效移動性。圖 21B 顯示電晶體之特性，其形成包括 In、Sn、及 Zn 作為主要成分之氧化物半導體膜，同時以 200°C 加熱基板。電晶體之場效移動性為 32.2 cm^2/Vsec 。

藉由於包括 In、Sn、及 Zn 作為主要成分之氧化物半導體膜形成之後執行熱處理，可進一步改進場效移動性。圖 21C 顯示電晶體之特性，其藉由濺鍍法於 200°C 形成包括 In、Sn、及 Zn 作為主要成分之氧化物半導體膜，接著

於 650°C 歷經熱處理。電晶體之場效移動性為 $34.5\text{ cm}^2/\text{Vsec}$ 。

刻意加熱基板預期具有減少藉由濺鍍之沉積期間帶入氧化物半導體膜之濕氣的效果。此外，沉積後之熱處理使氫、羥基、或濕氣從氧化物半導體膜釋放及移除。以此方式，可改進場效移動性。該等場效移動性改進之達成，假定不僅藉由脫水或脫氫而移除雜質，亦藉由減少因密度增加之原子間距離。藉由從氧化物半導體移除雜質而高度純化，可結晶氧化物半導體。若使用該等純化之非單晶氧化物半導體，理想上，預期將達成超過 $100\text{ cm}^2/\text{Vsec}$ 之場效移動性。

包括 In、Sn、及 Zn 作為主要成分之氧化物半導體可以下列方式結晶：氧離子注入氧化物半導體，藉由熱處理釋放氧化物半導體中所包括之氫、羥基、或濕氣，且氧化物半導體經由熱處理或藉之後執行之熱處理而結晶。藉由該等結晶處理或重新結晶處理，可獲得具有有利結晶性之非單晶氧化物半導體。

於沉積及／或沉積之後熱處理期間刻意加熱基板不僅有助於改進場效移動性，亦有助於使電晶體正常關。在包括 In、Sn、及 Zn 作為主要成分且未刻意加熱基板而形成之氧化物半導體膜用作通道形成區域的電晶體中，閾值電壓傾向於負向偏移。然而，當使用所形成同時刻意加熱基板之氧化物半導體膜時，可解決閾值電壓之負向偏移問題。即，閾值電壓偏移使得電晶體變成正常關；藉由比較圖

21A 與 21B 之間，可確認此傾向。

請注意，藉由改變 In、Sn、及 Zn 之比例，亦可控制閾值電壓；當 In、Sn、及 Zn 之組成比為 2：1：3 時，預期形成正常關電晶體。此外，藉由設定靶材之組成比如下： $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ，可獲得具有高結晶性之氧化物半導體膜。

刻意加熱基板之溫度或熱處理之溫度為 150°C 或更高，較佳地為 200°C 或更高，進一步較佳地為 400°C 或更高。當以高溫執行沉積或熱處理時，電晶體可為正常關。

藉由於沉積期間刻意加熱基板及／或藉由於沉積之後執行熱處理，可增加針對閘極偏壓應力之穩定性。例如，當於 150°C 以 2 MV/cm 強度施加閘極偏壓達一小時，閾值電壓之偏移可低於 $\pm 1.5 \text{ V}$ ，較佳地為低於 $\pm 1.0 \text{ V}$ 。

在下列二電晶體上執行 BT 試驗：於氧化物半導體膜形成之後未執行熱處理之樣本 1，及於氧化物半導體膜形成之後以 650°C 執行熱處理之樣本 2。

首先，以 25°C 基板溫度及 10 V 之 V_d 測量電晶體之 V_g-I_d 特性。接著，基板溫度設定為 150°C 及 V_d 設定為 0.1 V 。之後，施加 20 V 之 V_g 使得施加於閘極絕緣層之電場強度為 2 MV/cm ，且狀況保持一小時。其次， V_g 設定為 0 V 。接著，以 25°C 基板溫度及 10 V 之 V_d 測量電晶體之 V_g-I_d 特性。此程序稱為正 BT 試驗。

以類似方式，首先，以 25°C 基板溫度及 10 V 之 V_d 測量電晶體之 V_g-I_d 特性。接著，基板溫度設定為 150°C 及

V_d 設定為 0.1 V。之後，施加 -20 V 之 V_g 使得施加於閘極絕緣層之電場強度為 -2 MV/cm，且狀況保持一小時。其次， V_g 設定為 0 V。接著，以 25°C 基板溫度及 10 V 之 V_d 測量電晶體之 V_g - I_d 特性。此程序稱為負 BT 試驗。

圖 22A 及 22B 分別顯示樣本 1 之正 BT 試驗及負 BT 試驗之結果。圖 23A 及 23B 分別顯示樣本 2 之正 BT 試驗及負 BT 試驗之結果。

因正 BT 試驗及因負 BT 試驗之樣本 1 之閾值電壓之偏移量分別為 1.80 V 及 -0.42 V。因正 BT 試驗及因負 BT 試驗之樣本 2 之閾值電壓之偏移量分別為 0.79 V 及 0.76 V。發現在每一樣本 1 及樣本 2 中，BT 試驗前、後之間之閾值電壓偏移量小，且其可靠性高。

熱處理可於氧氣中執行；另一方面，首先可於氮或惰性氣體或減壓下，接著在包括氧之氣體中執行熱處理。氧於脫水或脫氫之後施加於氧化物半導體，藉此可進一步增加熱處理之效果。有關脫水或脫氫之後用於供應氧之方法，可採用藉由電場加速氧離子並注入氧化物半導體膜之方法。

在氧化物半導體中或氧化物半導體與堆疊膜之間之介面易於因缺氧造成缺陷；然而，藉由熱處理氧化物半導體中包括過剩氧，可以過剩氧補償經常造成之缺氧。過剩氧主要為存在於晶格之間之氧。當氧之濃度設定介於 $1 \times 10^{16} / \text{cm}^3$ 至 $2 \times 10^{20} / \text{cm}^3$ 範圍中時，過剩氧可包括於氧化物半導體中而未造成結晶扭曲等。

當執行熱處理使得至少部分氧化物半導體包括結晶時，可獲得更穩定之氧化物半導體膜。例如，當藉由 X 射線衍射（XRD）分析藉由濺鍍使用具有 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 之組成比的靶材而未刻意加熱基板所形成之氧化物半導體膜時，觀察暈模式。形成之氧化物半導體膜可歷經熱處理而結晶。熱處理之溫度可適當設定；例如當以 650°C 執行熱處理時，可以 X 射線衍射分析觀察清晰衍射峰值。

實施 In-Sn-Zn-O 膜之 XRD 分析。使用 Bruker AXS 製造之 D8 ADVANCE X 射線衍射儀實施 XRD 分析，並藉由平面外法執行測量。

準備樣本 A 及樣本 B 並於其上執行 XRD 分析。以下將說明樣本 A 及樣本 B 之製造方法。

於已歷經脫氫處理之石英基板之上形成具 100 nm 厚度之 In-Sn-Zn-O 膜。

In-Sn-Zn-O 膜係於氧氣中以濺鍍設備及 100 W (DC) 電力予以形成。 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子比] 之 In-Sn-Zn-O 靶材用作靶材。請注意，膜形成中基板加熱溫度設定為 200°C 。以此方式製造之樣本用作樣本 A。

其次，由類似於樣本 A 之方法製造之樣本歷經 650°C 熱處理。有關熱處理，首先於氮氣中執行熱處理達一小時，進一步於氧氣中執行熱處理達一小時而未降低溫度。以此方式製造之樣本用作樣本 B。

圖 26 顯示樣本 A 及樣本 B 之 XRD 譜。於樣本 A 中未觀察到源於結晶之峰值，反之，當樣本 B 中 2θ 為約 35

度及 37 度至 38 度時，觀察到源於結晶之峰值。

如以上說明，藉由於包括 In、Sn、及 Zn 作為主要成分之氧化物半導體沉積期間刻意加熱基板及／或藉由於沉積之後執行熱處理，可改進電晶體之特性。

該些基板加熱及熱處理具有避免膜中包括氫及烴基之效果，其為氧化物半導體之不利雜質；或從膜移除氫及烴基之效果。即，藉由從氧化物半導體移除充當供體雜質之氫，可高度純化氧化物半導體，藉此可獲得正常關電晶體。氧化物半導體之高純化使得電晶體之關閉狀態電流為 $1 \text{ aA}/\mu\text{m}$ 或更低。此處，關閉狀態電流之單位代表每微米通道寬度電流。

圖 27 顯示電晶體之關閉狀態電流與測量基板溫度（絕對溫度）之倒數之間之關係。此處，為求簡單，水平軸代表將測量基板溫度之倒數乘以 1000 所獲得之值（ $1000/T$ ）。

具體地，如圖 27 中所示，當基板溫度分別為 125°C 、 85°C 、及室溫（ 27°C ）時，關閉狀態電流可為 $1 \text{ aA}/\mu\text{m}$ （ $1 \times 10^{-18} \text{ A}/\mu\text{m}$ ）或更低， $100 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更低，及 $1 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-21} \text{ A}/\mu\text{m}$ ）或更低。較佳地，當基板溫度分別為 125°C 、 85°C 、及室溫時，關閉狀態電流可為 $0.1 \text{ aA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更低， $10 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-20} \text{ A}/\mu\text{m}$ ）或更低，及 $0.1 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-22} \text{ A}/\mu\text{m}$ ）或更低。

請注意，為避免於氧化物半導體膜形成期間包括氫及濕氣，較佳地藉由充分抑制從沉積室外部洩漏及經由沉積

室內壁脫氣，而增加濺鍍氣體之純度。例如，具 -70°C 或更低之露點的氣體較佳地用作濺鍍氣體，以避免膜中包括濕氣。此外，較佳地使用高度純化之靶材，以便不包括諸如氫及濕氣之雜質。儘管藉由熱處理可從包括 In、Sn、及 Zn 作為主要成分之氧化物半導體之膜移除濕氣，較佳地形成原始未包括濕氣之膜，因為以較包括 In、Ga、及 Zn 作為主要成分之氧化物半導體更高溫度，濕氣便從包括 In、Sn、及 Zn 作為主要成分之氧化物半導體釋放。

評估基板溫度與樣本 B 之電晶體之電特性之間之關係，熱處理係於氧化物半導體膜形成之後，以 650°C 於其上執行。

用於測量之電晶體具有 $3\ \mu\text{m}$ 通道長度 L 、 $10\ \mu\text{m}$ 通道寬度 W 、 $0\ \mu\text{m}$ L_{ov} 、及 $0\ \mu\text{m}$ dW 。請注意， V_d 設定為 $10\ \text{V}$ 。請注意，基板溫度為 -40°C 、 -25°C 、 25°C 、 75°C 、 125°C 、及 150°C 。此處，在電晶體中，閘極電極與一對電極之一重疊部分之寬度稱為 L_{ov} ，及該對電極未與氧化物半導體膜重疊部分之寬度稱為 dW 。

圖 24 顯示 I_d （實線）及場效移動性（虛線）之 V_g 相依。圖 25A 顯示基板溫度與閾值電壓之間之關係，及圖 25B 顯示基板溫度與場效移動性之間之關係。

從圖 25A，發現隨著基板溫度增加，閾值電壓變得更低。請注意，在 -40°C 至 150°C 之範圍內，閾值電壓從 $1.09\ \text{V}$ 減少至 $-0.23\ \text{V}$ 。

從圖 25B，發現隨著基板溫度增加，場效移動性變得

更低。請注意，在 -40°C 至 150°C 之範圍內，場效移動性從 $36\text{ cm}^2/\text{Vs}$ 減少至 $32\text{ cm}^2/\text{Vs}$ 。因而，發現在以上溫度範圍內，電特性變化小。

在包括 In、Sn、及 Zn 作為主要成分之該等氧化物半導體用作通道形成區域之電晶體中，以維持在 $1\text{ aA}/\mu\text{m}$ 或更低之關閉狀態電流可獲得 $30\text{ cm}^2/\text{Vsec}$ 或更高之場效移動性，較佳地為 $40\text{ cm}^2/\text{Vsec}$ 或更高，進一步較佳地為 $60\text{ cm}^2/\text{Vsec}$ 或更高，其可達成 LSI 所需開啓狀態電流。例如，在 L/W 為 $33\text{ nm}/40\text{ nm}$ 之 FET 中，當閘極電壓為 2.7 V 及汲極電壓為 1.0 V 時，可流動 $12\text{ }\mu\text{A}$ 或更高之開啓狀態電流。此外，在電晶體作業所需溫度範圍內可確保充分電特性。基於該等特性，甚至當包括氧化物半導體之電晶體亦配置於使用 Si 半導體形成之積體電路中時，可體現具有新穎功能之積體電路而未減少作業速度。

以下將說明 In-Sn-Zn-O 膜用作氧化物半導體膜之電晶體範例。

圖 28A 及 28B 為具有頂閘頂部接觸結構之共平面電晶體之俯視圖及截面圖。圖 28A 為電晶體之俯視圖。圖 28B 描繪沿圖 28A 中虛線 A-B 之截面 A-B。

圖 28B 中所描繪之電晶體包括基板 1200；配置於基板 1200 上之基底絕緣層 1202；配置於基底絕緣層 1202 週邊之保護絕緣膜 1204；配置於基底絕緣層 1202 及保護絕緣膜 1204 之上並包括高電阻區域 1206a 及低電阻區域 1206b 之氧化物半導體膜 1206；配置於氧化物半導體膜

1206 上之閘極絕緣層 1208；經配置而與氧化物半導體膜 1206 重疊且閘極絕緣層 1208 配置於其間之閘極電極 1210；經配置而接觸閘極電極 1210 側面之側壁絕緣膜 1212；經配置而接觸至少低電阻區域 1206b 之一對電極 1214；經配置而覆蓋至少氧化物半導體膜 1206、閘極電極 1210、及該對電極 1214 之層際絕緣膜 1216；及經配置以經由層際絕緣膜 1216 中所形成之開口而連接至至少該對電極 1214 之一之佈線 1218。

儘管未描繪，保護膜可經配置以覆蓋層際絕緣膜 1216 及佈線 1218。基於保護膜，可減少藉由層際絕緣膜 1216 之表面導電產生之微量洩漏電流，因而可減少電晶體之關閉狀態電流。

以下將說明 In-Sn-Zn-O 膜用作氧化物半導體膜之電晶體之另一範例。

圖 29A 及 29B 為俯視圖及截面圖，描繪電晶體之結構。圖 29A 為電晶體之俯視圖。圖 29B 為沿圖 29A 中虛線 A-B 之截面圖。

圖 29B 中所描繪之電晶體包括基板 1600；配置於基板 1600 上之基底絕緣層 1602；配置於基底絕緣層 1602 上之氧化物半導體膜 1606；接觸氧化物半導體膜 1606 之一對電極 1614；配置於氧化物半導體膜 1606 及該對電極 1614 上之閘極絕緣層 1608；經配置而與氧化物半導體膜 1606 重疊且閘極絕緣層 1608 配置於其間之閘極電極 1610；經配置而覆蓋閘極絕緣層 1608 及閘極電極 1610 之層際

絕緣膜 1616；經由層際絕緣膜 1616 中所形成之開口而連接至該對電極 1614 之佈線 1618；及經配置而覆蓋層際絕緣膜 1616 及佈線 1618 之保護膜 1620。

有關基板 1600，可使用玻璃基板。有關基底絕緣層 1602，可使用氧化矽膜。有關氧化物半導體膜 1606，可使用 In-Sn-Zn-O 膜。有關該對電極 1614，可使用鎢膜。有關閘極絕緣層 1608，可使用氧化矽膜。閘極電極 1610 可具有氮化鉭膜及鎢膜之堆疊結構。層際絕緣膜 1616 可具有氧氮化矽膜及聚醯亞胺膜之堆疊結構。佈線 1618 可各具有鈦膜、鋁膜、及鈦膜依此順序形成之堆疊結構。有關保護膜 1620，可使用聚醯亞胺膜。

請注意，在具有圖 29A 中所描繪之結構的電晶體中，閘極電極 1610 與該對電極 1614 之一重疊部分之寬度稱為 L_{ov} 。類似地，未與氧化物半導體膜 1606 重疊之該對電極 1614 之部分之寬度稱為 dW 。

(實施例 8)

在本實施例中，說明各包括以上實施例中半導體裝置之電子裝置範例。

參照圖 12A 至 12D 說明本實施例中電子裝置之結構範例。

圖 12A 中所描繪之電子裝置為個人數位助理之範例。圖 12A 中所描繪之個人數位助理包括外殼 1001a 及配置於外殼 1001a 中之顯示部 1002a。

請注意，外殼 1001a 之側面 1003a 可配置連接端子，用於連接個人數位助理至外部裝置，及／或按鈕，用於操作圖 12A 中所描繪之個人數位助理。

圖 12A 中所描繪之個人數位助理於外殼 1001a 中包括 CPU、記憶體電路、用於傳輸及接收外部裝置與每一 CPU 及記憶體電路之間信號之介面、及用於傳輸／接收信號至／自外部裝置之天線。

圖 12A 中所描繪之個人數位助理充當例如電話機、電子書閱讀器、個人電腦、及遊戲機之一或多項。

圖 12B 中所描繪之電子裝置為折疊式個人數位助理之範例。圖 12B 中所描繪之個人數位助理包括外殼 1001b、配置於外殼 1001b 中之顯示部 1002b、外殼 1004、配置於外殼 1004 中之顯示部 1005、及用於連接外殼 1001b 及外殼 1004 之鉸鏈 1006。

在圖 12B 中所描繪之個人數位助理中，藉由以鉸鏈 1006 移動外殼 1001b 或外殼 1004，外殼 1001b 可堆疊於外殼 1004 上。

請注意，外殼 1001b 之側面 1003b 或外殼 1004 之側面 1007 可配置連接端子，用於連接個人數位助理至外部裝置，及／或按鈕，用於操作圖 12B 中所描繪之個人數位助理。

顯示部 1002b 及顯示部 1005 可顯示不同影像或一影像。請注意，不一定配置顯示部 1005，可配置為輸入裝置之鍵盤而取代顯示部 1005。

圖 12B 中所描繪之個人數位助理於外殼 1001b 或外殼 1004 中包括 CPU、記憶體電路、及用於傳輸及接收外部裝置與每一 CPU 及記憶體電路之間信號之介面。請注意，圖 12B 中所描繪之個人數位助理可包括天線，用於傳輸／接收信號至／自外部裝置。

圖 12B 中所描繪之個人數位助理充當例如電話機、電子書閱讀器、個人電腦、及遊戲機之一或多項。

圖 12C 中所描繪之電子裝置為固定資訊終端機之範例。圖 12C 中所描繪之固定資訊終端機包括配置於外殼 1001c 中之外殼 1001c 及顯示部 1002c。

請注意，顯示部 1002c 可配置於外殼 1001c 中疊部 1008 上。

圖 12C 中所描繪之固定資訊終端機於外殼 1001c 中包括 CPU、記憶體電路、及用於傳輸及接收外部裝置與每一 CPU 及記憶體電路之間信號之介面。請注意，圖 12C 中所描繪之固定資訊終端機可包括天線，用於傳輸／接收信號至／自外部裝置。

此外，圖 12C 中所描繪之固定資訊終端機中外殼 1001c 之側面 1003c 可配置輸出票券等之票券輸出部、投幣孔、及紙鈔孔之一或多項。

圖 12C 中所描繪之固定資訊終端機充當例如自動櫃員機、用於訂票等之資訊通訊終端機（亦稱為多媒體站）、或遊戲機。

圖 12D 中所描繪之電子裝置為固定資訊終端機之範例

。圖 12D 中所描繪之固定資訊終端機包括外殼 1001d 及配置於外殼 1001d 中之顯示部 1002d。請注意，亦可配置用於支撐外殼 1001d 之支架。

請注意，外殼 1001d 之側面 1003d 可配置連接端子，用於連接固定資訊終端機至外部裝置，及／或按鈕，用於操作圖 12D 中所描繪之固定資訊終端機。

圖 12D 中所描繪之固定資訊終端機於外殼 1001d 中可包括 CPU、記憶體電路、及用於傳輸及接收外部裝置與每一 CPU 及記憶體電路之間信號之介面。請注意，圖 12D 中所描繪之固定資訊終端機可包括天線，用於傳輸／接收信號至／自外部裝置。

圖 12D 中所描繪之固定資訊終端機例如充當數位相框、監視器、或電視機。

以上實施例中半導體裝置例如用作電子裝置中 CPU。例如，以上實施例中半導體裝置用作圖 12A 至 12D 中所描繪之電子裝置中 CPU 之一。

如參照圖 12A 至 12D 所說明，本實施例中電子裝置之範例各包括 CPU，其包括以上實施例中半導體裝置。

基於該等結構，甚至當未供應電力時，電子裝置中資料可保持某時期。因而，可縮短電源電壓開始供應之後直至正常作業開始之時間，並可減少電力消耗。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 描繪實施例 1 中半導體裝置之結構範例；

圖 2A1 至 2C2 描繪實施例 1 中半導體裝置之製造方法範例；

圖 3A1 至 3C2 描繪實施例 1 中半導體裝置之製造方法範例；

圖 4A1 至 4B2 描繪實施例 1 中半導體裝置之製造方法範例；

圖 5A1 至 5B2 描繪實施例 1 中半導體裝置之製造方法範例；

圖 6A1 至 6B2 描繪實施例 1 中半導體裝置之製造方法範例；

圖 7A 至 7C 描繪實施例 2 中半導體裝置之結構範例；

圖 8A 至 8D 描繪實施例 3 中半導體裝置之結構範例；

圖 9 描繪實施例 4 中算術處理單元範例；

圖 10A 及 10B 描繪單元記憶體裝置之結構範例；

圖 11A 至 11C 描繪單元記憶體裝置之結構範例；

圖 12A 至 12D 為示意圖，描繪實施例 8 中電子裝置範例；

圖 13A 至 13E 描繪氧化物材料之結構；

圖 14A 至 14C 描繪氧化物材料之結構；

圖 15A 至 15C 描繪氧化物材料之結構；

圖 16 顯示藉由計算獲得之移動性之閘極電壓相依；

圖 17A 至 17C 各顯示藉由計算獲得之汲極電流及移動

性之閘極電壓相依；

圖 18A 至 18C 各顯示藉由計算獲得之汲極電流及移動性之閘極電壓相依；

圖 19A 至 19C 各顯示藉由計算獲得之汲極電流及移動性之閘極電壓相依；

圖 20A 及 20B 描繪用於計算之電晶體截面結構；

圖 21A 至 21C 各顯示電晶體之特性；

圖 22A 及 22B 各顯示電晶體之特性；

圖 23A 及 23B 各顯示電晶體之特性；

圖 24 顯示電晶體之特性；

圖 25A 及 25B 顯示電晶體之特性；

圖 26 顯示氧化物材料之 XRD 譜；

圖 27 顯示電晶體之特性；

圖 28A 及 28B 為半導體裝置之平面圖及截面圖；以及

圖 29A 及 29B 為半導體裝置之平面圖及截面圖。

【主要元件符號說明】

100a、100b、200a、200b、200c、300a、300b、613、701、702、751、752：電晶體

101、107、201、203b、207、301、303、307：半導體層

102、104、106、109、202、204、206、209、302、304、306、309：絕緣層

103_a、103_b1、103_b2、103_c、107_a、107_b1、

107_b2、201_a、201_b、203a_a、203a_b1、203a_b2
 、203b_a、203b_b1、203b_b2、207_a、207_b1、
 207_b2、301_a、303_a、303_b1、303_b2、303_c、
 307_a、307_b1、307_b2：區域
 105、108a、108b、108c、108d、108e、110、205a、
 205b、208a、208b、208c、208d、208e、208f、208g
 、208h、210、305、308a、308b、308c、308d、310a
 、310b：導電層
 111a、111b、111c：開口
 501：匯流排介面
 502：控制單元
 503：快取記憶體
 504：暫存器
 505：指令解碼器
 506：算術邏輯單元
 611、618：類比開關
 612、615、619、621、705：NOT 閘極
 614、704、753：電容器
 616：NAND 閘極
 617：時脈反向器
 620：時脈 NAND 閘極
 651、652：閃鎖電路
 691、692、693：時期
 703、707：記憶體電路

706：切 換 電 路

1001a、1001b、1001c、1001d、1004：外 殼

1002a、1002b、1002c、1002d、1005：顯 示 部

1003a、1003b、1003c、1003d、1007：側 面

1006：鉸 鏈

1008：疊 部

1200、1600：基 板

1202、1602、2101：基 底 絕 緣 層

1204：保 護 絕 緣 膜

1206、1606：氧 化 物 半 導 體 膜

1206a：高 電 阻 區 域

1206b：低 電 阻 區 域

1208、1608、2104：閘 極 絕 緣 層

1210、1610：閘 極 電 極

1212：側 壁 絕 緣 膜

1214：電 極

1216、1616：層 際 絕 緣 膜

1218、1614、1618：佈 線

1620：保 護 膜

2102、2107：絕 緣 體

2103a、2103b、2103c：半 導 體 區 域

2105：閘 極

2106a、2106b：側 壁 絕 緣 體

2108a：源 極

104年1月19日修正替換頁

2108b：汲極

本申請案係依據 2011 年 1 月 28 日向日本專利處提出申請之日本專利申請案序號 2011-015871，及 2011 年 5 月 14 日向日本專利處提出申請之日本專利申請案序號 2011-108880，整個內容係以提及之方式併入本文。

照刊

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包含：

匯流排介面；

控制單元；

快取記憶體，其係由該控制單元控制並於算術處理期間暫時保持資料；

N 暫存器，其中，N 為大於或等於 3 之自然數；

指令解碼器，其翻譯從至少一該 N 暫存器讀取之指令信號，並將翻譯之指令信號輸出至該控制單元；以及

算術邏輯單元，其係由該控制單元控制，並執行算術處理，

其中，該 N 暫存器包含複數單元記憶體裝置，

其中，該複數單元記憶體裝置各包含第一電晶體及第二電晶體，

其中，該第一電晶體包含：

第一半導體層包含：

具有第一導電類型之第一區域；

具有該第一導電類型之第二區域；

接觸該第一區域及該第二區域之第三區域；以及

具有與該第一導電類型相反之第二導電類型並接觸該第三區域之第四區域；

該第一半導體層之該第三區域上之第一電極，且第一絕緣層配置於其間；

該第一絕緣層上之第二電極，其中，該第二電極電

連接至該第一半導體層之該第一區域；

該第一絕緣層上之第三電極，其中，該第三電極電連接至該第一半導體層之該第二區域；以及

該第一絕緣層之上並電連接至該第四區域之第四電極，以及

其中，該第二電晶體包含包含氧化物半導體之第二半導體層。

2.如申請專利範圍第 1 項之半導體裝置，進一步包含該第一絕緣層上之第二絕緣層，其中，該第二半導體層係配置於該第二絕緣層之上。

3.一種半導體裝置，包含：

第一記憶體電路，包含：

第一電晶體，包含：

第一閘極；

第一源極；以及

第一汲極；

第二電晶體，包含：

第二閘極，電連接至該第一源極及該第一汲極之一；

第二源極；

第二汲極；以及

第一端子；

第一電容器，包含：

第二端子，電連接至該第一源極及該第一汲極之

一 及該第二閘極；以及

第三端子，電連接至該第二源極及該第二汲極之一；

第三電晶體，包含：

第三閘極；

第三源極；以及

第三汲極，其中，該第三源極及該第三汲極之一電連接至該第二源極及該第二汲極之另一者；

第四電晶體，包含：

第四閘極，電連接至該第三閘極；

第四源極；以及

第四汲極，其中，該第四源極及該第四汲極之一電連接至該第三源極及該第三汲極之另一者；

第二電容器，包含：

第四端子，電連接至該第三源極及該第三汲極之另一者及該第四源極及該第四汲極之一；以及

第五端子，電連接至該第二源極及該第二汲極之一及該第一電容器之該第三端子；

NOT 閘極，包含：

第一輸入端子，電連接至該第三源極及該第三汲極之另一者、該第四源極及該第四汲極之一、及該第二電容器之該第四端子；以及

第一輸出端子；

切換電路，包含：

第二輸入端子，電連接至該第一源極及該第一汲極之另一者；

第三輸入端子，電連接至該 NOT 閘極之該第一輸出端子；以及

第二輸出端子；

第二記憶體電路，包含：

第四輸入端子，電連接至該切換電路之該第二輸出端子；以及

第三輸出端子，電連接至該切換電路之該第二輸入端子及該第一源極及該第一汲極之另一者，

其中：

該第二電晶體，包含：

第一半導體層包含：

具有第一導電類型之第一區域；

具有該第一導電類型之第二區域；

接觸該第一區域及該第二區域之第三區域；以及

具有與該第一導電類型相反之第二導電類型並接觸該第三區域之第四區域；

該第一半導體層之該第三區域上之該第二閘極，且第一絕緣層配置於其間；

該第一絕緣層上之該第二源極，其中，該第二源極電連接至該第一半導體層之該第一區域；以及

該第一絕緣層上之該第二汲極，其中，該第二汲極電連接至該第一半導體層之該第二區域；

該第一電晶體包含：

包含氧化物半導體之第二半導體層，其中，該第二半導體層係配置於該第一絕緣層之上；

該第一源極，電連接至該第二半導體層；

該第一汲極，電連接至該第二半導體層；以及

該第二半導體層上之該第一閘極，且第二絕緣層配置於其間，以及

該第一端子係配置於該第一絕緣層之上，並電連接至該第四區域。

4.如申請專利範圍第 3 項之半導體裝置，其中，該第一半導體層之該第四區域與該第一閘極重疊。

5.如申請專利範圍第 3 項之半導體裝置，進一步包含該第一絕緣層上之第三絕緣層，其中，該第二半導體層、該第一源極、該第一汲極、該第一閘極係配置於該第三絕緣層之上。

6.如申請專利範圍第 3 項之半導體裝置，其中，該第一源極及該第一汲極係配置於該第二半導體層上。

7.一種半導體裝置，包含：

第一電晶體，包含：

第一半導體層，包含：

具有第一導電類型之第一區域；

具有該第一導電類型之第二區域；

接觸該第一區域及該第二區域之第三區域；以及

具有與該第一導電類型相反之第二導電類型並

接觸該第三區域之第四區域；

該第一半導體層之該第三區域上之第一電極，且第一絕緣層配置於其間；

該第一絕緣層上之第二電極，其中，該第二電極電連接至該第一半導體層之該第一區域；

該第一絕緣層上之第三電極，其中，該第三電極電連接至該第一半導體層之該第二區域；以及

該第一絕緣層上之第四電極，電連接至該第四區域；

第二電晶體，包含第二半導體層，該第二半導體層包含氧化物半導體，其中，該第二半導體層係配置於該第一絕緣層之上。

8.如申請專利範圍第 1 或 7 項之半導體裝置，其中，該第一半導體層之該第四區域與該第二半導體層重疊。

9.如申請專利範圍第 1 或 7 項之半導體裝置，其中，該第一半導體層係配置於矽基板之上。

10.一種半導體裝置，包含：

第一電晶體，包含：

第二半導體層上之第一半導體層，且第一絕緣層配置於其間，其中，該第一半導體層，包含：

具有第一導電類型之第一區域；

具有該第一導電類型之第二區域；以及

接觸該第一區域及該第二區域之第三區域；以及

該第一半導體層之該第三區域上之第一電極，且第

二絕緣層配置於其間；

該第二絕緣層上之第二電極，其中，該第二電極電連接至該第一半導體層之該第一區域；

該第二絕緣層上之第三電極，其中，該第三電極電連接至該第一半導體層之該第二區域；以及

該第二絕緣層上之第四電極，電連接至該第二半導體層；

第二電晶體，包含第三半導體層，該第三半導體層包含氧化物半導體，其中，該第三半導體層係配置於該第二絕緣層之上，

其中，該第二半導體層具有與該第一導電類型相反之第二導電類型。

11.如申請專利範圍第 1、3、7 及 10 項中任一項之半導體裝置，其中，該氧化物半導體包含銦、鎵、及鋅。

12.如申請專利範圍第 10 項之半導體裝置，其中，該第二半導體層與該第三半導體層重疊。

13.如申請專利範圍第 10 項之半導體裝置，其中，該第二半導體層為矽基板。

14.如申請專利範圍第 1、3、7 及 10 項中任一項之半導體裝置，其中，該第一半導體層包含單晶矽。

15.一種電子裝置，包含 CPU，該 CPU 包含如申請專利範圍第 1、3、7 及 10 項中任一項之半導體裝置，其中，該電子裝置為選自電話機、電子書閱讀器、個人電腦、及遊戲機組成之群組之一者。

圖 1A

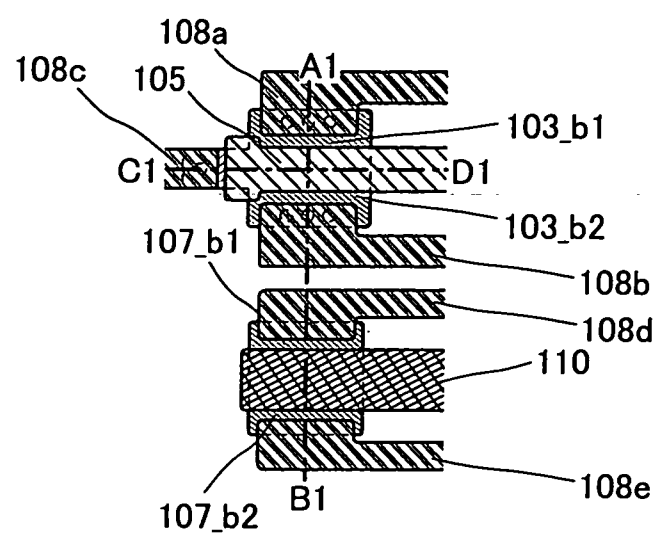


圖 1B

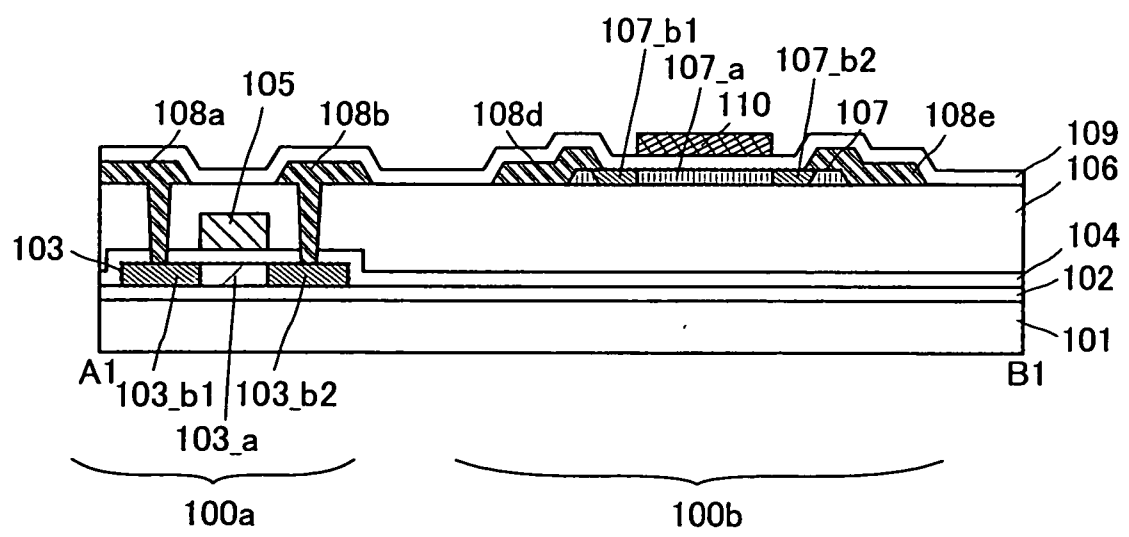


圖 1C

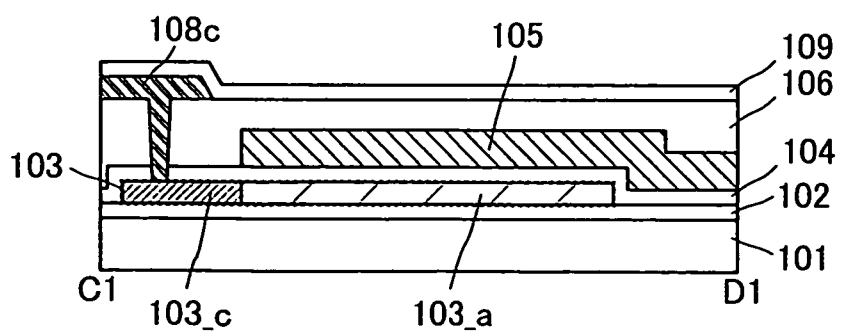


圖2A1

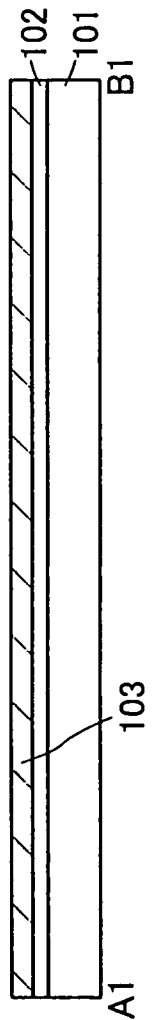


圖2A2

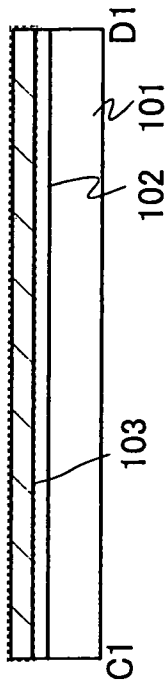


圖2B1

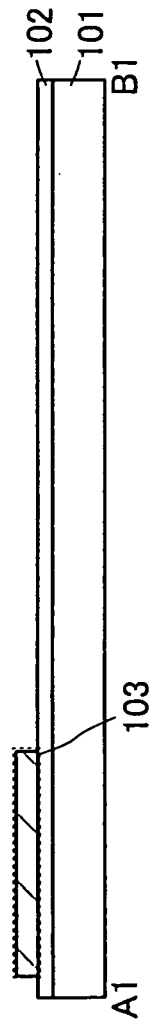


圖2B2

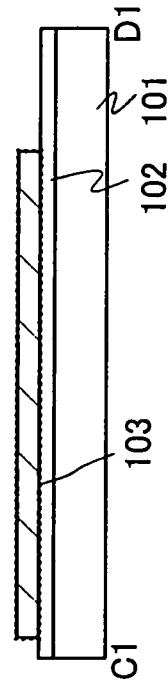


圖2C1

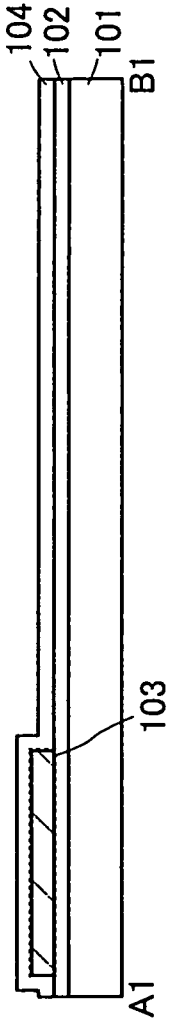


圖2C2

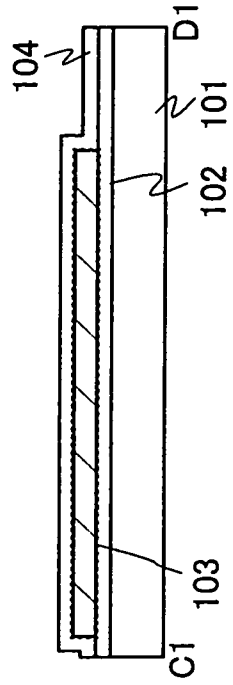


圖3A1

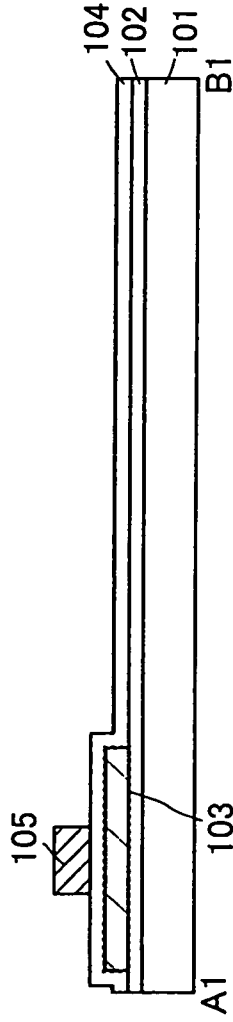


圖3A2

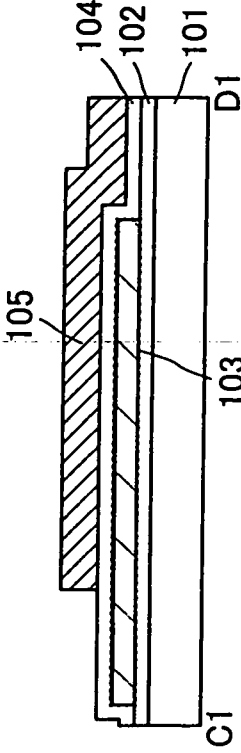


圖3B1

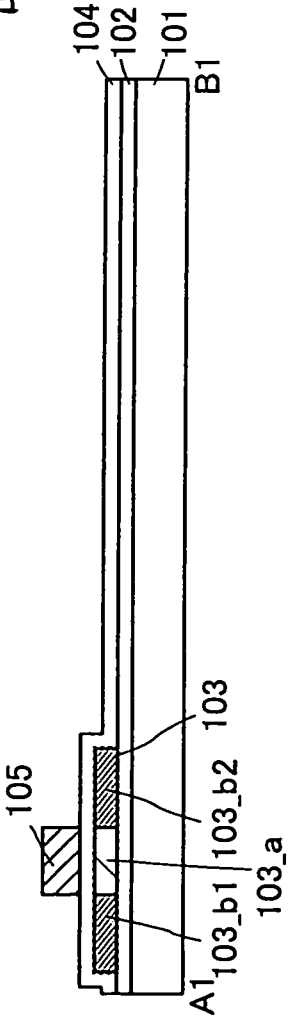


圖3B2

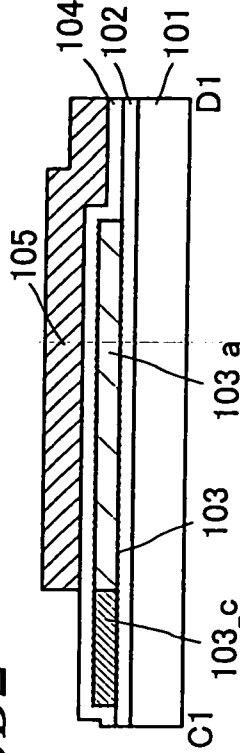


圖3C1

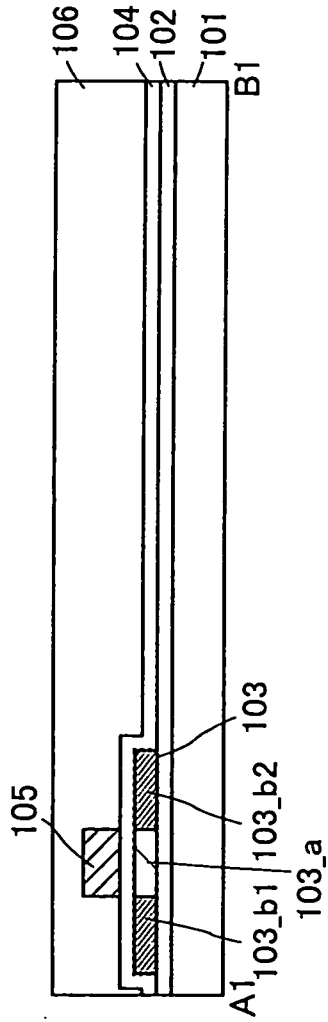


圖3C2

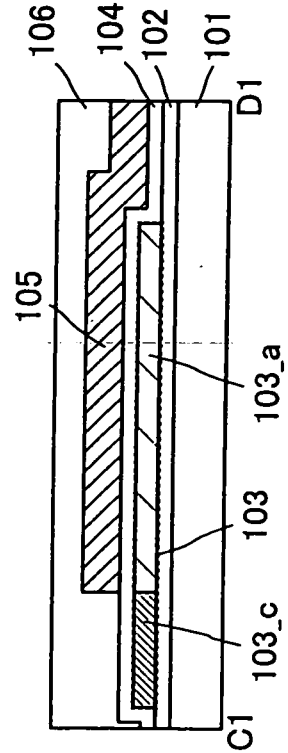


圖 4A1

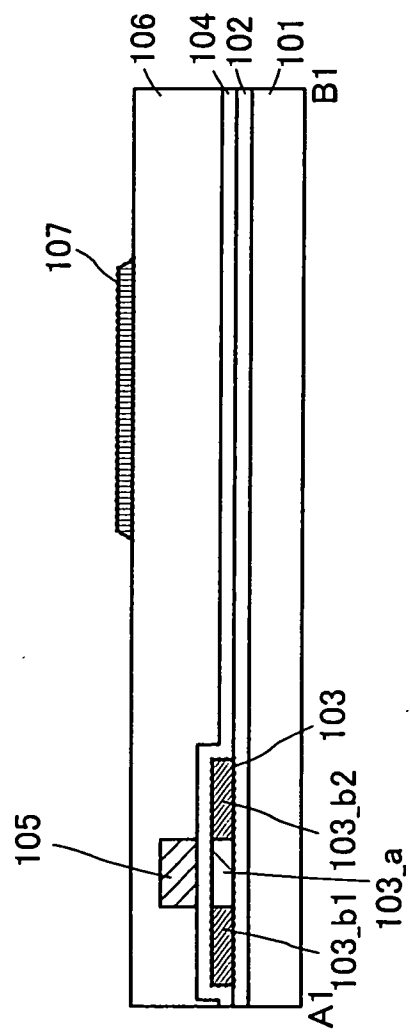


圖 4A2

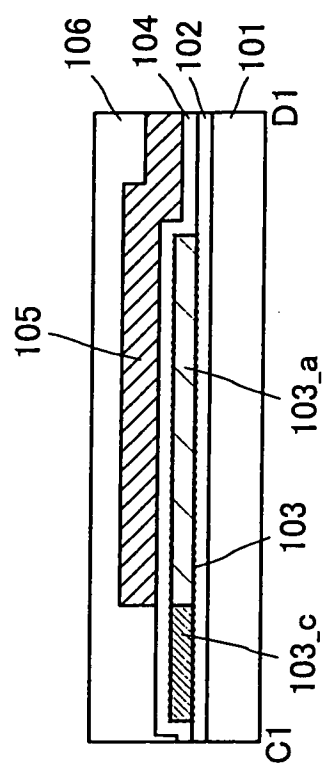


圖 4B1

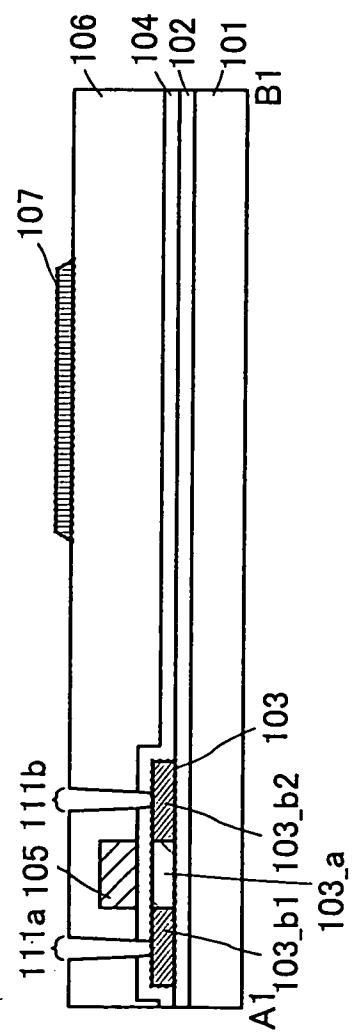


圖 4B2

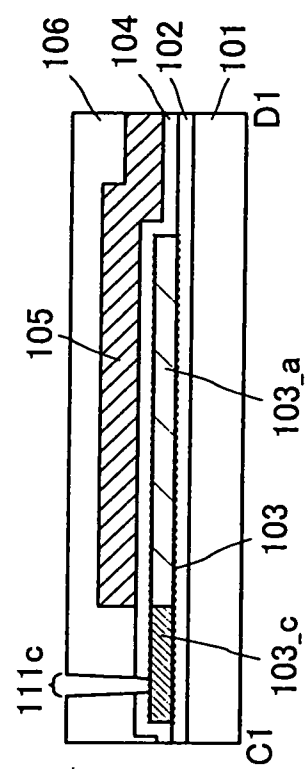


圖5A1

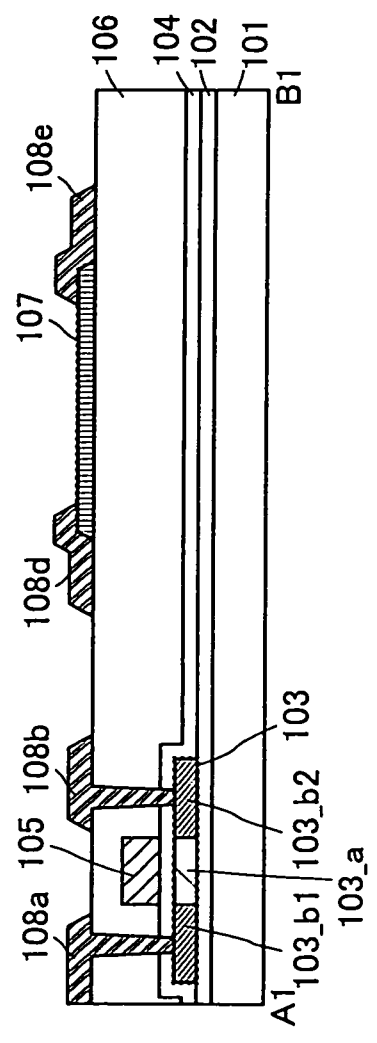


圖5A2

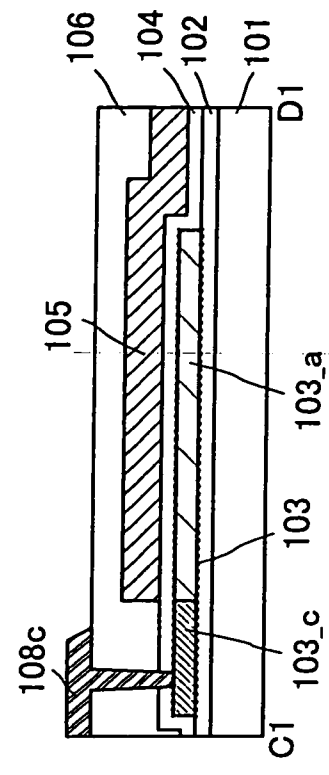


圖5B1

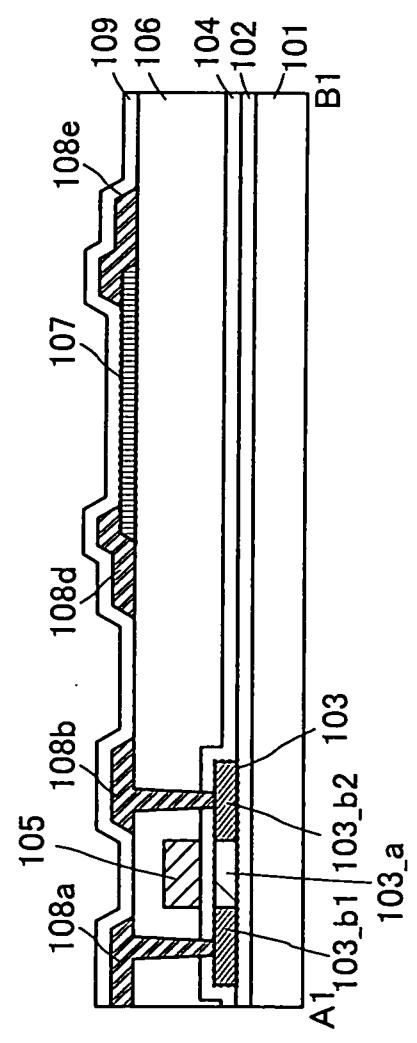


圖5B2

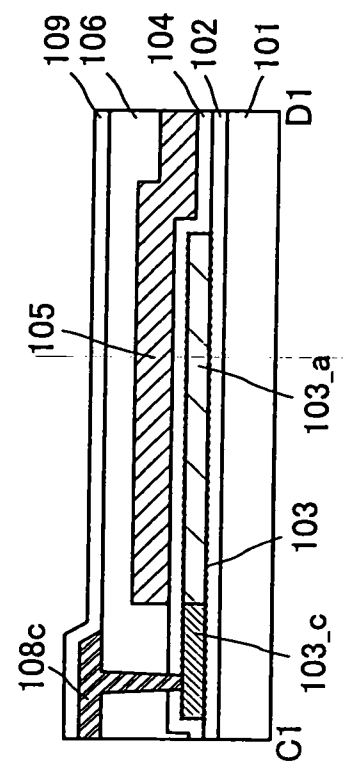


圖 6A1

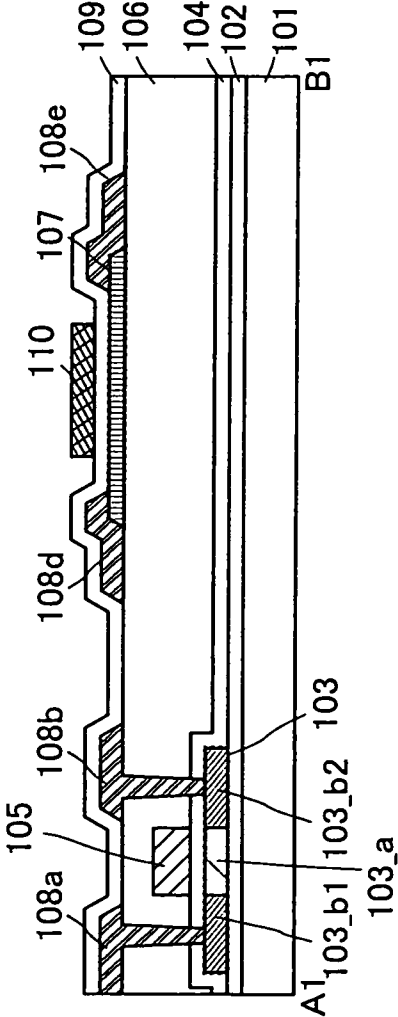


圖 6A2

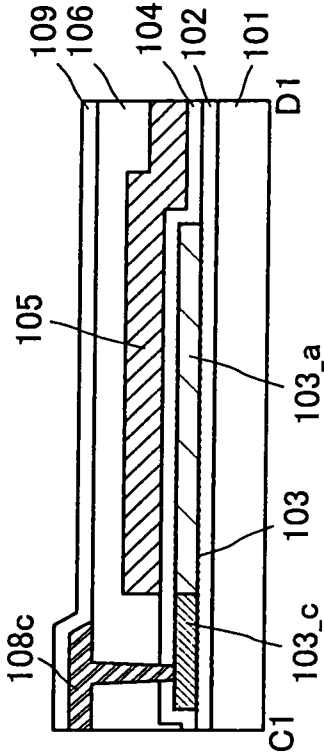


圖 6B1

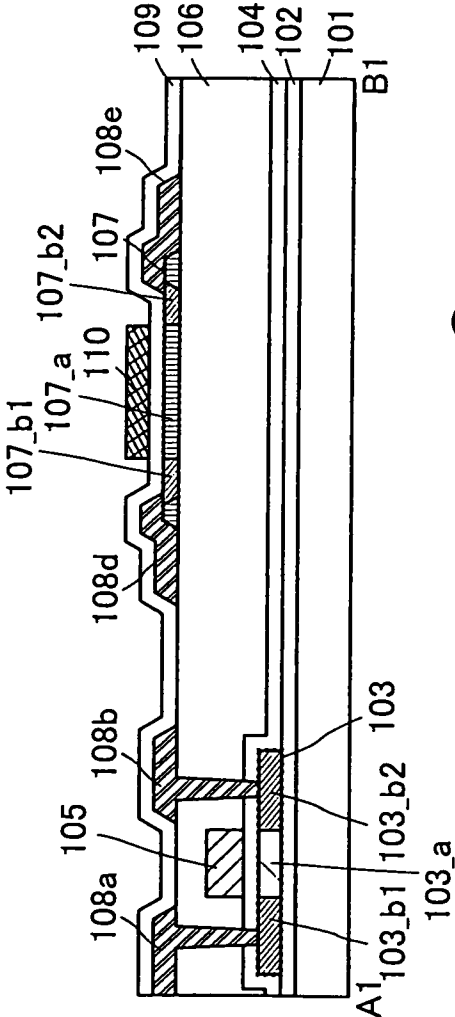


圖 6B2

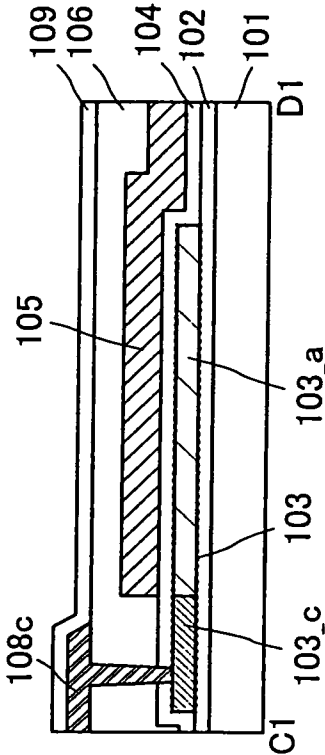


圖 7A

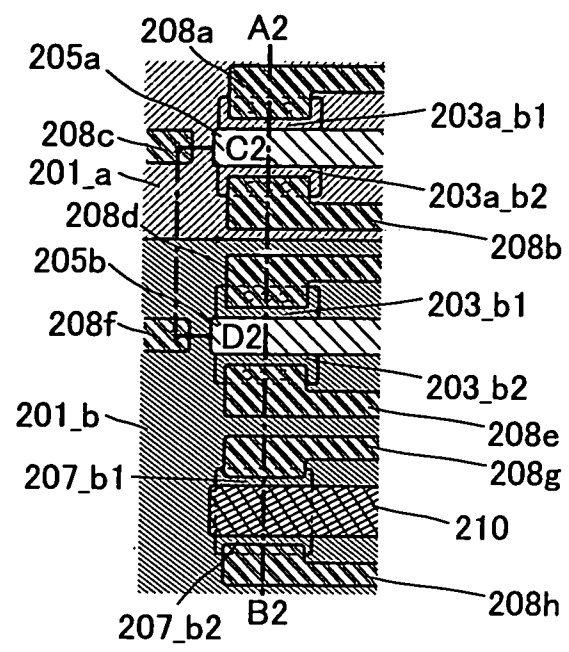


圖 7B

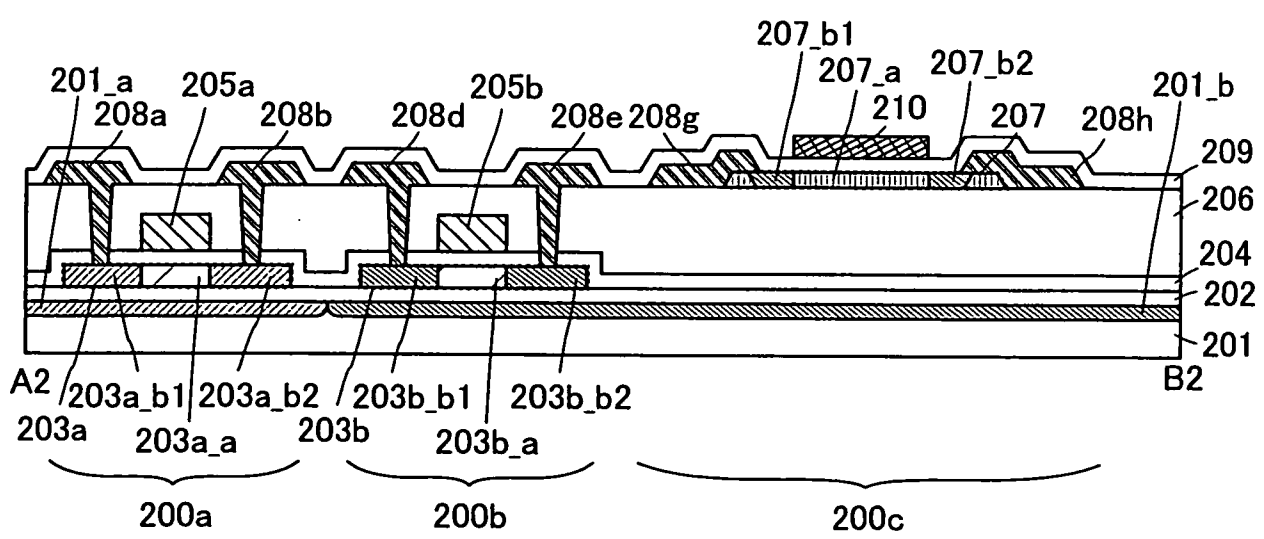


圖 7C

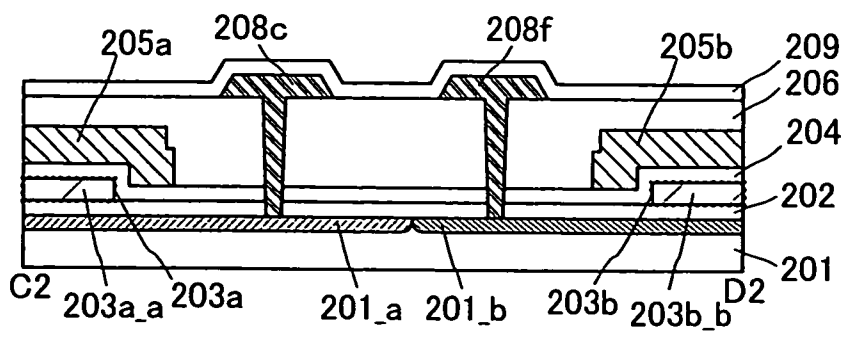


圖 8A

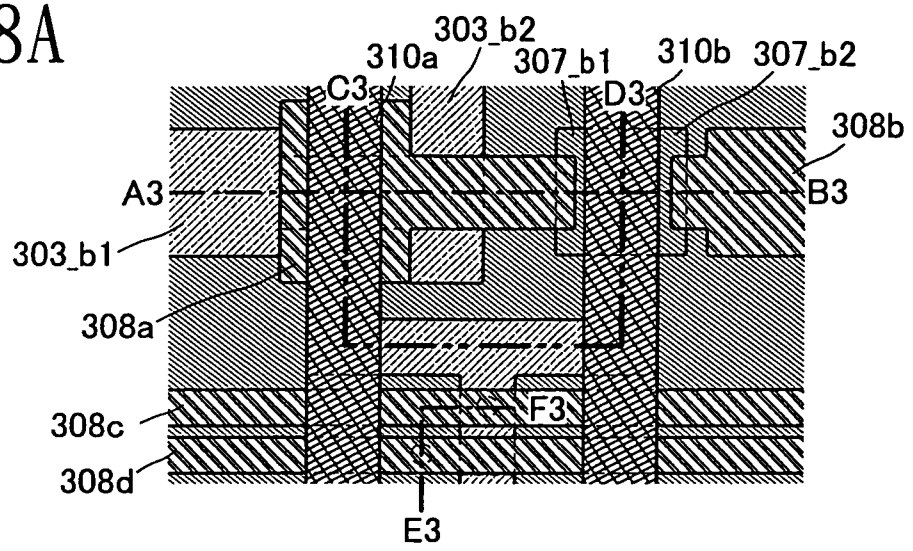


圖 8B

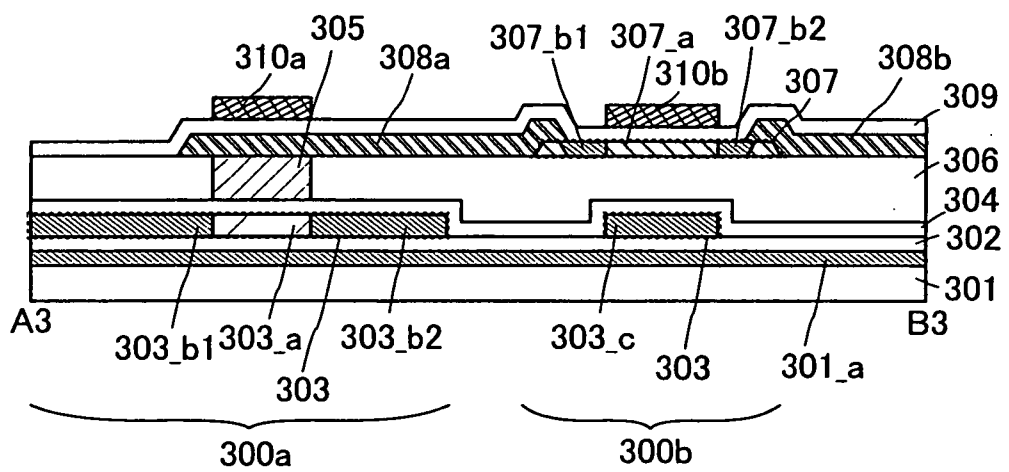


圖 8C

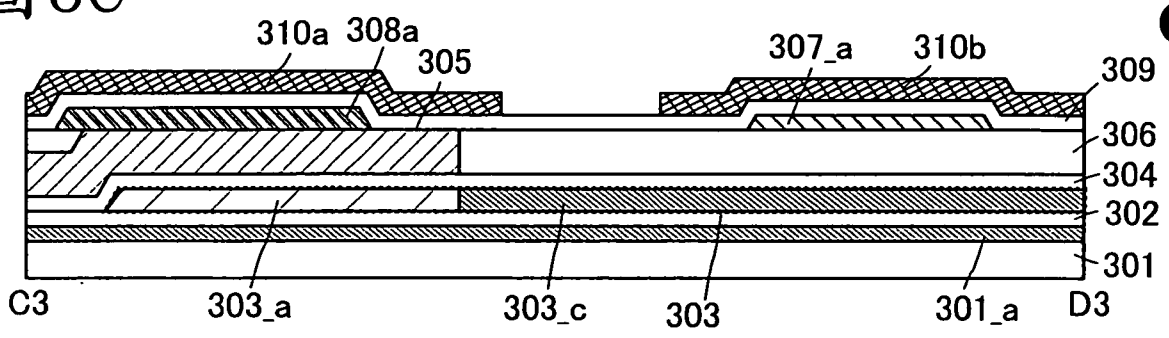


圖 8D

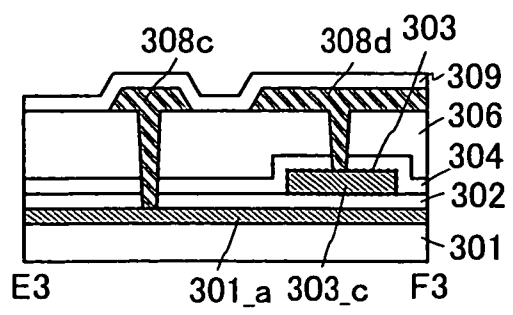


圖 9

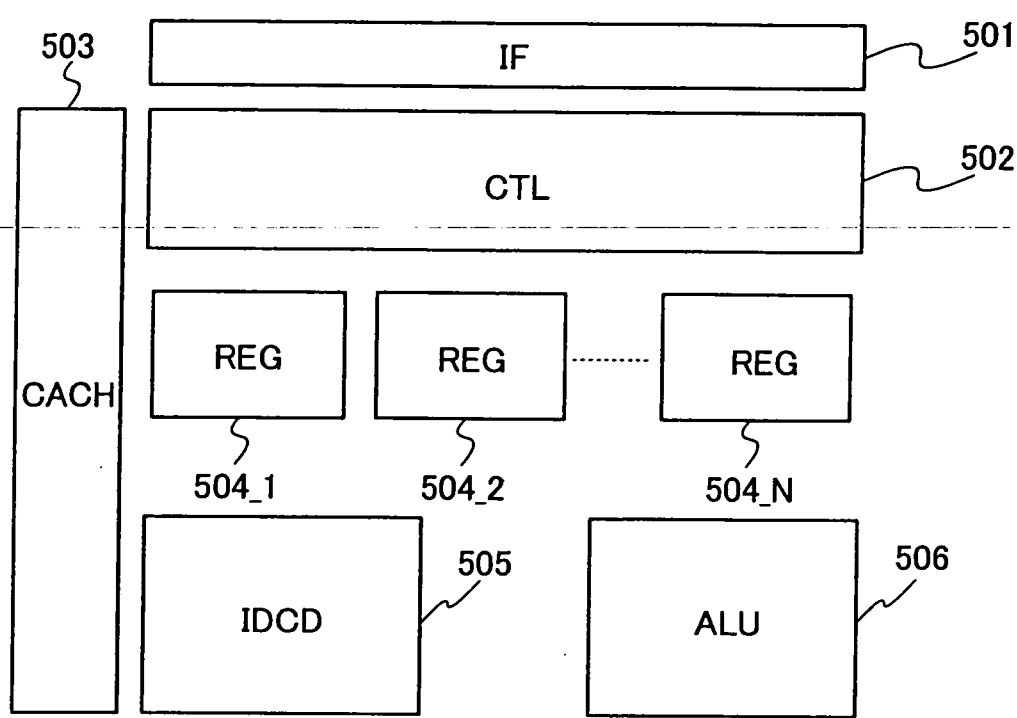


圖 10A

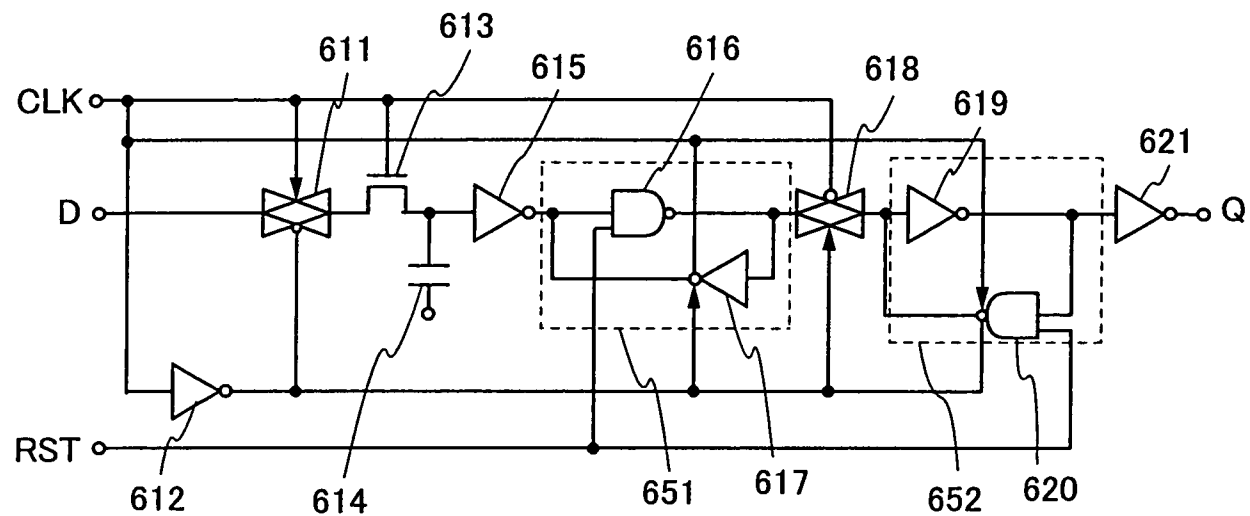


圖 10B

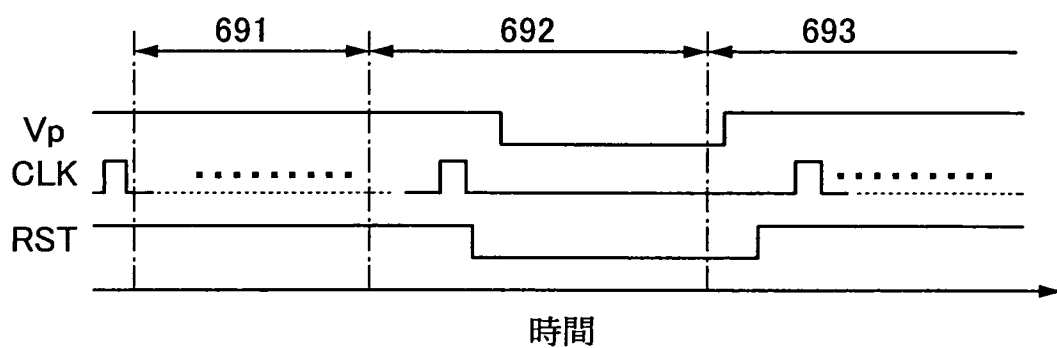


圖 11A

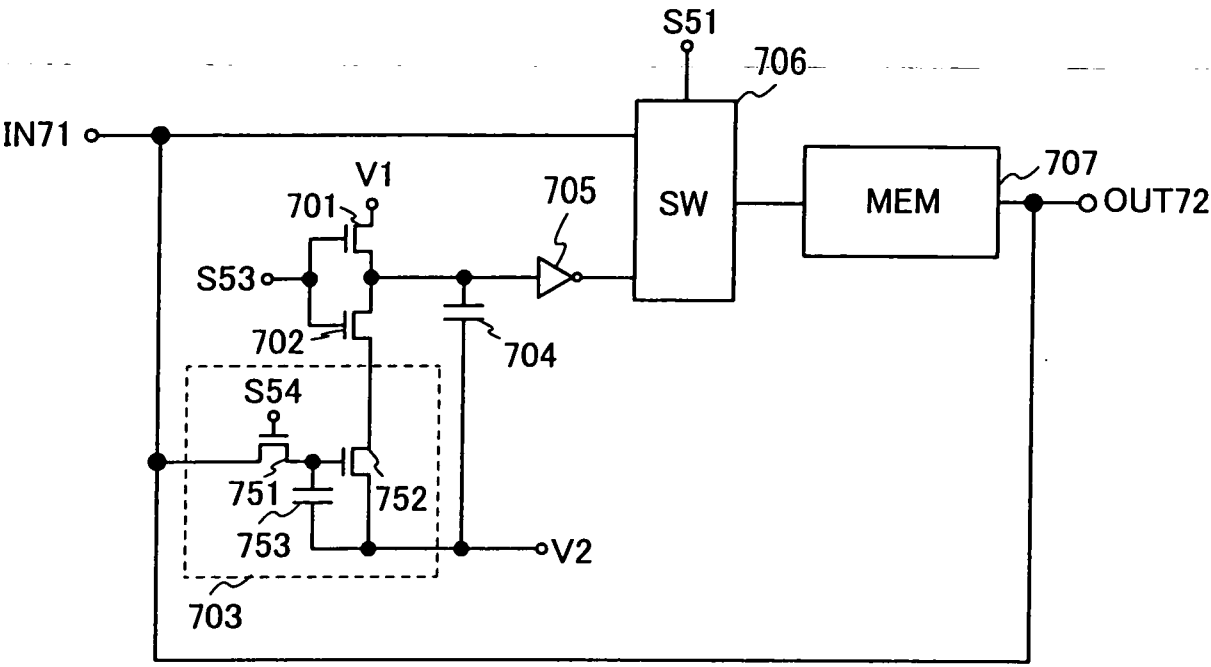


圖 11B

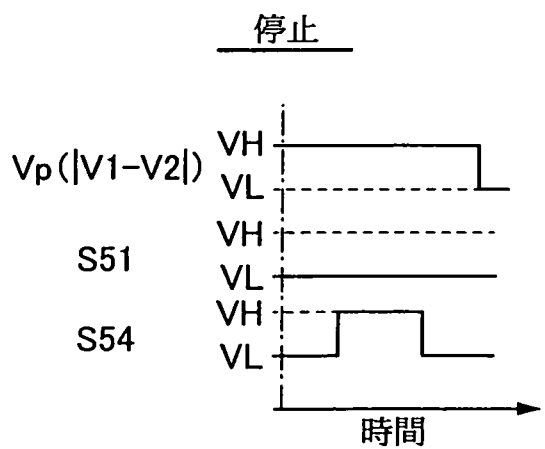


圖 11C

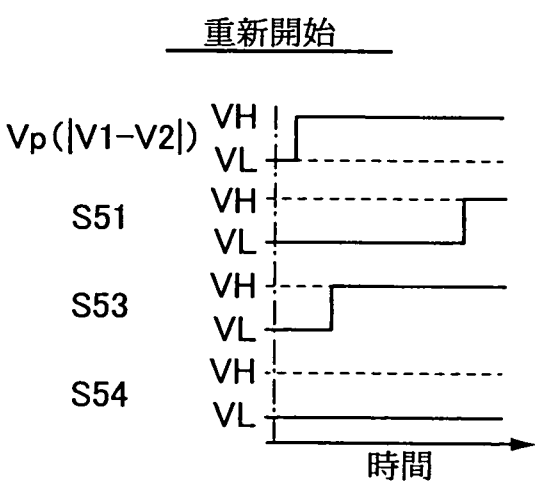


圖 12A

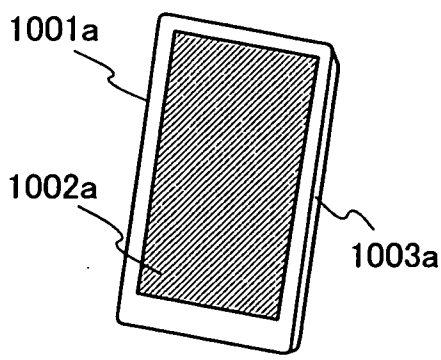


圖 12C

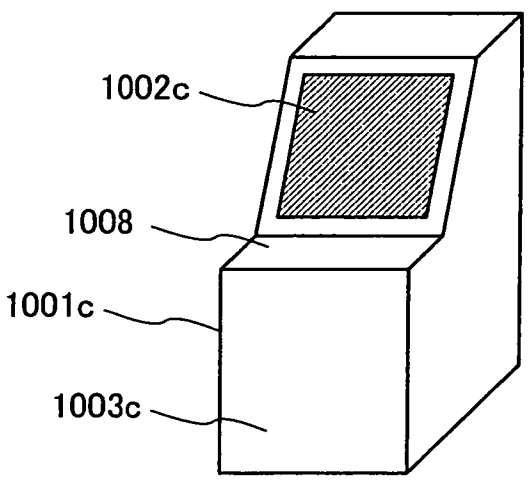


圖 12B

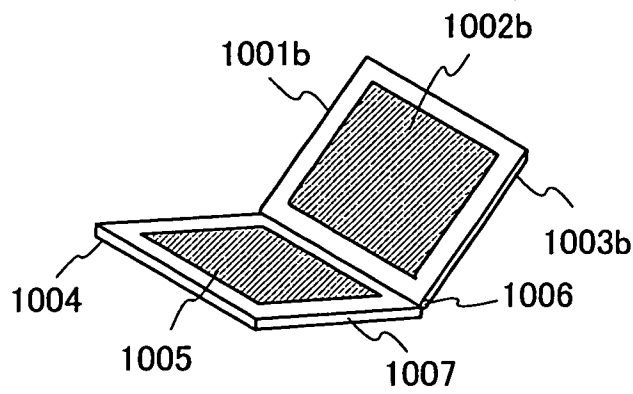


圖 12D

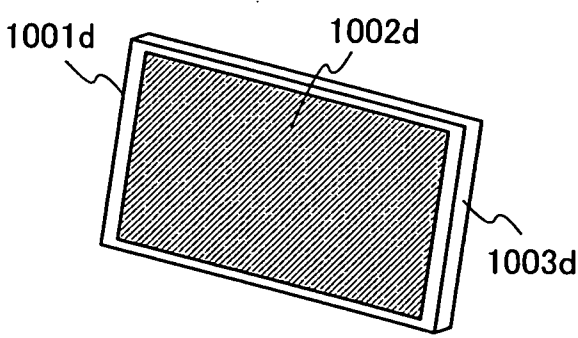


圖 13A

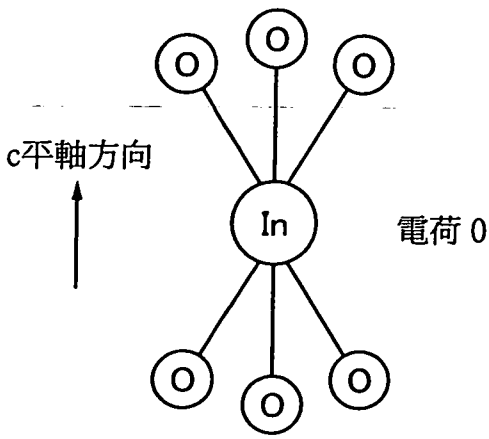


圖 13D

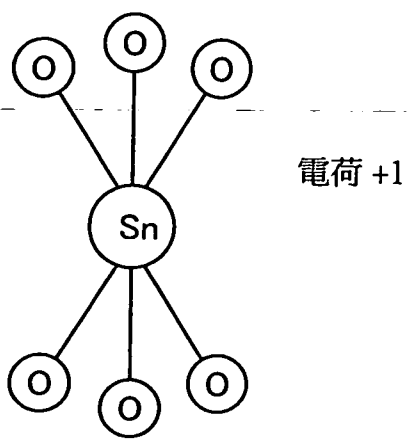


圖 13B

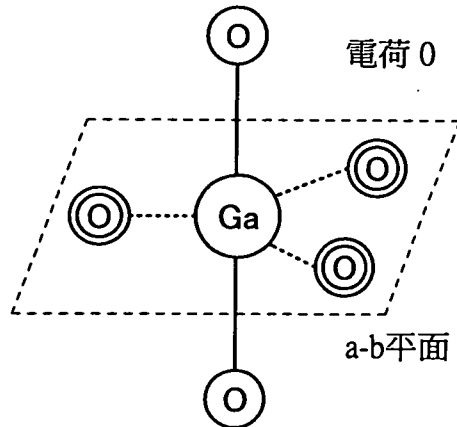


圖 13E

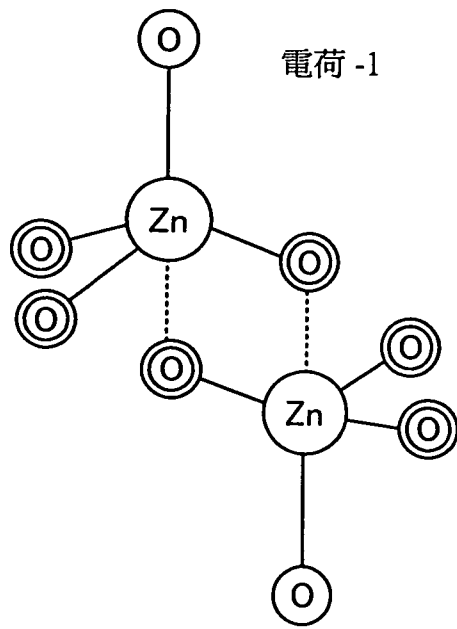


圖 13C

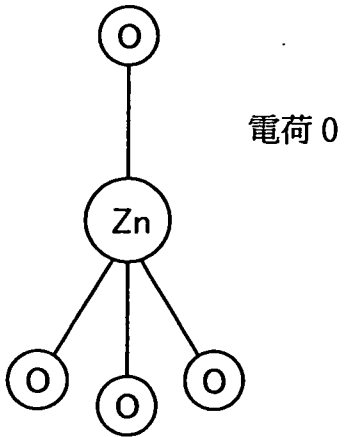


圖 14A

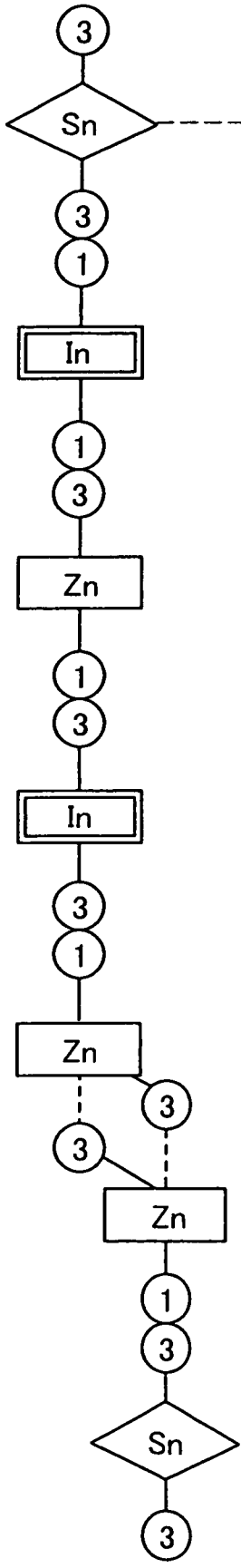
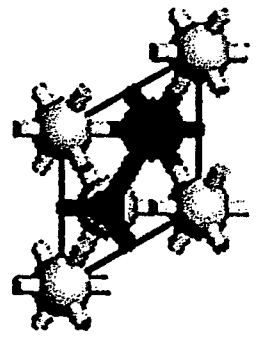


圖 14B



圖 14C



- In
- Sn
- Zn
- O

圖 15A

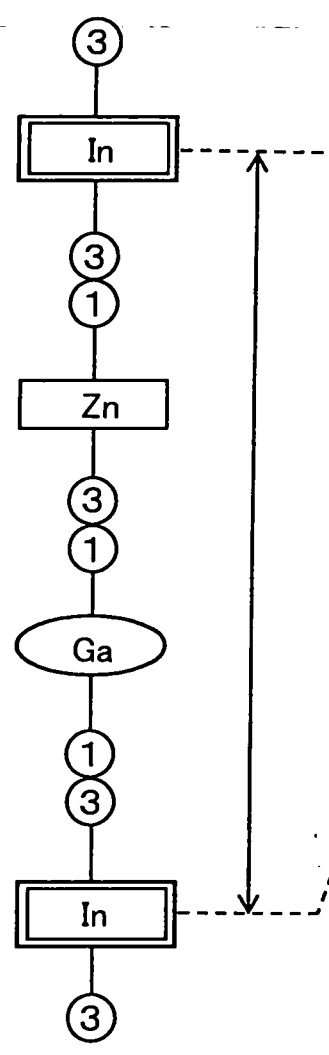


圖 15B

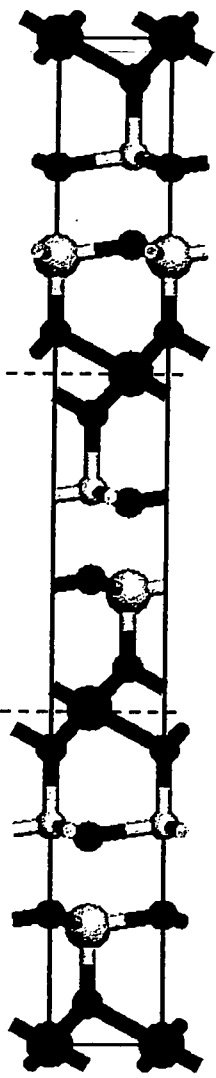
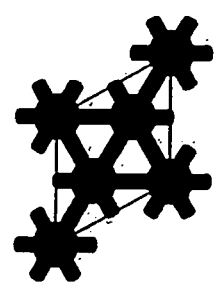


圖 15C



-  In
-  Ga
-  Zn
-  O

圖 16

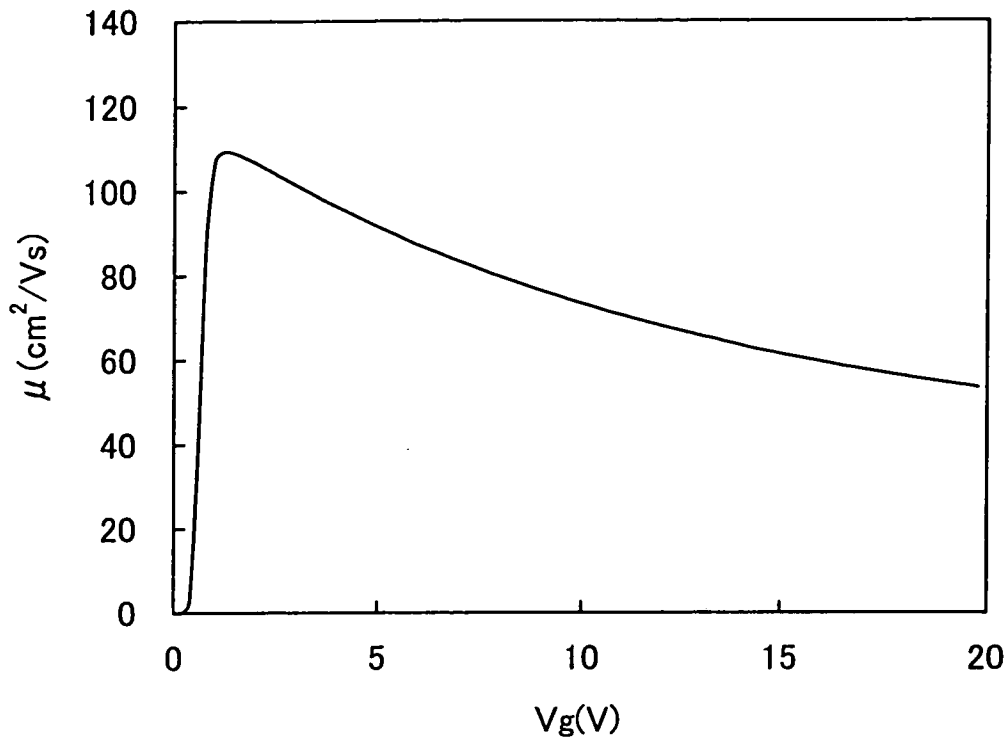


圖 17A

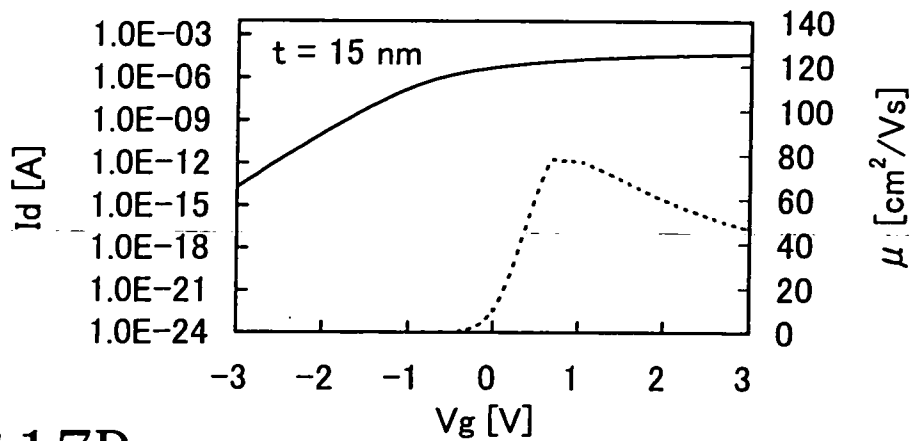


圖 17B

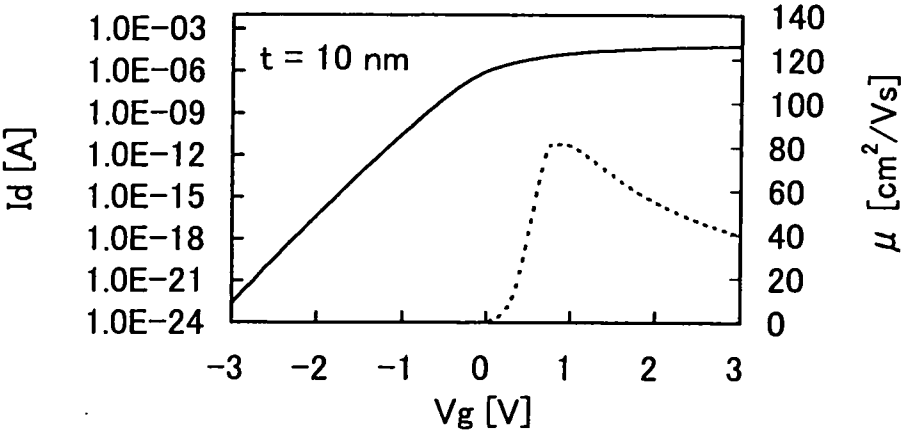


圖 17C

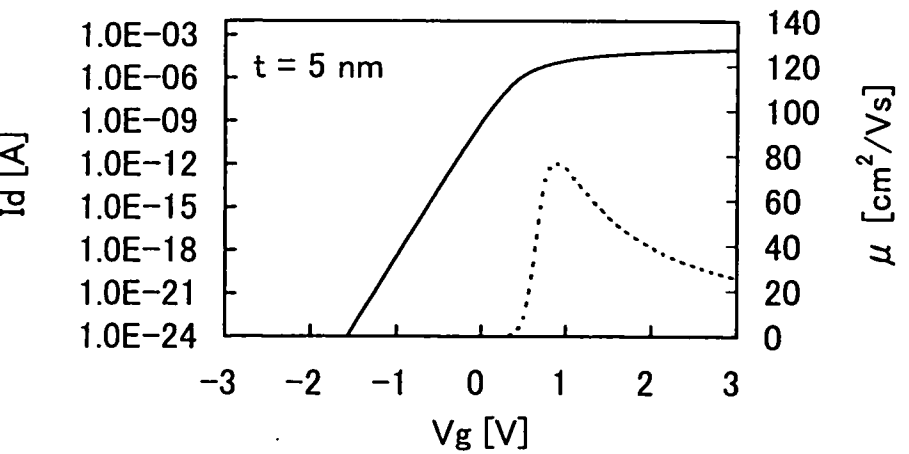


圖 18A

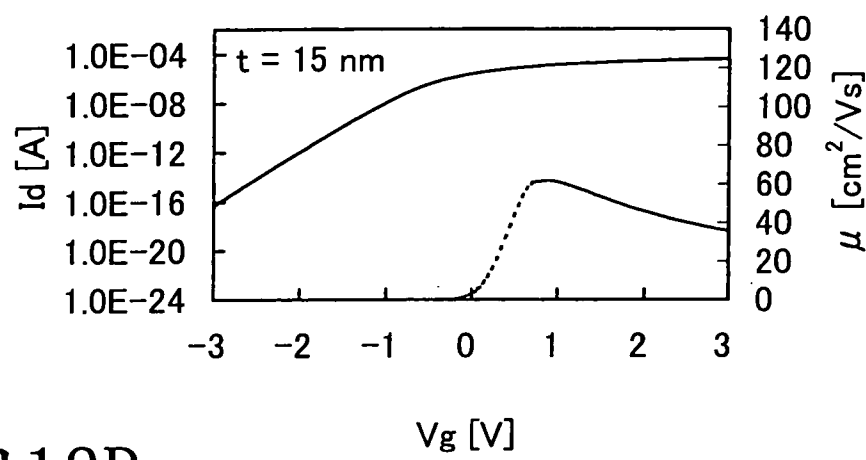


圖 18B

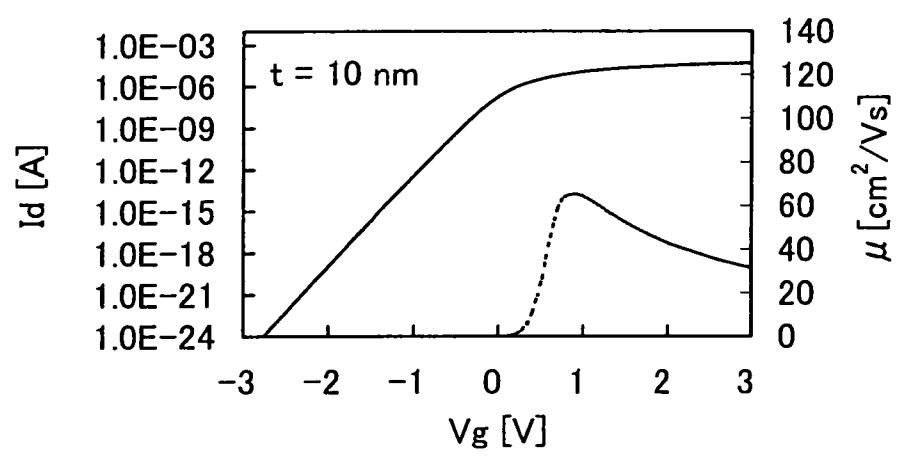


圖 18C

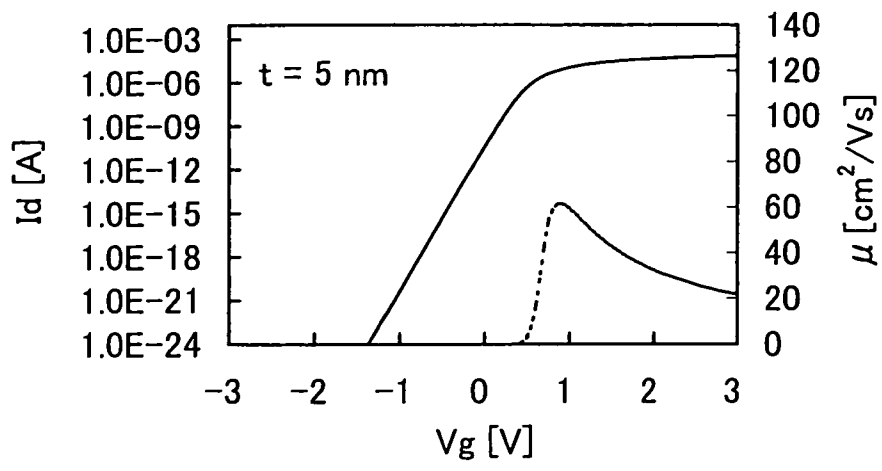


圖 19A

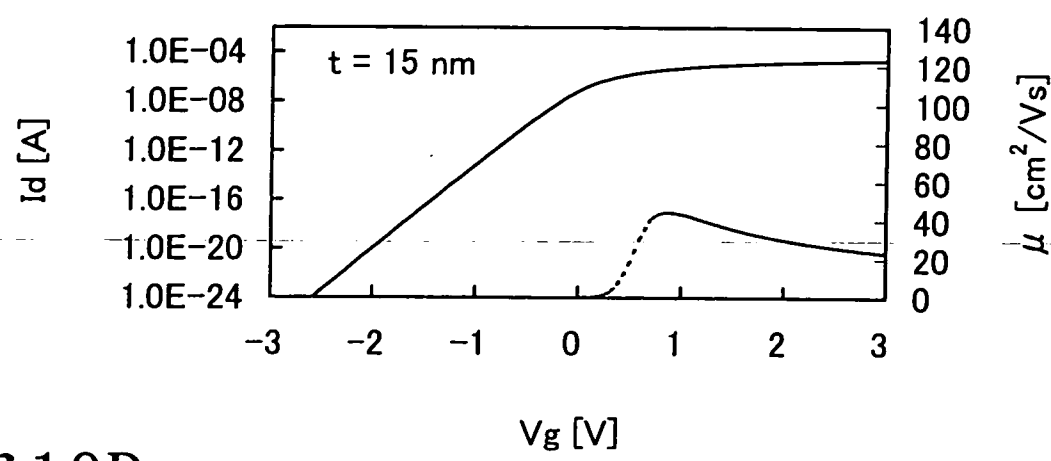


圖 19B

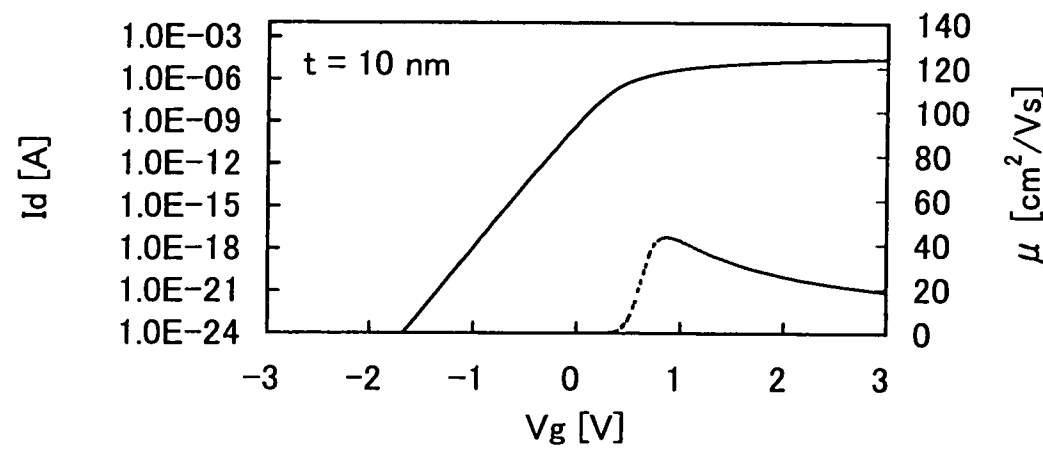


圖 19C

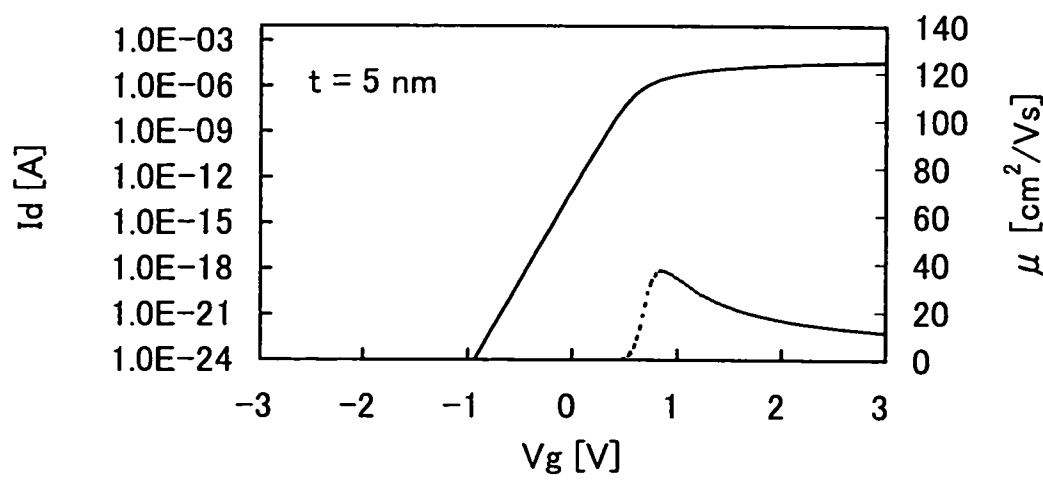


圖 20A

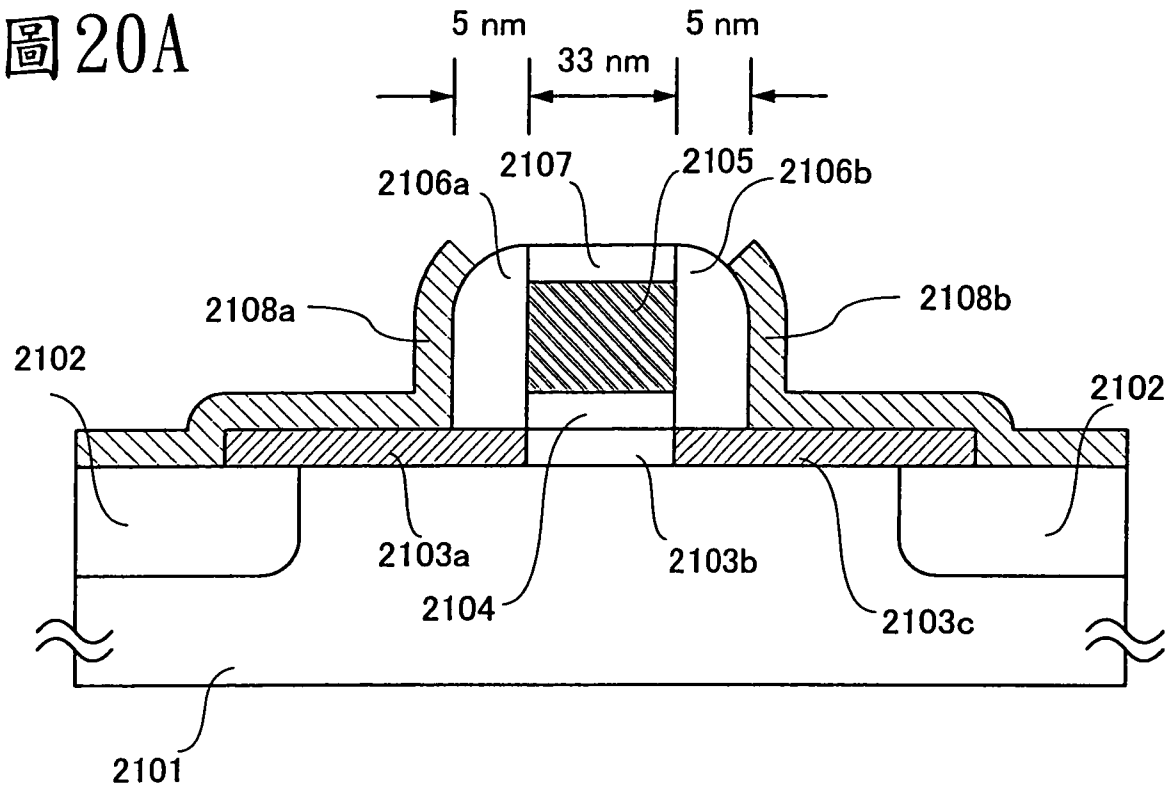


圖 20B

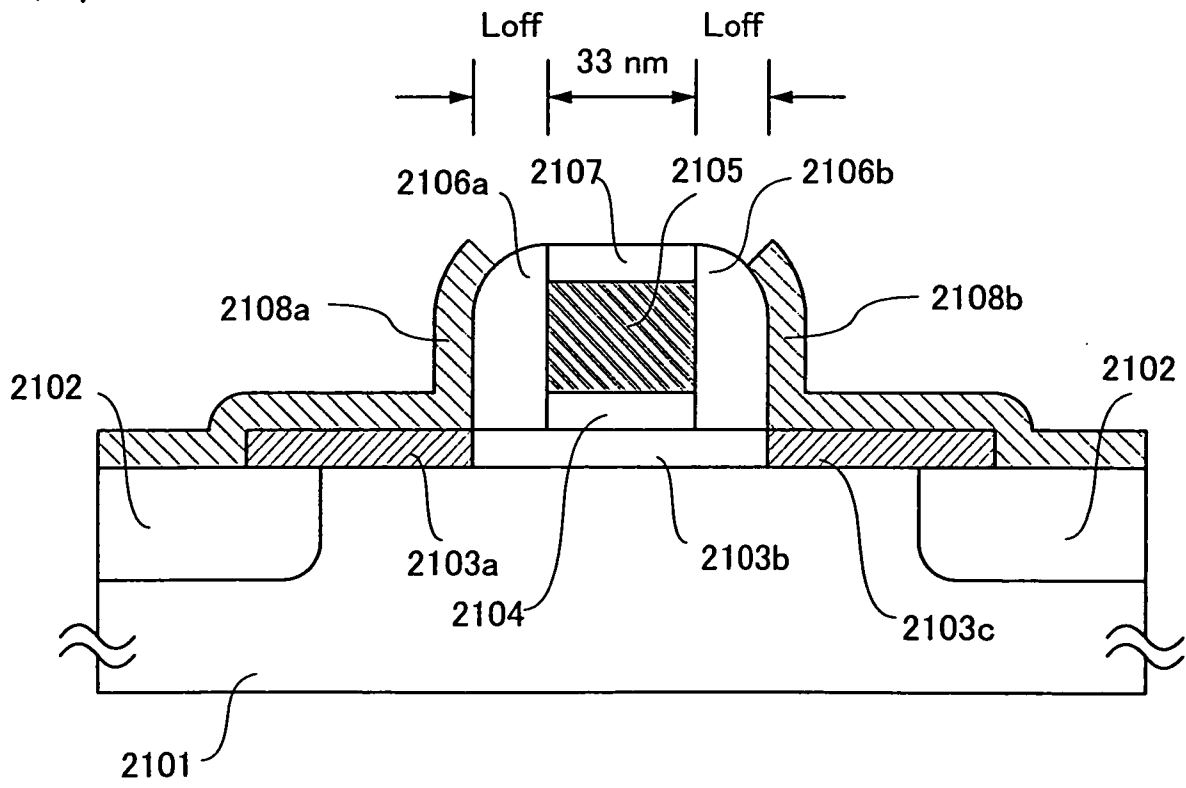


圖 21A

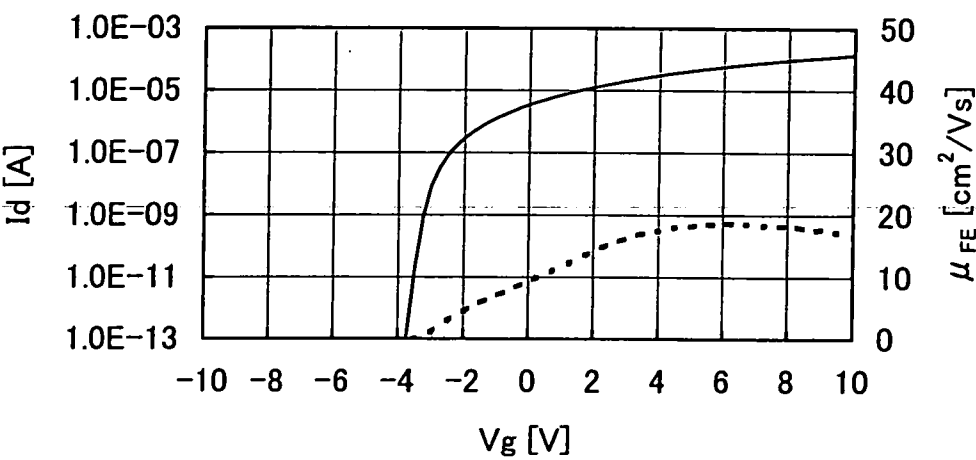


圖 21B

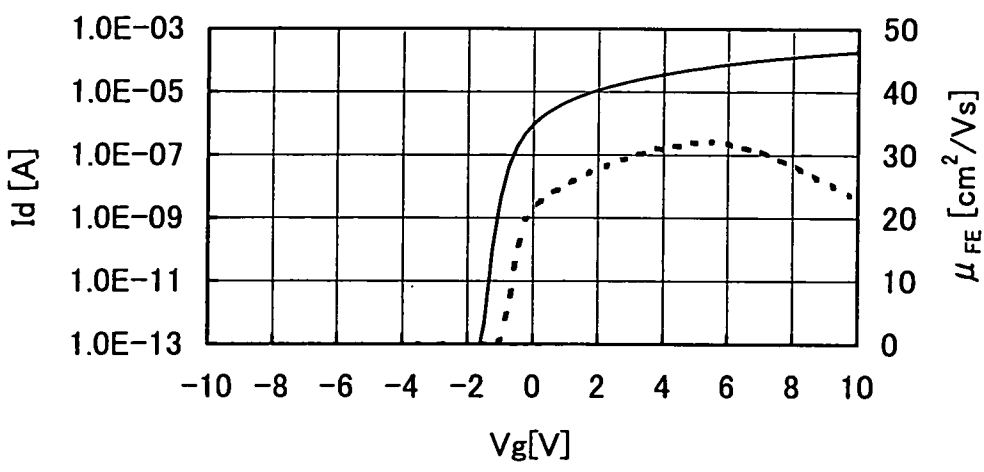


圖 21C

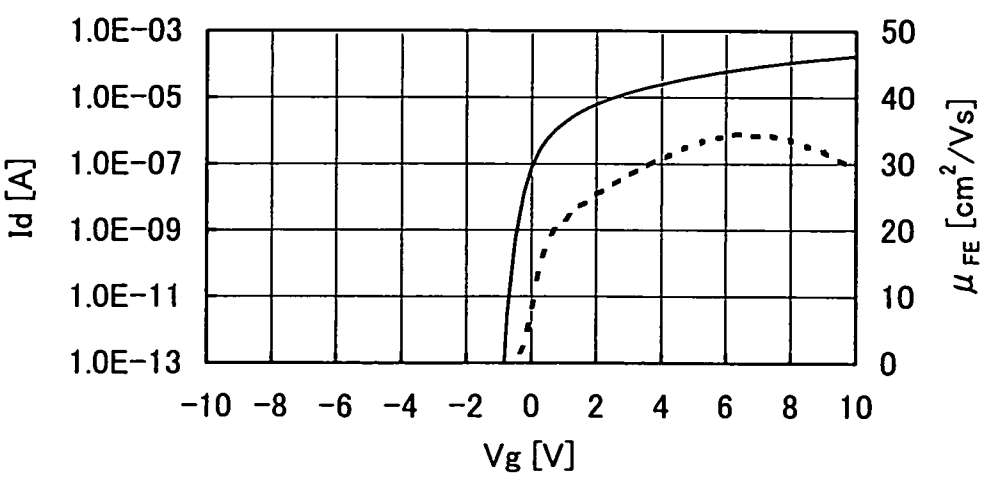


圖 22A

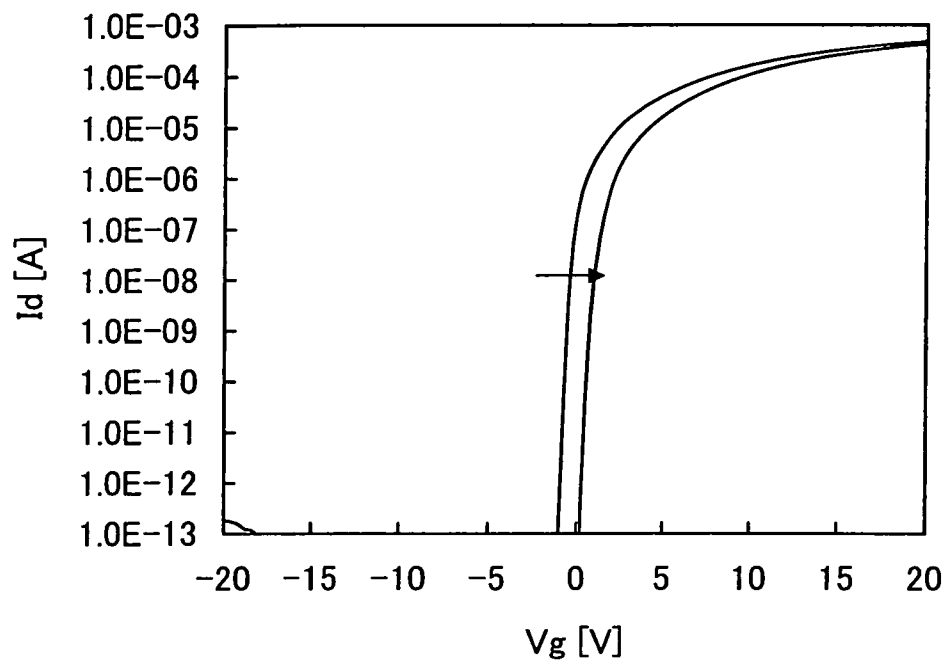


圖 22B

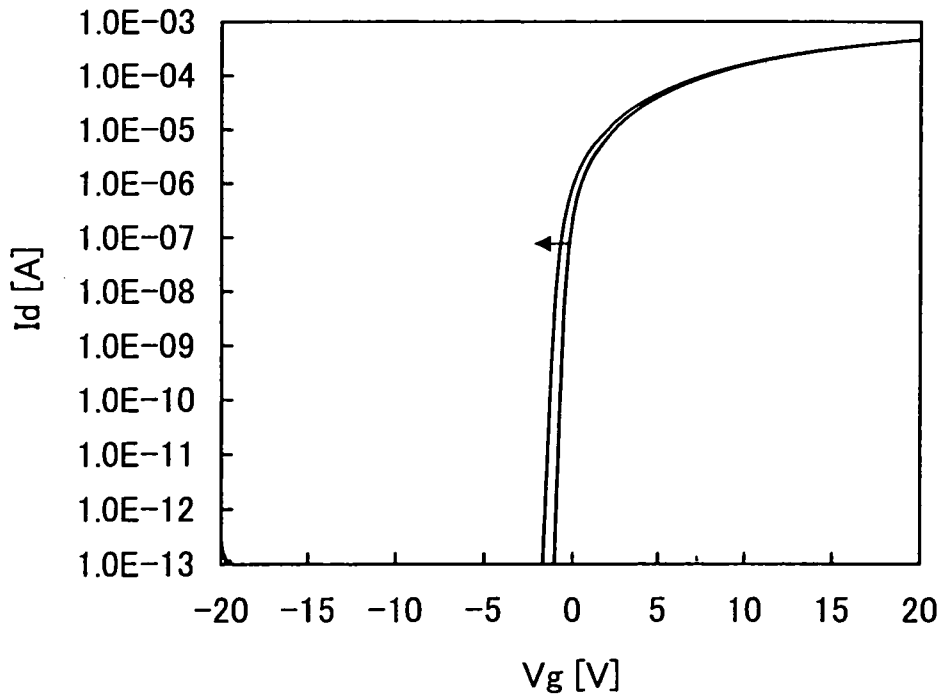


圖 23A

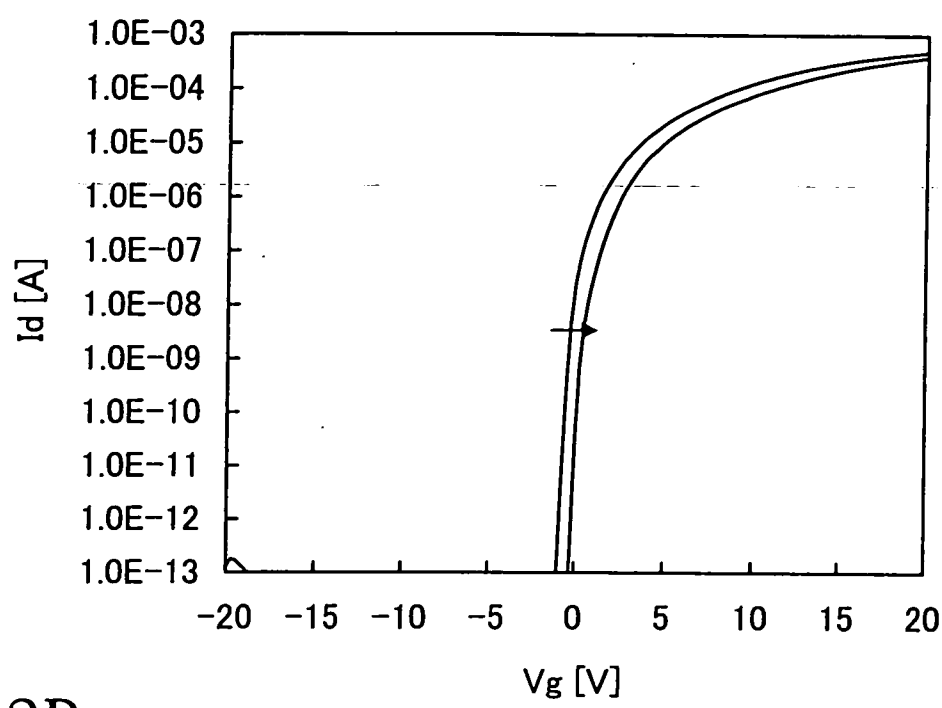


圖 23B

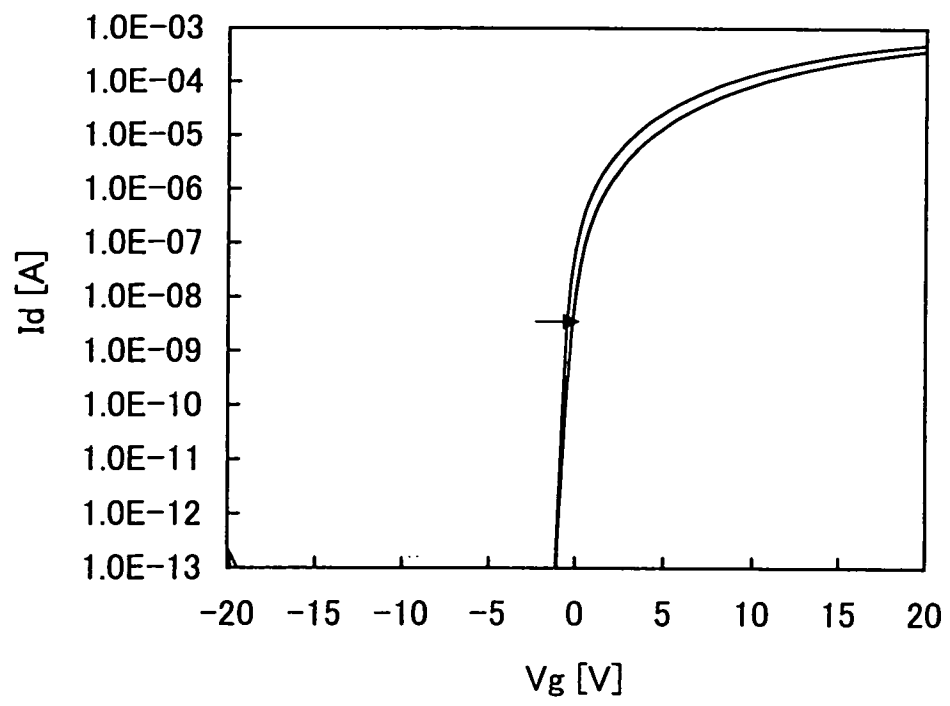


圖 24

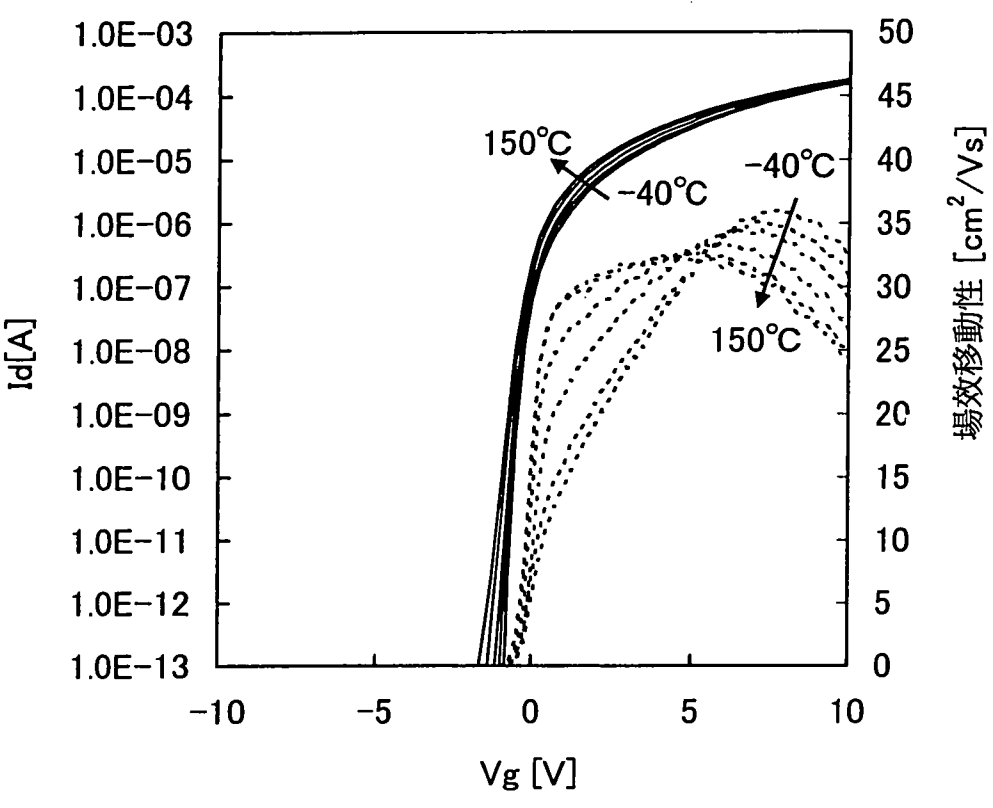


圖 25A

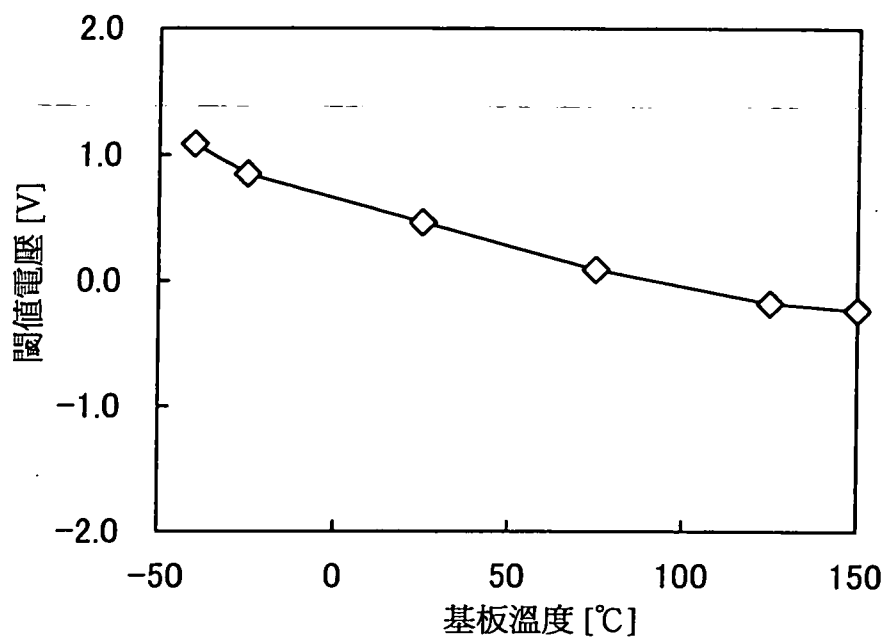


圖 25B

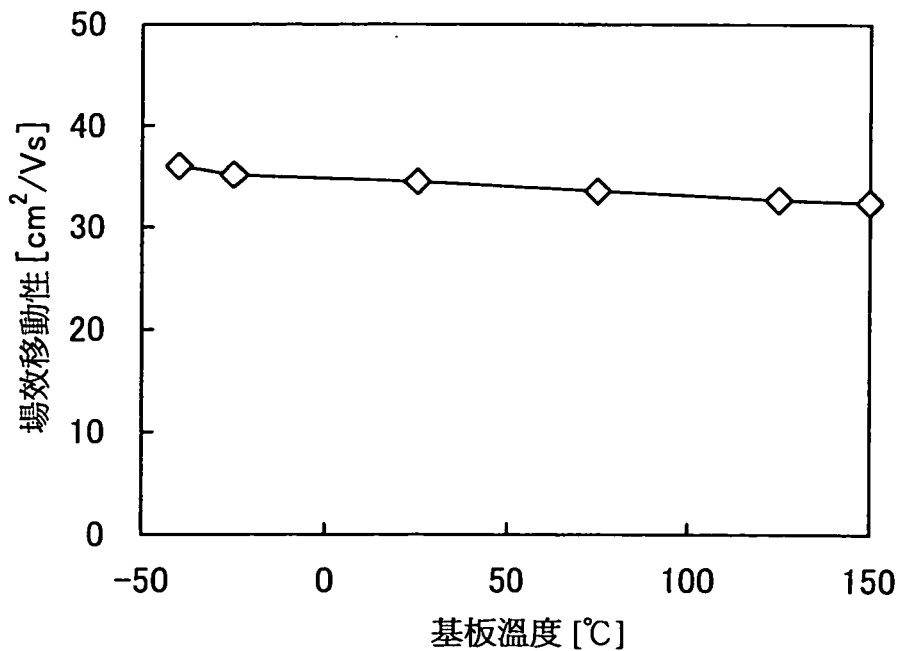


圖 26

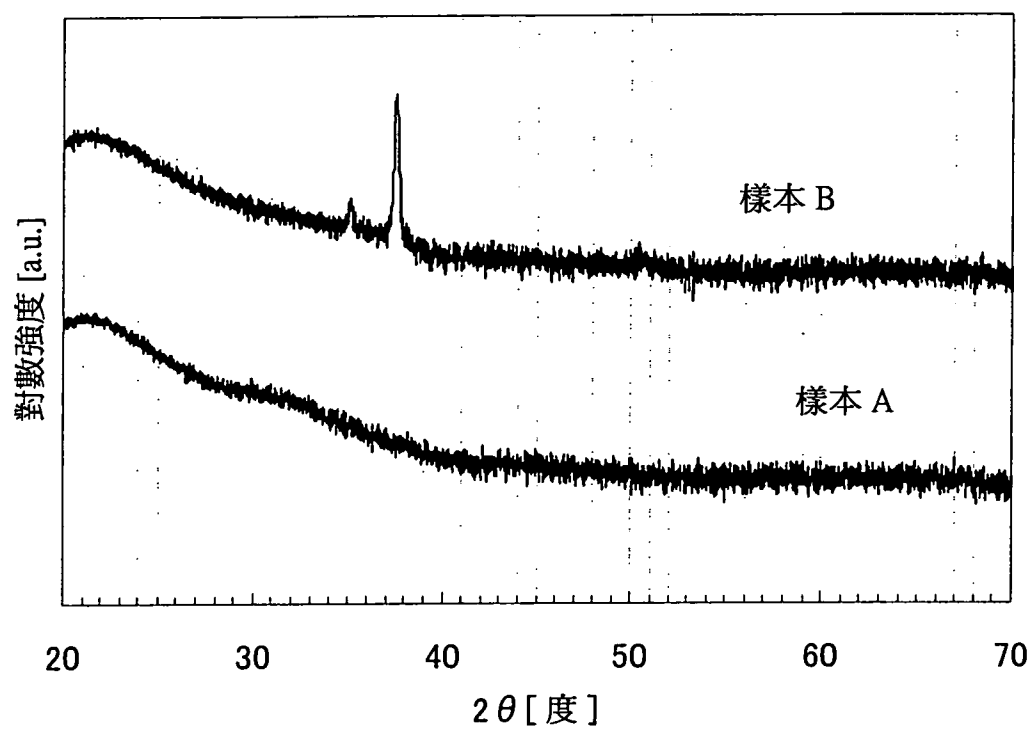


圖27

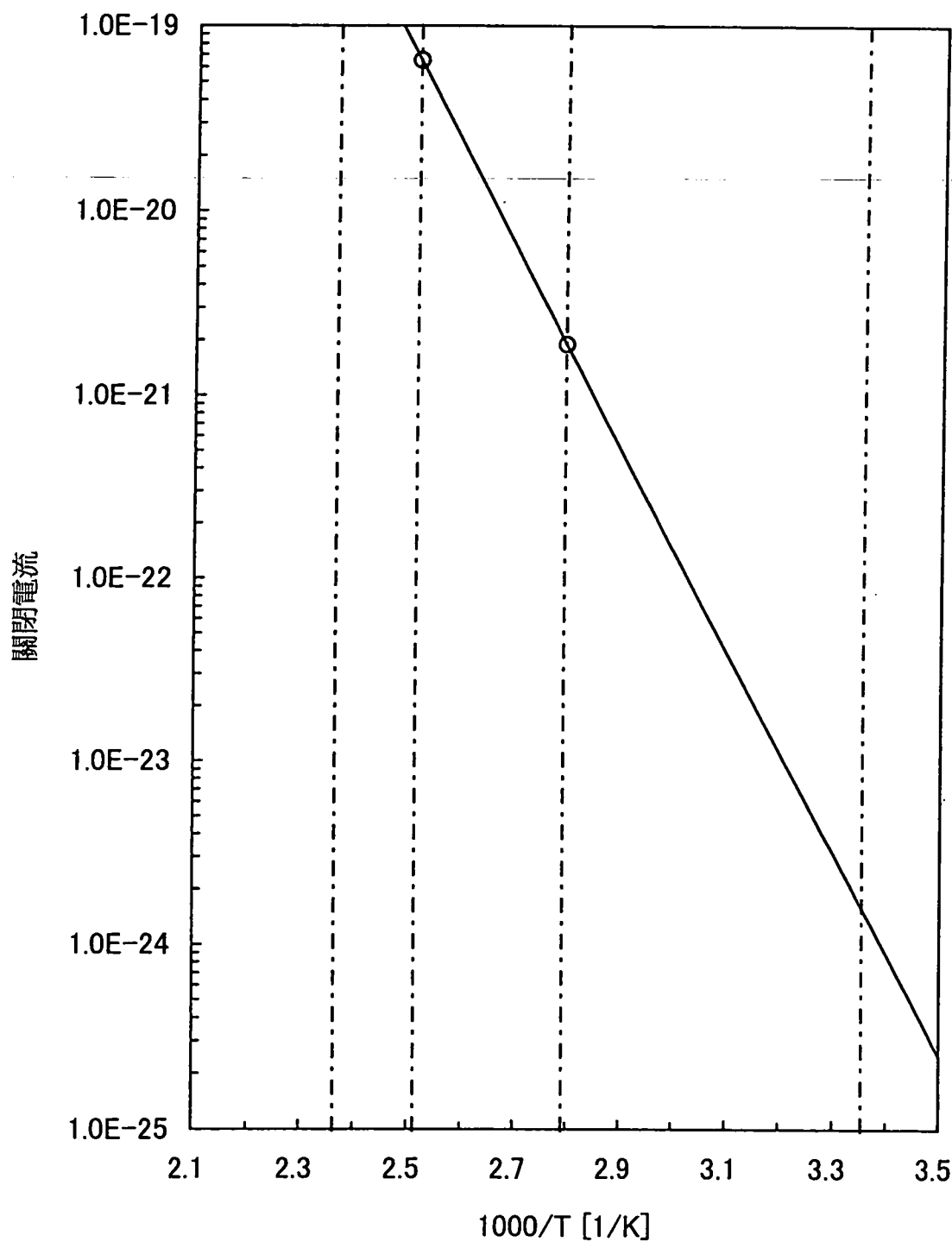


圖 28A

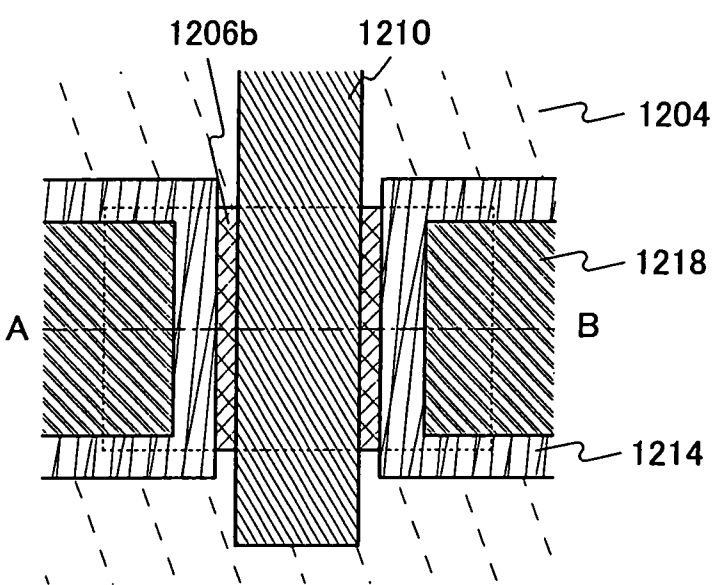


圖 28B

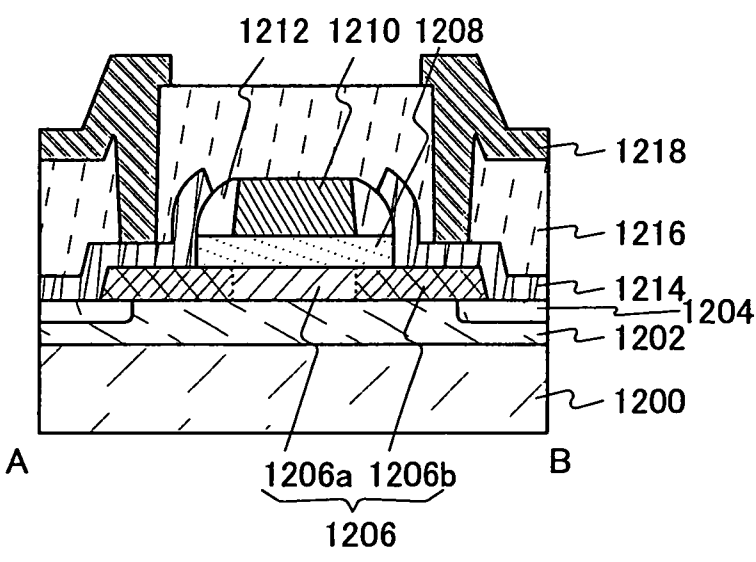


圖 29A

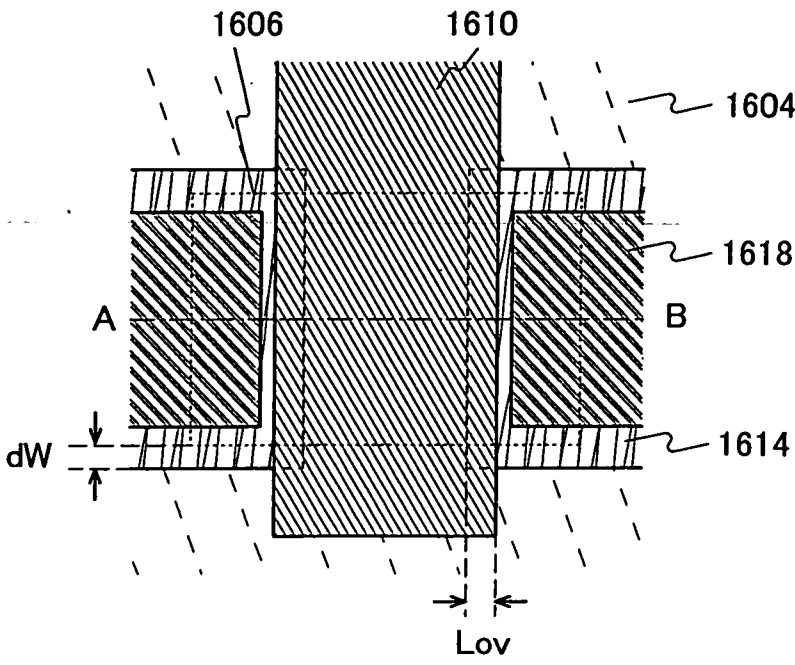


圖 29B

