

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：A1133714 ※IPC分類：G11C 11/15

※申請日期：91.11.19

壹、發明名稱

(中文) 磁性隨機存取記憶體

(日文) 磁気ランダムアクセスメモリ

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 尾山 健

(英文) _____

住居所地址：(中文) 日本國神奈川縣橫濱市保土谷區瀬戸谷町151-1-802

(英文) _____

國籍：(中文) 日本 (英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商東芝股份有限公司

(英文) KABUSHIKI KAISHA TOSHIBA

住居所或營業所地址：(中文) 日本國東京都港區芝浦1丁目1番1號

(英文) _____

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 岡村 正

(英文) TADASHI OKAMURA

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 日本；2001年11月30日；特願2001-367753
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2001年11月30日；特願2001-367753
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明背景

1 發明之領域

本發明係關於一種利用藉由穿隧磁阻 (Tunneling Magneto Resistive) 效應記憶“1”、“0”-資訊的 MTJ (Magnetic Tunnel Junction；磁性穿透接面) 元件構成記憶胞的磁性隨機存取記憶體 (MRAM：Magnetic Random Access Memory)。

2 相關技藝之說明

近幾年提出多數根據新原理記憶資訊的記憶體，其中之一，有由 Roy Scheuerlein et. al. 提出的利用穿隧磁阻 (Tunneling Magneto Resistive) 效應的記憶體 (例如參考 ISSCC2000 Technical Digest p. 128 「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」)。

磁性隨機存取記憶體利用 MTJ 元件記憶“1”、“0”-資訊。MTJ 元件具有利用兩個磁性層 (強磁性層) 夾住絕緣層 (穿隧阻擋層) 的構造。記憶於 MTJ 元件的資訊由兩個磁性層旋轉方向平行或反平行判斷。

此處所謂平行，意謂著兩個磁性層旋轉方向相同，所謂反平行，意味著兩個磁性層旋轉方向反相。

通常構成 MTJ 元件的兩磁性層中的一個成為固定旋轉方向的固定層。使“1”、“0”-資訊記憶於 MTJ 元件時，按照寫入資訊改變這些兩個磁性層中其他一個 (自由層) 的旋轉方向。

發明之概述

關於本發明第一方面的磁性隨機存取記憶體具備具有堆積成多數級的多數MTJ元件的陣列；配置於陣列內的第一導電線；連接於第一導電線的第一元件；配置於陣列內，具有和第一導電線同一功能，比第一導電線形成於上面的第二導電線；及，連接於第二導電線的第二元件，配置於各級的MTJ元件數目從下級向上級逐漸變多，第一及第一元件配置於陣列的正下面。

關於本發明第二方面的磁性隨機存取記憶體具備具有堆積成多數級的多數MTJ元件的陣列；配置於陣列內的第一導電線；連接於第一導電線的第一元件；配置於陣列內，具有和第一導電線同一功能，比第一導電線形成於上面的第二導電線；及，連接於第二導電線的第二元件，第一及第二元件都配置於除了陣列正下面之外的周邊部，第一元件比第二元件配置於陣列附近。

附圖之簡單說明

圖1為顯示作為參考例的記憶體陣列部的平面圖。

圖2為沿著圖1的II-II線的截面圖。

圖3為顯示關於本發明第1實施例的記憶體陣列部的平面圖。

圖4為沿著圖3的IV-IV線的截面圖。

圖5為顯示關於本發明第2實施例的記憶體陣列部的平面圖。

圖6為沿著圖5的VI-VI線的截面圖。

圖 7 為顯示關於本發明第 3 實施例的記憶體陣列部的平面圖。

圖 8 為沿著圖 7 的 VIII-VIII 線的截面圖。

圖 9 為顯示關於本發明第 4 實施例的記憶體陣列部的平面圖。

圖 10 為沿著圖 9 的 X-X 線的截面圖。

圖 11 為顯示關於本發明第 5 實施例的記憶體的單元陣列部的變面圖。

發明之詳細說明

以下，一面參考附圖，一面就關於本發明之例的磁性隨機存取記憶體加以詳細說明。

1. 前提技術

近幾年提出各種裝置構造或電路構造的 MRAM，其中一個具有多數 MTJ 元件連接於一個開關元件（選擇電晶體）的裝置構造。此構造在謀求胞高密度化或讀出裕度（read margin）的提高上有利。

例如梯形胞構造在上部線和下部線之間並聯連接多數 MTJ 元件。此胞構造如圖 1 及圖 2 所示，將多數 MTJ 元件 10 在基板上堆積成多數級（本例為 3 級）。此外，在各級將多數 MTJ 元件 10 並聯連接於上部線 11 和下部線 12 之間。

上部線 11 在 X 方向延伸，其一端連接於選擇電晶體 14。下部線 12 也在 X 方向延伸，其一端連接於感測放大器 (S/A) 15 等周邊電路。在本例，讀出電流沿著上部線 11、MTJ 元件 10、下部線 12 的路徑，即 X 方向流動。寫入線 13 鄰接

於 MTJ 元件 10 配置，在 Y 方向延伸。

在圖 1，堆積的 MTJ 元件和 X 方向延伸的導電線記載成在各級互相錯離，但這是為了容易了解說明，實際上互相錯離或完全重疊任何一種都可以。

磁性隨機存取記憶體的單元基本構造為使 1 個開關元件 (選擇電晶體) 與 1 個 MTJ 元件對應的 1 單元-1 電晶體構造。然而，將 MTJ 元件堆積成多數的裝置構造若使 1 個開關元件與 1 個 MTJ 元件對應，則開關元件變多，不利於單元的高密度化。

於是，將 MTJ 元件 10 堆積成多數級的裝置構造時，採用即使不使 1 個開關元件與 1 個 MTJ 元件對應，亦可進行讀出動作或寫入動作之類的裝置構造。

例如圖 1 及圖 2 所示的裝置構造在 MTJ 元件 10 陣列的各級，將多數 MTJ 元件 10 連接於上部線 11 和下部線 12 之間。而且，例如在上部線 11 一端連接選擇電晶體 14，在下部線 12 一端連接感測放大器 (S/A) 15。

然而，這種情況，對於配置 MTJ 元件 10 陣列的各級的上部線 11 各個需要選擇電晶體。此外，上部線 11 在 MTJ 元件 10 的陣列 16 上，在 X 方向延伸。因此，連接於上部線 11 的選擇電晶體集中於陣列 16 端部的區域 17 配置。

同樣地，對於配置於 MTJ 元件 10 陣列的各級的下部線 (讀出線) 12 各個需要感測放大器 (電晶體)。此外，下部線 12 在 MTJ 10 的陣列 16 上，在 X 方向延伸。因此，連接於下部線 12 的電晶體集中於陣列 16 端部的區域 18 配置。

同樣地，對於配置於MTJ元件10陣列的各級的寫入線13各個也需要選擇電晶體。此外，寫入線13在MTJ元件10的陣列16上，在Y方向延伸。因此，連接於寫入線13的選擇電晶體集中於陣列16端部的區域19A、19B配置。

且說在對於MTJ元件的資料寫入/讀出動作方面，已知起因於MTJ元件的特性，需要大電流。因此，預料連接於上部線11、下部線12及寫入線13的電晶體尺寸(或間距)必然變大。

此外，以配置於X方向的MTJ元件群為一行，以配置於Y方向的MTJ元件群為一列時，若MTJ元件的堆積級數增加，則與其成比例，必須設於一列或一行內的電晶體數也增加。

MTJ元件的間距不受MTJ元件的堆積級數影響，所以若MTJ元件的堆積級數變成非常多，則只是一列或一行內的電晶體數增大，在陣列16周邊的區域17、18、19A、19B內不能配置全部的電晶體。

反之，若要在陣列16周邊的區域17、18、19A、19B內配置全部的電晶體，則因電晶體的間距大而配合此，MTJ元件10的間距也變大，結果不能謀求MTJ元件的高積集化。

又，若縮小電晶體尺寸，縮小其間距，則不能使用大電流，而會給記憶體的動作帶來障礙。

2. 概要

本發明之例適用於具有將MTJ元件堆積成多數級的陣

列構造的磁性隨機存取記憶體。

關於本發明之例的磁性隨機存取記憶體之第一特徵在於下述之點：從下級向上級逐漸增多配置於各級的MTJ元件數。藉由形成這種陣列構造，可在MTJ元件陣列正下面配置電晶體，所以即使MTJ元件的堆積級數增大，連接於一行或一列內的導電線的電晶體數增大，亦可不取決於電晶體的間距而決定MTJ元件的間距。

關於本發明之例的磁性隨機存取記憶體之第二特徵在於下述之點：關於配置於MTJ元件陣列內的具有同一功能的導電線，位於下級的導電線連接於存在於MTJ元件陣列附近的電晶體，位於上級的導電線連接於遠離MTJ元件陣列的電晶體。若形成這種裝置構造，則即使連接一行或一行內的導電線的電晶體數增大時，這些電晶體亦可從陣列附近向遠方配置成一排，所以可不取決於電晶體的間距而決定MTJ元件的間距。

3. 實施例

(1) 第1實施例

圖3顯示關於本發明第1實施例的磁性隨機存取記憶體的單元陣列部的佈局概要。圖4顯示沿著圖3的單元陣列部的X方向(一行)的截面，即沿著圖3的IV-IV線的截面。

在半導體基板上將多數MTJ元件10堆積成多數級(本例為4級)。此外，在各級，MTJ元件10在X-Y平面內構成陣列。

上部線11及下部線12都在X方向延伸，在兩導電線11、

12間配置X方向配置的多數MTJ元件10。選擇電晶體14連接於上部線11一端。感測放大器(S/A)15等周邊電路連接於下部線12一端。

上部線11及下部線12起作用作為讀出線。即，讀出資料時，讀出電流沿著上部線11、MTJ元件10、下部線12的路徑，即X方向流動。

寫入線13在MTJ元件10陣列的各級配置於MTJ元件10上，在Y方向延伸。此外，寫入線13接近MTJ元件10的自由層配置。

MTJ元件10的數目從下級向上級逐漸變多。在本實施例，關於一行內的MTJ元件10，使MTJ元件10的數目從下級向上級逐漸變多。

形成這種陣列構造，可在MTJ元件10陣列的正下面配置電晶體，所以即使MTJ元件10的堆積級數增大，連接於一行內的導電線的電晶體數增大，亦可確保用作形成電晶體的充分區域。

此外，關於配置於MTJ元件10陣列內的具有同一功能的導電線，例如在X方向延伸的上部線11，位於下級的上部線11連接於存在於MTJ元件10陣列附近的電晶體，位於上級的上部線11連接於遠離MTJ元件10陣列的電晶體。

同樣地，關於在X方向延伸的下部線12也是位於下級的下部線12連接於存在於MTJ元件10陣列附近的感測放大器(電晶體)15，位於上級的下部線12連接於遠離MTJ元件10陣列的感測放大器(電晶體)15。

若形成這種裝置構造，則即使MTJ元件10的堆積級數增大，連接於一行內的導電線的電晶體數增大時，這些電晶體亦可從陣列附近向遠方配置成一排，所以不影響到電晶體的間距而可決定MTJ元件的間距。

如此，在本實施例，MTJ元件10的數目從MTJ元件10陣列的下級向上級逐漸變多，並且關於配置於MTJ元件10陣列內的具有同一功能的導電線，上級的導電線比下級的導電線連接於遠離MTJ元件10陣列的電晶體。

藉此，即使連接於配置於MTJ元件陣列內的導電線的電晶體數變多，也不受其電晶體數左右而可決定MTJ元件的間距，可謀求MTJ元件的細微化或高積集化等。

(2) 第2實施例

在上述第1實施例，關於堆積成多數級的MTJ元件陣列，隨著從下級向上級增加MTJ元件數。然而，考慮MTJ元件電阻、配線電阻、配線電容等時，在各級若MTJ元件數不同，則有時會給與讀出/寫入動作等不良影響。

於是，在本實施例考慮這種方面，提出下述技術：關於堆積成多數級的MTJ元件陣列，各級的MTJ元件數以不變而為一定作為前提，在此前提條件下，防止MTJ元件的間距增大，謀求MTJ元件的細微化或高積集化等。

圖5顯示關於本發明第2實施例的磁性隨機存取記憶體的單元陣列部的佈局概要。圖6顯示沿著圖5的單元陣列部的X方向(一行)的截面，即沿著圖5的VI-VI線的截面。

在半導體基板上將多數MTJ元件10堆積成多數級(本例

為4級)。此外，在各級，MTJ元件10在X-Y平面內構成陣列。

上部線11及下部線12都在X方向延伸，在兩導電線11、12間配置X方向配置的多數MTJ元件10。選擇電晶體14連接於上部線11一端。感測放大器(S/A)15等周邊電路連接於下部線12一端。

上部線11及下部線12起作用作為讀出線。即，讀出資料時，讀出電流沿著上部線11、MTJ元件10、下部線12的路徑，即X方向流動。

寫入線13在MTJ元件10陣列的各級配置於MTJ元件10上，在Y方向延伸。此外，寫入線13接近MTJ元件10的自由層配置。

關於配置於MTJ元件10陣列內的具有同一功能的導電線，例如在X方向延伸的上部線11，位於下級的上部線11連接於存在於MTJ元件10陣列附近的電晶體，位於上級的上部線11連接於遠離MTJ元件10陣列的電晶體。

此外，關於在X方向延伸的下部線12也是位於下級的下部線12連接於存在於MTJ元件10陣列附近的感測放大器(電晶體)15，位於上級的下部線12連接於遠離MTJ元件10陣列的感測放大器(電晶體)15。

若形成這種裝置構造，則即使MTJ元件10的堆積級數增大，連接於一行內的導電線的電晶體數增大時，這些電晶體亦可從陣列附近向遠方配置成一排，所以不影響到電晶體的間距而可決定MTJ元件的間距。

如此，在本實施例，關於配置於MTJ元件10陣列內的具有同一功能的導電線，上段的導電線比下級的導電線連接於遠離MTJ元件10陣列的電晶體。

藉此，即使連接於配置於MTJ元件陣列內的導電線的電晶體數變多，也不受其電晶體數左右而可決定MTJ元件的間距，可謀求MTJ元件的細微化或高積集化等。

(3) 第3實施例

圖7顯示關於本發明第3實施例的磁性隨機存取記憶體的單元陣列部的佈局概要。圖8顯示沿著圖7的單元陣列部的Y方向(一列)的截面，即沿著圖7的VIII-VIII線的截面。

在半導體基板上將多數MTJ元件10堆積成多數級(本例為4級)。此外，在各級，MTJ元件10在X-Y平面內構成陣列。

上部線連接於MTJ元件10的自由層，下部線連接於MTJ元件的固定層，兩導電線都在X方向延伸。在本實施例為了簡化說明，關於上部線及下部線省略。

寫入線13在MTJ元件10陣列的各級配置於MTJ元件10上，在Y方向延伸。此外，寫入線13接近MTJ元件10的自由層配置。

MTJ元件10的數目從下級向上級逐漸變多。在本實施例，關於一列內的MTJ元件10，使MTJ元件10的數目從下級向上級逐漸變多。

形成這種陣列構造，可在MTJ元件10陣列的正下面配置電晶體，所以即使MTJ元件10的堆積級數增大，連接於一

行內的導電線的電晶體數增大，亦可確保用作形成電晶體的充分區域。

此外，關於配置於MTJ元件10陣列內的具有同一功能的導電線，例如在Y方向延伸的寫入線13，位於下級的寫入線13連接於存在於MTJ元件10陣列附近的電晶體，位於上級的寫入線13連接於遠離MTJ元件10陣列的電晶體。

若形成這種裝置構造，則即使MTJ元件10的堆積級數增大，連接於一列內的導電線的電晶體數增大時，這些電晶體亦可從陣列附近向遠方配置成一排，所以不影響到電晶體的間距而可決定MTJ元件的間距。

如此，在本實施例，MTJ元件10的數目從MTJ元件10陣列的下級向上級逐漸變多，並且關於配置於MTJ元件10陣列內的具有同一功能的導電線，上級的導電線比下級的導電線連接於遠離MTJ元件10陣列的電晶體。

藉此，即使連接於配置於MTJ元件陣列內的導電線的電晶體數變多，也不受其電晶體數左右而可決定MTJ元件的間距，可謀求MTJ元件的細微化或高積集化等。

(4) 第4實施例

圖9顯示關於本發明第4實施例的磁性隨機存取記憶體的單元陣列部的佈局概要。圖10顯示沿著圖9的單元陣列部的Y方向(一列)的截面，即沿著圖9的X-X線的截面。

在第4實施例根據和第2實施例同樣的理由，提出下述技術：關於堆積成多數級的MTJ元件陣列，各級的電晶體數以不變而為一定作為前提，在此前提條件下，防止MTJ

元件的間距增大，謀求MTJ元件的細微化或高積集化等。

在半導體基板上將多數MTJ元件10堆積成多數級(本例為4級)。此外，在各級，MTJ元件10在X-Y平面內構成陣列。

上部線連接於MTJ元件10的自由層，下部線連接於MTJ元件的固定層，兩導電線都在X方向延伸。在本實施例為了簡化說明，關於上部線及下部線省略。

寫入線13在MTJ元件10陣列的各級配置於MTJ元件10上，在Y方向延伸。此外，寫入線13接近MTJ元件10的自由層配置。

關於配置於MTJ元件10陣列內的具有同一功能的導電線，例如在Y方向延伸的寫入線13，位於下級的寫入線13連接於存在於MTJ元件10陣列附近的電晶體，位於上級的寫入線13連接於遠離MTJ元件10陣列的電晶體。

若形成這種裝置構造，則即使MTJ元件10的堆積級數增大，連接於一行內的導電線的電晶體數增大時，這些電晶體亦可從陣列附近遠方配置成一排，所以不影響到電晶體的間距而可決定MTJ元件的間距。

如此，在本實施例，關於配置於MTJ元件10陣列內的具有同一功能的導電線，上級的導電線比下級的導電線連接於遠離MTJ元件10陣列的電晶體。

藉此，即使連接於配置於MTJ元件陣列內的導電線的電晶體數變多，也不受其電晶體數左右而可決定MTJ元件的間距，可謀求MTJ元件的細微化或高積集化等。

(5) 第5實施例

圖11顯示關於本發明第5實施例的磁性隨機存取記憶體
的單元陣列部的佈局概要。沿著圖11的IV-IV線的截面和
圖4相同，沿著圖11的VIII-VIII線的截面和圖8相同。

本例的磁性隨機存取記憶體係關於第1實施例和第3實
施例的組合。

在半導體基板上將多數MTJ元件堆積成多數級，在各
級，MTJ元件在X-Y平面內構成陣列。

上部線11連接於MTJ元件的自由層，下部線12連接於
MTJ元件的固定層，兩導電線11、12都在X方向延伸。寫
入線13在MTJ元件陣列的各級配置於MTJ元件上，在Y方
向延伸。此外，寫入線13接近MTJ元件的自由層配置。

MTJ元件的數目例如如圖4及圖8所示，從下級向上級逐
漸變多。在本實施例，關於一列內的MTJ元件，使MTJ元
件的數目從下級向上級逐漸變多，並且關於一行內的MTJ
元件，使MTJ元件的數目從下級向上級逐漸變多。

形成這種陣列構造，可在MTJ元件陣列的正下面配置電
晶體，所以即使MTJ元件的堆積級數增大，連接於一行內
的導電線的電晶體數增大，亦可確保用作形成電晶體的充
分區域。

此外，關於配置於MTJ元件陣列內的具有同一功能的導
電線，例如在Y方向延伸的寫入線13，位於下級的寫入線
13連接於存在於MTJ元件10陣列附近的電晶體，位於上級
的寫入線13連接於遠離MTJ元件10陣列的電晶體。

若形成這種裝置構造，則即使MTJ元件10的堆積級數增大，連接於一系列內的導電線的電晶體數增大時，這些電晶體亦可從陣列附近向遠方配置成一排，所以不影響到電晶體的間距而可決定MTJ元件的間距。

4. 其他

本發明之例若是具有將MTJ元件堆積成多數級的單元陣列構造的磁性隨機存取記憶體，則也可以適用於任何構造的記憶體。

在上述第1至第5實施例，連接於MTJ元件陣列內的導電線的電晶體雖然MOS電晶體是一般的，但也可以是雙載子(bipolar)電晶體或二極體等。

此外，在上述第1至第5實施例雖然以配置於堆積成多數級的MTJ元件的各級的導電線為例加以說明，但在例如以上下MTJ元件使導電線共有化的情況等。具有同一功能的導電線不配置於各級而每隔一級配置。即使這種情況，關於這些每隔一級配置的導電線，亦可適用本發明之例。

以上如說明，根據關於本發明之例的磁性隨機存取記憶體，在將MTJ元件堆積成多數級的陣列構造，即使MTJ元件的堆積級數增加，連接於配置於MTJ元件陣列的導電線的電晶體數變多，亦不受其電晶體數左右而可決定MTJ元件的尺寸或間距，可謀求MTJ元件的細微化或高積集化等。

另外優點及變形將為那些熟悉本技藝者所容易想到。因此，本發明在其廣義方面不限於此處所顯示及敘述的特定

說明及代表性具體實例。從而，在不脫離由附加申請專利範圍及其對應詞語所限定的總發明概念的精神或範圍當可作為各種變形。

圖式代表符號說明

10 MTJ 元件

11 上部線、導電線

12 下部線、導電線

13 寫入線

14 選擇電晶體

15 感測放大器

16 陣列

17 區域

18 區域

19A、19B 區域

肆、中文發明摘要

MTJ元件在半導體基板上堆積成多級。X方向延伸的上部線和下部線連接於MTJ元件。配置於各級的MTJ元件數目從下級向上級逐漸變多。關於上部線，位於下級的上部線連接於存在於MTJ元件陣列附近的電晶體，位於上級的上部線連接於遠離MTJ元件陣列的電晶體。關於下部線也是下級的下部線比上級的下部線連接於接近MTJ元件陣列的電晶體。

伍、日文發明摘要

MTJ素子は、半導体基板上に多段に積み重ねられる。MTJ素子には、X方向に延びる上部線と下部線が接続される。各段に配置されるMTJ素子の数は、下段から上段に向かって次第に多くなっている。上部線に関して、下段に位置する上部線は、MTJ素子のアレイの近くに存在するトランジスタに接続され、上段に位置する上部線は、MTJ素子のアレイから遠く離れたトランジスタに接続される。下部線に関して、下段の下部線は、上段の下部線に比べ、MTJ素子のアレイに近いトランジスタに接続される。

陸、(一)、本案指定代表圖為：第 3 圖

(二)、本代表圖之元件代表符號簡單說明：

- 11 上部線、導電線
- 12 下部線、導電線
- 14 選擇電晶體
- 15 感測放大器

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種磁性隨機存取記憶體，其包含：
 - 陣列，具有堆積成多數級的多數MTJ元件；
 - 第一導電線，配置於該陣列內；
 - 第一元件，連接於該第一導電線；
 - 第二導電線，配置於該陣列內，具有和該第一導電線同一功能，配置於該第一導電線上(above)；及
 - 第二元件，連接於該第二導電線；
 其中配置於各級的MTJ元件數目從下級向上級逐漸變多，該第一及第二元件配置於該陣列的正下面或其周邊部者。
2. 如申請專利範圍第1項之磁性隨機存取記憶體，其中該第一及第二導電線在同一方向延伸。
3. 如申請專利範圍第2項之磁性隨機存取記憶體，其中該第一及第二元件在該第一及第二導電線延伸的方向排成一行。
4. 如申請專利範圍第1項之磁性隨機存取記憶體，其中該第一元件比該第二元件配置於接近該陣列中心的位置。
5. 如申請專利範圍第1項之磁性隨機存取記憶體，其中關於存在於該第一及第二導電線延伸的方向的MTJ元件，MTJ元件數目從下級向上級逐漸變多。
6. 如申請專利範圍第2項之磁性隨機存取記憶體，其中該第一及第二導電線延伸的方向為列方向或行方向。

7. 如申請專利範圍第1項之磁性隨機存取記憶體，其中該第一及第二導電線為使用於寫入動作或讀出動作的導電線。
8. 如申請專利範圍第1項之磁性隨機存取記憶體，其中該第一及第二元件為開關元件。
9. 如申請專利範圍第1項之磁性隨機存取記憶體，其中該第一及第二元件構成感測放大器。
10. 如申請專利範圍第1項之磁性隨機存取記憶體，其中該第一導電線比該第二導電線短。
11. 一種磁性隨機存取記憶體，其包含：
 - 陣列，具有堆積成多數級的多數MTJ元件；
 - 第一導電線，配置於該陣列內；
 - 第一元件，連接於該第一導電線；
 - 第二導電線，配置於該陣列內，具有和該第一導電線同一功能，形成於該第一導電線上(above)；及
 - 第二元件，連接於該第二導電線；其中該第一及第二元件都配置於除了該陣列正下面以外的周邊部，該第一元件比該第二元件配置於該陣列附近者。
12. 如申請專利範圍第11項之磁性隨機存取記憶體，其中該第一及第二導電線在同一方向延伸。
13. 如申請專利範圍第12項之磁性隨機存取記憶體，其中該第一及第二元件在該第一及第二導電線延伸的方向排成一行。

14. 如申請專利範圍第11項之磁性隨機存取記憶體，其中該第一元件比該第二元件配置於接近該陣列中心的位置。
15. 如申請專利範圍第11項之磁性隨機存取記憶體，其中關於存在於該第一及第二導電線延伸的方向的MTJ元件，MTJ元件數目從下級向上級逐漸變多。
16. 如申請專利範圍第12項之磁性隨機存取記憶體，其中該第一及第二導電線延伸的方向為列方向或行方向。
17. 如申請專利範圍第11項之磁性隨機存取記憶體，其中該第一及第二導電線為使用於寫入動作或讀出動作的導電線。
18. 如申請專利範圍第11項之磁性隨機存取記憶體，其中該第一及第二元件為開關元件。
19. 如申請專利範圍第11項之磁性隨機存取記憶體，其中該第一及第二元件構成感測放大器。
20. 如申請專利範圍第11項之磁性隨機存取記憶體，其中該第一導電線比該第二導電線短。
21. 一種磁性隨機存取記憶體，其具有多數單元，每一單元包含：
 - 多數MTJ元件，排成一排；
 - 第一及第二導電線，共同連接於該多數MTJ元件且夾住該多數MTJ元件；
 - 開關元件，連接於該第一導電線一端；及
 - 感測放大器，連接於該第二導電線一端；

其中該單元堆積成多數級，並且各單元內的該 MTJ 元件數目從下級單元向上級單元逐漸變多者。

22. 一種磁性隨機存取記憶體，其具有多數單元，每一單元包含：

多數 MTJ 元件，排成一排；

第一及第二導電線，共同連接於該多數 MTJ 元件且夾住該多數 MTJ 元件；

開關元件，連接於該第一導電線一端；及

感測放大器，連接於該第二導電線一端；

其中該單元堆積成多數級，並且各單元內的該第一及第二導電線長度從下級單元向上級單元逐漸變長者。

23. 一種磁性隨機存取記憶體，其具有多數單元，每一單元包含：

多數 MTJ 元件，排成一排；

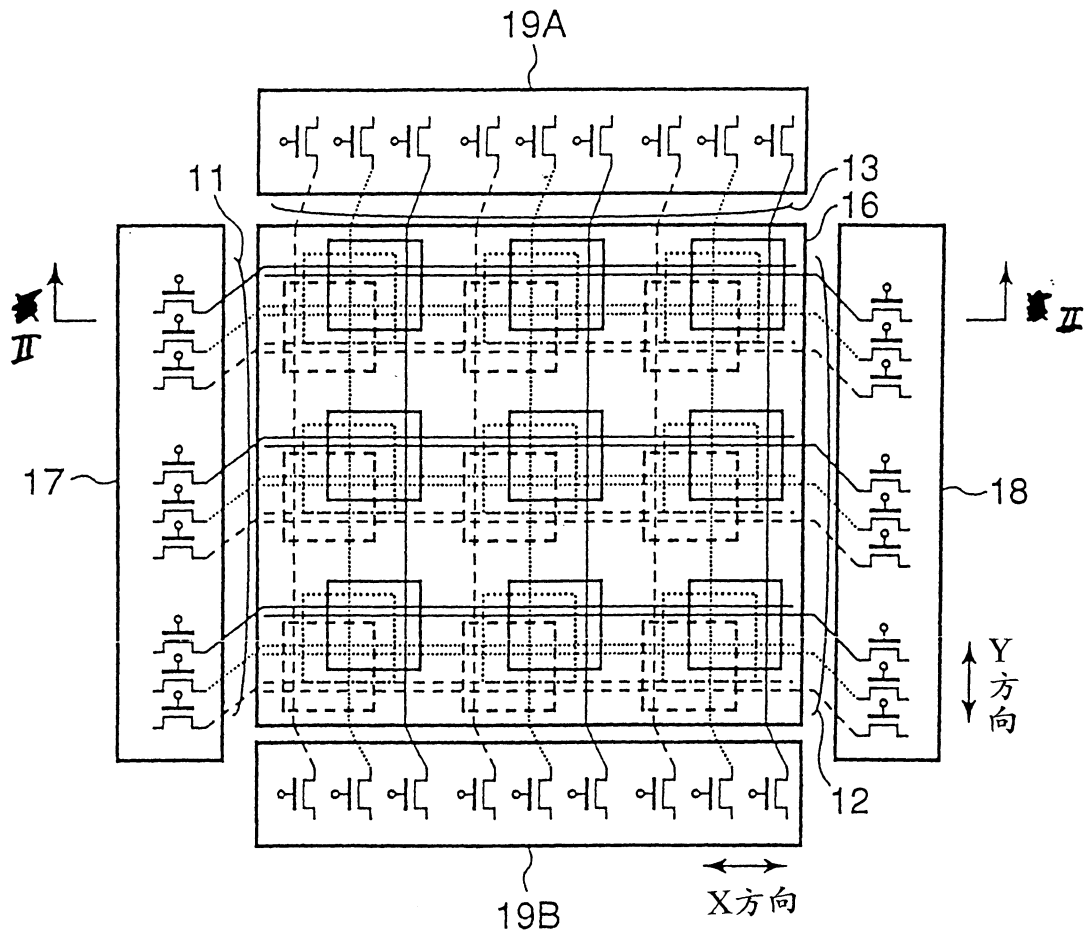
導電線，共同連接於該多數 MTJ 元件；

開關元件，連接於該導電線一端；及

開關元件，連接於該導電線他端；

其中該單元堆積成多數級，並且各單元內的該 MTJ 元件數目從下級單元向上級單元逐漸變多者。

拾壹、圖式



實線(——)：上級
點線(.....)：中級
虛線(---)：下級

圖 1

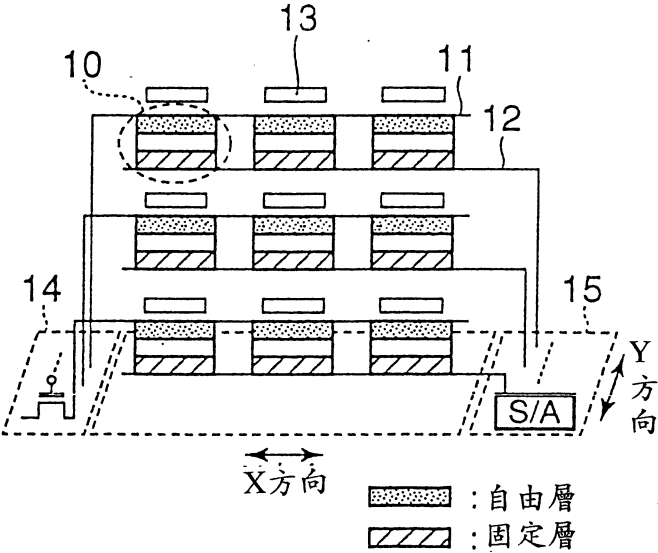


圖 2

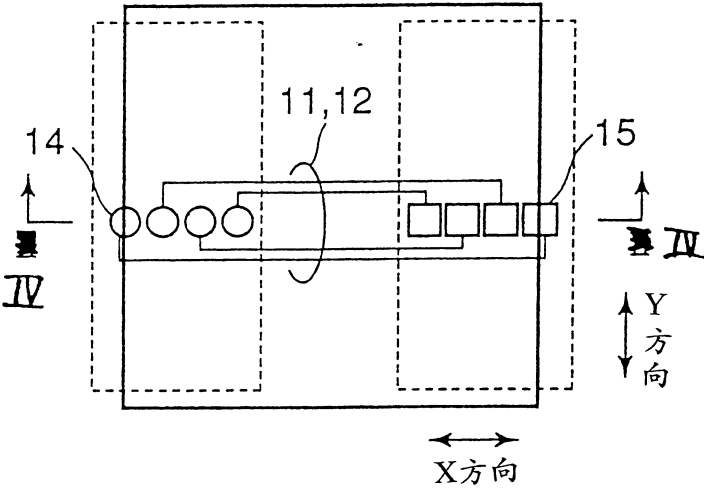


圖 3

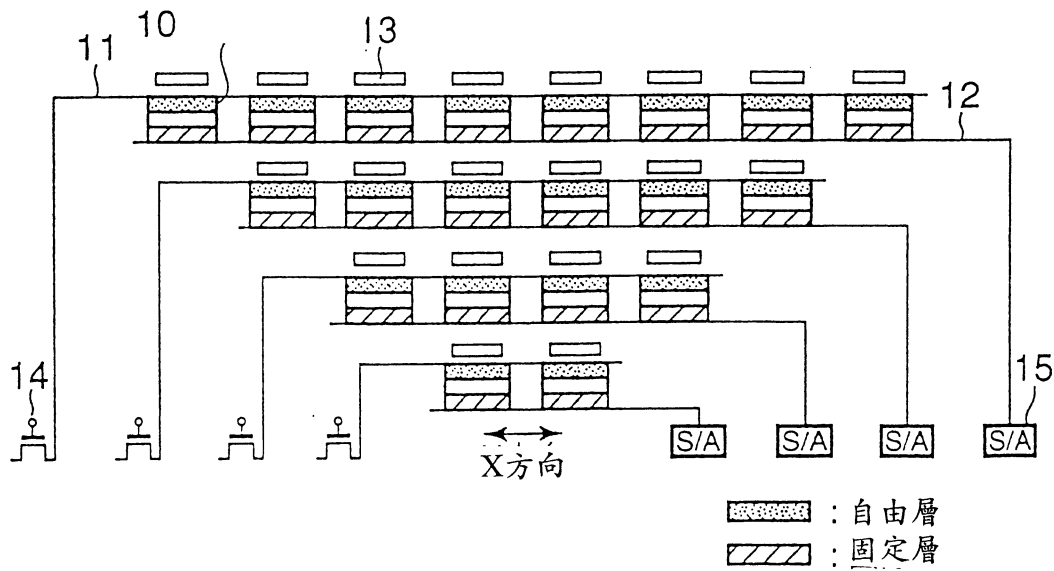


圖 4

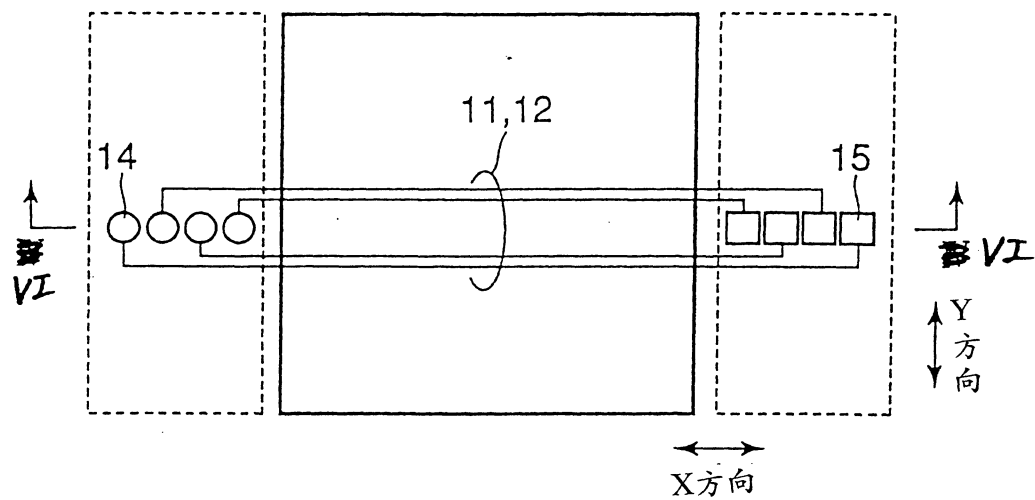


圖 5

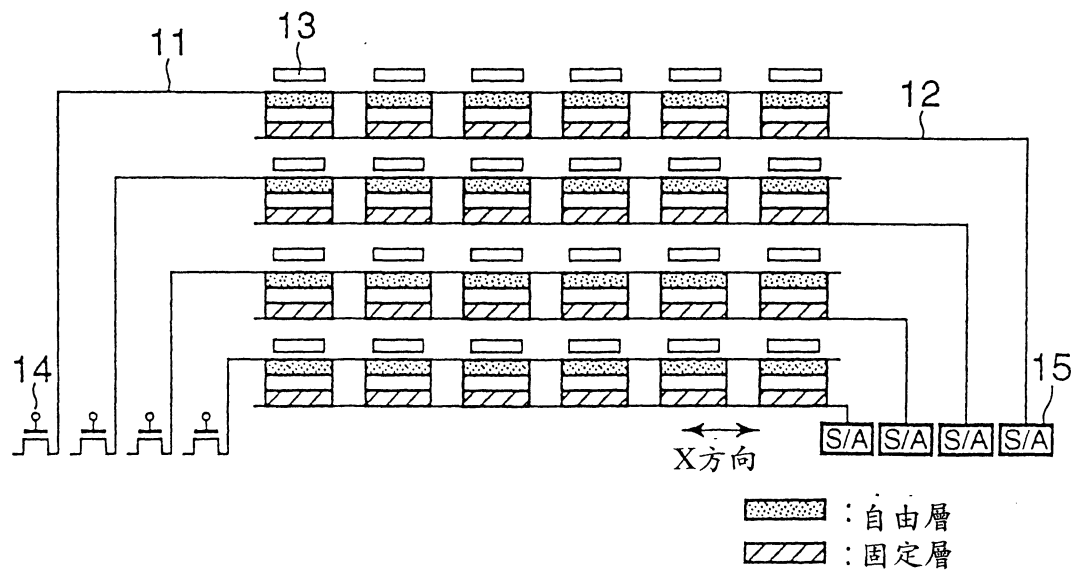


圖 6

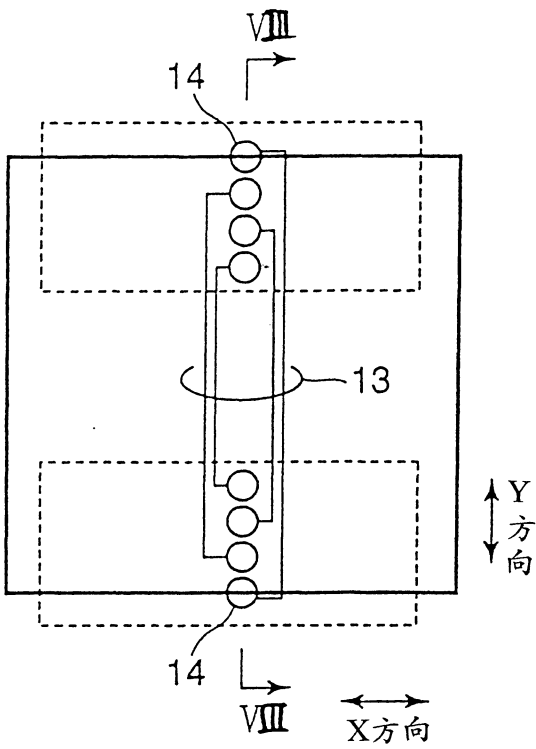


圖 7

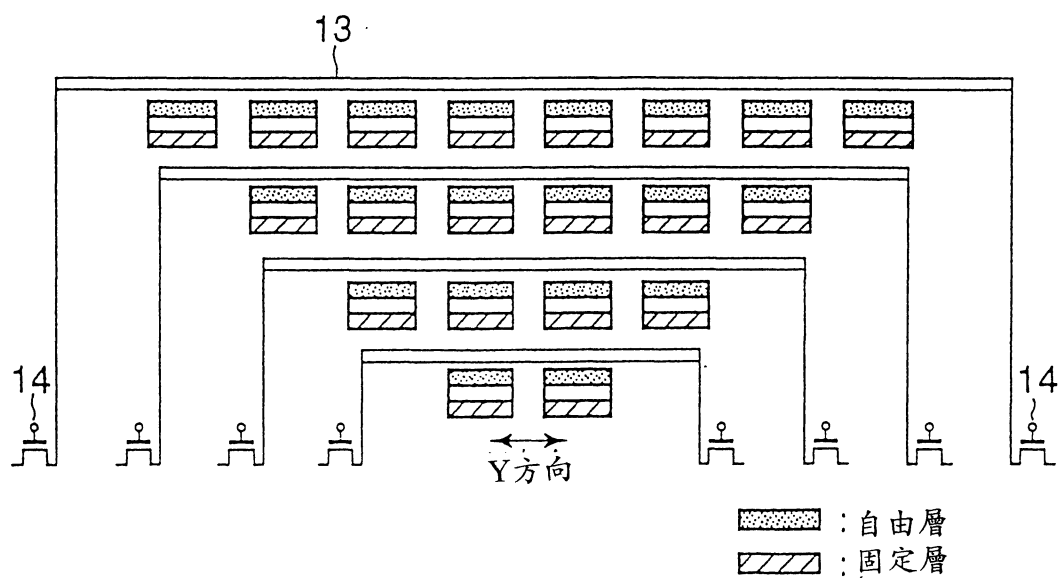


圖 8

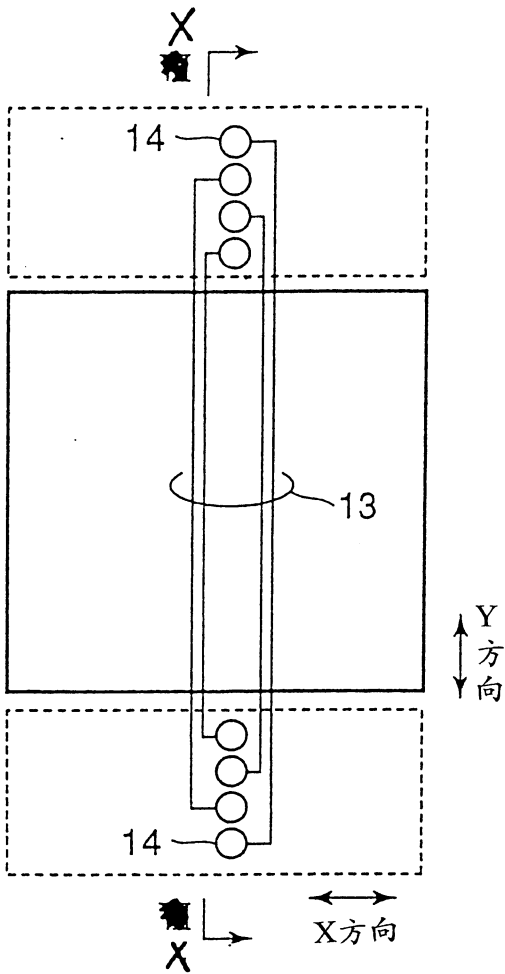


圖 9

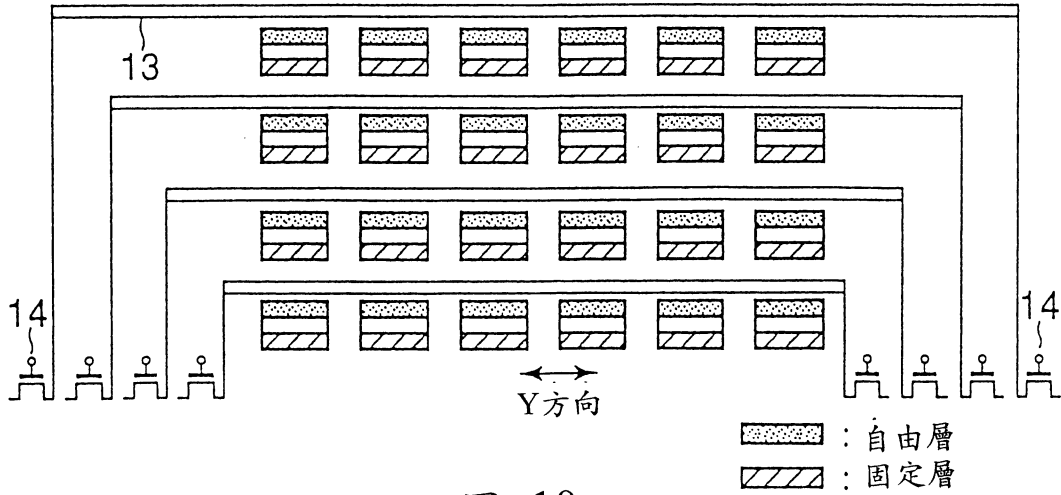
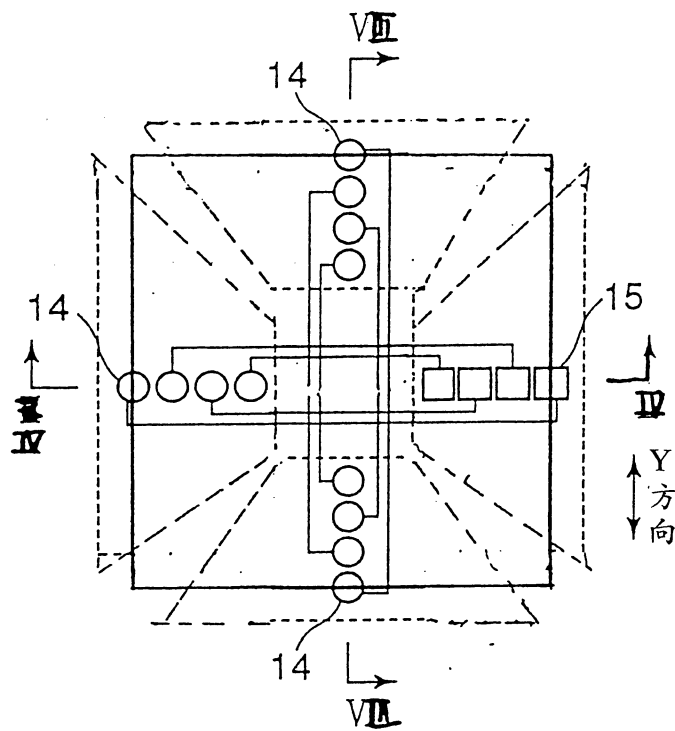


圖 10



● 對於中心點形成
上下、左右全部
對稱的形狀。

圖 11