



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 101 29 954 B4** 2007.12.13

(12)

Patentschrift

(21) Aktenzeichen: **101 29 954.0**
(22) Anmeldetag: **21.06.2001**
(43) Offenlegungstag: **09.01.2003**
(45) Veröffentlichungstag
der Patenterteilung: **13.12.2007**

(51) Int Cl.⁸: **H01L 21/20** (2006.01)
H01L 21/329 (2006.01)
H01L 29/93 (2006.01)
H01L 21/60 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Westphal, Mussnug & Partner, 80336 München

(72) Erfinder:

**Treu, Michael, 91054 Erlangen, DE; Rupp, Roland,
91207 Lauf, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 57 10 057

US 50 34 343

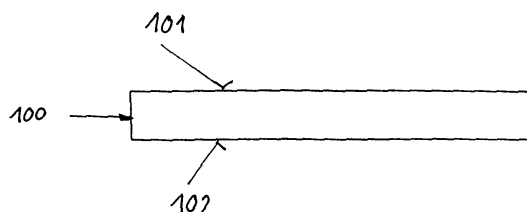
EP 08 95 282 A2

WO 01/06 546 A2

(54) Bezeichnung: **Verfahren zur Herstellung eines Halbleiterbauelements**

(57) Hauptanspruch: Verfahren zur Herstellung eines Halbleiterbauelements, das folgende Verfahrensschritte aufweist:

- Bereitstellen einer Halbleiterscheibe (100) mit einer Vorderseite (101) und einer Rückseite (102) und mit unterhalb der Vorderseite (101) angeordneten Bauelementstrukturen,
- Anbringen einer an der Vorderseite (101) anhaftenden ersten Trägerscheibe (200) an der Halbleiterscheibe (100),
- Ablösen einer die Bauelementstrukturen umfassenden Schicht (150) von der Halbleiterscheibe (100), wobei die Schicht (150) an der ersten Trägerscheibe (200) anhaftet und wobei nach dem Ablösen der Schicht (150) eine der Vorderseite (101) gegenüberliegende Rückseite (103) der Schicht (150) freiliegt,
- Anbringen einer an der Rückseite (103) der abgelösten Schicht (150) anhaftenden zweiten Trägerscheibe (300),
- Ablösen der ersten Trägerscheibe (200).



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterbauelements, insbesondere ein Verfahren zur Herstellung eines vertikalen Halbleiterbauelements.

[0002] Vertikale Halbleiterbauelemente weisen Kontaktanschlüsse an einer Vorderseite und einer der Vorderseite gegenüberliegenden Rückseite eines Halbleiterkörpers, in dem das Halbleiterbauelement realisiert ist, auf. Bei Anlegen einer geeigneten Spannung zwischen diesen Anschlusskontakten kann sich ein stromleitender Pfad in vertikaler Richtung des üblicherweise plättchenförmigen Halbleiterkörpers zwischen der Vorderseite und der Rückseite ausbilden. Die Dicke des Halbleiterkörpers, also der Abstand zwischen der Vorderseite und der Rückseite bestimmt dabei die elektrischen Eigenschaften des Bauelements maßgeblich, wobei insbesondere der Widerstand des Bauelements mit steigender Dicke des Halbleiterkörpers zunimmt. Derartige vertikale Halbleiterbauelemente sind beispielsweise Dioden, Thyristoren oder Transistoren, insbesondere MOS-Transistoren, wobei bei einer Diode der Anoden- und der Kathodenkontakt und bei einem MOS-Transistor der Drain- und der Source-Kontakt an gegenüberliegenden Flächen des Halbleiterkörpers angeordnet sind.

[0003] Der Realisierung von beliebig dünnen Halbleiterkörpern stehen Handhabungsprobleme während der Herstellungsprozesse entgegen. Die Herstellung von Halbleiterbauelementen erfolgt auf Halbleiterscheiben, sogenannten Wafern, deren Fläche ein Vielfaches der Fläche der späteren Bauelemente beträgt und auf denen mittels geeigneter Halbleiterprozesse eine Vielzahl gleichartiger Bauelemente nebeneinander realisiert werden, die nach Abschluss der Halbleiterprozesse vereinzelt werden müssen. Die Dicke des Wafers muss dabei so groß gewählt sein, dass der Wafer eine ausreichende Stabilität aufweist, um während des Herstellungsprozesses gehandhabt zu werden.

[0004] Ein Verfahren zur Herstellung von Halbleiterbauelementen in sehr dünnen Halbleiterplättchen/Chips ist beispielsweise in der WO 00/19499 beschrieben.

[0005] Bei diesem Verfahren werden Halbleiterbauelemente durch geeignete Halbleiterprozesse im Bereich unterhalb einer Oberfläche einer Halbleiterscheibe definiert. Anschließend wird eine dünne Schicht, die an einer Trägerschicht anhaftet und die später zur Realisierung der Bauelemente verwendet wird, von der Oberfläche abgelöst. Die der Trägerschicht abgewandte Oberfläche der abgelösten Schicht bildet die Vorderseite der späteren Bauelemente. Das Ablösen der Halbleiterschicht erfolgt bei-

spielsweise durch Implantation von H^+ -Ionen in einen Bereich der Halbleiterscheibe, in dem die Ablösefläche entstehen soll, und anschließendes Durchführen eines Temperaturschrittes. Durch die Ionenimplantation kommt es zu einer Amorphisierung und zu Strahlenschäden im Bereich der späteren Vorderseite, die vor der Durchführung der Prozessschritte zur Herstellung der Bauelemente ausgeheilt werden müssen, um brauchbare Bauelementeigenschaften zu erzielen.

[0006] Das bekannte Verfahren eignet sich insbesondere für die Verwendung von Silizium als Halbleitermaterial. Das Ausheilen von Strahlenschäden ist bei der Verwendung von Siliziumkarbid als Halbleitermaterial nicht oder nur mit erheblichem Aufwand möglich, so dass sich dieses Verfahren für Prozesse auf Basis von Siliziumkarbid nur bedingt eignet.

[0007] Die US 5,034,343 beschreibt ein Verfahren zur Herstellung eines dünnen SOI-Substrats. Bei diesem Verfahren ist vorgesehen, eine Halbleiterscheibe auf eine Trägerscheibe aufzubringen, die Halbleiterscheibe anschließend dünnzuschleifen, an ihrer freiliegenden Oberfläche zu oxidieren und auf die Oxidschicht eine weitere Halbleiterscheibe aufzubringen, die anschließend in ihrer Dicke reduziert wird. In dem verbleibenden Abschnitt dieser weiteren Halbleiterscheibe können dann Halbleiterbauelemente realisiert werden. Die Trägerscheibe wird nach Abschluss dieser Verfahrensschritte zur Realisierung der Bauelementstrukturen entfernt.

[0008] Die EP 0 895 282 A2 beschreibt ein Verfahren zur Herstellung eines SOI-Substrats bei dem eine erste Substratanordnung, die eine einkristalline Halbleiterschicht umfasst, auf eine zweite Substratanordnung aufgebracht wird. Anschließend werden Schichten der ersten Substratanordnung entfernt, bis die einkristalline Halbleiterschicht freiliegt.

[0009] Die US 5,710,057 beschreibt ein weiteres Verfahren zur Herstellung eines SOI-Substrats, bei dem eine strukturierte Substratanordnung auf einen Träger aufgebracht wird. Mittels eines Ätzverfahrens werden Abschnitte der strukturierten Substratanordnung anschließend derart abgelöst, dass einzelne Halbleiterabschnitte an dem Träger verbleiben.

[0010] Ziel der vorliegenden Erfindung ist es, ein Verfahren zur Herstellung von Halbleiterbauelementen in sehr dünnen Halbleiterkörpern, insbesondere in Halbleiterkörpern aus Siliziumkarbid zur Verfügung zu stellen.

[0011] Dieses Ziel wird durch ein Verfahren gemäß den Merkmalen des Anspruchs 1 gelöst.

[0012] Vorteilhafte Ausgestaltungen des Verfahrens sind Gegenstand der Unteransprüche.

[0013] Das erfindungsgemäße Verfahren zur Herstellung eines Halbleiterbauelements sieht vor, eine Halbleiterschleibe mit einer Vorderseite und einer Rückseite bereitzustellen. Diese Halbleiterschleibe kann ein herkömmlicher Wafer sein, der insbesondere aus Siliziumkarbid bestehen kann. Aus dieser Halbleiterschleibe können eine Vielzahl von Bauelementen gefertigt werden, wobei die Halbleiterschleibe zur Realisierung der aktiven Bereiche der Halbleiterbauelemente herkömmlichen Halbleiterprozessen unterzogen werden kann. Danach wird an der Vorderseite der Halbleiterschleibe bei dem erfindungsgemäßen Verfahren eine dort anhaftende Trägerschleibe, die vorzugsweise aus einem Halbleitermaterial besteht, angebracht. Anschließend wird eine Schicht von der Halbleiterschleibe abgelöst, wobei die abgelöste Schicht die Bauelementstrukturen enthält und an der Trägerschleibe anhaftet und wobei nach dem Ablösen der Schicht eine der Vorderseite gegenüberliegende Rückseite der Schicht freiliegt. Auf die freiliegende Rückseite der Schicht wird dann eine an der Rückseite anhaftende zweite Trägerschleibe angebracht, die zur Stabilisierung der abgelösten Schicht dient, von deren Vorderseite die erste Trägerschicht anschließend abgelöst wird.

[0014] Nach dem Ablösen der ersten Trägerschleibe liegt die Vorderseite der abgelösten Schicht, die der Vorderseite der ursprünglichen Halbleiterschleibe entspricht, frei und kann mit Kontakten zur Kontaktierung der in der abgelösten Schicht integrierten Bauelemente versehen werden.

[0015] Das Ablösen einer an der Trägerschicht anhaftenden Schicht von der Oberfläche der Halbleiterschleibe erfolgt beispielsweise durch die Ionenimplantation von H^+ -Ionen über die Vorderseite in den Halbleiterkörper vor dem Aufbringen der ersten Trägerschleibe. Die über die Energie der Ionen eingestellte Implantationstiefe entspricht in etwa der Dicke der später von der Oberfläche der Halbleiterschleibe abgelösten Schicht. Die implantierten Ionen erzeugen flächendeckend Kristallstörungen in der Halbleiterschleibe, die bei einem anschließend durchgeführten Temperaturschritt zu einem Ablösen der Schicht führen, wobei die erste Trägerschleibe dann zur Stabilisierung der abgelösten Schicht dient, deren Dicke abhängig von der Implantationstiefe weniger als 100 nm betragen kann.

[0016] Die nach dem Ablösen freiliegende Oberfläche der abgelösten Schicht bildet die Rückseite, der in der abgelösten Schicht realisierten Bauelemente. Die Rückseitenkontaktierung bei Bauelementen wie Transistoren, Thyristoren oder Dioden erfordert üblicherweise das Aufbringen einer elektrischen leitenden Kontaktschicht auf die Rückseite. Zur Vorbereitung des Aufbringens einer solchen Kontaktschicht sieht eine Ausführungsform des Verfahrens vor, die Rückseite zur Beseitigung der amorphen Schicht

bzw. der Schicht mit den stärksten Strahlenschäden mittels eines geeigneten Verfahrens, beispielsweise mittels eines Trockenätzverfahrens, zu behandeln.

[0017] Anders als bei dem herkömmlichen Verfahren, kann bei dem erfindungsgemäßen Verfahren auf eine Ausheilung der an der freiliegenden Oberfläche der abgelösten Schicht vorhandenen Implantationsstörungen weitgehend verzichtet werden. Bei den bekannten Herstellungsverfahren bildet die nach dem Ablösen der dünnen Kristallschicht freiliegende Oberfläche der Kristallschicht die Vorderseite der späteren Bauelemente, die später unterschiedlich dotierte Bereiche für unterschiedliche Anschlusskontakte aufweisen kann. Eine Beseitigung von Strahlenschäden erfordert dabei die Durchführung eines Ausheilverfahrens durch Aufheizen des Halbleiterkörpers.

[0018] Bei dem erfindungsgemäßen Verfahren bildet die freiliegende Oberfläche der abgelösten Schicht die Rückseite der späteren Bauelemente, die üblicherweise einheitlich dotiert ist und bei der Strahlenschäden weniger störend sind.

[0019] Um die dünne Kristallschicht gegen Zerschneiden bei den Bondprozessen, das heißt bei dem späteren Einbringen in ein Gehäuse und bei der Verdrahtung, zu schützen und um die Vielzahl der in der Halbleiterschleibe realisierten Halbleiterbauelemente leicht vereinzeln zu können, ist gemäß einer Ausführungsform des Verfahrens vorgesehen, vor dem Ablösen der Halbleiterschicht eine grabenförmige Struktur in die Vorderseite einzubringen, die die Abmessungen der späteren Bauelemente definiert. Die Gräben werden dabei vorzugsweise so tief eingebracht, dass sie bis unterhalb der später abgelösten Schicht reichen. Nach dem Ablösen haften dann eine Vielzahl von Halbleiterplättchen, die jeweils einem späteren Bauelement entsprechen, nebeneinanderliegend aber voneinander getrennt an der ersten Trägerschleibe bzw. der zweiten Trägerschleibe an. Durch das Trennen der Halbleiterplättchen wird zudem das gesamte aus der dünnen Kristallschicht bestehende Gebilde flexibler und gegen Bruch unempfindlicher.

[0020] Das Anbringen der ersten Trägerschleibe an der Vorderseite erfolgt mittels einer Verbindungsschicht, die beispielsweise aus einem sogenannten Spin-On-Glass besteht. Dieses Material wird in flüssigem Zustand auf die Vorderseite der Halbleiterschleibe aufgeschleudert und verfestigt sich nach dem Aufbringen der ersten Trägerschleibe, um die Halbleiterschleibe und die erste Trägerschleibe zu verbinden.

[0021] Das Aufbringen der zweiten Trägerschleibe umfasst vorzugsweise das Aufbringen einer elektrisch leitenden Schicht auf die Rückseite, das Aufbringen einer Verbindungsschicht oder einer Verbindungsfolie auf die elektrisch leitende Folie und das

Aufbringen der zweiten Trägerscheibe auf die Verbindungsfolie oder die Verbindungsschicht.

[0022] Mit dem Ablösen der zweiten Trägerscheibe wird dabei auch die Verbindungsschicht abgelöst, wobei die elektrisch leitende Folie an der Rückseite der abgelösten Halbleiterschicht als Rückseitenkontakt der späteren Bauelemente verbleibt.

[0023] Auf die Anordnung mit der Vielzahl von Halbleiterplättchen kann nach dem Ablösen der ersten Trägerscheibe und dem Herstellen von Kontakten an der Vorderseite in bekannter Weise eine Schutzfolie aufgebracht werden. Weiterhin kann die Anordnung nach dem Entfernen der zweiten Trägerscheibe in bekannter Weise auf eine in einem Rahmen gespannte Trägerfolie aufgebracht werden, um die Bauelemente anschließend, mittels herkömmlicher Verfahren zu vereinzeln und in Gehäuse zu verpacken.

[0024] Die Halbleiterscheibe, von der die Schicht mit den Bauelementen abgelöst wurde, kann für die Herstellung weiterer Halbleiterbauelemente verwendet werden, wobei die Oberfläche der verbleibenden Halbleiterscheibe vor der Durchführung weiterer Halbleiterprozesse zur Beseitigung von Unebenheiten und Strahlenschäden behandelt, insbesondere poliert oder geschliffen wird. Von der Halbleiterscheibe können aufeinanderfolgend so oft Halbleiterschichten abgelöst werden, bis die Halbleiterscheibe so weit an Dicke abgenommen hat, dass sie instabil und nicht mehr handhabbar ist. Nach dem Ablösen einer Schicht und vor dem Ablösen der nächsten Schicht ist ein Epitaxieverfahren zum Aufbringen einer Halbleiterschicht durchführbar. Es ist auch denkbar, zuerst eine vergleichsweise dicke Epitaxieschicht auf die Halbleiterscheibe aufzubringen, wobei von der Epitaxieschicht durch das erfindungsgemäße Verfahren mehrere Halbleiterschichten nacheinander – und unterbrochen durch Halbleiterprozesse zur Realisierung von Bauelementstrukturen – abgelöst werden können.

[0025] Das erfindungsgemäße Verfahren ermöglicht somit die Herstellung von sehr dünnen vertikalen Halbleiterbauelementen, insbesondere aus Siliziumkarbid unter maximaler Ausnutzung des teuren Rohstoffes und unter Reduktion des elektrischen Serienwiderstandes des Bauelements auf ein Minimum.

[0026] Die vorliegende Erfindung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert werden. In den Figuren zeigt

[0027] [Fig. 1](#) eine Halbleiterscheibe in Seitenansicht im Querschnitt zu Beginn des erfindungsgemäßen Verfahrens,

[0028] [Fig. 2](#) die Halbleiterscheibe in Seitenansicht im Querschnitt während eines Implantationsprozes-

ses zur Vorbereitung des Ablöses einer Halbleiterschicht,

[0029] [Fig. 3](#) die Halbleiterscheibe in Seitenansicht ([Fig. 3a](#)) und in Draufsicht ([Fig. 3b](#)) nach einer erfolgten Strukturierung zur Vereinzelung der späteren Bauelemente,

[0030] [Fig. 4](#) die Halbleiterscheibe in Seitenansicht im Querschnitt nach dem Aufbringen der ersten Trägerscheibe,

[0031] [Fig. 5](#) die erste Trägerscheibe mit einer abgelösten Halbleiterschicht in Seitenansicht im Querschnitt,

[0032] [Fig. 6](#) Anordnung mit der ersten Trägerscheibe und der abgelösten Halbleiterschicht, auf die eine zweite Trägerscheibe aufgebracht ist,

[0033] [Fig. 7](#) Anordnung gemäß [Fig. 6](#) nach dem Ablösen der ersten Trägerscheibe,

[0034] [Fig. 8](#) Anordnung gemäß [Fig. 7](#) nach dem Herstellen von Kontakten an der Vorderseite und nach dem Aufbringen einer Schutzfolie,

[0035] [Fig. 9](#) Anordnung gemäß [Fig. 8](#) nach dem Ablösen der zweiten Trägerscheibe und nach dem Aufbringen der Anordnung auf eine Trägerfolie.

[0036] In den Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Teile und Bereiche mit gleicher Bedeutung.

[0037] [Fig. 1](#) zeigt in Seitenansicht im Querschnitt einen Ausschnitt einer Halbleiterscheibe bzw. eines Wafers **100**, der eine Vorderseite **101** und eine Rückseite **102** aufweist. Die Halbleiterscheibe **100** besteht vorzugsweise aus Siliziumkarbid und wurde bereits Halbleiterprozessen zur Herstellung von nicht näher dargestellten Halbleiterbauelementen oder Bauelementstrukturen unterhalb der Vorderseite **101** der Halbleiterscheibe **100** unterzogen. Derartige Halbleiterprozesse umfassen beispielsweise eine thermische Oxidation, jegliche Nieder- und Hochtemperaturschritte, Lithographieschritte, Ionenimplantation oder andere Prozessschritte zur Realisierung von Halbleiterbauelementen in einem Wafer. Eine Dicke d dieser Halbleiterscheibe **100** ist so gewählt, dass die Halbleiterscheibe **100**, deren Abmessungen in horizontaler Richtung ein Vielfaches der Dicke d betragen, eine ausreichende Stabilität aufweist, um während der vorhergehenden Halbleiterprozesse gehandhabt zu werden.

[0038] Das erfindungsgemäße Verfahren zur Herstellung besonders dünner Halbleiterbauelemente sieht nun vor, eine Halbleiterschicht **150**, welche die aktiven Bereiche der durch die vorangegangenen Halb-

leiterprozesse definierten Halbleiterbauelemente enthält, von der Halbleiterschicht **150** abzulösen, wobei diese Halbleiterschicht **150** an einer Trägerscheibe **200** anhaftet, wie im Ergebnis in [Fig. 5](#) dargestellt ist. Zur Vorbereitung des Ablöses der Halbleiterschicht **150** wird, wie in [Fig. 2](#) veranschaulicht ist, eine Implantation von H⁺-Ionen über die Vorderseite **101** in die Halbleiterschicht **100** durchgeführt. Die H⁺-Ionen dringen dabei in etwa bis in eine Tiefe d1 in die Halbleiterschicht **100** ein, wobei diese Tiefe d1 im wesentlichen der Dicke der später abgelösten Halbleiterschicht **150** entspricht. Die Eindringtiefe der H⁺-Ionen hängt von der Implantationsenergie ab, wobei diese Energie so hoch gewählt ist, dass die Ionen die aktiven Bereiche der durch die vorhergehenden Halbleiterprozesse definierten Halbleiterbauelemente durchdringen, ohne in diesen Bereichen signifikante Störungen zu verursachen. Die H⁺-Ionen rufen in einem Bereich **105** unterhalb der Vorderseite **101** der Halbleiterschicht **100** ganzflächig Störungen im Kristallgitter der Halbleiterschicht **100** hervor, die das spätere Ablösen der Halbleiterschicht **150** ermöglichen.

[0039] Die Trägerscheibe **200** wird, wie in [Fig. 4](#) dargestellt ist, mittels einer Verbindungsschicht **210** an der Vorderseite **101** der Halbleiterschicht **100** befestigt, wobei sich die Halbleiterschicht **150** in einem anschließenden Temperaturschritt im Bereich **105** der implantierten Ionen von der übrigen Halbleiterschicht **100** löst und über die Verbindungsschicht **210** an der ersten Trägerscheibe **200** anhaftet.

[0040] Während der dem erfindungsgemäßen Verfahren vorangehenden Halbleiterprozesse werden in der Halbleiterschicht **100** eine Vielzahl gleichartiger Halbleiterbauelemente realisiert, wobei die Bereiche mit den einzelnen Halbleiterbauelementen voneinander getrennt werden müssen, um die Halbleiterplättchen mit den aktiven Bereichen der Bauelemente in herkömmlicher Weise in Gehäusen verpacken zu können. Um das Vereinzeln der Bauelemente zu erleichtern und um der abgelösten dünnen Halbleiterschicht mehr Flexibilität zu verleihen, ist gemäß einer Ausführungsform des erfindungsgemäßen Verfahrens vorgesehen, vor dem Aufbringen der ersten Trägerscheibe **200**, das in [Fig. 4](#) dargestellt ist, und dem Ablösen der Halbleiterschicht **150**, das in [Fig. 5](#) dargestellt ist, eine Strukturierung der Vorderseite **101** der Halbleiterschicht **100** vorzunehmen, wie dies in [Fig. 3](#) dargestellt ist. [Fig. 3](#) zeigt dabei die Halbleiterschicht **100** in Seitenansicht im Querschnitt und [Fig. 3b](#) zeigt die Halbleiterschicht **100** in Draufsicht. Die Strukturierung sieht vor, die Vorderseite **101** der Halbleiterschicht **100** in einzelne Halbleiterbereiche/Chips **20**, die jeweils die aktiven Bereiche eines späteren Halbleiterbauelements enthalten, zu unterteilen. Dazu werden mittels geeigneter Verfahren, beispielsweise mittels einer Lithographie und einer trockenchemischen Ätzung, Gräben ausgehend von

der Vorderseite **101** in den Halbleiterkörper **100** eingebracht, die die einzelnen aktiven Bereiche der späteren Bauelemente bzw. Chips voneinander trennen. Die Gräben **21** erstrecken sich in der Tiefe vorzugsweise bis unterhalb der später abgelösten Halbleiterschicht **150**.

[0041] Diese Strukturierung bewirkt, dass nach dem Ablösen der Halbleiterschicht **150** die aktiven Bereiche **20** der späteren Halbleiterbauelemente bereits getrennt voneinander an der ersten Trägerscheibe **200** befestigt sind, wobei zwischen den Bereichen **20** und der Trägerscheibe **200** die Verbindungsschicht **210** angeordnet ist, die beim Befestigen der ersten Trägerscheibe **200** an der Vorderseite **101** auch in die Gräben **21** eindringt.

[0042] Die Verbindungsschicht **210** ist vorzugsweise ein sogenanntes Spin-On-Glas, das im flüssigen Zustand auf die Vorderseite **101** aufgeschleudert wird und die sich nach dem Aufbringen der ersten Trägerscheibe **200** unter Bildung einer glasartigen Substanz verfestigt.

[0043] Die Strukturierung der Halbleiterschicht **150** vor dem Ablösen trägt auch zur Stabilisierung der abgelösten Halbleiterschicht bei. Die Anordnung mit den abgelösten, durch die Verbindungsschicht verbundenen Halbleiterplättchen ist flexibler als es eine derartige unstrukturierte Halbleiterschicht wäre.

[0044] Die nach dem Ablösen der Halbleiterschicht **150** entgegengesetzt zu der ersten Trägerscheibe **200** freiliegende Oberfläche **103** der Halbleiterschicht **150** bzw. der Chips **20** bildet die Rückseite der späteren Halbleiterbauelemente. Auf diese Rückseite **103** wird eine Metallschicht **310** zur späteren Kontaktierung der Bauelemente aufgebracht. Dazu wird ein Metall zur Herstellung eines ohmschen Kontakts aufgebracht. Bei einer Ausführungsform wird auf dieses Metall eine Molybdänschicht, beispielsweise durch eine Dampfabscheideverfahren oder durch ein Sputter-Verfahren aufgebracht. Zur Verstärkung des Chipaufbaus wird auf diese Molybdänschicht eine Molybdänfolie mit einer Dicke von einigen 10 µm aufgebracht. Das aufgebrachte Metall, die Molybdänschicht und die Molybdänfolie bilden zusammen die mit dem Bezugszeichen **310** bezeichnete Metallschicht.

[0045] Zur Stabilisierung der abgelösten Halbleiterschicht **150** bzw. der Chips **20** und der Metallschicht **310** nach dem Entfernen der ersten Trägerscheibe **200** und der Verbindungsschicht **210** ist vorgesehen, auf die Rückseite **103** eine zweite Trägerscheibe **300** aufzubringen. Zur Verbindung der Kontaktschicht **310** mit der zweiten Trägerscheibe **300** ist eine Verbindungsschicht **320**, beispielsweise eine Klebefolie vorgesehen, an welcher die zweite Trägerscheibe **300** anhaftet.

[0046] Die zweite Trägerscheibe, die vorzugsweise ebenfalls aus einem Halbleitermaterial besteht, verleiht der Anordnung mit den dünnen Halbleiterplättchen **20** und der Kontaktschicht **310** eine ausreichende Stabilität, für die nächsten Verfahrensschritte, deren Ergebnis in [Fig. 7](#) dargestellt ist und bei denen unter anderem die erste Trägerscheibe **200** und die Verbindungsschicht **210** von den Halbleiterplättchen **20** abgelöst werden. Die danach nach oben freiliegenden Bereiche der Halbleiterplättchen **20** entsprechend den Vorderseiten der späteren Halbleiterbauelemente und der ursprünglichen Vorderseite **101** der Halbleiterscheibe **100**, unterhalb derer die aktiven Bereiche der Halbleiterbauelemente realisiert sind.

[0047] In nächsten Verfahrensschritten, deren Ergebnis in [Fig. 8](#) dargestellt ist, werden auf Vorderseiten **101** der Halbleiterplättchen **20** Kontakte **500** und Passivierungen zur Kontaktierung der unterhalb der Vorderseite **101** befindlichen aktiven Bereiche der Halbleiterbauelemente aufgebracht. Anschließend kann, wie ebenfalls in [Fig. 8](#) dargestellt ist, eine Schutzfolie **400** zum Schutz der Halbleiterbauelemente während nachfolgender Verfahrensschritte, insbesondere von Verfahrensschritten zur Vereinzelung der noch durch die Verbindungsschicht **310** zusammenhängenden Bauelemente, oder zum Schutz der Bauelemente während des Transports aufgebracht werden.

[0048] [Fig. 9](#) zeigt die Anordnung gemäß [Fig. 8](#) nach weiteren Verfahrensschritten, bei welchen die zweite Trägerscheibe **300** und die zweite Verbindungsschicht **320** entfernt und die daraus resultierende Anordnung in hinlänglich bekannter Weise auf eine mechanisch stabilisierende Trägerfolie **330** aufgebracht wurde, die in bekannter Weise in einem Rahmen verspannt werden kann, um die Bauelemente danach vereinzeln zu können. Ein nicht näher dargestelltes Verfahren zur Vereinzelung der Bauelemente sieht beispielsweise vor, die einzelnen auf der Verbindungsschicht **310** aufgebrachten Bauelemente **24** mittels einer Nadel anzuheben und anschließend mittels einer Vakuumpipette abzuheben, wobei die Schutzfolie **400** und die Trägerschicht **330** teilweise zerstört wird. Ergebnis dieses Vereinzelungsschritts **24** ist ein Halbleiterbauelement **24**, welches Anschlusskontakte **500** an einer Vorderseite und einen Kontakt an einer Rückseite aufweist, wobei die Dicke des Halbleiterplättchens **20** des Bauelements abhängig von der Dicke der abgelösten Halbleiterschicht **150** im Bereich von weniger als 100 nm betragen kann.

[0049] Die verbleibende Halbleiterscheibe, von welcher die Halbleiterschicht **150** abgelöst wurde, kann zur Realisierung von weiteren Halbleiterbauelementen durch ein Ablösen von weiteren Halbleiterschichten nach Durchführung von geeigneten Halbleiterprozessen zur Definierung von Bauelementstrukturen

verwendet werden.

Bezugszeichenliste

20	aktive Bereiche, Halbleiterplättchen
21	Gräben
24	Halbleiterbauelement
100	Halbleiterscheibe
101	Vorderseite
102	Rückseite
105	Implantationsbereich
150	abgelöste Halbleiterschicht
200	erste Trägerscheibe
210	erste Verbindungsschicht
300	zweite Trägerscheibe
310	Rückseitenkontakt
320	Verbindungsschicht
330	Trägerfolie
400	Schutzfolie
500	Vorderseitenkontakt

Patentansprüche

- Verfahren zur Herstellung eines Halbleiterbauelements, das folgende Verfahrensschritte aufweist:
 - Bereitstellen einer Halbleiterscheibe (**100**) mit einer Vorderseite (**101**) und einer Rückseite (**102**) und mit unterhalb der Vorderseite (**101**) angeordneten Bauelementstrukturen,
 - Anbringen einer an der Vorderseite (**101**) anhaftenden ersten Trägerscheibe (**200**) an der Halbleiterscheibe (**100**),
 - Ablösen einer die Bauelementstrukturen umfassenden Schicht (**150**) von der Halbleiterscheibe (**100**), wobei die Schicht (**150**) an der ersten Trägerscheibe (**200**) anhaftet und wobei nach dem Ablösen der Schicht (**150**) eine der Vorderseite (**101**) gegenüberliegende Rückseite (**103**) der Schicht (**150**) freiliegt,
 - Anbringen einer an der Rückseite (**103**) der abgelösten Schicht (**150**) anhaftenden zweiten Trägerscheibe (**300**),
 - Ablösen der ersten Trägerscheibe (**200**).
- Verfahren nach Anspruch 1, bei dem nach dem Ablösen der ersten Trägerscheibe Kontakte (**500**) an der Vorderseite (**101**) hergestellt werden.
- Verfahren nach Anspruch 1, bei dem die Halbleiterscheibe (**100**) aus Siliziumkarbid besteht.
- Verfahren nach einem der Ansprüche 1 bis 3, bei dem die Vorderseite (**101**) der Halbleiterscheibe (**100**) vor dem Aufbringen der ersten Trägerscheibe (**200**) zur Definition einzelner Bauelementbereiche (**20**) strukturiert wird.
- Verfahren nach Anspruch 4, bei dem die Strukturierung durch die Herstellung von Gräben (**22**) erfolgt, die in der Tiefe bis unterhalb der späteren Rückseite (**103**) der abzulösenden Schicht (**150**) reichen.

6. Verfahren nach einem der vorangehenden Ansprüche, bei dem das Anbringen der ersten Trägerscheibe (**200**) das Aufbringen einer Verbindungsschicht (**210**) auf die Vorderseite (**100**), die die Vorderseite (**100**) und die erste Trägerscheibe (**200**) verbindet, umfasst.

7. Verfahren nach einem der Ansprüche 5 oder 6, bei dem die Verbindungsschicht (**210**) die Gräben (**22**) auffüllt.

8. Verfahren nach einem der vorangehenden Ansprüche, bei dem nach dem Ablösen der Schicht (**150**) eine Behandlung der Rückseite (**103**) zur Beseitigung einer amorphen Schicht durchgeführt wird.

9. Verfahren nach einem der vorangehenden Ansprüche, bei dem vor dem Anbringen der zweiten Trägerscheibe (**300**) eine Metallschicht (**310**) auf die Rückseite aufgebracht wird, deren Herstellung folgende Verfahrensschritte umfasst:

- Aufbringen eines Kontaktmetalls zur Herstellung eines ohmschen Kontakts auf die Rückseite (**103**),
- Aufbringen einer Verbindungsschicht, insbesondere aus Molybdän auf das Kontaktmetall,
- Aufbringen einer Folie, insbesondere aus Molybdän auf die Verbindungsschicht.

10. Verfahren nach Anspruch 9, bei dem eine Verbindungsschicht (**320**) oder eine Verbindungsfolie (**320**) auf die Metallschicht (**310**) zur Befestigung der zweiten Trägerscheibe (**300**) aufgebracht wird.

11. Verfahren nach Anspruch 10, bei dem die zweite Trägerscheibe (**300**) nach dem Ablösen der ersten Trägerscheibe (**200**) abgelöst wird, wobei beim Ablösen der zweiten Trägerscheibe (**300**) die Verbindungsschicht (**320**) oder die Verbindungsfolie (**320**) abgelöst wird und die elektrisch leitende Folie (**310**) an der Rückseite (**103**) verbleibt.

12. Verfahren nach Anspruch 11, bei dem auf die elektrisch leitende Folie (**310**) eine Trägerfolie (**330**) aufgebracht wird.

13. Verfahren nach einem der vorangehenden Ansprüche, bei dem nach dem Herstellen der Kontakte eine Schutzfolie auf die Vorderseite aufgebracht wird.

14. Verwendung eines Verfahrens nach den Ansprüchen 1 bis 13 zur Herstellung einer Diode, insbesondere einer Varaktordiode.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

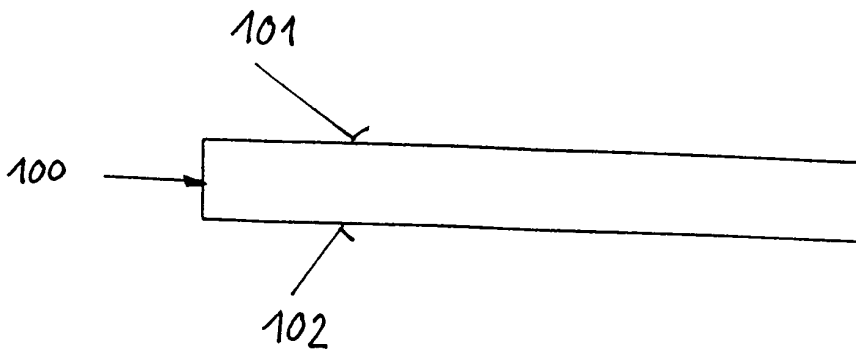


FIG. 1

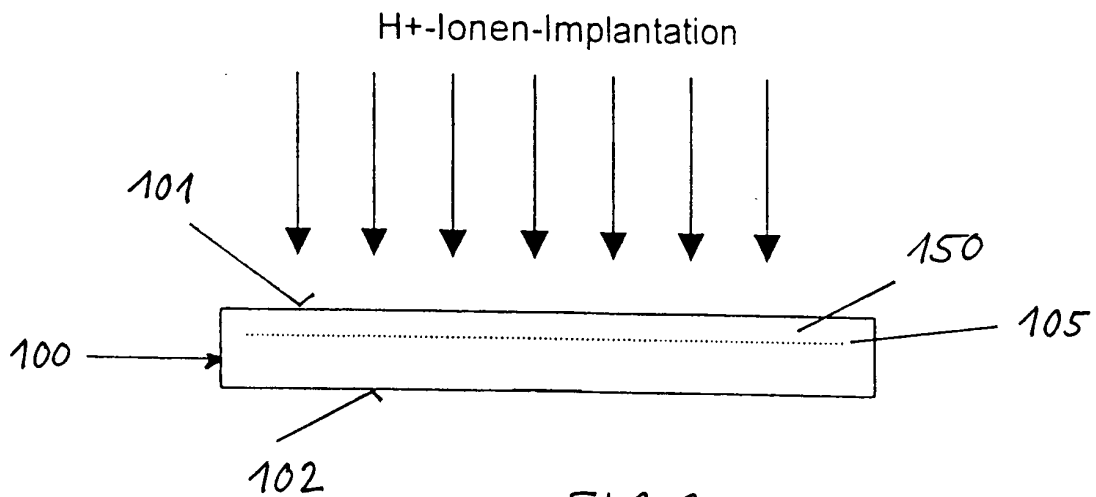


FIG. 2

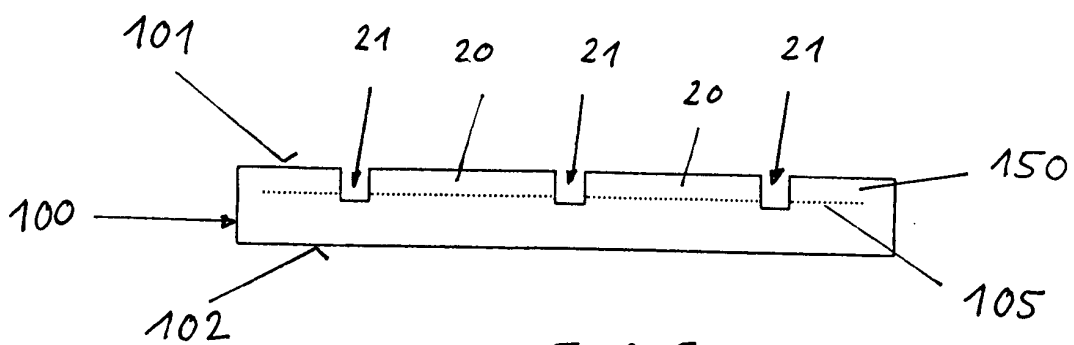


FIG. 3a,

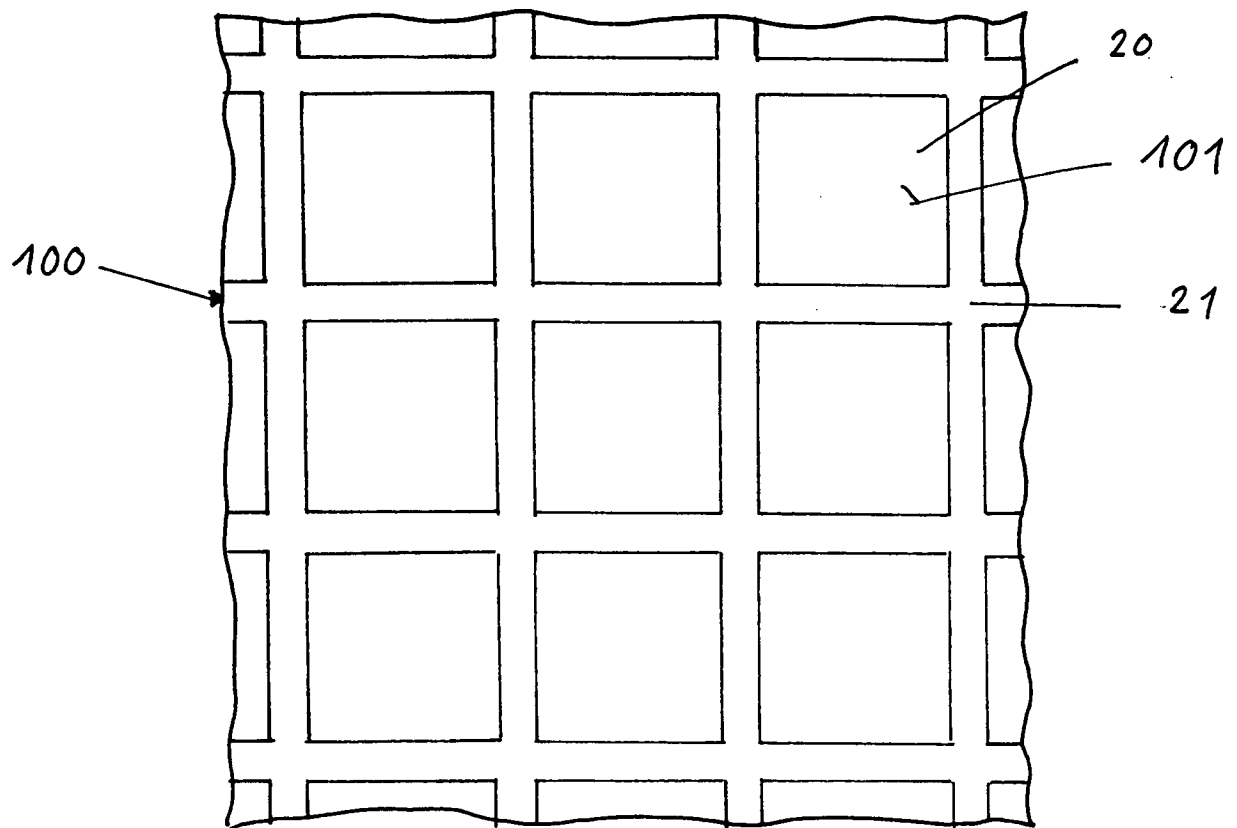


FIG. 36,

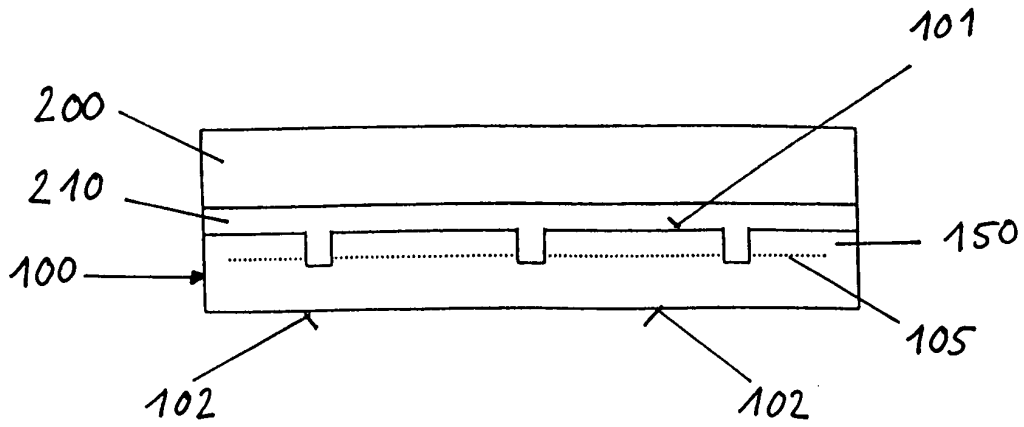


FIG. 4

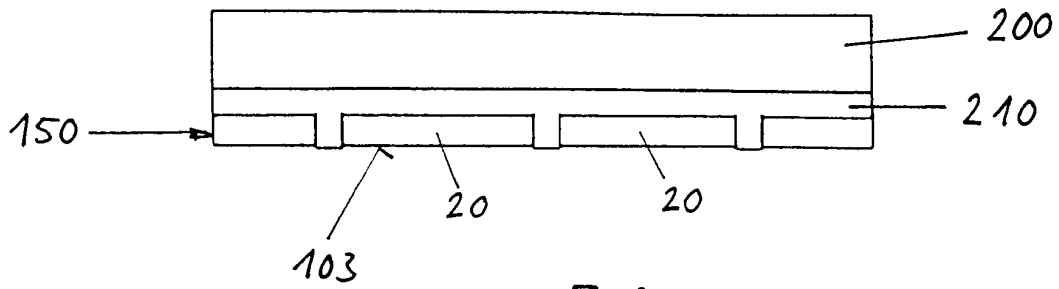


FIG. 5

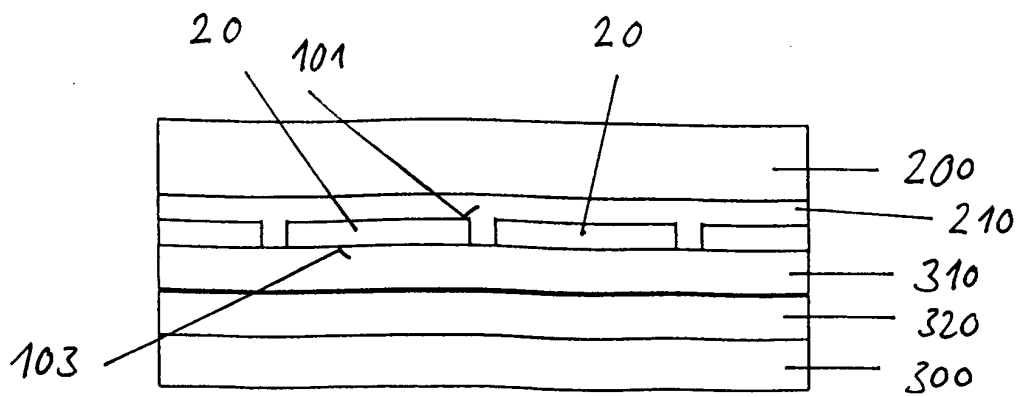


FIG. 6

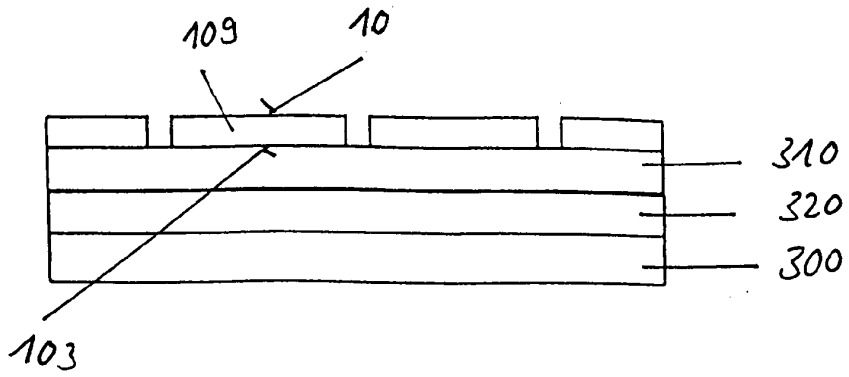


FIG. 7

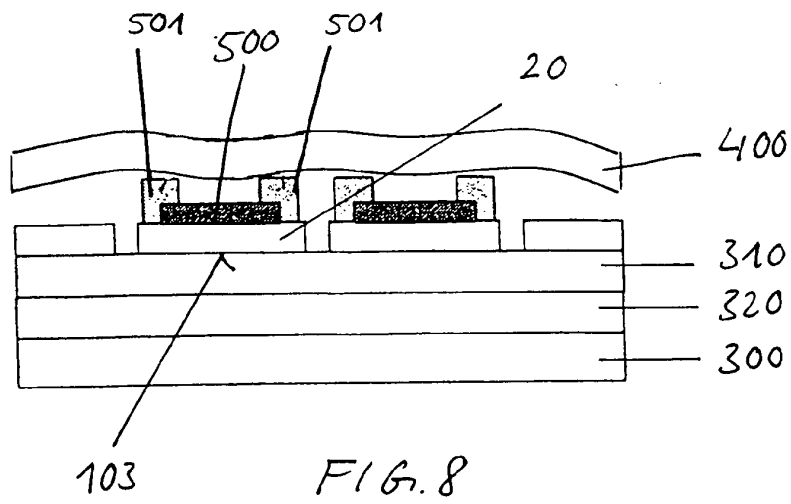


FIG. 8

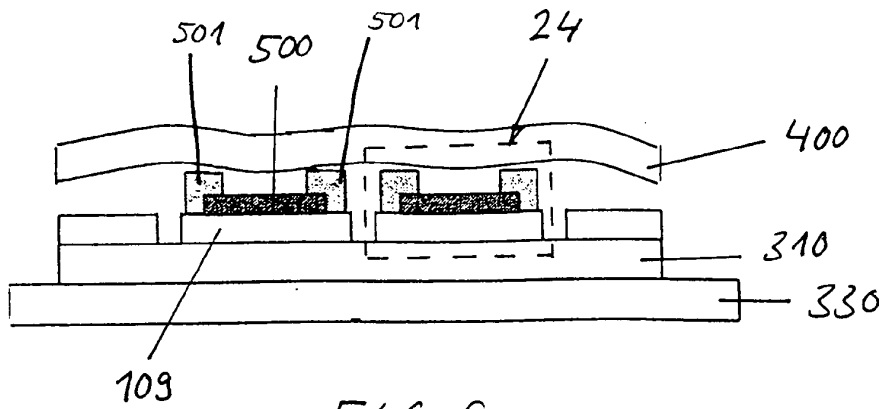


FIG. 9