

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-165398

(P2023-165398A)

(43)公開日 令和5年11月15日(2023.11.15)

(51)国際特許分類

F I

テーマコード (参考)

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78

3 0 1 P

5 F 0 4 8

H 0 1 L 21/8238(2006.01)

H 0 1 L 29/78

3 0 1 S

5 F 1 4 0

H 0 1 L 27/092

A

H 0 1 L 27/092

F

審査請求 未請求 請求項の数 20 O L (全42頁)

(21)出願番号 特願2023-64034(P2023-64034)

(22)出願日 令和5年4月11日(2023.4.11)

(31)優先権主張番号 10-2022-0054036

(32)優先日 令和4年5月2日(2022.5.2)

(33)優先権主張国・地域又は機関  
韓国(KR)

(71)出願人 390019839

三星電子株式会社

Samsung Electronics  
Co., Ltd.大韓民国京畿道水原市靈通区三星路12  
9129, Samsung-ro, Yeo  
ngtong-gu, Suwon-si  
, Gyeonggi-do, Repub  
lic of Korea

(74)代理人 110000051

弁理士法人共生国際特許事務所

(72)発明者 ベ 徳 漢

大韓民国 京畿道 水原市 靈通区 三星路  
129

最終頁に続く

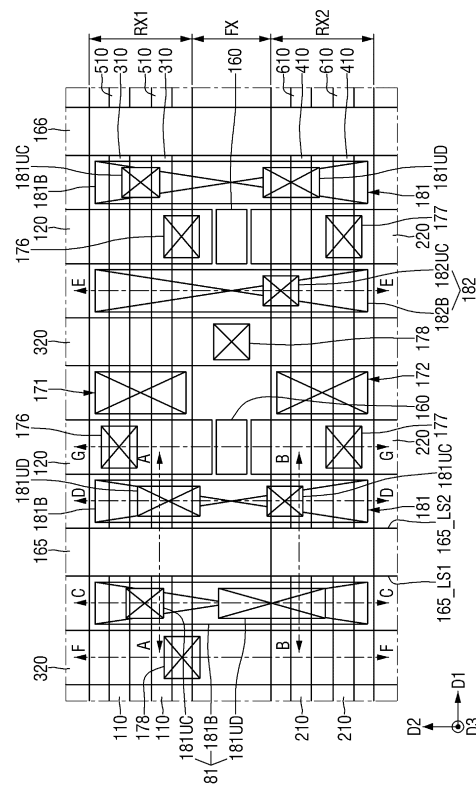
(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【課題】半導体装置の信頼性及び性能を向上させる。

【解決手段】第1方向D1に延長される側壁を含む素子分離構造体165、166であって、素子分離構造体の第1側壁と接触し、第2方向に延長される第1フィン型パターン110、第2方向D2に延長される第2フィン型パターン210、第1フィン型パターン上に、第1方向に延長される第1ゲート電極120、第1方向に延長される第1ソース／ドレインコンタクト171及び該コンタクト上に、該コンタクトと接続される配線構造体を含む。該コンタクトは、第1フィン型パターン及び第2フィン型パターンと交差する第1下部コンタクト領域181Bと、第1下部コンタクト領域から突出した第1上部コンタクト領域181UCと、第1ダミーコンタクト領域181UDと、を含む。配線構造体は、第1上部コンタクト領域の上面と接触し、第1ダミーコンタクト領域の上面と接触しない。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 方向に延長される第 1 側壁及び第 2 側壁を含む素子分離構造体であって、

前記素子分離構造体の第 1 側壁は、前記素子分離構造体の第 2 側壁と第 2 方向に反対に位置する素子分離構造体と、

前記素子分離構造体の第 1 側壁と接触し、前記第 2 方向に延長される第 1 フィン型パターンと、

前記素子分離構造体の第 2 側壁と接触し、前記第 1 フィン型パターンと前記第 1 方向に離隔して、前記第 2 方向に延長される第 2 フィン型パターンと、

前記第 1 フィン型パターン上に、前記第 1 方向に延長される第 1 ゲート電極と、

前記第 1 ゲート電極と前記素子分離構造体との間の前記第 1 フィン型パターン及び前記第 2 フィン型パターン上に配置され、前記第 1 方向に延長される第 1 ソース／ドレインコンタクトと、

前記第 1 ソース／ドレインコンタクト上に、前記第 1 ソース／ドレインコンタクトと接続される配線構造体と、を有し、

前記第 1 ソース／ドレインコンタクトは、前記第 1 フィン型パターン及び前記第 2 フィン型パターンと交差する第 1 下部コンタクト領域と、前記第 1 下部コンタクト領域から突出した第 1 上部コンタクト領域と、第 1 ダミーコンタクト領域と、を含み、

前記配線構造体は、前記第 1 上部コンタクト領域の上面と接触し、前記第 1 ダミーコンタクト領域の上面と接触しないことを特徴とする半導体装置。

## 【請求項 2】

前記第 1 ソース／ドレインコンタクトと前記素子分離構造体との間には、ゲート電極は配置されないことを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記第 1 ゲート電極上に、前記第 1 ゲート電極と接続される第 1 ゲートコンタクトをさらに有し、

前記第 1 ゲートコンタクトは、前記第 1 上部コンタクト領域及び前記第 1 ダミーコンタクト領域と前記第 2 方向に重畳しないことを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 4】

前記第 1 ゲート電極は、前記第 2 フィン型パターン上に配置され、

前記第 1 ゲート電極は、前記第 1 フィン型パターン及び前記第 2 フィン型パターンと交差することを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 5】

前記第 2 フィン型パターン上に配置され、前記第 1 ゲート電極と第 1 方向に離隔した第 2 ゲート電極と、

前記第 2 ゲート電極上に、前記第 2 ゲート電極と接続される第 2 ゲートコンタクトをさらに有し、

前記第 1 ソース／ドレインコンタクトは、前記第 2 ゲート電極と前記素子分離構造体との間に配置され、

前記第 2 ゲートコンタクトは、前記第 1 上部コンタクト領域及び前記第 1 ダミーコンタクト領域と前記第 2 方向に重畳しないことを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 6】

前記第 1 ゲート電極と前記第 2 ゲート電極との間に配置されるゲート分離構造体をさらに有し、

前記ゲート分離構造体は、前記第 1 上部コンタクト領域及び前記第 1 ダミーコンタクト領域と前記第 2 方向に重畳しないことを特徴とする請求項 5 に記載の半導体装置。

## 【請求項 7】

前記素子分離構造体の第 2 側壁と接触し、前記第 2 方向に延長される第 3 フィン型パターンと、

前記素子分離構造体の第 2 側壁と接触し、前記第 3 フィン型パターンと前記第 1 方向に

10

20

30

40

50

離隔して、前記第 2 方向に延長される第 4 フィン型パターンと、

前記第 3 フィン型パターン及び前記第 4 フィン型パターン上に配置され、前記素子分離構造体に最も隣接する第 2 ソース／ドレインコンタクトと、をさらに有し、

前記第 2 ソース／ドレインコンタクトは、前記第 3 フィン型パターン及び前記第 4 フィン型パターンと交差する第 2 下部コンタクト領域と、前記第 2 下部コンタクト領域から突出した第 2 上部コンタクト領域と、を含み、

前記第 2 上部コンタクト領域の上面は、前記配線構造体と接触することを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記第 2 ソース／ドレインコンタクトは、前記第 2 下部コンタクト領域から突出した第 2 ダミーコンタクト領域をさらに含み、

前記第 2 ダミーコンタクト領域の上面は、前記配線構造体と接触しないことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 2 ソース／ドレインコンタクトは、前記第 2 下部コンタクト領域から突出した第 3 上部コンタクト領域をさらに含み、

前記第 3 上部コンタクト領域の上面は、前記配線構造体と接触することを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

前記素子分離構造体の第 2 側壁と接触し、前記第 2 方向に延長される第 3 フィン型パターンと、

前記素子分離構造体の第 2 側壁と接触し、前記第 3 フィン型パターンと前記第 1 方向に離隔して、前記第 2 方向に延長される第 4 フィン型パターンと、

前記第 3 フィン型パターン上に配置され、前記素子分離構造体に最も隣接する第 2 ソース／ドレインコンタクトと、

前記第 4 フィン型パターン上に配置され、前記素子分離構造体に最も隣接する第 3 ソース／ドレインコンタクトをさらに有し、

前記第 2 ソース／ドレインコンタクトは、前記第 3 ソース／ドレインコンタクトと前記第 1 方向に離隔されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

前記第 1 下部コンタクト領域は、前記第 1 上部コンタクト領域及び前記第 1 ダミーコンタクト領域の間に配置された連結部分と、前記第 1 下部コンタクト領域及び前記第 1 ダミーコンタクト領域から前記第 2 方向に突出した突出部分と、を含み、

前記第 1 上部コンタクト領域及び前記第 1 ダミーコンタクト領域は、それぞれ前記第 1 下部コンタクト領域の連結部分と前記第 1 下部コンタクト領域の突出部分との間に配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 12】

前記第 1 フィン型パターン上に、前記第 1 フィン型パターンと離隔したシートパターンをさらに有し、

前記第 1 ゲート電極は、前記シートパターンを囲むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 13】

第 1 方向に延長される第 1 フィン型パターンと、

前記第 1 フィン型パターンと第 2 方向に離隔して、前記第 1 方向に延長される第 2 フィン型パターンと、

前記第 1 方向に延長される第 3 フィン型パターンと、

前記第 3 フィン型パターンと前記第 2 方向に離隔して、前記第 1 方向に延長される第 4 フィン型パターンと、

前記第 1 フィン型パターン及び前記第 2 フィン型パターンと接触し、前記第 2 方向に延長される素子分離構造体と、

10

20

30

40

50

前記第 1 フィン型パターン上に、前記第 2 方向に延長される第 1 ゲート電極と、  
前記第 3 フィン型パターン上に、前記第 2 方向に延長される第 2 ゲート電極と、  
前記第 4 フィン型パターン上に、前記第 2 方向に延長される第 3 ゲート電極と、  
前記第 1 ゲート電極と前記素子分離構造体との間の前記第 1 フィン型パターン及び前記  
第 2 フィン型パターン上に配置され、前記第 2 方向に延長される第 1 ソース／ドレインコ  
ンタクトと、

前記第 2 ゲート電極と前記第 3 ゲート電極との間の前記第 3 フィン型パターン及び前記  
第 4 フィン型パターン上に配置され、前記第 2 方向に延長される第 2 ソース／ドレインコ  
ンタクトと、

前記第 1 ソース／ドレインコンタクト及び前記第 2 ソース／ドレインコンタクト上に配  
置され、前記第 1 ソース／ドレインコンタクト及び前記第 2 ソース／ドレインコンタクト  
と接続される配線構造体と、を有し、

前記第 1 ソース／ドレインコンタクトは、前記第 1 フィン型パターン及び前記第 2 フィ  
ン型パターンと交差する第 1 下部コンタクト領域と、前記第 1 下部コンタクト領域から突  
出した第 1 上部コンタクト領域と、を含み、

前記第 2 ソース／ドレインコンタクトは、前記第 3 フィン型パターン及び前記第 4 フィ  
ン型パターンと交差する第 2 下部コンタクト領域と、前記第 2 下部コンタクト領域から突  
出した第 2 上部コンタクト領域と、を含み、

前記配線構造体は、前記第 1 上部コンタクト領域及び前記第 2 上部コンタクト領域と接  
触するビアプラグを含み、

前記ビアプラグの底面は、前記第 2 方向にビア幅を有し、

前記第 1 上部コンタクト領域の上面の前記第 2 方向への幅は、前記ビア幅の 1.5 倍よ  
り大きいと同じであり、

前記第 2 上部コンタクト領域の上面の前記第 2 方向への幅は、前記ビア幅より大きい  
と同じであり、前記ビア幅の 1.2 倍より小さいか同じであることを特徴とする半導体装置  
。

【請求項 14】

前記第 1 ソース／ドレインコンタクトは、前記第 1 下部コンタクト領域から突出した一  
つのコンタクト領域を含むことを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】

前記第 1 フィン型パターンと前記第 1 方向に隣接する第 5 フィン型パターンと、

前記第 2 フィン型パターンと前記第 1 方向に隣接する第 6 フィン型パターンと、

前記第 5 フィン型パターン及び前記第 6 フィン型パターン上に配置され、前記第 2 方向  
に延長される第 3 ソース／ドレインコンタクトと、をさらに有し、

前記素子分離構造体は、前記第 1 フィン型パターン及び前記第 5 フィン型パターンと、  
前記第 2 フィン型パターン及び前記第 6 フィン型パターンを分離して、

前記第 3 ソース／ドレインコンタクトは、前記第 5 フィン型パターン及び前記第 6 フィ  
ン型パターンと交差する第 3 下部コンタクト領域と、前記第 3 下部コンタクト領域から突  
出した第 3 上部コンタクト領域と、を含み、

前記第 3 上部コンタクト領域の上面は、前記配線構造体と接触することを特徴とする請  
求項 13 に記載の半導体装置。

【請求項 16】

前記第 3 ソース／ドレインコンタクトは、前記第 3 下部コンタクト領域から突出した第  
3 ダミーコンタクト領域をさらに含み、

前記第 3 ダミーコンタクト領域の上面は、前記配線構造体と接触しないことを特徴とす  
る請求項 15 に記載の半導体装置。

【請求項 17】

前記第 3 ソース／ドレインコンタクトは、前記第 3 下部コンタクト領域から突出した一  
つのコンタクト領域を含み、

前記第 3 上部コンタクト領域の上面の前記第 2 方向への幅は、前記ビア幅の 1.5 倍よ

10

20

30

40

50

り大きいと同じであると、請求項 15 に記載の半導体装置。

【請求項 18】

第 1 方向に延長される第 1 フィン型パターンと、

前記第 1 フィン型パターンと第 2 方向に離隔して、前記第 1 方向に延長される第 2 フィン型パターンと、

前記第 1 フィン型パターンと前記第 1 方向に離隔して、前記第 1 方向に延長される第 3 フィン型パターンと、

前記第 2 フィン型パターンと前記第 1 方向に離隔して、前記第 1 方向に延長される第 4 フィン型パターンと、

前記第 1 フィン型パターン及び前記第 2 フィン型パターン上に配置され、前記第 2 方向に延長される第 1 ソース／ドレインコンタクトと、 10

前記第 3 フィン型パターン及び前記第 4 フィン型パターン上に配置され、前記第 2 方向に延長される第 2 ソース／ドレインコンタクトと、

前記第 1 フィン型パターン及び前記第 3 フィン型パターンと、前記第 2 フィン型パターン及び前記第 4 フィン型パターンを分離して、前記第 2 方向に延長される素子分離構造体と、

前記第 1 ソース／ドレインコンタクト及び前記第 2 ソース／ドレインコンタクト上に配置され、前記第 1 ソース／ドレインコンタクト及び前記第 2 ソース／ドレインコンタクトと接続される配線構造体と、を有し、

前記第 1 ソース／ドレインコンタクトは、前記第 1 フィン型パターン及び前記第 2 フィン型パターンと交差する第 1 下部コンタクト領域と、前記第 1 下部コンタクト領域から突出した第 1 上部コンタクト領域と、第 1 ダミーコンタクト領域と、を含み、 20

前記第 2 ソース／ドレインコンタクトは、前記第 3 フィン型パターン及び前記第 4 フィン型パターンと交差する第 2 下部コンタクト領域と、前記第 2 下部コンタクト領域から突出した第 2 上部コンタクト領域と、を含み、

前記配線構造体は、前記第 1 上部コンタクト領域の上面及び前記第 2 上部コンタクト領域の上面と接触し、前記第 1 ダミーコンタクト領域の上面と接触しないことを特徴とする半導体装置。

【請求項 19】

前記第 2 ソース／ドレインコンタクトは、前記第 2 下部コンタクト領域から突出した第 2 ダミーコンタクト領域をさらに含み、 30

前記第 2 ダミーコンタクト領域の上面は、前記配線構造体と接触しないことを特徴とする請求項 18 に記載の半導体装置。

【請求項 20】

前記第 2 ソース／ドレインコンタクトは、前記第 2 下部コンタクト領域から突出した一つのコンタクト領域を含むことを特徴とする請求項 18 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、信頼性及び性能を向上させた半導体装置に関する。 40

【背景技術】

【0002】

半導体装置の密度を高めるためのスケーリング (scaling) 技術の一つとして、基板上にフィン (fin) 又はナノワイヤ (nanowire) 形状の多チャネルアクティブパターン (又はシリコンボディ) を形成して多チャネルアクティブパターンの表面の上にゲートを形成するマルチゲートトランジスタ (multigate transistor) が提案された。

【0003】

このようなマルチゲートトランジスタは、3 次元のチャネルを用いるので、スケーリン 50

グすることが容易である。

また、マルチゲートトランジスタのゲート長さを増加させなくても、電流制御能力を向上させることができる。

のみならず、ドレイン電圧によってチャネル領域の電位が影響を受ける S C E ( s h o r t c h a n n e l e f f e c t ) を効果的に抑制することができる。

このようなマルチゲートトランジスタの信頼性及び性能の向上がさらなる課題となっている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開昭59-228762号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は上記従来のマルチゲートトランジスタにおける課題に鑑みてなされたものであって、本発明の目的は、信頼性及び性能を向上させた半導体装置を提供することにある。

本発明が解決しようとする課題は、以上で言及した課題に制限されず、言及されていないまた他の課題は以下の記載から当業者に明確に理解されるものである。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明による半導体装置は、第1方向に延長される第1側壁及び第2側壁を含む素子分離構造体であって、前記素子分離構造体の第1側壁は、前記素子分離構造体の第2側壁と第2方向に反対に位置する素子分離構造体と、前記素子分離構造体の第1側壁と接触し、前記第2方向に延長される第1フィン型パターンと、前記素子分離構造体の第2側壁と接触し、前記第1フィン型パターンと前記第1方向に離隔して、前記第2方向に延長される第2フィン型パターンと、前記第1フィン型パターン上に、前記第1方向に延長される第1ゲート電極と、前記第1ゲート電極と前記素子分離構造体との間の前記第1フィン型パターン及び前記第2フィン型パターン上に配置され、前記第1方向に延長される第1ソース／ドレインコンタクトと、前記第1ソース／ドレインコンタクト上に、前記第1ソース／ドレインコンタクトと接続される配線構造体と、を有し、前記第1ソース／ドレインコンタクトは、前記第1フィン型パターン及び前記第2フィン型パターンと交差する第1下部コンタクト領域と、前記第1下部コンタクト領域から突出した第1上部コンタクト領域と、第1ダミーコンタクト領域と、を含み、前記配線構造体は、前記第1上部コンタクト領域の上面と接触し、前記第1ダミーコンタクト領域の上面と接触しないことを特徴とする。

【0007】

また、上記目的を達成するためになされた本発明による半導体装置は、第1方向に延長される第1フィン型パターンと、前記第1フィン型パターンと第2方向に離隔して、前記第1方向に延長される第2フィン型パターンと、前記第1方向に延長される第3フィン型パターンと、前記第3フィン型パターンと前記第2方向に離隔して、前記第1方向に延長される第4フィン型パターンと、前記第1フィン型パターン及び前記第2フィン型パターンと接触し、前記第2方向に延長される素子分離構造体と、前記第1フィン型パターン上に、前記第2方向に延長される第1ゲート電極と、前記第3フィン型パターン上に、前記第2方向に延長される第2ゲート電極と、前記第4フィン型パターン上に、前記第2方向に延長される第3ゲート電極と、前記第1ゲート電極と前記素子分離構造体との間の前記第1フィン型パターン及び前記第2フィン型パターン上に配置され、前記第2方向に延長される第1ソース／ドレインコンタクトと、前記第2ゲート電極と前記第3ゲート電極との間の前記第3フィン型パターン及び前記第4フィン型パターン上に配置され、前記第2方向に延長される第2ソース／ドレインコンタクトと、前記第1ソース／ドレインコンタクト及び前記第2ソース／ドレインコンタクト上に配置され、前記第1ソース／ドレイン

10

20

30

40

50

コンタクト及び前記第 2 ソース／ドレインコンタクトと接続される配線構造体と、を有し、前記第 1 ソース／ドレインコンタクトは、前記第 1 フィン型パターン及び前記第 2 フィン型パターンと交差する第 1 下部コンタクト領域と、前記第 1 下部コンタクト領域から突出した第 1 上部コンタクト領域と、を含み、前記第 2 ソース／ドレインコンタクトは、前記第 3 フィン型パターン及び前記第 4 フィン型パターンと交差する第 2 下部コンタクト領域と、前記第 2 下部コンタクト領域から突出した第 2 上部コンタクト領域と、を含み、前記配線構造体は、前記第 1 上部コンタクト領域及び前記第 2 上部コンタクト領域と接触するビアプラグを含み、前記ビアプラグの底面は、前記第 2 方向にビア幅を有し、前記第 1 上部コンタクト領域の上面の前記第 2 方向への幅は、前記ビア幅の 1.5 倍より大きいと同じであり、前記第 2 上部コンタクト領域の上面の前記第 2 方向への幅は、前記ビア幅より大きいと同じであり、前記ビア幅の 1.2 倍より小さいか同じであることを特徴とする。

10

#### 【0008】

また、上記目的を達成するためになされた本発明による半導体装置は、第 1 方向に延長される第 1 フィン型パターンと、前記第 1 フィン型パターンと第 2 方向に離隔して、前記第 1 方向に延長される第 2 フィン型パターンと、前記第 1 フィン型パターンと前記第 1 方向に離隔して、前記第 1 方向に延長される第 3 フィン型パターンと、前記第 2 フィン型パターンと前記第 1 方向に離隔して、前記第 1 方向に延長される第 4 フィン型パターンと、前記第 1 フィン型パターン及び前記第 2 フィン型パターン上に配置され、前記第 2 方向に延長される第 1 ソース／ドレインコンタクトと、前記第 3 フィン型パターン及び前記第 4 フィン型パターン上に配置され、前記第 2 方向に延長される第 2 ソース／ドレインコンタクトと、前記第 1 フィン型パターン及び前記第 3 フィン型パターンと、前記第 2 フィン型パターン及び前記第 4 フィン型パターンを分離して、前記第 2 方向に延長される素子分離構造体と、前記第 1 ソース／ドレインコンタクト及び前記第 2 ソース／ドレインコンタクト上に配置され、前記第 1 ソース／ドレインコンタクト及び前記第 2 ソース／ドレインコンタクトと接続される配線構造体と、を有し、前記第 1 ソース／ドレインコンタクトは、前記第 1 フィン型パターン及び前記第 2 フィン型パターンと交差する第 1 下部コンタクト領域と、前記第 1 下部コンタクト領域から突出した第 1 上部コンタクト領域と、第 1 ダミーコンタクト領域と、を含み、前記第 2 ソース／ドレインコンタクトは、前記第 3 フィン型パターン及び前記第 4 フィン型パターンと交差する第 2 下部コンタクト領域と、前記第 2 下部コンタクト領域から突出した第 2 上部コンタクト領域と、を含み、前記配線構造体は、前記第 1 上部コンタクト領域の上面及び前記第 2 上部コンタクト領域の上面と接触し、前記第 1 ダミーコンタクト領域の上面と接触しないことを特徴とする。

20

30

#### 【発明の効果】

#### 【0009】

本発明に係る半導体装置によれば、フィン型パターン形状のチャンネル領域を含むフィン型トランジスタ (FinFET)、ナノワイヤ又はナノシートを含むトランジスタ、MBCFET (登録商標) (Multi-Bridge Channel Field Effect Transistor) を含む構成を有することにより、信頼性及び性能を向上させた半導体装置を提供することができる。

40

#### 【図面の簡単な説明】

#### 【0010】

【図 1】本発明の実施形態による半導体装置の概略的なレイアウト図である。

【図 2】図 1 の A-A 線に沿って切断した断面図である。

【図 3】図 1 の B-B 線に沿って切断した断面図である。

【図 4】図 1 の C-C 線に沿って切断した断面図である。

【図 5】図 1 の D-D 線に沿って切断した断面図である。

【図 6】図 1 の E-E 線に沿って切断した断面図である。

【図 7】図 1 の F-F 線に沿って切断した断面図である。

【図 8】図 1 の G-G 線に沿って切断した断面図である。

50

【図 9】図 6 の P 部分を拡大して示す図である。

【図 10】本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

【図 11】図 10 の C - C 線に沿って切断した断面図である。

【図 12】図 10 の D - D 線に沿って切断した断面図である。

【図 13】本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

【図 14】本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

【図 15】図 14 の D - D 線に沿って切断した断面図である。

【図 16】本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

【図 17】図 16 の D - D 線に沿って切断した断面図である。

【図 18】本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

10

【図 19】図 18 の D - D 線に沿って切断した断面図である。

【図 20】本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

【図 21】本発明の他の実施形態による半導体装置の図 1 の C - C 線に沿って切断した断面図である。

【図 22】本発明の他の実施形態による半導体装置の図 1 の C - C 線に沿って切断した断面図である。

【図 23】本発明の他の実施形態による半導体装置の図 1 の C - C 線に沿って切断した断面図である。

【図 24】本発明の他の実施形態による半導体装置の図 1 の C - C 線に沿って切断した断面図である。

20

【図 25】本発明の他の実施形態による半導体装置の図 1 の G - G 線に沿って切断した断面図である。

【図 26】本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

【図 27】図 26 の A - A 線に沿って切断した断面図である。

【図 28】図 26 の A - A 線に沿って切断した断面図である。

【図 29】図 26 の C - C 線に沿って切断した断面図である。

【図 30】図 26 の F - F 線に沿って切断した断面図である。

【発明を実施するための形態】

【0011】

次に、本発明に係る半導体装置を実施するための形態の具体例を図面を参照しながら説明する。

30

【0012】

本発明の実施形態による半導体装置に関する図面では、例示的に、フィン型パターン形状のチャネル領域を含むフィン型トランジスタ (FinFET)、ナノワイヤ又はナノシートを含むトランジスタ、MBCFET (登録商標) (Multi-Bridge Channel Field Effect Transistor) を示した。

しかし、本発明の実施形態による半導体装置は、トンネリングトランジスタ (tunneling FET)、3次元 (3D) トランジスタ、平面 (planar) トランジスタ、及び2次元物質をベースとするトランジスタ (2D material based FETs) 及びその異種構造 (heterostructure) を含む得る。

40

また、本発明の実施形態による半導体装置は、バイポーラ接合 (bipolar junction) トランジスタ、横型二重拡散トランジスタ (LDMOS) などを含むこともできる。

【0013】

図 1 は、本発明の実施形態による半導体装置の概略的なレイアウト図である。

図 2 ～ 図 8 は、それぞれ図 1 の A - A 線、B - B 線、C - C 線、D - D 線、E - E 線、F - F 線、及び G - G 線に沿って切断した断面図である。

図 9 は、図 6 の P 部分を拡大して示す図である。

説明の便宜上、図 1 には層間絶縁膜 (190、191、192) と、配線構造体 205 などを図に示していない。

50

## 【0014】

図1～図9を参照すると、本発明の実施形態による半導体装置は、基板100上に第1～第6フィン型パターン(110、210、310、410、510、610)と、第1～第3ゲート電極(120、220、320)と、第1及び第2素子分離構造体(165、166)と、第1ソース／ドレインコンタクト171と、第2ソース／ドレインコンタクト172と、第1及び第2連結ソース／ドレインコンタクト(181、182)と、ゲート分離構造体160を含む。

## 【0015】

例えば、基板100は、バルクシリコン又はSOI(silicon-on-insulator)であり得る。

他の例として、基板100は、シリコン基板であり得、又は他の物質、例えば、シリコンゲルマニウム、SGOI(silicon germanium on insulator)、アンチモン化インジウム、鉛テルル化合物、インジウム砒素、インジウムリン化合物、ガリウム砒素、又はアンチモン化ガリウムを含むことができる。

## 【0016】

第1フィン型パターン110、第3フィン型パターン310、及び第5フィン型パターン510は、基板100上に配置される。

第1フィン型パターン110、第3フィン型パターン310、及び第5フィン型パターン510は、基板100の第1活性領域RX1内に形成される。

第1フィン型パターン110、第3フィン型パターン310、及び第5フィン型パターン510は、第1方向D1に沿って長く延長される。

第1フィン型パターン110、第3フィン型パターン310、及び第5フィン型パターン510は、第1方向D1に沿って一列に整列される。

第1フィン型パターン110及び第3フィン型パターン310は、第1方向D1に延長されるフィントレンチFTにより定義される。

## 【0017】

フィントレンチFTは、第1フィン型パターン110の側壁及び第3フィン型パターン310を定義する。

第5フィン型パターン510は、フィントレンチFTにより定義される。

第2フィン型パターン210、第4フィン型パターン410、及び第6フィン型パターン610は、基板100上に配置される。

第2フィン型パターン210、第4フィン型パターン410、及び第6フィン型パターン610は、第2活性領域RX2内に形成される。

第2フィン型パターン210、第4フィン型パターン410、及び第6フィン型パターン610は、第1方向D1に沿って長く延長される。

第2フィン型パターン210、第4フィン型パターン410、及び第6フィン型パターン610は、第1方向D1に沿って一列に整列される。

## 【0018】

第2フィン型パターン210及び第4フィン型パターン410は、第1方向D1に延長されるフィントレンチFTにより定義される。

第2フィン型パターン210は、第1フィン型パターン110と第2方向D2に離隔する。

第4フィン型パターン410は、第3フィン型パターン310と第2方向D2に離隔する。

第6フィン型パターン610は、第5フィン型パターン510と第2方向D2に離隔する。

ここで、第1方向D1は、第2方向D2及び第3方向D3と交差する。

また、第2方向D2は、第3方向D3と交差する。

第3方向D3は、基板100の上面と垂直な方向である。

## 【0019】

フィールド領域  $F X$  は、第 1 活性領域  $R X 1$  及び第 2 活性領域  $R X 2$  の間に配置される。

フィールド領域  $F X$  は、フィントレンチ  $F T$  より深いディープトレンチ  $D T$  により定義される。

ディープトレンチ  $D T$  は、第 1 活性領域  $R X 1$  及び第 2 活性領域  $R X 2$  を定義する。

例えば、ディープトレンチ  $D T$  は、第 1 方向  $D 1$  に長く延長される。

ディープトレンチ  $D T$  は、第 1 フィン型パターン 1 1 0 と第 2 フィン型パターン 2 1 0 との間と、第 3 フィン型パターン 3 1 0 と第 4 フィン型パターン 4 1 0 との間と、第 5 フィン型パターン 5 1 0 と第 6 フィン型パターン 6 1 0 との間に連続的に形成される。

一実施形態による半導体装置で、ディープトレンチ  $D T$  は、第 1 活性領域  $R X 1$  及び第 2 活性領域  $R X 2$  を区分する。

【0020】

一例として、第 1 活性領域  $R X 1$  及び第 2 活性領域  $R X 2$  の内の一つは、N M O S 形成領域であり、他の一つは P M O S 形成領域であり得る。

他の例として、第 1 活性領域  $R X 1$  及び第 2 活性領域  $R X 2$  は、P M O S 形成領域であり得る。

また他の例として、第 1 活性領域  $R X 1$  及び第 2 活性領域  $R X 2$  は、N M O S 形成領域であり得る。

【0021】

第 1 ～第 6 フィン型パターン (1 1 0、2 1 0、3 1 0、4 1 0、5 1 0、6 1 0) は、それぞれ基板 1 0 0 の一部であり、基板 1 0 0 から成長したエピ層 (epitaxial layer) を含む。

それぞれの第 1 ～第 6 フィン型パターン (1 1 0、2 1 0、3 1 0、4 1 0、5 1 0、6 1 0) は、例えば、元素半導体物質であるシリコン又はゲルマニウムを含み得る。

また、それぞれの第 1 ～第 6 フィン型パターン (1 1 0、2 1 0、3 1 0、4 1 0、5 1 0、6 1 0) は、化合物半導体を含み得、例えば、I V - I V 族化合物半導体又は I I I - V 族化合物半導体を含み得る。

【0022】

I V - I V 族化合物半導体は、例えば、炭素 (C)、ケイ素 (Si)、ゲルマニウム (Ge)、スズ (Sn) の内の少なくとも 2 個以上を含む二元系化合物 (binary compound)、三元系化合物 (ternary compound)、又はこれらに I V 族元素がドーピングされた化合物であり得る。

I I I - V 族化合物半導体は、例えば、I I I 族元素としてアルミニウム (Al)、ガリウム (Ga)、及びインジウム (In) の内の少なくとも一つと V 族元素であるリン (P)、ヒ素 (As)、及びアンチモニウム (Sb) の内の一つが結合されて形成される二元系化合物、三元系化合物又は四元系化合物の内の一つであり得る。

【0023】

一例として、第 1 活性領域  $R X 1$  に配置されたフィン型パターン (1 1 0、3 1 0、5 1 0) は、第 2 活性領域  $R X 2$  に配置されたフィン型パターン (2 1 0、4 1 0、6 1 0) と同じ物質を含む。

他の例として、第 1 活性領域  $R X 1$  に配置されたフィン型パターン (1 1 0、3 1 0、5 1 0) は、第 2 活性領域  $R X 2$  に配置されたフィン型パターン (2 1 0、4 1 0、6 1 0) と他の物質を含む。

【0024】

第 1 フィン型パターン 1 1 0 及び第 2 フィン型パターン 2 1 0 を例に挙げて説明する。

第 1 活性領域  $R X 1$  に配置された第 1 フィン型パターン 1 1 0 の個数は、第 2 活性領域  $R X 2$  に配置された第 2 フィン型パターン 2 1 0 の個数と同一である場合を図に示したが、これに制限されるものではない。

例えば、第 1 活性領域  $R X 1$  に配置された第 1 フィン型パターン 1 1 0 と、第 2 活性領域  $R X 2$  に配置された第 2 フィン型パターン 2 1 0 は、2 個である場合を図に示したが、

10

20

30

40

50

これに制限されるものではない。

第1活性領域RX1に配置された第1フィン型パターン110と、第2活性領域RX2に配置された第2フィン型パターン210は、それぞれ1個又は3個以上であり得るのもちろんである。

【0025】

以下の説明は、第1～第4フィン型パターン(110、210、310、410)を用いて説明する。

フィールド絶縁膜105は、第1～第4フィン型パターン(110、210、310、410)の周辺に配置される。

図に示していないが、フィールド絶縁膜105は、第5フィン型パターン510及び第6フィン型パターン610の周辺に配置されてもよい。

フィールド絶縁膜105は、ディープトレンチDTを埋める。

フィールド絶縁膜105は、フィントレンチFTの一部を埋める。

第1フィン型パターン110及び第2フィン型パターン210を例に挙げると、フィールド絶縁膜105は、第1フィン型パターン110の側壁の一部及び第2フィン型パターン210の側壁の一部の上に形成される。

【0026】

第1～第4フィン型パターン(110、210、310、410)は、それぞれフィールド絶縁膜105の上面より上に突出する。

第5フィン型パターン510及び第6フィン型パターン610もフィールド絶縁膜105の上面より突出する。

フィールド絶縁膜105は、例えば、酸化膜、窒化膜、酸窒化膜、又はこれらの組み合わせ膜を含み得る。

【0027】

第1素子分離構造体165及び第2素子分離構造体166は、それぞれ第1活性領域RX1及び第2活性領域RX2にわたって配置される。

第1素子分離構造体165及び第2素子分離構造体166は、それぞれ第2方向D2に長く延長される。

第1素子分離構造体165は、第1方向D1に隣接する第1フィン型パターン110及び第3フィン型パターン310を分離する。

第1素子分離構造体165は、第1方向D1に隣接した第2フィン型パターン210及び第4フィン型パターン410を分離する。

第2素子分離構造体166は、第1方向D1に隣接する第3フィン型パターン310及び第5フィン型パターン510を分離する。

第2素子分離構造体166は、第1方向D1に隣接した第4フィン型パターン410及び第6フィン型パターン610を分離する。

第2素子分離構造体166に関する説明は、第1素子分離構造体165に関する説明と実質的に同一であるので、以下の説明は第1素子分離構造体165を中心に説明する。

【0028】

第1素子分離構造体165は、第1側壁(165\_\_LS1)と第2側壁(165\_\_LS2)を含む。

第1素子分離構造体の第1側壁(165\_\_LS1)と第1素子分離構造体の第2側壁(165\_\_LS2)は、それぞれ第2方向D2に長く延長される。

第1素子分離構造体の第1側壁(165\_\_LS1)は、第1素子分離構造体の第2側壁(165\_\_LS2)と第1方向D1の反対に位置する。

【0029】

第1フィン型パターン110及び第2フィン型パターン210は、それぞれ第1素子分離構造体の第1側壁(165\_\_LS1)と接触する。

第1フィン型パターン110及び第2フィン型パターン210は、第1素子分離構造体の第1側壁(165\_\_LS1)から第1方向D1に延長される。

10

20

30

40

50

第3フィン型パターン310及び第4フィン型パターン410は、それぞれ第1素子分離構造体の第2側壁(165\_\_LS2)と接触する。

第3フィン型パターン310及び第4フィン型パターン410は、第1素子分離構造体の第2側壁(165\_\_LS2)から第1方向D1に延長される。

例えば、第1素子分離構造体の上面165USは、後述するゲートキャッピングパターン(145、245、345)の上面と同一平面に置かれる。

【0030】

第1素子分離構造体165及び第2素子分離構造体166は、シリコン窒化物(SiN)、シリコン酸窒化物(SiON)、シリコン酸化物(SiO<sub>2</sub>)、シリコン酸炭窒化物(SiOCN)、シリコンホウ素窒化物(SiBN)、シリコン酸ホウ素窒化物(SiOBN)、シリコン酸炭化物(SiOC)、アルミニウム酸化物(AlO)、及びこれらの組み合わせの内の少なくとも一つを含み得る。

それぞれの第1素子分離構造体165及び第2素子分離構造体166は、単一膜又は多重膜であり得る。

例えば、図2に示すように、分離構造体スペーサ165SPは、第1素子分離構造体の第1側壁(165\_\_LS1)の一部に沿って延長される。

分離構造体スペーサ165SPは、第1素子分離構造体の第2側壁(165\_\_LS2)の一部に沿って延長される。

【0031】

分離構造体スペーサ165SPは、後述するゲートスペーサ(140、240、340)と同じ物質を含む。

他の例として、第1素子分離構造体の側壁(165\_\_LS1、165\_\_LS2)上に、分離構造体スペーサ165SPが配置されなくてもよい。

【0032】

第1～第3ゲート電極(120、220、320)は、それぞれ第2方向D2に延長される。

第1～第3ゲート電極(120、220、320)は、それぞれフィールド絶縁膜105上に配置される。

第1ゲート電極120は、第1活性領域RX1上に配置され、第2活性領域RX2上に配置されない。

例えば、第1ゲート電極120は、第1活性領域RX1上にのみに配置される。

第1ゲート電極120は、第1活性領域RX1に配置されたフィン型パターン(110、310、510)上に配置される。

第1ゲート電極120は、第2活性領域RX2に配置されたフィン型パターン(210、410、610)上に配置されない。

【0033】

第2ゲート電極220は、第2活性領域RX2上に配置され、第1活性領域RX1上に配置されない。

例えば、第2ゲート電極220は、第2活性領域RX2上にのみに配置される。

第2ゲート電極220は、第2活性領域RX2に配置されたフィン型パターン(210、410、610)上に配置される。

第2ゲート電極220は、第1活性領域RX1に配置されたフィン型パターン(110、310、510)上に配置されない。

第3ゲート電極320は、第1活性領域RX1及び第2活性領域RX2にわたって連続的に配置される。

第3ゲート電極320は、第1活性領域RX1に配置されたフィン型パターン(110、310、510)上に配置される。

第3ゲート電極320は、第2活性領域RX2に配置されたフィン型パターン(210、410、610)上に配置される。

【0034】

10

20

30

40

50

第1ゲート電極120及び第2ゲート電極220は、第2方向D2に離隔し、互いに第2方向D2に整列する。

第1ゲート電極120は、第2ゲート電極220に対応するように配置される。

第3ゲート電極320は、第1ゲート電極120と第1方向D1に離隔する。

第3ゲート電極320は、第2ゲート電極220と第1方向D1に離隔する。

例えば、図1に示すように、第1ゲート電極120と第2ゲート電極220は、一対一に対応する。

他の例として、第1ゲート電極120の内の少なくとも一つは、第2活性領域RX2に配置されて第2方向D2に延長される絶縁物質ゲートと対向する。

また他の例として、第2ゲート電極220の内の少なくとも一つは、第1活性領域RX1に配置されて第2方向D2に延長される絶縁物質ゲートと対向する。

絶縁物質ゲートは、上述した素子分離構造体(165、166)と類似する。

【0035】

例えば、図2及び図3に示すように、ゲート電極(120、220、320)の上面は凹んだ曲面を含む。

後述するゲートキャッピングパターン(145、245、345)を形成する前に、ゲート電極(120、220、320)の一部が除去される。

ゲート電極(120、220、320)の一部を除去するエッチング工程によって、ゲート電極(120、220、320)の上面の少なくとも一部は、凹んだ曲面に変わり得る。

例えば、第1ゲート電極120の上面及び第2ゲート電極220の上面は、図8のような断面図で凹んだ形を有する。

【0036】

第1～第3ゲート電極(120、220、320)は、それぞれ例えば、チタン窒化物(TiN)、タンタル炭化物(TaC)、タンタル窒化物(TaN)、チタンシリコン窒化物(TiSiN)、タンタルシリコン窒化物(TaSiN)、タンタルチタン窒化物(TaTiN)、チタンアルミニウム窒化物(TiAlN)、タンタルアルミニウム窒化物(TaAlN)、タングステン窒化物(WN)、ルテニウム(Ru)、チタンアルミニウム(TiAl)、チタンアルミニウム炭窒化物(TiAlCN)、チタンアルミニウム炭化物(TiAlC)、チタン炭化物(TiC)、タンタル炭窒化物(TaCN)、タン

グステン(W)、アルミニウム(Al)、銅(Cu)、コバルト(Co)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、白金(Pt)、ニッケル白金(Ni-Pt)、ニオブ(Nb)、ニオブ窒化物(NbN)、ニオブ炭化物(NbC)、モリブデン(Mo)、モリブデン窒化物(MoN)、モリブデン炭化物(MoC)、タングステン炭化物(WC)、ロジウム(Rh)、パラジウム(Pd)、イリジウム(Ir)、オスミウム(Os)、銀(Ag)、金(Au)、亜鉛(Zn)、バナジウム(V)、及びこれらの組み合わせの内の少なくとも一つを含み得る。

【0037】

第1～第3ゲート電極(120、220、320)は、それぞれ導電性金属酸化物、導電性金属酸窒化物などを含み得、上述した物質が酸化された形態を含み得る。

第1ゲート電極120及び第2ゲート電極220は、ゲート分離構造体160により分離される。

ゲート分離構造体160は、第1ゲート電極120及び第2ゲート電極220を第2方向D2に離隔させる。

ゲート分離構造体160は、フィールド領域FX上に配置される。

ゲート分離構造体160は、フィールド絶縁膜105上に配置される。

ゲート分離構造体160は、互いに対応する第1ゲート電極120及び第2ゲート電極220を分離する。

【0038】

ゲート分離構造体160は、例えば、シリコン窒化物(SiN)、シリコン酸窒化物(

10

20

30

40

50

S i O N)、シリコン酸化物 (S i O<sub>2</sub>)、シリコン酸炭窒化物 (S i O C N)、シリコンホウ素窒化物 (S i B N)、シリコン酸ホウ素窒化物 (S i O B N)、シリコン酸炭化物 (S i O C)、アルミニウム酸化物 (A l O)、及びこれらの組み合わせの内の少なくとも一つを含み得る。

ゲート分離構造体 160 は、単一膜である場合を示したが、これに制限されるものではない。

例えば、図 8 に示すように、ゲート分離構造体 160 の一部は、フィールド絶縁膜 105 内に湾入する場合を示したが、これに制限されるものではない。

ゲート分離構造体の上面 160 U S は、第 1 ゲートキャッピングパターン 145 の上面及び第 2 ゲートキャッピングパターン 245 の上面と同一平面に置かれる。

10

#### 【0039】

第 1 ゲートスペーサ 140 は、第 1 ゲート電極 120 の側壁上に配置される。

第 2 ゲートスペーサ 240 は、第 2 ゲート電極 220 の側壁上に配置される。

第 3 ゲートスペーサ 340 は、第 3 ゲート電極 320 の側壁上に配置される。

第 1 ～第 3 ゲートスペーサ (140、240、340) は、第 2 方向 D2 に沿って延長される。

第 1 ～第 3 ゲートスペーサ (140、240、340) は、例えば、シリコン窒化物 (S i N)、シリコン酸窒化物 (S i O N)、シリコン酸化物 (S i O<sub>2</sub>)、シリコン酸炭窒化物 (S i O C N)、シリコンホウ素窒化物 (S i B N)、シリコン酸ホウ素窒化物 (S i O B N)、シリコン酸炭化物 (S i O C)、及びこれらの組み合わせの内の少なくとも一つを含み得る。

20

#### 【0040】

第 1 ゲート絶縁膜 130 は、第 1 ゲート電極 120 の側壁及び底面に沿って延長される。

第 1 ゲート絶縁膜 130 は、第 1 ゲート電極 120 と第 1 活性領域 R X1 に配置されたフィン型パターン (110、310、510) との間に配置される。

第 2 ゲート絶縁膜 230 は、第 2 ゲート電極 220 の側壁及び底面に沿って延長される。

第 2 ゲート絶縁膜 230 は、第 2 ゲート電極 220 と第 2 活性領域 R X2 に配置されたフィン型パターン (210、410、610) との間に配置される。

30

第 3 ゲート絶縁膜 330 は、第 3 ゲート電極 320 の側壁及び底面に沿って延長される。

第 3 ゲート絶縁膜 330 は、第 3 ゲート電極 320 と第 1 活性領域 R X1 に配置されたフィン型パターン (110、310、510) との間に配置される。

第 3 ゲート絶縁膜 330 は、第 3 ゲート電極 320 と第 2 活性領域 R X2 に配置されたフィン型パターン (210、410、610) との間に配置される。

#### 【0041】

例えば、図 8 に示すように、第 1 ゲート絶縁膜 130 は、フィールド絶縁膜 105 より上に突出した第 3 フィン型パターン 310 のプロファイルと、フィールド絶縁膜 105 の上面に沿って形成される。

40

第 2 ゲート絶縁膜 230 は、フィールド絶縁膜 105 より上に突出した第 4 フィン型パターン 410 のプロファイルと、フィールド絶縁膜 105 の上面に沿って形成される。

例えば、図 7 に示すように、第 3 ゲート絶縁膜 330 は、フィールド絶縁膜 105 より上に突出した第 1 フィン型パターン 110 及び第 2 フィン型パターン 210 のプロファイルと、フィールド絶縁膜 105 の上面に沿って形成される。

例えば、第 1 ゲート絶縁膜 130 は、フィールド絶縁膜 105 より上に突出した第 3 フィン型パターン 310 のプロファイルに沿って界面膜を含む。

例えば、界面膜は、シリコン酸化物を含み得るが、これに制限されるものではない。

#### 【0042】

例えば、図 8 に示すように、第 1 ゲート絶縁膜 130 は、第 2 方向 D2 に対向する第 1

50

ゲート電極 120 の側壁及びゲート分離構造体 160 の側壁に沿って延長される。

第 2 ゲート絶縁膜 230 は、第 2 方向 D2 に対向する第 2 ゲート電極 220 の側壁及びゲート分離構造体 160 の側壁に沿って延長される。

第 1 ～ 第 3 ゲート絶縁膜 (130、230、330) は、シリコン酸化物、シリコン窒化物、シリコン窒化物、又はシリコン酸化物より誘電定数が高い高誘電率物質を含むことができる。

#### 【0043】

高誘電率物質は、例えば、ホウ素窒化物 (boron nitride)、ハフニウム酸化物 (hafnium oxide)、ハフニウムシリコン酸化物 (hafnium silicon oxide)、ハフニウムアルミニウム酸化物 (hafnium aluminum oxide)、ランタン酸化物 (lanthanum oxide)、ランタンアルミニウム酸化物 (lanthanum aluminum oxide)、ジルコニウム酸化物 (zirconium oxide)、ジルコニウムシリコン酸化物 (zirconium silicon oxide)、タンタル酸化物 (tantalum oxide)、チタン酸化物 (titanium oxide)、バリウムストロンチウムチタン酸化物 (barium strontium titanium oxide)、バリウムチタン酸化物 (barium titanium oxide)、ストロンチウムチタン酸化物 (strontium titanium oxide)、イットリウム酸化物 (yttrium oxide)、アルミニウム酸化物 (aluminum oxide)、鉛スカンジウムタンタル酸化物 (lead scandium tantalum oxide)、又は鉛亜鉛ニオブ酸塩 (lead zinc niobate) の内の一つ以上を含み得る。

10

20

#### 【0044】

一実施形態による半導体装置は、負性容量 (Negative Capacitor) を用いた NC (Negative Capacitance) FET を含む。

例えば、第 1 ～ 第 3 ゲート絶縁膜 (130、230、330) は、それぞれ強誘電体特性を有する強誘電体物質膜と、常誘電体特性を有する常誘電体物質膜を含む。

強誘電体物質膜は、負のキャパシタンスを有し、常誘電体物質膜は、正のキャパシタンスを有する。

例えば、二個以上のキャパシタが直列連結され、それぞれのキャパシタのキャパシタンスが正の値を有する場合、全体キャパシタンスは、それぞれの個別のキャパシタのキャパシタンスより減少する。

30

反面、直列接続される二個以上のキャパシタのキャパシタンスの内の少なくとも一つが負の値を有する場合、全体キャパシタンスは正の値を有してそれぞれの個別キャパシタンスの絶対値より大きくなり得る。

#### 【0045】

負のキャパシタンスを有する強誘電体物質膜と、正のキャパシタンスを有する常誘電体物質膜が直列に接続される場合、直列接続される強誘電体物質膜及び常誘電体物質膜の全体的なキャパシタンス値は増加する。

全体的なキャパシタンス値が増加することを用いて、強誘電体物質膜を含むトランジスタは、常温で 60 mV / decade 未満のサブスレッショルドスイング (subthreshold swing (SS)) を有することができる。

40

強誘電体物質膜は、強誘電体特性を有する。

#### 【0046】

強誘電体物質膜は、例えば、ハフニウム酸化物 (hafnium oxide)、ハフニウムジルコニウム酸化物 (hafnium zirconium oxide)、バリウムストロンチウムチタン酸化物 (barium strontium titanium oxide)、バリウムチタン酸化物 (barium titanium oxide)、及び鉛ジルコニウムチタン酸化物 (lead zirconium titanium oxide) の内の少なくとも一つを含み得る。

50

ここで、一例として、ハフニウムジルコニウム酸化物 (hafnium zirconium oxide) は、ハフニウム酸化物 (hafnium oxide) にジルコニウム (Zr) がドーブされた物質である。

他の例として、ハフニウムジルコニウム酸化物 (hafnium zirconium oxide) は、ハフニウム (Hf) とジルコニウム (Zr) と酸素 (O) の化合物である。

#### 【0047】

強誘電体物質膜は、ドーブされたドーパントをさらに含む。

例えば、ドーパントは、アルミニウム (Al)、チタン (Ti)、ニオブ (Nb)、ランタン (La)、イットリウム (Y)、マグネシウム (Mg)、シリコン (Si)、カルシウム (Ca)、セリウム (Ce)、ジスプロシウム (Dy)、エルビウム (Er)、ガドリニウム (Gd)、ゲルマニウム (Ge)、スカンジウム (Sc)、ストロンチウム (Sr)、及びスズ (Sn) の内の少なくとも一つを含み得る。

強誘電体物質膜がいかなる強誘電体物質を含むかによって、強誘電体物質膜に含まれたドーパントの種類は変わる。

強誘電体物質膜がハフニウム酸化物を含む場合、強誘電体物質膜に含まれたドーパントは、例えば、ガドリニウム (Gd)、シリコン (Si)、ジルコニウム (Zr)、アルミニウム (Al)、及びイットリウム (Y) の内の少なくとも一つを含み得る。

#### 【0048】

ドーパントがアルミニウム (Al) の場合、強誘電体物質膜は、3～8 at% (atomic%) のアルミニウムを含むことができる。

ここで、ドーパントの比率は、ハフニウム及びアルミニウムの合計に対するアルミニウムの比率である。

ドーパントがシリコン (Si) の場合、強誘電体物質膜は、2～10 at% のシリコンを含む。

ドーパントがイットリウム (Y) の場合、強誘電体物質膜は、2～10 at% のイットリウムを含む。

ドーパントがガドリニウム (Gd) の場合、強誘電体物質膜は、1～7 at% のガドリニウムを含む。

ドーパントがジルコニウム (Zr) の場合、強誘電体物質膜は、50～80 at% のジルコニウムを含む。

#### 【0049】

常誘電体物質膜は、常誘電体特性を有する。

常誘電体物質膜は、例えば、シリコン酸化物 (silicon oxide) 及び高誘電率を有する金属酸化物の内の少なくとも一つを含み得る。

常誘電体物質膜に含まれた金属酸化物は、例えば、ハフニウム酸化物 (hafnium oxide)、ジルコニウム酸化物 (zirconium oxide)、及びアルミニウム酸化物 (aluminum oxide) の内の少なくとも一つを含み得る。

強誘電体物質膜及び常誘電体物質膜は、同じ物質を含む。

強誘電体物質膜は、強誘電体特性を有するが、常誘電体物質膜は、強誘電体特性を有さなくてもよい。

例えば、強誘電体物質膜及び常誘電体物質膜がハフニウム酸化物を含む場合、強誘電体物質膜に含まれたハフニウム酸化物の結晶構造は、常誘電体物質膜に含まれたハフニウム酸化物の結晶構造と異なる。

#### 【0050】

強誘電体物質膜は、強誘電体特性を有する厚さを有する。

強誘電体物質膜の厚さは、例えば、0.5～10 nm である。

それぞれの強誘電体物質ごとに強誘電体特性を示す臨界厚さが変わるので、強誘電体物質膜の厚さは、強誘電体物質によって変わる。

一例として、第1～第3ゲート絶縁膜 (130、230、330) は、それぞれ一つの

10

20

30

40

50

強誘電体物質膜を含む。

他の例として、第1～第3ゲート絶縁膜（130、230、330）は、それぞれ互いに離隔した複数の強誘電体物質膜を含むことができる。

第1～第3ゲート絶縁膜（130、230、330）は、それぞれ複数の強誘電体物質膜と、複数の常誘電体物質膜が交互に積層された積層膜構造を有する。

【0051】

第1～第3ゲートキャッピングパターン（145、245、345）は、第1～第3ゲート電極（120、220、320）上に配置される。

また、第1～第3ゲートキャッピングパターン（145、245、345）は、第1～第3ゲートスペーサ（140、240、340）の上面上に配置される。

第1～第3ゲートキャッピングパターン（145、245、345）は、それぞれ例えば、シリコン窒化物（SiN）、シリコン酸窒化物（SiON）、シリコン酸化物（SiO<sub>2</sub>）、シリコン炭窒化物（SiCN）、シリコン酸炭窒化物（SiOCN）、及びこれらの組み合わせの内の少なくとも一つを含み得る。

【0052】

図示とは異なり、第1～第3ゲートキャッピングパターン（145、245、345）は、それぞれ第1～第3ゲートスペーサ（140、240、340）の間に配置されてもよい。

このような場合、第1ゲートキャッピングパターン145を例に挙げると、第1ゲートキャッピングパターン145の上面は、第1ゲートスペーサ140の上面と同一平面に置かれる。

第1ソース／ドレインパターン150は、第1フィン型パターン110上に配置される。

第1ソース／ドレインパターン150は、第1フィン型パターン110と連結される。

第3ソース／ドレインパターン350は、第3フィン型パターン310上に配置される。

第3ソース／ドレインパターン350は、第3フィン型パターン310と連結される。

第1ソース／ドレインパターン150及び第3ソース／ドレインパターン350は、第1活性領域RX1に配置される。

【0053】

第2ソース／ドレインパターン250は、第2フィン型パターン210上に配置される。

第2ソース／ドレインパターン250は、第2フィン型パターン210と連結される。

第4ソース／ドレインパターン450は、第4フィン型パターン410上に配置される。

第4ソース／ドレインパターン450は、第4フィン型パターン410と連結される。

第2ソース／ドレインパターン250及び第4ソース／ドレインパターン450は、第2活性領域RX2に配置される。

第2ソース／ドレインパターン250は、第1ソース／ドレインパターン150と第2方向D2に分離される。

すなわち、第2ソース／ドレインパターン250は、第1ソース／ドレインパターン150と直接連結されない。

第3ソース／ドレインパターン350は、第4ソース／ドレインパターン450と第2方向D2に分離される。

【0054】

第1ソース／ドレインパターン150は、複数の第1フィン型パターン110と連結される。

第2ソース／ドレインパターン250は、複数の第2フィン型パターン210と連結される。

第3ソース／ドレインパターン350は、複数の第3フィン型パターン310と連結さ

10

20

30

40

50

れる。

第４ソース／ドレインパターン４５０は、複数の第４フィン型パターン４１０と連結される。

第１～第４ソース／ドレインパターン（１５０、２５０、３５０、４５０）は、それぞれ共有エピタキシャルパターンである。

【００５５】

第１～第４ソース／ドレインパターン（１５０、２５０、３５０、４５０）は、それぞれ第１～第４フィン型パターン（１１０、２１０、３１０、４１０）をチャンネル領域として使用するトランジスタのソース／ドレインに含まれる。

例えば、第５フィン型パターン５１０及び第６フィン型パターン６１０上に、ソース／ドレインパターンが配置される。

以下の説明は、第１～第４ソース／ドレインパターン（１５０、２５０、３５０、４５０）を用いて説明する。

【００５６】

ソース／ドレインエッチング停止膜１５６は、第１～第３ゲート電極（１２０、２２０、３２０）の側壁と、第１～第４ソース／ドレインパターン（１５０、２５０、３５０、４５０）上に配置される。

ソース／ドレインエッチング停止膜１５６は、後述する下部層間絶縁膜１９０に対してエッチング選択比を有する物質を含む。

ソース／ドレインエッチング停止膜１５６は、例えば、シリコン窒化物（SiN）、シリコン酸窒化物（SiON）、シリコン酸炭窒化物（SiOCN）、シリコンホウ素窒化物（SiBN）、シリコン酸ホウ素窒化物（SiOBN）、シリコン酸炭化物（SiOC）、及びこれらの組み合わせの内の少なくとも一つを含み得る。

【００５７】

下部層間絶縁膜１９０は、ソース／ドレインエッチング停止膜１５６上に配置される。

下部層間絶縁膜１９０は、第１～第３ゲートキャッピングパターン（１４５、２４５、３４５）の上面を覆わない。

例えば、下部層間絶縁膜１９０の上面は、第１ゲートキャッピングパターン１４５の上面、第２ゲートキャッピングパターン２４５の上面、及び第３ゲートキャッピングパターン３４５の上面の同一平面に置かれる。

下部層間絶縁膜１９０の上面は、第１素子構造体の上面１６５USの上面と同一平面に置かれる。

下部層間絶縁膜１９０は、例えば、シリコン酸化物、シリコン窒化物、シリコン酸窒化物、及び低誘電率物質の内の少なくとも一つを含み得る。

【００５８】

低誘電率物質は、例えば、Fluorinated TetraEthylOrthoSilicate (FTEOS)、Hydrogen SilsesQuioxane (HSQ)、Bis-benzoCycloButene (BCB)、TetraMethylOrthoSilicate (TMOS)、OctaMethylCloTetraSiloxane (OMCTS)、HexaMethylDiSiloxane (HMD S)、TriMethylSilyl Borate (TMSB)、DiAcetoxy DitertertiaryButoSiloxane (DADBS)、TriMethylSilyl Phosphate (TMSP)、PolyTetraFluoroEthylene (PTFE)、TOSZ (Tonen SilaZen)、FSG (Fluoride Silicate Glass)、polypropylene oxideのようなpolyimide nanofoams、CDO (Carbon Doped silicon Oxide)、OSG (Organo Silicate Glass)、SiLK、Amorphous Fluorinated Carbon、silica aerogels、silica xerogels、mesoporous silica、又はこれらの組み合わせを含み得るが、これに制限されるものではない。

10

20

30

40

50

## 【0059】

第1連結ソース／ドレインコンタクト181及び第2連結ソース／ドレインコンタクト182は、第1活性領域RX1及び第2活性領域RX2にわたって配置される。

第1連結ソース／ドレインコンタクト181及び第2連結ソース／ドレインコンタクト182は、それぞれ第2方向D2に長く延長される。

第1連結ソース／ドレインコンタクト181及び第2連結ソース／ドレインコンタクト182は、第1活性領域RX1に配置されたソース／ドレインパターン(150、350)及び第2活性領域RX2に配置されたソース／ドレインパターン(250、450)上に配置される。

第1連結ソース／ドレインコンタクト181及び第2連結ソース／ドレインコンタクト182は、第1活性領域RX1に配置されたソース／ドレインパターン(150、350)及び第2活性領域RX2に配置されたソース／ドレインパターン(250、450)と同時に接続される。

第1連結ソース／ドレインコンタクト181及び第2連結ソース／ドレインコンタクト182は、第1活性領域RX1に配置されたフィン型パターン(110、310)及び第2活性領域RX2上に配置されたフィン型パターン(210、410)上に配置される。

## 【0060】

第1ソース／ドレインコンタクト171は、第1活性領域RX1に配置されたソース／ドレインパターン(150、350)上に配置される。

第2ソース／ドレインコンタクト172は、第2活性領域RX2に配置されたソース／ドレインパターン(250、450)上に配置される。

第1ソース／ドレインコンタクト171は、第1及び第3ソース／ドレインパターン(150、350)と接続されるが、第2及び第4ソース／ドレインパターン(250、450)とは連結されない。

第2ソース／ドレインコンタクト172は、第2及び第4ソース／ドレインパターン(250、450)と接続されるが、第1及び第3ソース／ドレインパターン(150、350)とは連結されない。

## 【0061】

例えば、第2連結ソース／ドレインコンタクト182、第1ソース／ドレインコンタクト171、及び第2ソース／ドレインコンタクト172は、第1ソース／ドレインパターン150及び／又は第2ソース／ドレインパターン250上に追加的に配置される。

第1連結ソース／ドレインコンタクト181と、第2連結ソース／ドレインコンタクト182と、第1ソース／ドレインコンタクト171と第2ソース／ドレインコンタクト172は、それぞれ下部層間絶縁膜190内に配置される。

## 【0062】

第1シリサイド膜155は、第1ソース／ドレインパターン150と、ソース／ドレインコンタクト(181、182、171)との間に形成される。

第2シリサイド膜255は、第2ソース／ドレインパターン250と、ソース／ドレインコンタクト(181、182、172)との間に形成される。

第3シリサイド膜355は、第3ソース／ドレインパターン350と、ソース／ドレインコンタクト(181、182、171)との間に形成される。

第4シリサイド膜455は、第4ソース／ドレインパターン250と、ソース／ドレインコンタクト(181、182、172)との間に形成される。

第1～第4シリサイド膜(155、255、355、455)は、それぞれ例えば、金属シリサイド物質を含み得る。

## 【0063】

第1連結ソース／ドレインコンタクト181は、素子分離構造体(165、166)と、ゲート電極(120、220、320)との間に配置される。

第1連結ソース／ドレインコンタクト181の一侧に素子分離構造体(165、166)が配置され、第1連結ソース／ドレインコンタクト181の他側にゲート電極(120

、２２０、３２０）が配置される。

第１連結ソース／ドレインコンタクト１８１は、例えば、第１方向Ｄ１に素子分離構造体（１６５、１６６）に最も隣接する連結ソース／ドレインコンタクトである。

例えば、図１に示すように、素子分離構造体１６５は、二つの第１ソース／ドレインコンタクト１８１の間に配置される。

すなわち、第１連結ソース／ドレインコンタクト１８１と素子分離構造体（１６５、１６６）との間に、追加的なゲート電極（１２０、２２０、３２０）が配置されない。

一実施形態による半導体装置で、第１連結ソース／ドレインコンタクト１８１は、素子分離構造体（１６５、１６６）の両側に配置される。

別の言葉で言えば、素子分離構造体（１６５、１６６）は、第１方向Ｄ１に隣接した第１連結ソース／ドレインコンタクト１８１の間に配置される。

【００６４】

例えば、第１ソース／ドレインパターン１５０及び第２ソース／ドレインパターン２５０と接続される第１連結ソース／ドレインコンタクト１８１は、第１素子分離構造体１６５と第３ゲート電極３２０との間に配置される。

他の例として、第１ソース／ドレインパターン１５０及び第２ソース／ドレインパターン２５０と接続される第１連結ソース／ドレインコンタクト１８１は、第１素子分離構造体１６５と第１ゲート電極１２０との間と、第１素子分離構造体１６５と第２ゲート電極２２０との間に配置され得る。

【００６５】

例えば、第３ソース／ドレインパターン３５０及び第４ソース／ドレインパターン４５０と接続される第１連結ソース／ドレインコンタクト１８１は、第１素子分離構造体１６５と第１ゲート電極１２０との間と、第１素子分離構造体１６５と第２ゲート電極２２０との間に配置される。

他の例として、第３ソース／ドレインパターン３５０及び第４ソース／ドレインパターン４５０と接続される第１連結ソース／ドレインコンタクト１８１は、第１素子分離構造体１６５と第３ゲート電極３２０との間に配置され得る。

第２素子分離構造体１６６に最も隣接した第１連結ソース／ドレインコンタクト１８１に関する説明は、第１素子分離構造体１６５に最も隣接した第１連結ソース／ドレインコンタクト１８１に関する説明と実質的に同一であるため、以下の説明は、第１素子分離構造体１６５を中心に説明する。

【００６６】

第２連結ソース／ドレインコンタクト１８２は、第１方向Ｄ１に隣接したゲート電極（１２０、２２０、３２０）の間に配置される。

第２連結ソース／ドレインコンタクト１８２は、素子分離構造体（１６５、１６６）と最も隣接した連結ソース／ドレインコンタクトではない。

すなわち、第２連結ソース／ドレインコンタクト１８２と素子分離構造体（１６５、１６６）の間に、少なくとも一つ以上のゲート電極（１２０、２２０、３２０）が配置される。

【００６７】

例えば、図１に示すように、第１ゲート電極１２０及び第２ゲート電極２２０が第２連結ソース／ドレインコンタクト１８２の一侧に配置され、第３ゲート電極３２０が第２連結ソース／ドレインコンタクト１８２の他側に配置される。

他の例として、第１ゲート電極１２０及び第２ゲート電極２２０が第２連結ソース／ドレインコンタクト１８２の一侧及び第２連結ソース／ドレインコンタクト１８２の他側に配置され得る。

また他の例として、第２連結ソース／ドレインコンタクト１８２は、第３ゲート電極３２０の間に配置され得る。

【００６８】

例えば、図１に示すように、第１連結ソース／ドレインコンタクト１８１及び第２連結

10

20

30

40

50

ソース／ドレインコンタクト１８２は、第３フィン型パターン３１０及び第４フィン型パターン４１０上に共に配置される。

他の例として、第１連結ソース／ドレインコンタクト１８１及び第２連結ソース／ドレインコンタクト１８２の間に、追加的な第３素子分離構造体が配置され得る。

このような場合、第１連結ソース／ドレインコンタクト１８１は、第３フィン型パターン３１０及び第４フィン型パターン４１０上に配置されるが、第２連結ソース／ドレインコンタクト１８２は、第３フィン型パターン３１０及び第４フィン型パターン４１０上に配置されない。

第２連結ソース／ドレインコンタクト１８２は、第２素子分離構造体１６６と第３素子分離構造体の間に配置された第７フィン型パターン及び第８フィン型パターン上に配置される。

10

#### 【００６９】

以下では、第１連結ソース／ドレインコンタクト１８１及び第２連結ソース／ドレインコンタクト１８２は、第３フィン型パターン３１０及び第４フィン型パターン４１０上に共に配置される場合を説明する。

第１連結ソース／ドレインコンタクト１８１は、第１下部コンタクト領域１８１Ｂと、第１上部コンタクト領域１８１ＵＣと、第１ダミーコンタクト領域１８１ＵＤを含む。

第１下部コンタクト領域１８１Ｂは、第１フィン型パターン１１０及び第２フィン型パターン２１０と交差する。

第１下部コンタクト領域１８１Ｂは、第１ソース／ドレインパターン１５０及び第２ソース／ドレインパターン２５０と同時に接続される。

20

例えば、第１下部コンタクト領域１８１Ｂは、第１ソース／ドレインパターン１５０及び第２ソース／ドレインパターン２５０と同時に連結される。

第１下部コンタクト領域１８１Ｂは、第３フィン型パターン３１０及び第４フィン型パターン４１０と交差する。

第１下部コンタクト領域１８１Ｂは、第３ソース／ドレインパターン３５０及び第４ソース／ドレインパターン４５０と同時に接続される。

#### 【００７０】

第１上部コンタクト領域１８１ＵＣと、第１ダミーコンタクト領域１８１ＵＤは、第１下部コンタクト領域１８１Ｂから第３方向Ｄ３に突出する。

30

例えば、第３方向Ｄ３はフィン型パターンから遠くなる方向である。

第１上部コンタクト領域１８１ＵＣと、第１ダミーコンタクト領域１８１ＵＤは、第２方向Ｄ２に離隔する。

第１連結ソース／ドレインコンタクト１８１は、第１下部コンタクト領域１８１Ｂから第３方向Ｄ３に突出した複数のコンタクト領域を含む。

#### 【００７１】

第１下部コンタクト領域１８１Ｂは、第１上部コンタクト領域１８１ＵＣ及び第１ダミーコンタクト領域１８１ＵＤと直接接続される。

第１下部コンタクト領域１８１Ｂ、第１上部コンタクト領域１８１ＵＣ、及び第１ダミーコンタクト領域１８１ＵＤは、統合構造（integral structure）を有する。

40

例えば、統合構造は、同じ物質で形成された均一でかつシーム（seam）がない構造である。

製造工程上、第１連結ソース／ドレインコンタクト１８１のプレ構造物（pre-structure）を形成した後、プレ構造物の一部を除去する。

第１連結ソース／ドレインコンタクト１８１のプレ構造物の上面は、下部層間絶縁膜１９０の上面と同一平面に置かれる。

#### 【００７２】

プレ構造物の一部を除去することによって、第１下部コンタクト領域１８１Ｂ、第１上部コンタクト領域１８１ＵＣ、及び第１ダミーコンタクト領域１８１ＵＤが形成される。

50

第1連結ソース／ドレインコンタクト181のプレ構造物の一部をエッチングを行って、第1上部コンタクト領域181UC及び第1ダミーコンタクト領域181UDが形成されるので、第1下部コンタクト領域181Bと第1上部コンタクト領域181UCが区分される境界線と、第1下部コンタクト領域181Bと第1ダミーコンタクト領域181UDが区分される境界線がない。

すなわち、第1下部コンタクト領域181Bと第1上部コンタクト領域181UC及び第1ダミーコンタクト領域181UDとの間に、境界線が見えない。

【0073】

第1連結ソース／ドレインコンタクト181の上面は、第1上部コンタクト領域の上面(181UC\_\_US)及び第1ダミーコンタクト領域の上面(181UD\_\_US)である。

10

第1上部コンタクト領域の上面(181UC\_\_US)及び第1ダミーコンタクト領域の上面(181UD\_\_US)は、下部層間絶縁膜190の上面と同一平面に置かれる。

第1下部コンタクト領域181Bは、連結部分(181B\_\_CR)と、突出部分(181B\_\_PR)を含む。

第1下部コンタクト領域の連結部分(181B\_\_CR)は、第1上部コンタクト領域181UC及び第1ダミーコンタクト領域181UDの間に配置される。

第1下部コンタクト領域の突出部分(181B\_\_PR)は、第1上部コンタクト領域181UC及び第1ダミーコンタクト領域181UDから第2方向D2に突出した部分である。

20

第1上部コンタクト領域181UC及び第1ダミーコンタクト領域181UDは、それぞれ第1下部コンタクト領域の連結部分(181B\_\_CR)と第1下部コンタクト領域の突出部分(181B\_\_PR)との間に配置される。

【0074】

第1上部コンタクト領域181UCは、後述するビアプラグ206がランディングされる部分である。

第1連結ソース／ドレインコンタクト181は、第1上部コンタクト領域181UCを介して、配線構造体205と連結される。

配線構造体205は、第1上部コンタクト領域の上面181UC\_\_USと接触する。

第1ダミーコンタクト領域181UDは、ビアプラグ206がランディングされない部分である。

30

配線構造体205は、第1ダミーコンタクト領域の上面(181UD\_\_US)と接触しない。

後述する第1エッチング停止膜196は、第1ダミーコンタクト領域の上面(181UD\_\_US)全体を連続的に覆う。

第1下部コンタクト領域181Bから第3方向D3に突出した複数のコンタクト領域の内の一部は、第1エッチング停止膜196を貫通したビアプラグ206と接触し、残りはビアプラグ206と接触しない。

【0075】

一例として、図4に示すように、第1ダミーコンタクト領域の上面(181UD\_\_US)の第2方向D2への幅W12は、第1上部コンタクト領域の上面(181UC\_\_US)の第2方向D2への幅W11より大きいことが同じである。

40

他の例として、第1ダミーコンタクト領域の上面(181UD\_\_US)の第2方向D2への幅W12は、第1上部コンタクト領域の上面(181UC\_\_US)の第2方向D2への幅W11より小さくあり得る。

例えば、図4に示すように、第1下部コンタクト領域181Bは、第1ソース／ドレインパターン150と第2ソース／ドレインパターン250との間で、基板100に向かって突出した第1下方突出領域(181\_\_DP)を含む。

他の例として、第1下方突出領域(181\_\_DP)は、ソース／ドレインエッチング停止膜156又はフィールド絶縁膜105と接触し得る。

50

## 【0076】

第1下部コンタクト領域181Bは、一つの第1下方突出領域(181\_\_DP)を含む。

第2連結ソース／ドレインコンタクト182は、第2下部コンタクト領域182Bと、第2上部コンタクト領域182UCを含む。

第2下部コンタクト領域182Bは、第3フィン型パターン310及び第4フィン型パターン410と交差する。

第2下部コンタクト領域182Bは、第3ソース／ドレインパターン350及び第4ソース／ドレインパターン450と同時に接続される。

第2上部コンタクト領域182UCは、第2下部コンタクト領域182Bから第3方向D3に突出する。

第2連結ソース／ドレインコンタクト182は、第2下部コンタクト領域182Bから第3方向D3に突出した一つのコンタクト領域を含む。

第2下部コンタクト領域182Bは、第2上部コンタクト領域182UCと直接接続される。

第2下部コンタクト領域182B及び第2上部コンタクト領域182UCは、統合構造を有する。

## 【0077】

第2連結ソース／ドレインコンタクト182の上面は、第2上部コンタクト領域の上面(182UC\_\_US)である。

第2上部コンタクト領域の上面(182UC\_\_US)は、下部層間絶縁膜190の上面と同一平面に置かれる。

第2上部コンタクト領域182UCは、ビアプラグ206がランディングされる部分である。

第2連結ソース／ドレインコンタクト182は、第2上部コンタクト領域182UCを介して、配線構造体205と接続される。

配線構造体205は、第2上部コンタクト領域の上面(182UC\_\_US)と接触する。

例えば、図6に示すように、第2連結ソース／ドレインコンタクト182は、180度回転した「T」と類似の形状を有する。

第2上部コンタクト領域182UCの位置によって、第2連結ソース／ドレインコンタクト182は、「L」と類似の形状を有することもできる。

## 【0078】

例えば、図6に示すように、第2下部コンタクト領域182Bは、第3ソース／ドレインパターン350と第4ソース／ドレインパターン450との間で、基板100に向かって突出した第2下方突出領域(182\_\_DP)を含む。

他の例として、第2下方突出領域(182\_\_DP)は、ソース／ドレインエッチング停止膜156又はフィールド絶縁膜105と接触し得る。

第2下部コンタクト領域182Bは、一つの第2下方突出領域(182\_\_DP)を含む。

## 【0079】

図1の第1及び第2ソース／ドレインコンタクト(171、172)を第2方向D2に切断した断面図は、図15と類似する。

第1ソース／ドレインコンタクト171及び第2ソース／ドレインコンタクト172を第2方向D2に切断した断面図は、それぞれ180度回転した「T」字形又は「L」字形の内の一つであり得る。

## 【0080】

第1連結ソース／ドレインコンタクト181は、第1ソース／ドレインバリア膜181BM及び第1ソース／ドレインフィリング膜181FMを含む。

第2連結ソース／ドレインコンタクト182は、第2ソース／ドレインバリア膜182

10

20

30

40

50

B M 及び第 2 ソース／ドレインフィリング膜 1 8 2 F M を含む。

第 1 ゲートコンタクト 1 7 6 は、第 1 ゲート電極 1 2 0 上に配置される。

第 2 ゲートコンタクト 1 7 7 は、第 2 ゲート電極 2 2 0 上に配置される。

第 3 ゲートコンタクト 1 7 8 は、第 3 ゲート電極 3 2 0 上に配置される。

第 1 ゲートコンタクト 1 7 6 を例に挙げると、第 1 ゲートコンタクト 1 7 6 は、第 1 ゲートキャッピングパターン 1 4 5 を貫通して第 1 ゲート電極 1 2 0 と連結される。

【0081】

第 1 ゲートコンタクト 1 7 6 は、第 1 ゲートバリア膜 1 7 6 B M 及び第 1 ゲートフィリング膜 1 7 6 F M を含む。

第 2 ゲートコンタクト 1 7 7 は、第 2 ゲートバリア膜 1 7 7 B M 及び第 2 ゲートフィリング膜 1 7 7 F M を含む。

第 3 ゲートコンタクト 1 7 8 は、第 3 ゲートバリア膜 1 7 8 B M 及び第 3 ゲートフィリング膜 1 7 8 F M を含む。

平面図の観点で、第 1 連結ソース／ドレインコンタクト 1 8 1 に最も隣接するゲート電極（1 2 0、2 2 0、3 2 0）と接続されるゲートコンタクト（1 7 6、1 7 7、1 7 8）は、第 1 上部コンタクト領域 1 8 1 U C 及び第 1 ダミーコンタクト領域 1 8 1 U D と第 1 方向 D 1 に重ならない。

図 1 で第 1 フィン型パターン 1 1 0 及び第 2 フィン型パターン 2 1 0 と交差する第 1 連結ソース／ドレインコンタクト 1 8 1 を例に挙げると、第 1 上部コンタクト領域 1 8 1 U C 及び第 1 ダミーコンタクト領域 1 8 1 U D は、第 3 ゲートコンタクト 1 7 8 と第 1 方向 D 1 に重ならない。

【0082】

一実施形態による半導体装置で、第 1 連結ソース／ドレインコンタクト 1 8 1 に最も隣接した第 1 ゲート電極 1 2 0 と第 2 ゲート電極 2 2 0 との間のゲート分離構造体 1 6 0 は、第 1 上部コンタクト領域 1 8 1 U C 及び第 1 ダミーコンタクト領域 1 8 1 U D と第 1 方向 D 1 に重ならない。

図 1 で、第 3 フィン型パターン 3 1 0 及び第 4 フィン型パターン 4 1 0 と交差する第 1 連結ソース／ドレインコンタクト 1 8 1 を例に挙げると、第 1 上部コンタクト領域 1 8 1 U C 及び第 1 ダミーコンタクト領域 1 8 1 U D は、第 1 ゲートコンタクト 1 7 6、第 2 ゲートコンタクト 1 7 7、及びゲート分離構造体 1 6 0 と第 1 方向 D 1 に重ならない。

平面図の観点で、第 2 連結ソース／ドレインコンタクト 1 8 2 に最も隣接するゲート電極（1 2 0、2 2 0、3 2 0）と接続されるゲートコンタクト（1 7 6、1 7 7、1 7 8）は、第 2 上部コンタクト領域 1 8 2 U C と第 1 方向 D 1 に重ならない。

一実施形態による半導体装置で、第 2 連結ソース／ドレインコンタクト 1 8 2 に最も隣接した第 1 ゲート電極 1 2 0 と第 2 ゲート電極 2 2 0 との間のゲート分離構造体 1 6 0 は、第 2 上部コンタクト領域 1 8 2 U C と第 1 方向 D 1 に重ならない。

【0083】

ソース／ドレインバリア膜（1 8 1 B M、1 8 2 B M）及びゲートバリア膜（1 7 6 B M、1 7 7 B M、1 7 8 B M）は、それぞれ例えば、タンタル（T a）、タンタル窒化物（T a N）、チタン（T i）、チタン窒化物（T i N）、チタンシリコン窒化物（T i S i N）、ルテニウム（R u）、コバルト（C o）、ニッケル（N i）、ニッケルボロン（N i B）、タングステン（W）、タングステン窒化物（W N）、タングステン炭窒化物（W C N）、ジルコニウム（Z r）、ジルコニウム窒化物（Z r N）、バナジウム（V）、バナジウム窒化物（V N）、ニオブ（N b）、ニオブ窒化物（N b N）、白金（P t）、イリジウム（I r）、ロジウム（R h）、及び 2 次元物質（Two-dimensional material）の内の少なくとも一つを含み得る。

【0084】

一実施形態による半導体装置で、2 次元物質は、金属材料及び／又は半導体物質であり得る。

2 次元物質（2 D material）は、2 次元同素体（allotrope）又は

2次元化合物 (compound) を含み得、例えば、グラフェン (graphene)、モリブデン二硫化物 ( $\text{MoS}_2$ )、モリブデンジセレニド ( $\text{MoSe}_2$ )、タングステンジセレニド ( $\text{WSe}_2$ )、タングステン二硫化物 ( $\text{WS}_2$ ) の内の少なくとも一つを含み得る。

【0085】

ソース／ドレインフィリング膜 (181 FM、182 FM) 及びゲートフィリング膜 (176 FM、177 FM、178 FM) は、それぞれ例えば、アルミニウム (Al)、タングステン (W)、コバルト (Co)、ルテニウム (Ru)、銅 (Cu)、銀 (Ag)、金 (Au)、マンガン (Mn)、及びモリブデン (Mo) の内の少なくとも一つを含み得る。

10

【0086】

第1エッチング停止膜196及び第1上部層間絶縁膜191は、第1及び第2連結ソース／ドレインコンタクト (181、182) 上に順次配置される。

第1エッチング停止膜196及び第1上部層間絶縁膜191は、下部層間絶縁膜190上に配置される。

第1エッチング停止膜196は、第1上部層間絶縁膜191に対してエッチング選択比を有する物質を含む。

第1エッチング停止膜196は、例えば、シリコン窒化物 (SiN)、シリコン酸窒化物 (SiON)、シリコン酸炭窒化物 (SiOCN)、シリコンホウ素窒化物 (SiBN)、シリコン酸ホウ素窒化物 (SiOBN)、シリコン酸炭化物 (SiOC)、アルミニウム酸化物 (AlO)、アルミニウム窒化物 (AlN) 及びアルミニウム酸炭化物 (AlOC)、及びこれらの組み合わせの内の少なくとも一つを含み得る。

20

図示とは異なり、第1エッチング停止膜196が形成されなくてもよい。

第1上部層間絶縁膜191は、例えば、シリコン酸化物、シリコン窒化物、シリコン酸窒化物、及び低誘電率物質の内の少なくとも一つを含み得る。

【0087】

ビアブラグ206は、第1エッチング停止膜196及び第1上部層間絶縁膜191内に配置される。

ビアブラグ206は、第1エッチング停止膜196及び第1上部層間絶縁膜191を貫通して第1及び第2連結ソース／ドレインコンタクト (181、182) と、第1及び第2ソース／ドレインコンタクト (171、172) と連結される。

30

ビアブラグ206は、第1上部コンタクト領域の上面 (181 UC \_\_ US) 及び第2上部コンタクト領域の上面 (182 UC \_\_ US) と接触する。

しかし、ビアブラグ206は、第1ダミーコンタクト領域の上面 (181 UD \_\_ US) とは接触しない。

ビアブラグ206は、第1エッチング停止膜196及び第1上部層間絶縁膜191を貫通して、ゲートコンタクト (176、177、178) と連結される。

ビアブラグ206は、単一膜構造を有する。

ビアブラグ206は、単一膜で形成された構造を有する。

すなわち、ビアブラグ206は、単一導電膜構造を有する。

40

ビアブラグ206は、例えば、アルミニウム (Al)、タングステン (W)、コバルト (Co)、ルテニウム (Ru)、銀 (Ag)、金 (Au)、マンガン (Mn)、及びモリブデン (Mo) の内の一つを含み得る。

【0088】

ソース／ドレインコンタクト (171、172、181、182) と接続されるビアブラグ206は、ソース／ドレインビアブラグである。

ゲートコンタクト (176、177、178) と接続されるビアブラグ206は、ゲートビアブラグである。

例えば、ソース／ドレインビアブラグとゲートビアブラグの内の一つは、単一膜構造を有して、ソース／ドレインビアブラグとゲートビアブラグの内の他の一つは、ゲートコン

50

タクト（１７６、１７７、１７８）のような多重膜構造（例えば、バリア膜及びフィリング膜の組み合わせ）を有する。

他の例として、ビアプラグ２０６は、多重膜構造を有することができる。

【００８９】

図９で、ビアプラグの底面２０６ＢＳは、第２方向Ｄ２に第１ビア幅Ｗ２２を有する。

第２上部コンタクト領域の上面（１８２ＵＣ＿ＵＳ）の第２方向Ｄ２への幅Ｗ２１は、第１ビア幅Ｗ２２と同じであるか大きい。

また、第２上部コンタクト領域の上面（１８２ＵＣ＿ＵＳ）の第２方向Ｄ２への幅Ｗ２１は、第１ビア幅Ｗ２２の１．２倍より小さいか同じである。

例えば、図５及び図６に示すように、第２エッチング停止膜１９７及び第２上部層間絶縁膜１９２は、第１上部層間絶縁膜１９１上に順次配置される。

他の例として、第２エッチング停止膜１９７が形成されなくてもよい。

第２エッチング停止膜１９７及び第２上部層間絶縁膜１９２の物質に関する説明は、第１エッチング停止膜１９６及び第１上部層間絶縁膜１９１と同一である。

【００９０】

配線ライン２０７は、第２上部層間絶縁膜１９２及び第２エッチング停止膜１９７内に配置される。

配線ライン２０７は、ビアプラグ２０６と連結される。

配線ライン２０７の少なくとも一部は、第１方向Ｄ１に長く延長される。

配線ライン２０７は、配線バリア膜２０７ａと、配線フィリング膜２０７ｂを含む。

配線バリア膜２０７ａは、例えば、タンタル（Ｔａ）、タンタル窒化物（ＴａＮ）、チタン（Ｔｉ）、チタン窒化物（ＴｉＮ）、チタンシリコン窒化物（ＴｉＳｉＮ）、ルテニウム（Ｒｕ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、ニッケルボロン（ＮｉＢ）、タングステン（Ｗ）、タングステン窒化物（ＷＮ）、タングステン炭窒化物（ＷＣＮ）、ジルコニウム（Ｚｒ）、ジルコニウム窒化物（ＺｒＮ）、バナジウム（Ｖ）、バナジウム窒化物（ＶＮ）、ニオブ（Ｎｂ）、ニオブ窒化物（ＮｂＮ）、白金（Ｐｔ）、イリジウム（Ｉｒ）、ロジウム（Ｒｈ）、及び２次元物質（Two-dimensional（２Ｄ）material）の内の少なくとも一つを含み得る。

配線フィリング膜２０７ｂは、それぞれ例えば、アルミニウム（Ａｌ）、銅（Ｃｕ）、タングステン（Ｗ）、コバルト（Ｃｏ）、ルテニウム（Ｒｕ）、銀（Ａｇ）、金（Ａｕ）、マンガン（Ｍｎ）、及びモリブデン（Ｍｏ）の内の少なくとも一つを含み得る。

【００９１】

配線構造体２０５は、ビアプラグ２０６と、配線ライン２０７を含む。

配線構造体２０５は、ソース／ドレインコンタクト（１７１、１７２、１８１、１８２）及びゲートコンタクト（１７６、１７７、１７８）上に配置される。

配線構造体２０５は、ソース／ドレインコンタクト（１７１、１７２、１８１、１８２）と接続される。

配線構造体２０５は、ゲートコンタクト（１７６、１７７、１７８）と接続される。

図示とは異なり、配線ライン２０７と、ビアプラグ２０６は、統合構造（integral structure）を有する。

このような場合、配線ライン２０７と、ビアプラグ２０６の間の境界は、区分されなくてもよく、例えば、見えなくてもよい。

【００９２】

図１０～図１２は、本発明の他の実施形態による半導体装置に関する図である。

説明の便宜上、図１～図９を用いて説明した内容と異なる点を中心に説明する。

参考までに、図１０は、本発明の実施形態による半導体装置の概略的なレイアウト図であり、図１１及び図１２は、図１０のＣ－Ｃ線及びＤ－Ｄ線に沿って切断した断面図である。

図１０～図１２を参照すると、本発明の他の実施形態による半導体装置は、第１素子分離構造体１６５と最も隣接する第３連結ソース／ドレインコンタクト１８３を含む。

## 【0093】

第3連結ソース／ドレインコンタクト183は、第1素子分離構造体165と、ゲート電極（120、220、320）との間に配置される。

第3連結ソース／ドレインコンタクト183の一侧に第1素子分離構造体165が配置され、第3連結ソース／ドレインコンタクト183の他側にゲート電極（120、220、320）が配置される。

第3連結ソース／ドレインコンタクト183は、第1素子分離構造体165に最も隣接する連結ソース／ドレインコンタクトである。

第1素子分離構造体165は、第1方向D1に隣接した第3連結ソース／ドレインコンタクト183の間に配置される。

10

## 【0094】

素子分離構造体165の両側に第1連結ソース／ドレインコンタクト（図1の符号181）の代わりに第3連結ソース／ドレインコンタクト183が配置されてもよい。

第3連結ソース／ドレインコンタクト183は、第3下部コンタクト領域183Bと、第3上部コンタクト領域183UCを含む。

第3下部コンタクト領域183Bは、第1フィン型パターン110及び第2フィン型パターン210と交差する。

第3下部コンタクト領域183Bは、第1ソース／ドレインパターン150及び第2ソース／ドレインパターン250と同時に連結される。

第3下部コンタクト領域183Bは、第3フィン型パターン310及び第4フィン型パターン410と交差する。

20

第3下部コンタクト領域183Bは、第3ソース／ドレインパターン350及び第4ソース／ドレインパターン450と同時に連結される。

## 【0095】

第3上部コンタクト領域183UCは、第3下部コンタクト領域183Bから第3方向D3に突出する。

第3連結ソース／ドレインコンタクト183は、第3下部コンタクト領域183Bから第3方向D3に突出した一つのコンタクト領域を含む。

第3下部コンタクト領域183B及び第3上部コンタクト領域183UCは、統合構造を有する。

30

第3連結ソース／ドレインコンタクト183の上面は、第3上部コンタクト領域の上面183（UC\_\_US）である。

第3上部コンタクト領域の上面（183UC\_\_US）は、下部層間絶縁膜190の上面と同一平面に置かれる。

第3下部コンタクト領域183Bは、突出部分（183B\_\_PR）を含む。

第3下部コンタクト領域の突出部分（183B\_\_PR）は、第3上部コンタクト領域183UCから第2方向D2に突出した部分である。

第3上部コンタクト領域183UCは、第3下部コンタクト領域の突出部分（183B\_\_PR）の間に配置される。

## 【0096】

40

第3上部コンタクト領域183UCは、ビアプラグ206がランディングされる部分である。

第3連結ソース／ドレインコンタクト183は、第3上部コンタクト領域183UCを介して、配線構造体205と連結される。

配線構造体205は、第3上部コンタクト領域の上面（183UC\_\_US）と接触する。

図11で、第3下部コンタクト領域183Bは、第1ソース／ドレインパターン150と第2ソース／ドレインパターン250との間で、基板100に向かって突出した第3下方突出領域（183\_\_DP）を含む。

第3連結ソース／ドレインコンタクト183は、第3ソース／ドレインバリア膜183

50

B M及び第3ソース／ドレインフィリング膜183FMを含む。

【0097】

平面図の観点で、第3連結ソース／ドレインコンタクト183に最も隣接するゲート電極(120、220、320)と接続されるゲートコンタクト(176、177、178)は、第3上部コンタクト領域183UCと第1方向D1に重ならない。

一実施形態による半導体装置で、第3連結ソース／ドレインコンタクト183に最も隣接した第1ゲート電極120と第2ゲート電極220との間のゲート分離構造体160は、第3上部コンタクト領域183UCと第1方向D1に重ならない。

ビアプラグ206は、第1エッチング停止膜196及び第1上部層間絶縁膜191を貫通して第3連結ソース／ドレインコンタクト183と連結される。

ビアプラグ206は、第3上部コンタクト領域の上面(183UC\_\_US)と接触する。

【0098】

図11で、ビアプラグの底面206BSは、第2方向D2に第2ビア幅W32を有する。

第3上部コンタクト領域の上面(183UC\_\_US)の第2方向D2への幅W31は、第2ビア幅W32の1.5倍より大きいか同じである。

第2ビア幅W32は、図9の第1ビア幅W22と同一である。

第3上部コンタクト領域の上面(183UC\_\_US)の第2方向D2への幅W31は、第3下部コンタクト領域183Bの第2方向D2への幅より小さい。

第3ソース／ドレインパターン350及び第4ソース／ドレインパターン450と接続される第3連結ソース／ドレインコンタクト183で、第3上部コンタクト領域の上面(183UC\_\_US)の第2方向D2への幅は、第2ビア幅(図11のW32)の1.5倍より大きいか同じである。

【0099】

図13は、本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

説明の便宜上、図1～図12を用いて説明した内容と異なる点を中心に説明する。

図13を参照すると、本発明の他の実施形態による半導体装置で、第1素子分離構造体165は、第1連結ソース／ドレインコンタクト181及び第3連結ソース／ドレインコンタクト183の間に配置される。

第1素子分離構造体165の一侧に配置された第1連結ソース／ドレインコンタクト181は、第1ダミーコンタクト領域181UDを含む。

しかし、第1素子分離構造体165の他側に配置された第3連結ソース／ドレインコンタクト183は、ダミーコンタクト領域を含まない。

【0100】

図14及び図15は、本発明の他の実施形態による半導体装置に関する図である。

説明の便宜上、図1～図9を用いて説明した内容と異なる点を中心に説明する。

参考までに、図14は、本発明の他の実施形態による半導体装置の概略的なレイアウト図であり、図15は、図14のD-D線に沿って切断した断面図である。

【0101】

図14及び図15を参照すると、本発明の他の実施形態による半導体装置で、第1素子分離構造体165は、第1連結ソース／ドレインコンタクト181と第1ソース／ドレインコンタクト171との間と、第1連結ソース／ドレインコンタクト181と第2ソース／ドレインコンタクト172との間に配置される。

第1ソース／ドレインコンタクト171及び第2ソース／ドレインコンタクト172は、第1素子分離構造体165に最も隣接して配置される。

第1連結ソース／ドレインコンタクト181は、第1素子分離構造体165の一侧に配置される。

第1ソース／ドレインコンタクト171及び第2ソース／ドレインコンタクト172は、第1素子分離構造体165の他側に配置される。

## 【0102】

第1ソース／ドレインコンタクト171は、第1単一下部コンタクト領域171Bと、第1単一上部コンタクト領域171UCを含む。

第2ソース／ドレインコンタクト172は、第2単一下部コンタクト領域172Bと、第2単一上部コンタクト領域172UCを含む。

第1ソース／ドレインコンタクト171及び第2ソース／ドレインコンタクト172は、単一下部コンタクト領域（171B、172B）から第3方向D3に突出した一つのコンタクト領域を含む。

## 【0103】

第1単一下部コンタクト領域171Bは、第3ソース／ドレインパターン350と接続されるが、第4ソース／ドレインパターン450とは連結されない。

第2単一下部コンタクト領域172Bは、第4ソース／ドレインパターン450と接続されるが、第3ソース／ドレインパターン350とは連結されない。

第1単一上部コンタクト領域171UCは、第1単一下部コンタクト領域171Bから第3方向D3に突出する。

第2単一上部コンタクト領域172UCは、第2単一下部コンタクト領域172Bから第3方向D3に突出する。

第1ソース／ドレインコンタクト171は、第1単一ソース／ドレインバリア膜171BM及び第1単一ソース／ドレインフィリング膜171FMを含む。

第2ソース／ドレインコンタクト172は、第2単一ソース／ドレインバリア膜172BM及び第2単一ソース／ドレインフィリング膜172FMを含む。

## 【0104】

平面図の観点で、第1素子分離構造体165に最も隣接するゲート電極（120、220、320）と接続されるゲートコンタクト（176、177、178）は、第1単一上部コンタクト領域171UC及び第2単一上部コンタクト領域172UCと第1方向D1に重ならない。

ビアプラグ206は、第1ソース／ドレインコンタクト171及び第2ソース／ドレインコンタクト172と接続される。

## 【0105】

図16及び図17は、本発明の他の実施形態による半導体装置に関する図である。

説明の便宜上、図1～図9を用いて説明した内容と異なる点を中心に説明する。

参考までに、図16は、本発明の他の実施形態による半導体装置の概略的なレイアウト図であり、図17は、図16のD-D線に沿って切断した断面図である。

図16及び図17を参照すると、本発明の他の実施形態による半導体装置で、第1素子分離構造体165は、第1連結ソース／ドレインコンタクト181と第2連結ソース／ドレインコンタクト182との間に配置される。

第2連結ソース／ドレインコンタクト182は、第1素子分離構造体165に最も隣接して配置される。

第1連結ソース／ドレインコンタクト181は、第1素子分離構造体165の一側に配置される。

第2連結ソース／ドレインコンタクト182は、第1素子分離構造体165の他側に最も隣接して配置される。

## 【0106】

図18及び図19は、本発明の他の実施形態による半導体装置に関する図である。

説明の便宜上、図1～図9を用いて説明した内容と異なる点を中心に説明する。

参考までに、図18は、本発明の他の実施形態による半導体装置の概略的なレイアウト図であり、図19は、図18のD-D線に沿って切断した断面図である。

図18及び図19を参照すると、本発明の他の実施形態による半導体装置で、第1素子分離構造体165は、第1連結ソース／ドレインコンタクト181と第4連結ソース／ドレインコンタクト184との間に配置される。

## 【0107】

第4連結ソース／ドレインコンタクト184は、第4下部コンタクト領域184Bと、複数の第4上部コンタクト領域184UCを含む。

第4下部コンタクト領域184Bは、第3フィン型パターン310及び第4フィン型パターン410と交差する。

第4下部コンタクト領域184Bは、第3ソース／ドレインパターン350及び第4ソース／ドレインパターン450と同時に接続される。

複数の第4上部コンタクト領域184UCは、第4下部コンタクト領域184Bから第3方向D3に突出する。

複数の第4上部コンタクト領域184UCは、第2方向D2に離隔する。

それぞれの第4上部コンタクト領域184UCは、ビアプラグ206がランディングされる部分である。

## 【0108】

第4連結ソース／ドレインコンタクト184は、それぞれの第4上部コンタクト領域184UCを介して配線構造体205と接続される。

配線構造体205は、それぞれの第4上部コンタクト領域の上面(184UC\_\_US)と接触する。

複数の第4上部コンタクト領域184UCは、第2方向D2に離隔した第1サブコンタクト領域及び第2サブコンタクト領域を含む。

第1サブコンタクト領域及び第2サブコンタクト領域は、それぞれビアプラグ206と接触する。

それぞれの第1サブコンタクト領域の上面及び第2サブコンタクト領域の上面は、配線構造体205と接触する。

例えば、第4連結ソース／ドレインコンタクト184は、第1素子分離構造体165に最も隣接する連結ソース／ドレインコンタクトである。

第4連結ソース／ドレインコンタクト184は、第4ソース／ドレインバリア膜184BM及び第4ソース／ドレインフィリング膜184FMを含む。

## 【0109】

図20は、本発明の他の実施形態による半導体装置の概略的なレイアウト図である。

図21～図25は、それぞれ本発明の他の実施形態による半導体装置に関する図である。

説明の便宜上、図1～図9を用いて説明した内容と異なる点を中心に説明する。

参考までに図21～図24は、図1のC-C線に沿って切断した断面図であり、図25は、図1のG-G線に沿って切断した断面図である。

## 【0110】

図20を参照すると、本発明の他の実施形態による半導体装置で、第1方向に隣接するゲート電極(120、220、320)の間に第4連結ソース／ドレインコンタクト184が配置される。

例えば、第4連結ソース／ドレインコンタクト184は、素子分離構造体(165、166)と最も隣接した連結ソース／ドレインコンタクトではなくてもよい。

第4連結ソース／ドレインコンタクト184の構造に関する説明は、図18及び図19を用いて説明した内容と同一である。

## 【0111】

図21を参照すると、本発明の他の実施形態による半導体装置で、第1下部コンタクト領域181Bは、第1ソース／ドレインパターン150と第2ソース／ドレインパターン250との間で、基板100に向かって突出した複数の第1下方突出領域(181\_\_DP)を含む。

例えば、第1下部コンタクト領域181Bは、2個の第1下方突出領域(181\_\_DP)を含む。

図示とは異なり、複数の第1下方突出領域(181\_\_DP)の少なくとも一つは、ソー

10

20

30

40

50

ス／ドレインエッチング停止膜 156 又はフィールド絶縁膜 105 と接触し得る。

また、図示とは異なり、フィールド絶縁膜 105 の一部は、2 方向 D2 に隣接した第 1 下方突出領域 (181 \_\_ DP) の間に突出し得る。

図に示していないが、第 2 下部コンタクト領域 (図 6 の 182 B) も複数の下方突出領域を含むことができる。

【0112】

図 22 を参照すると、本発明の他の実施形態による半導体装置で、第 1 下部コンタクト領域 181 B は、一つの第 1 下方突出領域 (181 \_\_ DP) と、一つの第 1 上方湾入領域 (181 \_\_ UP) を含む。

下部層間絶縁膜 190 の一部は、第 1 下部コンタクト領域 181 B 内に湾入する。

第 1 上方湾入領域 (181 \_\_ UP) で、下部層間絶縁膜 190 は、第 1 下部コンタクト領域 181 B 内に湾入する。

第 1 下方突出領域 (181 \_\_ DP) で、第 1 下部コンタクト領域 181 B の第 3 方向 D3 への厚さは、第 1 ソース／ドレインパターン 150 から遠くなるにつれて増加してから減少する。

第 1 上方湾入領域 (181 \_\_ UP) で、第 1 下部コンタクト領域 181 B の第 3 方向 D3 への厚さは、減少してから増加する。

【0113】

図 23 を参照すると、本発明の他の実施形態による半導体装置で、第 1 下部コンタクト領域 181 B の底面は、第 1 ソース／ドレインパターン 150 と第 2 ソース／ドレインパターン 250 との間で平らである。

すなわち、第 1 下部コンタクト領域 181 B は、第 1 下方突出領域 (図 4 の符号 (181 \_\_ DP)) を含まない。

【0114】

図 24 を参照すると、本発明の他の実施形態による半導体装置で、フィールド領域 FX は、ダミーフィンパターン DFP により定義される。

第 1 活性領域 RX1 及び第 2 活性領域 RX2 は、ダミーフィンパターン DFP により定義される。

別の言葉で言えば、ダミーフィンパターン DFP の間に、第 1 活性領域 RX1 及び第 2 活性領域 RX2 が定義される。

ダミーフィンパターン DFP の上面は、フィールド絶縁膜 105 により全体的に覆われている。

ダミーフィンパターン DFP の上面は、フィールド絶縁膜 105 の上面より低い。

ダミーフィンパターン DFP は、例えば、第 1 フィン型パターン 110 及び／又は第 2 フィン型パターン 210 と同じ物質を含む。

【0115】

図 25 を参照すると、本発明の他の実施形態による半導体装置で、第 1 ゲート絶縁膜 130 は、第 2 方向 D2 に対向する第 1 ゲート電極 120 の側壁及びゲート分離構造体 160 の側壁に沿って延長されない。

第 2 ゲート絶縁膜 230 は、第 2 方向 D2 に対向する第 2 ゲート電極 220 の側壁及びゲート分離構造体 160 の側壁に沿って延長されない。

このような場合、第 1 連結ソース／ドレインコンタクト 181 に最も隣接した第 1 ゲート電極 120 及び第 2 ゲート電極 220 の間のゲート分離構造体 160 は、第 1 上部コンタクト領域 (図 1 の符号 (181 UC)) 及び第 1 ダミーコンタクト領域 (図 1 の符号 (181 UD)) と第 1 方向 D1 に重なる。

また、第 2 連結ソース／ドレインコンタクト (図 1 の符号 (182)) に最も隣接した第 1 ゲート電極 120 及び第 2 ゲート電極 220 の間のゲート分離構造体 160 は、第 2 上部コンタクト領域 (図 1 の符号 (182 UC)) と第 1 方向 D1 に重なる。

【0116】

図 26 ～図 30 は、本発明の他の実施形態による半導体装置に関する図である。

参考までに、図 26 は、本発明の他の実施形態による半導体装置の概略的なレイアウト図であり、図 27 及び図 28 は、図 26 の A-A 線に沿って切断した断面図であり、図 29 は、図 26 の C-C 線に沿って切断した断面図であり、図 30 は、図 26 の F-F 線に沿って切断した断面図である。

説明の便宜上、図 1～図 9 を用いて説明した内容と異なる点を中心に説明する。

【0117】

図 26～図 30 を参照すると、本発明の他の実施形態による半導体装置は、第 1 フィン型パターン 110 と第 3 方向 D3 に離隔した第 1 シートパターン NS1 と、第 2 フィン型パターン 210 と第 3 方向 D3 に離隔した第 2 シートパターン NS2 と、第 3 フィン型パターン 310 と第 3 方向 D3 に離隔した第 3 シートパターン NS3 をさらに含む。

10

図に示していないが、それぞれの第 4～図 6 フィン型パターン（410、510、610）上に、シートパターンが配置される。

【0118】

第 1 活性領域 RX1 及び第 2 活性領域 RX2 は、第 1 フィン型パターン 110 及び第 2 フィン型パターン 210 により区分される。

また、第 1 活性領域 RX1 及び第 2 活性領域 RX2 は、第 3 フィン型パターン 310 及び第 4 フィン型パターン 410 により区分される。

第 1 シートパターン NS1 は、第 1 フィン型パターン 110 上に、第 1 フィン型パターン 110 と離隔して配置される。

第 1 シートパターン NS1 は、複数のシートパターンを含む。

20

第 2 シートパターン NS2 は、第 2 フィン型パターン 210 上に、第 2 フィン型パターン 210 と離隔して配置される。

第 2 シートパターン NS2 は、複数のシートパターンを含む。

第 3 シートパターン NS3 は、第 3 フィン型パターン 310 上に、第 3 フィン型パターン 310 と離隔して配置される。

【0119】

第 1 シートパターン NS1、第 2 シートパターン NS2、及び第 3 シートパターン NS3 は、それぞれ 3 個である場合を図示したが、これは説明の便宜のためだけである。

第 1 ゲート絶縁膜 130 は、第 3 シートパターン NS1 の周囲を囲む。

第 3 ゲート絶縁膜 330 は、第 1 シートパターン NS1 の周囲及び第 2 シートパターン NS2 の周囲を囲む。

30

第 1 ゲート電極 120 は、第 3 フィン型パターン 310 上に配置される。

第 1 ゲート電極 120 は、第 3 フィン型パターン 310 と交差する。

第 1 ゲート電極 120 は、第 3 シートパターン NS3 を囲む。

第 3 ゲート電極 320 は、第 1 フィン型パターン 110 及び第 2 フィン型パターン 210 上に配置される。

第 3 ゲート電極 320 は、第 1 フィン型パターン 110 及び第 2 フィン型パターン 210 と交差する。

第 3 ゲート電極 320 は、第 1 シートパターン NS1 及び第 2 シートパターン NS2 を囲む。

40

【0120】

図 27 で、第 1 ゲートスペーサ 140 は、第 3 フィン型パターン 310 と第 3 シートパターン NS3 との間と、隣接する第 3 シートパターン NS3 の間に配置されない。

また、第 3 ゲートスペーサ 340 は、第 1 フィン型パターン 110 と第 1 シートパターン NS1 との間と、隣接する第 1 シートパターン NS1 の間に配置されない。

【0121】

図 28 で、第 1 ゲートスペーサ 140 は、第 3 フィン型パターン 310 と第 3 シートパターン NS3 との間と、隣接する第 3 シートパターン NS3 の間に配置される。

第 3 ゲートスペーサ 340 は、第 1 フィン型パターン 110 と第 1 シートパターン NS1 との間と、隣接する第 1 シートパターン NS1 の間に配置される。

50

第２フィン型パターン２１０を沿って切断された断面図は、図２９及び図３０の一つと類似する。

第１ソース／ドレインパターン１５０は、第１方向Ｄ１に隣接する第１シートパターンＮＳ１と連結される。

第３ソース／ドレインパターン３５０は、第１方向Ｄ１に隣接する第３シートパターンＮＳ３と連結される。

図に示していないが、第２ソース／ドレインパターン２５０は、第１方向Ｄ１に隣接する第２シートパターンＮＳ２と連結される。

【０１２２】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【符号の説明】

【０１２３】

- １００ 基板
- １０５ フィールド絶縁膜
- １１０、２１０、３１０、４１０、５１０、６１０ 第１～第６フィン型パターン
- １２０、２２０、３２０ 第１～第３ゲート電極
- １４０、２４０、３４０ 第１～第３ゲートスペーサ
- １４５、２４５、３４５ 第１～第３ゲートキャッピングパターン
- １５０ 第１ソース／ドレインパターン
- １５５、２５５、３５５ 第１～第３シリサイド膜
- １５６ ソース／ドレインエッチング停止膜
- １６０ ゲート分離構造体
- １６５、１６６ 第１及び第２素子分離構造体
- １７１ 第１ソース／ドレインコンタクト
- １７２ 第２ソース／ドレインコンタクト
- １７６、１７７、１７８ 第１～第３ゲートコンタクト
- １８１、１８２ 第１及び第２連結ソース／ドレインコンタクト
- １９０、１９１、１９２ (第１上部～第３上部) 層間絶縁膜
- １９７ 第２エッチング停止膜
- ２０５ 配線構造体
- ２０６ ビアプラグ
- ２０７ 配線ライン

10

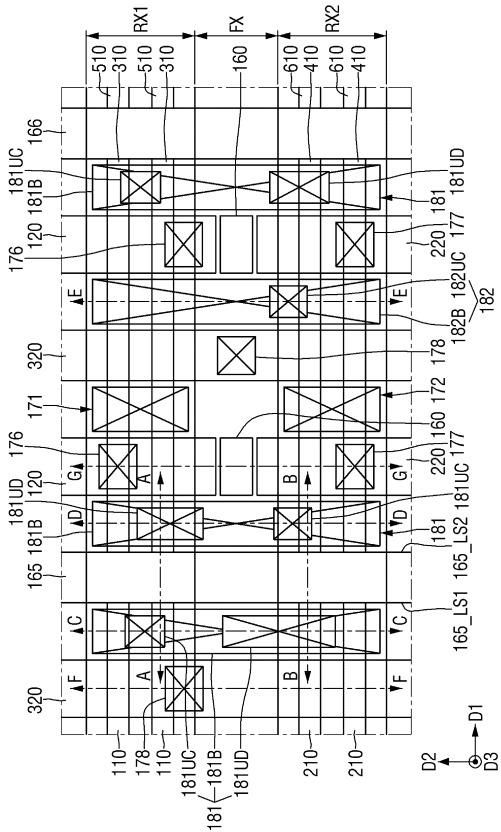
20

30

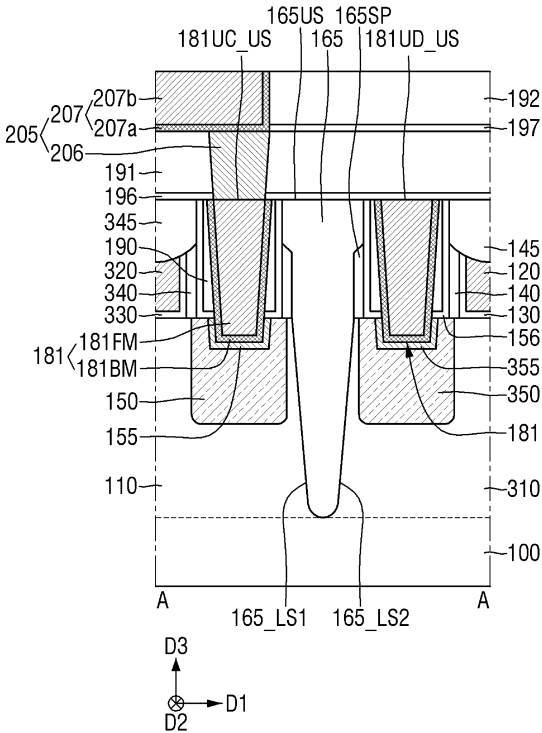
40

50

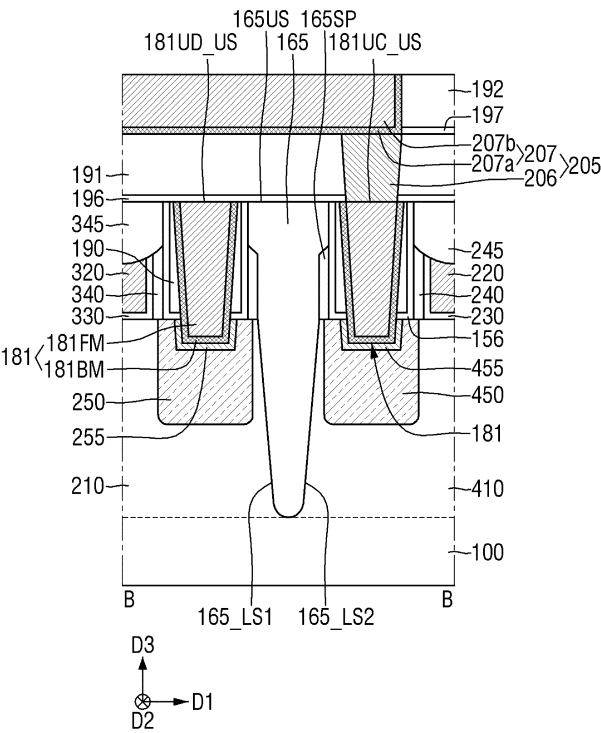
【図面】  
【図 1】



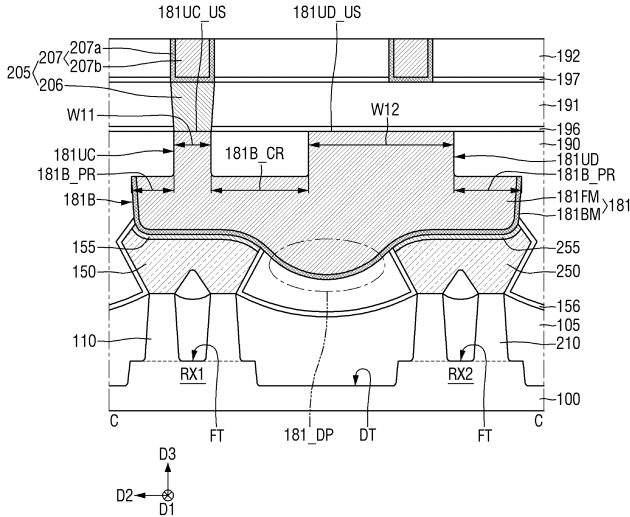
【図 2】



【図 3】



【図 4】



10

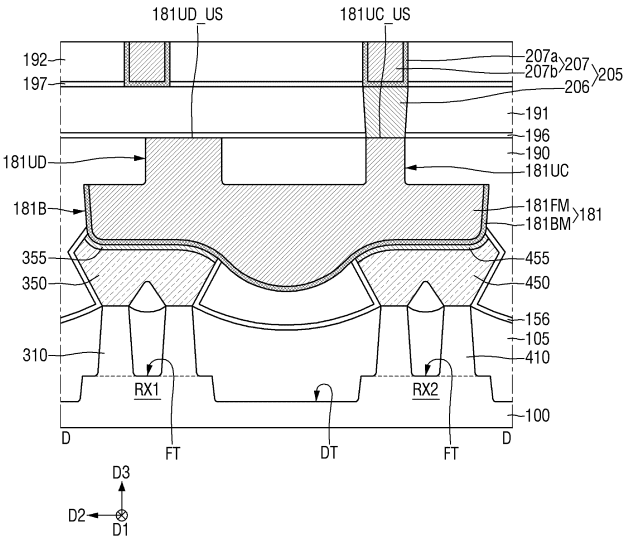
20

30

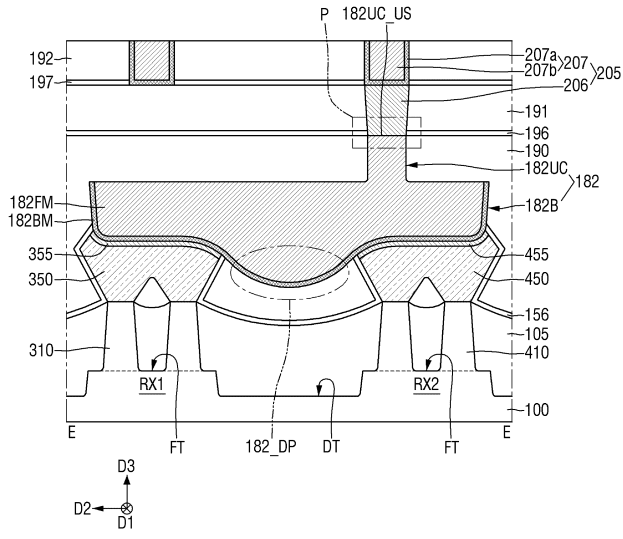
40

50

【図 5】

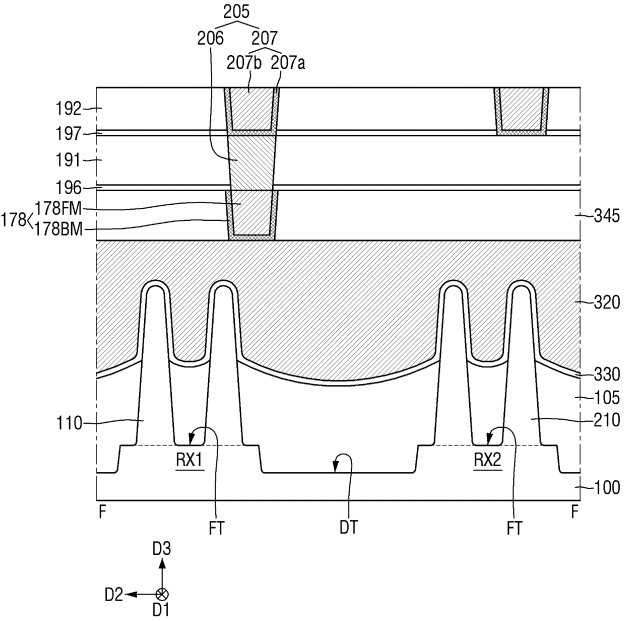


【図 6】

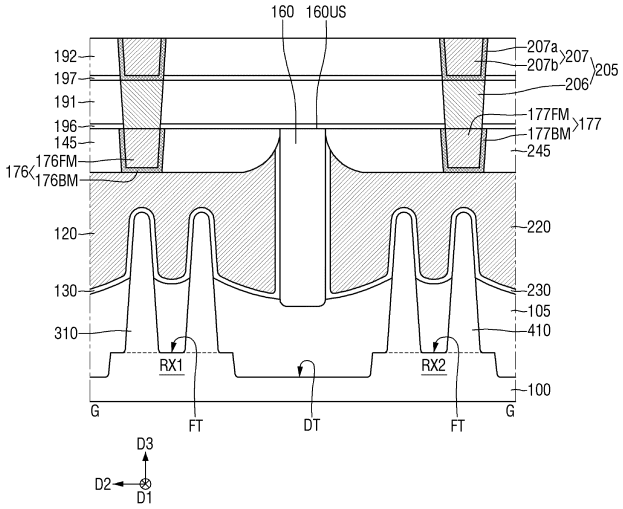


10

【図 7】



【図 8】



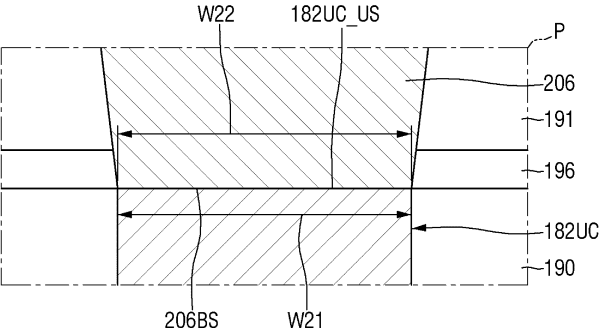
20

30

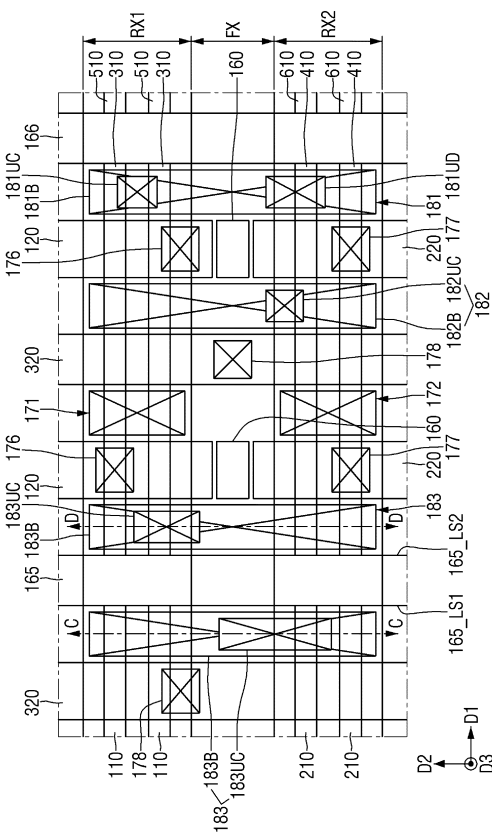
40

50

【図 9】



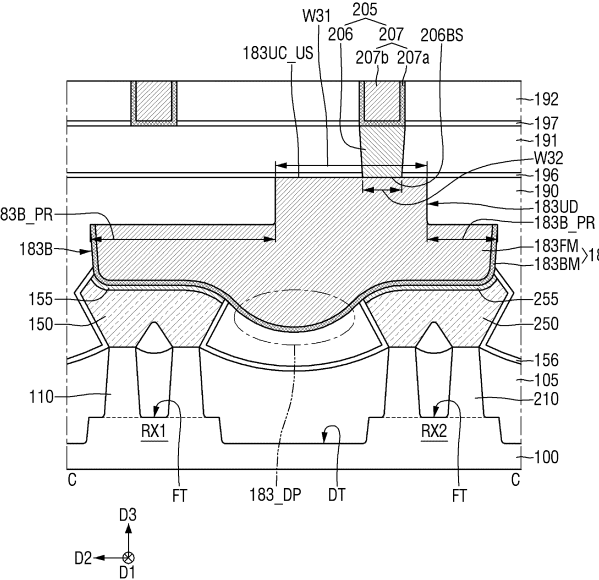
【図 10】



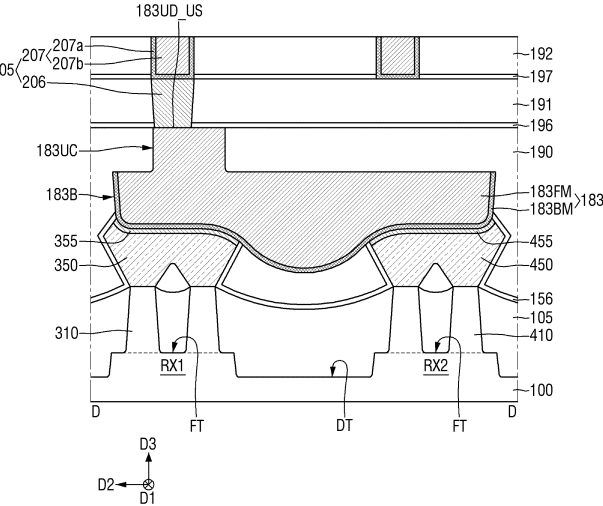
10

20

【図 11】



【図 12】

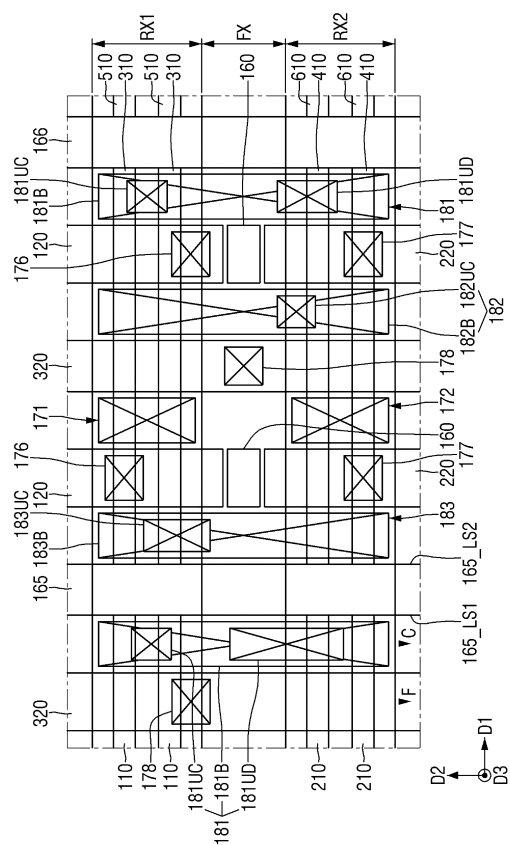


30

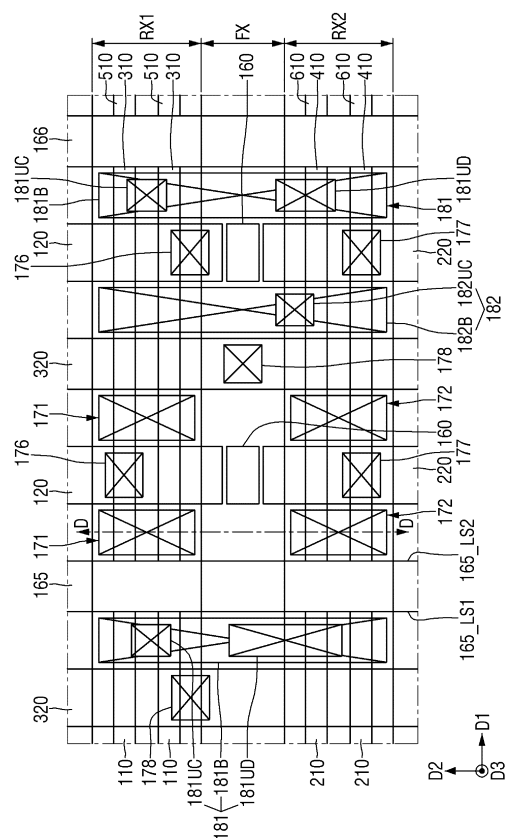
40

50

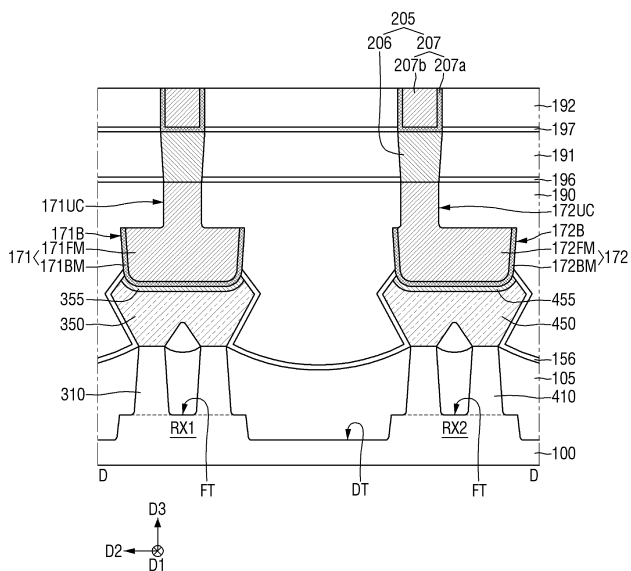
【図 13】



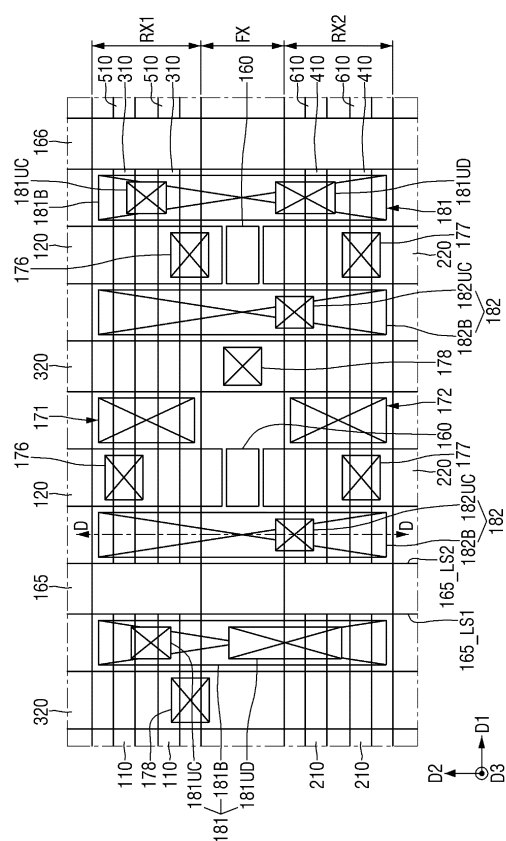
【図 14】



【図 15】

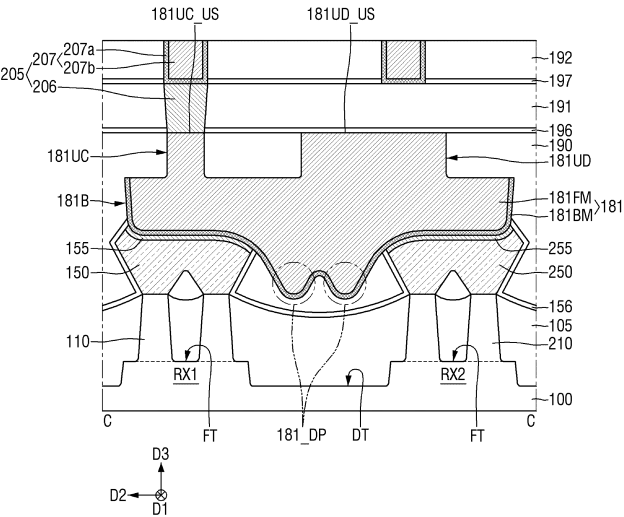


【図 16】

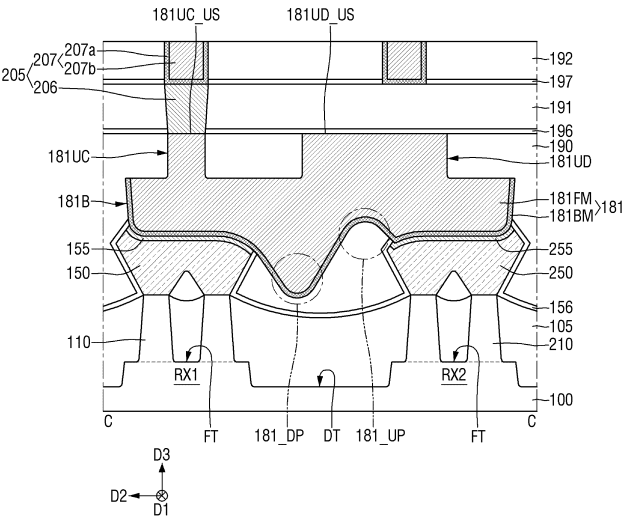




【図 2 1】

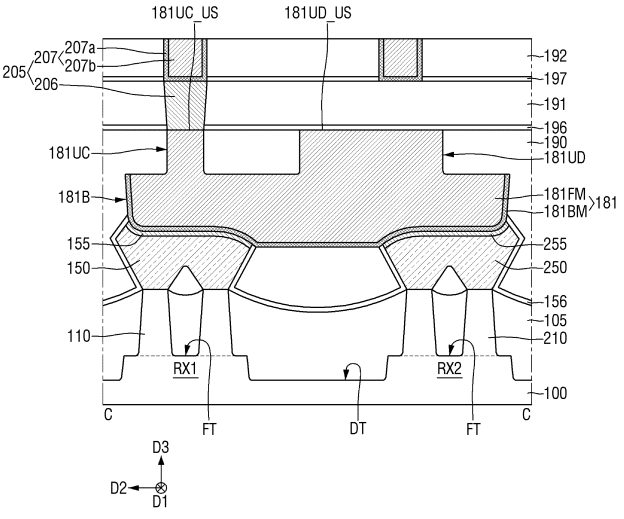


【図 2 2】

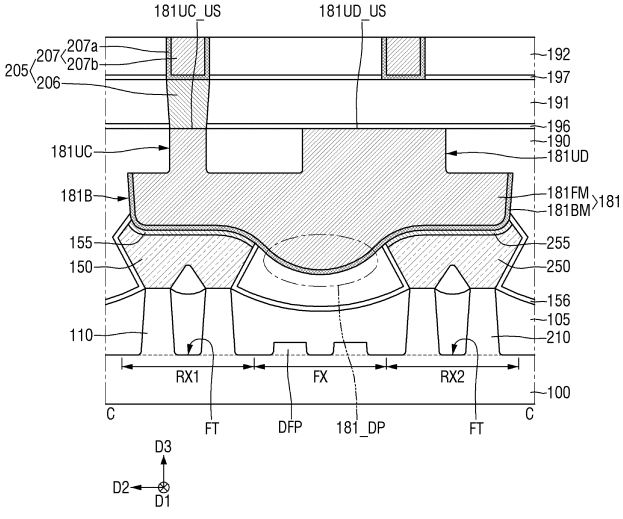


10

【図 2 3】



【図 2 4】



20

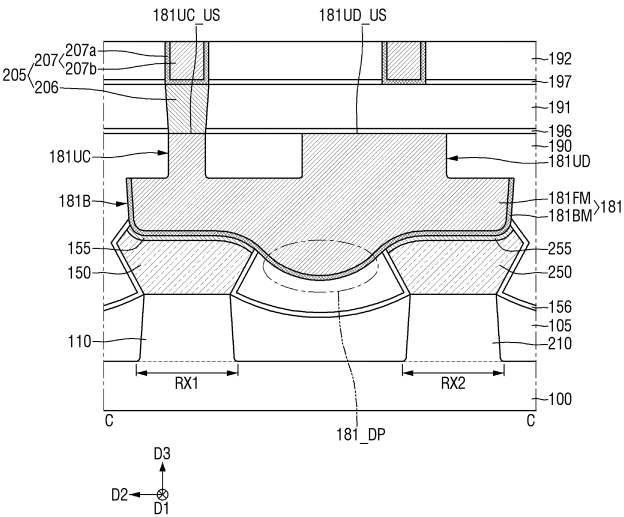
30

40

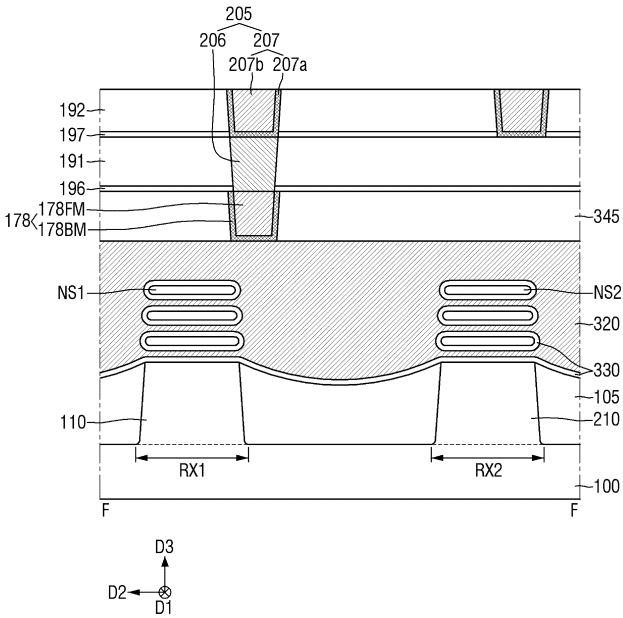
50



【図 29】



【図 30】



10

20

30

40

50

---

フロントページの続き

(72)発明者 嚴 命 允  
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9

(72)発明者 李 留 利  
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9

(72)発明者 林 善 美  
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9

(72)発明者 田 俊 秀  
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9

F ターム (参考) 5F048 AB03 AB04 AC03 BB09 BD06 BF02 BF07 BG13 BG14  
5F140 AB03 BA01 BA02 BA05 BA06 BA07 BA08 BB05 BC15 BD04  
BD05 BD06 BD07 BD11 BD13 BD17 BF05 BF06 BF07 BF10 BF42  
BF43 BF45 BF58 BG08 BG11 BG12 BG14 BH03 BH06 BJ05 BJ06  
BJ07 BJ10 BJ15 BJ17 BJ20 BJ25 BJ26 BK09 BK27 CA03 CB04  
CC02 CC03 CC08 CC09 CC10 CF05