附件 1：　第 84106268 號專利申請案
中文說明書修正頁　民國 88 年 1 月呈

修正 本88年1月12

申請日期	84 年 6 月 19 日
案號	84106268
類別	H01L 23/48, 23/58

公告本 A4 384530 C4

384530

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	顯示裝置
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 木村誠 (2) 東條信治 (3) 秋元康治
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都小平市上水本町五－一九－一 (2) 日本國東京都東村山市萩山町五－六－二〇－二〇三 (3) 日本國東京都立川市一番町二－二六－一
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八一番地
	代表人姓名	(1) 金井務 (2) 梨本柳三

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

附件 1：　第 84106268 號專利申請案
中文說明書修正頁　民國 88 年 1 月呈

修正 本88年1月12

申請日期	84 年 6 月 19 日
案號	84106268
類別	H01L 23/48, 23/58

公告本 A4 384530 C4

384530

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	顯示裝置
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 木村誠 (2) 東條信治 (3) 秋元康治
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都小平市上水本町五－一九－一 (2) 日本國東京都東村山市萩山町五－六－二〇－二〇三 (3) 日本國東京都立川市一番町二－二六－一
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八一番地
	代表人姓名	(1) 金井務 (2) 梨本柳三

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

384530

申請日期	84 年 6 月 19 日
案號	84106268
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 金光伸弥 ⑸ 毛利博幸 ⑹ 藤岡恭弘
	國籍	⑷ 日本 ⑸ 日本 ⑹ 日本
	住、居所	⑷ 日本國東京都武蔵野市境一－二〇－一二 ⑸ 日本國東京都中野區中央四－二六－一〇－八〇一 ⑹ 日本國東京都小平市学園西町一－一七－八－三〇五
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

申請日期	84 年 6 月 19 日
案號	84106268
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	(7) 成沢明彦 (8) 谷川義之
	國籍	(7) 日本　　(8) 日本
	住、居所	(7) 日本國東京都小平市学園西町一一一四－一五－一一〇二 (8) 日本國東京都小金井市貫井南町三－四－二五
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995 年　6 月 16 日　　7-150200　　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

暫存器（Ra1-Ran、Rb1-Rbn）之位址解碼器121、控制演算器AUa、Aub等之側邊演算部序列122等所構成。

側邊演算部EDGE係執行側邊繪圖演算法的模組。又側邊演算部EDGE係由命令．記憶體VRAM，取出繪圖命令，和繪圖來源資料，和繪圖參數。側邊演算部EDGE係進行根據取出之繪圖命令及繪圖參數的側邊演算，於直線演算部LINE內的內部暫存器，收存側邊演算結果。

第4圖中，則顯示直線演算部LINE之詳細方塊圖。直線演算部LINE係以於1周期進行DDA演算（進行減算爲主之演算：DigitalDifferential Analizer）的5個DDA演算器（S-DDA133、D-DDA134、R-DDA135、G-DDA136、B-DDA137），和13位元之暫存器群132，和選擇暫存器群132之位址解碼器131等所構成。

直線演算部LINE係執行直線繪圖演算法的模組。根據經由側邊演算部EGDE收容之側邊演算結果，進行直線演算。直線演算部LINE係經由內藏之暫存器群132，記憶自側邊演算部EGDE交出之線拷貝之起點終點的參數，根據此參數，進行直線演算。

第5圖中，顯示畫素演算部DOT之詳細方塊圖。畫素演算部DOT係以來源．記憶體．位址．計數器S-Counter144，和區別．記憶體．位址．計數器D-Counter145，和對應紅色、綠色、藍色之3個5位元計數器R-Counter141、G-Counter142、B-Counter143，和具有專用讀取、寫入匯流排的3個5位元演算器R-AU146、G-AU147、B-AU148等所構成。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

〔產業上之利用範圍〕

本發明係有關於ＬＯＣ（Lead-On-Chip)型半導體裝置及液晶顯示裝置，特別是關於有效地適用於由ＴＣＰ（Tape Carrier Package）所形成之液晶顯示用半導體裝置的技術。

〔習知技術〕

習知液晶顯示用半導體裝置（ＬＳＩ），爲了液晶顯示裝置之薄型化而採用ＴＣＰ。該液晶顯示用半導體裝置係配置於液晶顯示裝置之顯示部之周邊。

上述習知液晶顯示用半導體裝置係使半導體晶片細長化，ＴＣＰ亦細長化。如此般使液晶顯示用半導體裝置細長化以縮小液晶顯示裝置之顯示部周邊之面積，俾能獲得更大的顯示面積。

另外，爲縮小液晶顯示裝置之顯示部周邊之面積，有採用在ＴＣＰ用粘帶（Tape)上製作彎曲部分，將之配置於液晶顯示用半導體裝置之背面或側面的方法。

上記習知液晶顯示用ＬＯＣ型半導體裝置之一例如圖１１所示般，在半導體晶片１之周邊部形成輸入導電片或突起（以下簡稱導電片）２ａ及輸出導電片２ｂ。將該輸入／出導電片２ａ、２ｂ和ＴＣＰ用粘帶３上所設之輸入引線４ａ及輸出引線４ｂ之內引線４間作電連接，將該連接部藉封裝樹脂５予以封裝。

在ＴＣＰ用粘帶３之中央部，設有用來將半導體晶片

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 2）

1和內引線4作電連接用之較半導體晶片1大的元件孔（Device Hole）6，在輸入引線4a之外引線之部分上設有輸入孔7。

另外，關於使用承載粘帶（Carrier Tape）之ＬＯＣ型半導體裝置之技術，例如在特開平５－１６６８１２號公報有揭示。而關於使用ＴＣＰ之半導體裝置及液晶顯示用半導體裝置之裝配技術。例如在１９９３年5月３１日，日經ＢＰ社發行之「實踐講座ＶＬＳＩ　Package技術（上）」第１３９～１４１頁及第２６７～２７４頁有揭示。

〔發明所欲解決之問題〕

本案發明人經檢討上述圖１１所示習知ＬＯＣ型液晶顯示用半導體裝置之結果，發現以下問題點。

（１）上述習知液晶顯示用半導體裝置，其構造爲在半導體晶片1之主面上之周邊部配置輸入／出導電片2a，2b。因此，與ＴＣＰ用粘帶3上之內引線4連接後，爲了絕緣，保護而於其上以封裝樹脂5密封時。ＴＣＰ用粘帶3上之樹脂封裝範圍有一定程度之存在必要。該樹脂封裝範圍係與樹脂之流域和半導體晶片1之大小有關。因此，爲縮小液晶顯示裝置之顯示部周邊之額緣之面積，或增大液晶顯示裝置之顯示部之面積時，即使想縮小液晶顯示用半導體裝置之ＴＣＰ亦只能縮小到某一程度。

（２）習知液晶顯示用半導體裝置，係如圖１１之（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 3）

b）圖（圖11之（a）圖之沿C－C線之斷面圖）所示般，封裝樹脂5向TCP用粘帶3之背面流散，由於向背面流散之封裝樹脂5a導致在裝配時，液晶顯示面板之玻璃上之配線之印刷配線基板之配線墊片和液晶顯示用半導體裝置之輸入／出導電片間之連接不良。

（3）習知液晶顯示用半導體裝置，係如圖11之（b）圖所示般，由於TCP用粘帶3未被固定於半導體晶片之主面上，導致內引線4之短路之信賴性降低。

（4）習知液晶顯示用半導體裝置，如圖11之（a）圖所示般，電極墊片2和TCP用粘帶3上所設之輸入引線4a及輸出引線4b之內引線4的彎曲部分（屈曲部）4a1、4b1需再加工。

（5）習知液晶顯示用半導體裝置，如圖11之（a）圖所示般，半導體晶片1之短邊之周邊上所設之TCP用粘帶3上之輸出引線4b之內引線4之包含彎曲部分4a1、4b1之小型化裝配爲不可能。

（6）在TCP用粘帶3上製作彎曲部，將液晶顯示用半導體裝置在液晶顯示裝置之背面或側面時，在TCP用粘帶3上製作彎曲部（屈曲部）之加工有其必要，且液晶顯示裝置彎厚同時液晶顯示裝置之組裝彎困難，此爲問題點。另外，在TCP用粘帶3製作彎曲部之加工將造成成本增加。

本發明之目的在於提供不會降低功能之可小型化之半導體裝置。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（4 ）

如申請專利範圍第6項之半導體積體裝置，其中，上述選擇信號係根據自外部測試裝置輸出之測試信號，經由模式選擇端子生成，

上述模式選擇端子係根據上述測試信號，進行通常動作模式，上述邏輯模組之測試模式，上述記憶體模組之測試模式之設定，選擇各上述邏輯模組，上述複數之記憶體模組，進行測試者。

如申請專利範圍第7項之半導體積體裝置，其中，上述模式選擇端子係根據自外部之測試裝置輸出之編碼化的測試信號，進行通常動作模式，上述邏輯模組之測試模式，上述記憶體模組之測試模式之設定，選擇各上述邏輯模組，上述複數之記憶體模組，進行測試者。

如申請專利範圍第2項之半導體積體裝置，其中，上述通常動作模式時，係上述記憶體模組係令第2之埠呈高阻抗狀態，經由上述第1之埠，存取上述邏輯模組或外部之處理器者。

如申請專利範圍第2項之半導體積體裝置，其中，上述記憶體模組之測試模式時，係令上述第1之埠呈高阻抗，自上述第2之埠，將上述記憶體模組之內容輸出至上述第2之匯流排，透過第2之端子輸出至外部者。

如申請專利範圍第2項之半導體積體裝置，其中，上述邏輯模組之測試模式時，上述記憶體模組係執行通常動作，

自上述第2之埠，令上述記憶體模組之內容輸出至上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5 ）

述第2之匯流排，

透過第2之端子，輸出至外部者。

如申請專利範圍第2項之半導體積體裝置，其中，上述邏輯模組之測試模式時，令呈測試對象之上述記憶體模組，經由自模式選擇端子輸出的選擇信號所決定，

上述邏輯模組係執行根據測試圖案的動作，令對象之記憶體模組所連接之匯流排資訊輸出至外部者。

一種半導體積體裝置，其特徵係令集積邏輯電路的畫像用處理器，和收容繪圖命令及繪圖來源資料的第1之記憶體模組，

和收容繪圖資訊的第2之記憶體模組，具備於1個半導體基板上，

上述第1或第2之記憶體模組係具備線邏輯電路，根據選擇信號，匯流排之驅動元件則呈高阻抗狀態者。

如申請專利範圍第13項之半導體積體裝置，其中，上述半導體集積裝置係各具備使用於通常動作時之第1端子，和使用於測試動作時之第2端子，

和連接上述第1之端子和上述邏輯模組，使用於通常動作之第1匯流排，

和連接上述第2之端子和上述第1或第2之記憶體模組，使用於測試動作時之第2匯流排；

上述第1或第2之記憶體模組係具備連接於上述邏輯模組，使用於通常動作時之第1埠，和連接於上述第2匯流排，使用於測試動作時之第2埠者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6 ）

如申請專利範圍第14項之半導體積體裝置，其中，上述第2之匯流排係共通連接於上述複數之第1或第2之記憶體模組，

經由選擇信號僅就選擇之記憶體模組之輸出，則輸出至共通匯流排者。

如申請專利範圍第15項之半導體積體裝置，其中，上述選擇信號係根據自外部之測試裝置輸入的測試信號，經由模式選擇端子生成，

上述模式選擇端子係根據上述測試信號，進行通常動作模式，上述畫像用之處理器之測試模式，上述動態型隨機存取記憶體之測試模式的設定，各上述畫像用之處理器，上述第1或第2之記憶體模組則被選擇，進行測試。

如申請專利範圍第1項至第16項之任一項之半導體積體裝置，其中，上述記憶體模組係各經由動態型隨機存取記憶體所構成者。

又，經由內藏DRAM，圖像控制器存取於DRAM的匯流排則不會顯現於外部。因此，不會採用以往之測試方法。即，以往圖像控制器和圖框緩衝器等之畫像記憶體係以另外之晶片加以構成之故，對於圖像控制器和畫像記憶體之連接端子之物理故障，或機能故障中，對於可直接自畫像記憶體之端子加以檢出而言，當以單晶片構成時，則無法監督畫像記憶體端子和直接資訊的處理。

【圖面之簡單說明】

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7 ）

第1圖中，顯示利用有關本發明之半導體積體電路裝置的系統之一例。

第2圖中，顯示畫像操作之代表性者。

第3圖中，顯示有關本發明之內藏於半導體積體電路裝置的畫像處理器之側邊演算部的方塊圖。

第4圖中，顯示有關本發明之內藏於半導體積體電路裝置的畫像處理器之直線演算部的方塊圖。

第5圖中，顯示有關本發明之內藏於半導體積體電路裝置的畫像處理器之畫素演算部的方塊圖。

第6圖中，顯示有關本發明之內藏於半導體積體電路裝置的畫像處理器和畫像記憶體的連接關係。

第7圖中，顯示有關本發明之內藏於半導體積體電路裝置的記憶體模組的讀取和寫入的基本時間圖。

第8圖中，有關本發明之內藏於半導體積體電路裝置的記憶體模組的行位址被切換時之時間圖。

第9圖中，顯示產生跨於複數區庫繪圖的情形。

第10圖中，顯示有關本發明之內藏於半導體積體電路裝置的畫像處理器之4段管線處理的情形。

第11圖中，顯示有關本發明之內藏於半導體積體電路裝置的記憶體模組的具體例。

第12圖中，顯示有關本發明之半導體積體電路裝置的佈局圖像概略構成圖。

第13圖中，顯示有關本發明之內藏於半導體積體電路裝置的記憶體模組之佈局之一例。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（8 ）

第14圖中，顯示有關本發明之內藏於半導體積體電路裝置的記憶體模組之佈局之另一例。

第15圖中，顯示有關本發明之半導體積體電路裝置的測試機構。

第16圖中，顯示有關本發明之內藏於半導體積體電路裝置的記憶體模組之測試機能。

第17圖中，顯示有關本發明之內藏於半導體積體電路裝置的記憶體模組之切換電路之一例。

第18圖中，顯示有關本發明之半導體積體電路裝置的測試控制腳位的分配。

第19圖中，顯示有關本發明之半導體積體電路裝置的邏輯測試時之測試端子輸出入。

第20圖中，顯示有關本發明之半導體積體電路裝置的整體區塊圖。

第21圖～第23圖中，顯示有關本發明之半導體積體電路裝置的輸出腳位。

【為實施發明之最佳形態】

為更詳細說明本發明，根據附加圖面對此加以說明。

第1圖中係顯示利用有關本發明之一實施例的半導體積體電路裝置SIC的系統例。示於第1圖之系統係構成個人電腦或娛樂機器等之資料處理系統的一部分。

半導體積體電路裝置SIC係以畫像處理器GP，和命令・來源資料畫像用記憶體（以下稱命令・記憶體）VRAM，和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

五、發明說明（9 ）

繪圖・顯示用記憶體（以下稱繪圖記憶體）FB0、FB1，和CPU界面單元CIU等所構成，形成於如矽基板之1個半導體基板，加以樹脂封閉（封閉於塑膠）。半導體積體電路裝置SIC係連接於中央處理器CPU，和顯示處理器DP。

畫像處理器GP係以繪圖命令取出部DCF，和進行側邊演算部EDGE、直線演算部LINE、畫素演算部DOT等之畫像處理演算的繪圖控制部DM和顯示控制部DISP，和匯流排控制部BC2、BC3、BC4，和切換開關SW等所構成。

中央處理裝置CPU係透過匯流排控制電路BC1，存取畫像處理器GP。然而，匯流排控制電路BC1則不一定需要。即，於中央處理裝置CPU或CPU界面單元CIU，有匯流排控制電路BC1之機能時，無需匯流排電路BC1。半導體積體電路裝置SIC內部中，自匯流排控制電路BC1的輸出則經由CPU界面單元CIU，分爲存取畫像處理器GP內部的繪圖命令取出部DCF的匯流排BUS1，和存取命令・記憶體VRAM的匯流排BUS2。

中央處理鎮置CPU自CPU界面單元CIU存取繪圖命令取出部DCF，於畫像處理器GP進行起動時，欲處理之命令及輸入資料係自命令・記憶體VRAM，經由內部匯流排IB0述取，供予繪圖命令取出部DCF或繪圖控制部DM。

具體而言，繪圖命令取出部DCF係發出執行開始命令，自命令・記憶體VRAM，介由內部匯流排IB0取出命令，令需要參數傳送至側邊演算部EDGE、直線演算部LINE、畫素演算部DOT，加以起動側邊演算部EDGE。側邊演算部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

EDGE中，令輸入資料之收納座標及繪圖座標以端點單位加以計算，起動直線演算部LINE。起動直線演算部LINE中，以1位元單位，演算輸入資料收納之座標及繪圖座標，進行指示進行資料之加工的畫素演算部DOT。畫素演算部DOT中，自命令・記憶體VRAM，介由內部匯流排IB0及匯流排控制部BC2，取出輸入資料，加工後經由匯流排控制部BC3、切換開關SW及內部匯流排IB1或IB2，繪圖於繪圖記憶體FB0或繪圖記憶體FB1之任一者。然而，開始何者繪圖則以重置後之狀態加以決定。

繪圖記憶體FB0或繪圖記憶體FB1中，未加以繪圖之記憶體中，顯示控制部DISP則經由匯流排控制部BC4、切換開關SW及內部匯流排IB0或IB2，進行讀取處理，經由顯示輸出匯流排BUS3，向顯示處理器DP傳送資料。顯示處理器DP係令擴示資料變換爲視訊信號，送至顯示裝置CRT。

然而，自CPU界面單元CIU介由匯流排BUS2，存取命令・記憶體VRAM之時，有畫像處理器GP的測試情形，邏輯測試等之外部資料處理裝置則介由CPU界面單體CIU，於命令・記憶體VRAM收納測試用命令。畫像處理器GP根據外部資料處理裝置加以執行，進行畫像處理器GP之測試。

又，命令・記憶體VRAM係以4M(M=1048576)位元的動態型RAM(隨機存取記憶體:以下稱DRAM)所構成。畫像記憶體FB0和畫像記憶體FB1係各以2M位元之RAM構成。

在詳細說明畫像處理器GP之前，對於畫像處理加以說明。爲實現3次元對應之畫像處理，令稱之爲材質貼圖的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

畫像圖案，經由張貼於物體表面地加以進行。此係需要貼圖於令稱之爲變形分離處理的矩形來源圖案以任意之4點加以顯示之區分圖案的機能，令小範圍之畫像圖案，於畫像處理裝置內藏所定個數地，高速移動於背景畫像上。經由進行此變形分離處理，可呈現遠近法之表現，以實現更爲真實之顯示。

令矩形之來源圖案，貼圖於以任意4點所示區分圖案時，需進行原圖畫像之擴大、縮小、旋轉之畫像操作，而此畫像操作之代表性者則示於第2圖。第2圖(a)中，令矩形之本源畫像ABCD於任意之四角形A'B'C'D'表現寫像之機能。

畫像處理器GP中，令此映射線拷貝進行複數次地，使用實現之方式。在此，線拷貝係指如第2圖(B)所示，將自來源畫像之水平畫素列P0(Xp0,Yp0)至P1(Xp1,Yp1)，寫像於區別空間上之任意直線Q0(Xp0,Yp0)至Q1(Xp1,Yp1)的畫像操作。畫像處理器GP中，進行求得線拷貝之起點Q0和終點Q1的側邊演算，和求得連接Q0和Q1直線的直線演算。然而，畫像處理器GP係經由自外部的資料處理裝置的巨集命令，令變形分離處理以最高29M畫素/秒加以進行。

第3圖中，顯示側邊演算部EDGE之詳細區塊圖。側邊演算部EDGE係具有專用之讀取、寫入匯流排的2個13位元演算器(Arithmetic Unit)AUa、AUb，和共通於2個之演算器AUa、Aub之13位元暫存器(R1-Rn)，和各演算器AUa、Aub專用之13位元暫存器(Ra1-Ran、Rb1-Rbn)，和爲選擇

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

暫存器（Ra1-Ran、Rb1-Rbn）之位址解碼器121、控制演算器AUa、Aub等之側邊演算部序列122等所構成。

側邊演算部EDGE係執行側邊繪圖演算法的模組。又側邊演算部EDGE係由命令．記憶體VRAM，取出繪圖命令，和繪圖來源資料，和繪圖參數。側邊演算部EDGE係進行根據取出之繪圖命令及繪圖參數的側邊演算，於直線演算部LINE內的內部暫存器，收存側邊演算結果。

第4圖中，則顯示直線演算部LINE之詳細方塊圖。直線演算部LINE係以於1周期進行DDA演算（進行減算爲主之演算：DigitalDifferential Analizer）的5個DDA演算器（S-DDA133、D-DDA134、R-DDA135、G-DDA136、B-DDA137），和13位元之暫存器群132，和選擇暫存器群132之位址解碼器131等所構成。

直線演算部LINE係執行直線繪圖演算法的模組。根據經由側邊演算部EGDE收容之側邊演算結果，進行直線演算。直線演算部LINE係經由內藏之暫存器群132，記憶自側邊演算部EGDE交出之線拷貝之起點終點的參數，根據此參數，進行直線演算。

第5圖中，顯示畫素演算部DOT之詳細方塊圖。畫素演算部DOT係以來源．記憶體．位址．計數器S-Counter144，和區別．記憶體．位址．計數器D-Counter145，和對應紅色、綠色、藍色之3個5位元計數器R-Counter141、G-Counter142、B-Counter143，和具有專用讀取、寫入匯流排的3個5位元演算器R-AU146、G-AU147、B-AU148等所構成。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

來源・記憶體・位址・計數器S-Counter及區別・記憶體・位址・計數器D-Counter係演算的結果、進行產生進位時位址之計數提升。3個5位元計數器R-Counter、G-Counter、B-Counter係進行各來源資料紅色SDatR、綠色SDatG、藍色SDatB和5位元計數器R-Counter、G-Counter、B-Counter所生成之紅色、綠色、藍色的加算。

畫素演算部DOT係執行畫素拷貝演算法的模組。根據直線演算結果，進行對繪圖記憶體之位址演算及資料的畫素演算。進行向命令・記憶體VRAM之來源資料的讀取存取、畫素演算、畫素演算結果之繪圖記憶體FB0、FB1的寫入存取。畫素演算係求得線拷貝上之畫素來源座標P、目的座標Q、目的座標Q之色資料(R、G、B)的演算，自起始值增量加以求得。

顯示控制部DISP係3自繪圖記憶體FB0、FB1，讀取顯示資料，送出讀取至顯示處理器DP之顯示資料。又，顯示控制部DISP中，內藏對命令・記憶體VRAM和繪圖記憶體FB0、FB1進行更新的更新電路。更新電路係同時更新命令・記憶體VRAM和繪圖記憶體FB0、FB1，該更新周期係以命令・記憶體VRAM爲基準進行。

通常、DRAM外加畫像處理器之時，於更新電路中，弄對應各重DRAM地，有更新周期用之暫存器。於此暫存器配合DRAM之形式等，CPU經由寫入，可決定更新周期。

但是，本實施例中，畫像處理器GP，和命令・記憶體VRAM和繪圖記憶體FB0、FB1則構成於1個半導體積體電路

（請先閱讀背面之注意事項再填寫本頁）
裝・訂・線
經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

裝置上之故，命令・記憶體VRAM和繪圖記憶體FB0、FB1的更新周期數，時脈數已事先得知之故，可加以固定。

由此，顯示控制部DISP係令配合命令・記憶體VRAM的時脈，輸入至命令・記憶體VRAM和繪圖記憶體FB0、FB1，由此統一搭載於複數DRAM之畫像處理裝置之更新周期。又，顯示控制部DISP係可知顯示裝置CRT之回歸線期間之故，利用回歸線期間，進行DRAM之更新。

然而，命令・記憶體VRAM在於本實施例中，使用4M位元之DRAM之故，使用2M位元之DRAM的繪圖記憶體FB0、FB1係呈更新2次者。

第6圖中，顯示畫像處理器GP，和命令・記憶體VRAM及繪圖記憶體FB0、FB1的連接關係。

命令・記憶體VRAM之4M位元DRAM係令8區庫構成之2M位元的DRAM模組，使用2個加以構成。又，繪圖記憶體FB0和繪圖記憶體FB1之2M位元DRAM係各令4區庫構成之1M位元的DRAM模組，使用2個加以構成。以下，令DRAM模組稱記憶體模組。

又，命令・記憶體VRAM及繪圖記憶體FB0、FB1之各區庫係以256條之字元線和1024組之位元線對構成記憶體陣列，經由列選擇電路，選擇128組之位元線對（行位址AX爲8條，列位址Ayi爲3條）。即，具有256K（K=1024）位元之記憶容量。經由採用此構成，增加區庫數地，可以256K位元單位構成記憶模組。如本實施例適用混載有邏輯和記憶體之半導體積體電路的記憶體模組。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

記憶體模組之區庫選擇係以行區庫位址Ri（i=區庫數）、列區庫位址Ci進行。又，經由可進行位元BE，128位元之資料係於每8位元（1位元組）之n倍（n=1～16），呈可加以輸入。

記憶體模組係同步於時脈信號，輸入位址或控制信號，資料亦同步於時脈信號加以輸入，即所謂同步型DRAM。因此，記憶體模組係根據可以控制信號和位址信號所指定之命令加以動作。又，如汎用標準DRAM，行位址和列位址係不進行多工輸入。

於畫像處理器GP和命令．記憶體VRAM間，連接16位元之資料匯流排DBUS16、11位元之位址匯流排（A0-A11）、8位元之列區庫位址（R0-R7）、8位元之列區庫位址（C0-C7）、行位址控制器CR，列位址控制器CC0、CC1、16位元之位元組啓動BE，讀取寫入RW、活動控制器AC、時脈CK等之信號。

又，於畫像處理器GP和繪圖記憶體FB0、FB1間，則連接32位元之資料匯流排DBUS32、11位元之位址匯流排（A0-A11）、4位元之行庫位址（R0-R3）、4位之列區庫位址（C0～C3）、行位址控制器CR、列位址控制器CC0、CC1、16位元之位元組啓動BE，讀取寫入RW、活動控制器AC、時脈CK等之信號。

第7圖中，顯示記憶體模組之讀取和寫入的基本時間。自命令．記憶體VRAM讀取來源資料，以畫像處理器GP變換畫像，以此顯示寫入繪圖記憶體FB0、FB1的一連串動作的基本時間。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

命令・記憶體VRAM之位址ADDRVRAM、繪圖記憶體FB0、FB1之位址ADDRFB則以畫像處理器GP生成，輸入各命令・記憶體VRAM和繪圖記憶體FB0、FB1。又，記憶體模組所需要之控制信號亦由畫像處理器GP所生成，輸入各命令・記憶體VRAM之位址和繪圖記憶體FB0、FB1。然後，活動控制AC，和行位址控制器CR，和列位址AX則於時脈CK之下跌，置入於記憶體模組，而活化區庫（T0）。於2時脈後，位址控制器CC，和讀取寫入RW，和列位址AYi則於時脈CK之下跌，置入於記憶體模組（T2）。於該2時脈後，進行資料之讀取（T4）。

即，於命令・記憶體VRAM置入行位址AX後，於4時脈後讀取來源資料（READ1）。同樣地，於繪圖記憶體FB置入行位址後，於4時脈後讀出畫素資料（READ2）。

畫像處理器GP中，自命令・記憶體VRAM讀取之來源資料（READ1）和繪圖記憶體FB0、FB1讀取之畫像資料（READ2）則於匯流排控制部BC2閂鎖（SET0），以畫素演算部DOT生成合成資料（SET1）。

更且，畫像處理器GP中，爲於繪圖記憶體FB0、FB1寫入合成資料（SET1），輸出位址或控制信號。然後，位址控制器CC，和讀取寫入RW，和列位址AYi則於時脈CK之下跌，置入於記憶體模組（T7）。於該2時脈後進行資料（WRITE1）之寫入（T9）。以此於繪圖記憶體FB寫入合成資料（SET1）。

本實施例中，記憶體模組之讀取之等待時間（輸入讀

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

取命令至讀取資料的時間）係呈1時脈。爲此，於寫入時之畫像處理器GP係令NOP插入1周期，配合寫入和讀取周期。由此，可令狀態機內之讀取和寫入的處理同一地加以處理，令讀取・寫入、寫入・讀取、讀取・讀取、寫入・寫入的存取組合，無需於狀態機內加以考量。又，經由，可減少畫像用處理器之邏輯閘數。

如第8圖(a)所示，行位址AX切換時，令供予行位址AX至列位址AY0之發出的2時脈，做爲預充電時間必需加以空出。即，供予行位址AX0之後，於3時脈後，發出列位址AY0。之後存最同一之列位址AY0內之資料時，可連續發出列位址AY1及AY2。又，如第9圖所示，描繪複數之區庫間的3圖素時，自供予行位址AX0至列位址AY3之發出，各令2時脈做爲預充電時間必需加以空出，列位址AY4的發出，需令2時脈做爲預充電時間加以空出）亦需供予行位址AX3後，將列位址AY之發出做爲2時脈預充電時間加以空出。即，如第8圖之(B)所示，列位址AY之發出則無法連續進行，至第3之列位址AY5之發出需11時脈。

在此，於列位址AX切換的3時脈前，經由發出行位址AX，在表面上可連續發出列位址AY。於本實施例中，如第10圖所示，可實現4段之管線處理。

首先，對於區庫B0，於第1段檢出行位址AX切換（B0:X-Y），發出行位址（B0:AX0）（T0）。於第2段及第3段執行NOP，確保預充電時間（T2、T3）。於第4段發出列位址（B2:AY4）（T4）。

接著，對於區庫B3，於第1段檢出行位址AX切換（B3:X

（請先閱讀背面之注意事項再填寫本頁）
裝・訂・線
經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

-Y），發出行位址（B3:AX3）（T3）。於第2段及第3段執行NOP，確保預充電時間（T3、T4）。於第4段發出列位址（B3:AY5）（T5）。

如此地，經由進行4段之管線處理，3區庫之列位址AY係可連續加以發出。由此，於通常之使用狀態時，因無誤擊周期的等待，可提升其性能。

然而，行位址AX之切換檢出係於匯流排控制部BC2、BC3、BC4內，將前周期之行位址AX和現在周期之行位址AX以比較器加以比較實現。

於各命令．記憶體VRAM及繪圖記憶體FB0、FB1，使用2個記憶體模組，係於2個記憶體模組同時輸入同一行位址AX，將同一行位址AX存取的位元數呈2倍。以下，說明該理由。

本實施例之記憶體模組係於一次之列位址之發出呈動作之位元數係1024位元。存取存在於同一之行位址AX資料時（擊中），係可馬上發出讀取命令或寫入命令。但是，存取不存在於同一行位址AX的資料時（誤擊）時，爲確保預充電時間，無法馬上發出讀取命令或寫入命令。

在此，於2個記憶體模組配分同一之行位址AX，同時輸入行位址AX時，以1次之行位址存取可令1個時之2倍之2048位元活化。此時，列位址控制器CC係各使用記憶體模組固有者。本實施例中，使用2個列位址控制器CC0、CC1，進行列之選擇。

又，畫像處理器GP係於誤擊時花費3時脈周期，活化2

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

個記憶體模組之2個區庫。即，複數之區庫同時活化，減低區庫切換時之重疊。

然而，於各命令．記憶體VRAM及繪圖記憶體FB0、FB1，使用4個記憶體模組時，命令．記憶體VRAM係使用1M之記憶體模組，畫像記憶體FB0、FB1係使用512K之記憶體模組。此時，於1次之行位址存取，可令4倍之4096位元活化。

又，本實施例之記憶體模組係行位址AX爲擊中時，僅輸出列位址AY地，可連續執行讀取或寫入處理。但是，行位址AX誤擊時，發出預充電後列位址之故，需等待幾周期之發出命令。因此，來源資料則不會誤擊地於連續讀取中，於目的之資料寫入時，產生誤擊時，資料則會溢位而消失。在此，本實施例中，於寫入時即使沒有誤擊，可令誤擊動作產生，進行資料之等待。相反地，以來源資料側之讀取，產生誤擊之時，於目的側之寫入時，仍可執行誤擊處理。

於第11圖中，顯示本實施例之記憶體模組的具體構成。記憶體模組係區庫模組BANK、放大器模組AMP、電源模組PS之3類模組所構成。然而，第11圖令記憶體模組以接近實際之佈局形式加以顯示。

區庫模組BANK係BANK-0～BANK-n，由複數之副記憶體陣列SUBARY(SUBARY-00～AUBARY-i7)，和區庫控制電路BNKCNT-1，和區庫控制電路BNKCNT-2所成。

副記憶格陣列SUBARY係由複數對之位元線B，/B，和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

複數條之字元線W，和複數之記憶格（於圖中以圓圈表示），和於記憶格之讀取前，令位元線之電位預先呈所定準位的位元線預充電電路PC，和增幅自記憶格的信號的感測放大器SA，和選擇複數對之位元線B，/B中一對的Y選擇電路，和令選擇之位元線B，/B連接於放大器模組AMP的整體位元線GBL，/GBL所成。然而，副記憶格陣列SUBARY係區庫模組BANK內之I/O線的分割單位。

區庫控制電路BNKCNT-1係包含選擇字元線W的X解碼器XD和選擇位元線B，/B的Y解碼器YD等。區庫控制電路BNKCNT-1係接受後述之區庫位址或控制信號，於位元線預充電、字元線選擇、感測放大器起動等之一連串記憶格之讀取動作，自動產生必需之信號。經由X解碼器XD，選擇1條之字元線W，與之交叉的（n×8×I）對（於第11圖中因大小之關係，只顯示n=2，但本實施例爲n=8）位元線B，/B中的（8×I）對，則更經由Y解碼器YD之輸出信號Ysi加以選擇。被選擇之位元線B，/B係透過與位元線B、/B平行配置之整體位元線GBL，/GBL，進行放大模組AMP和資料的收受。

區庫控制電路BNKCNT-2係包含檢出到達具有感測放大器控制信號之準位的感測群。

放大器模組AMP係令控制信號或位址信號等，同步於時脈信號，供予區庫模組BANK的主控制電路MAINCNT，和控制向上述區庫模組群（BANK-0～BANK-n）的資料讀取寫入的位元組控制電路BYTCNT所構成。自記憶體模組外之（8×I）條資料輸出線DQ（DQ00，…… DQ07，…… Di0，…… DQi7）係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

通過此輸入至記憶格。在此，位元組控制信號BEi係令資料輸出入線DQ，以位元組單位開閉之信號。

電源模組PS係產生供予區庫模組BANK的字元線驅動電路WD所需要之字元線電壓VCH(>電源電壓VCC)的VCH產生電路VCHG、於位元線預充電產生必需電壓HVC(電源電壓VCC/2)的位元線預充電電壓產生電路HVCG，產生陣列內基板電壓（反饋偏壓電壓）VBB(<電源電壓VSS(接地電位))的陣列內基板電壓產生電路VBBG等之各種電壓的模組。

本實施例之區庫模組BANK係於256條之字元線，1字元線交叉(8×8×i)對之位元線，以Y解碼器選擇1/8，輸出入(8×i)對之整體位元線。又，於本實施例中，i=16，1個區庫模組BANK係於256K位元之容量，以128位元寬度輸出入資料。

即，以256K位元單位的大小，可得容量可變之記憶體巨集模組。然而，區庫模組BANK-n係對應示於第6圖之複數區庫(B0～B7)之1個區庫。

有關本發明之半導體積體電路SIC的佈局圖案的概略構成則示於第12圖。半導體積體電路SIC係呈橫長之形狀，命令・記憶體VRAM則於左側，繪畫記憶體FB0、FB1則於右側，將側邊演算部EDGE和直線演算部LINE和畫素演算部DOT和顯示控制部DISP等構成之畫像處理器GP配置於其間。畫像處理器GP之黑色部分係配線範圍。於命令・記憶體VRAM之左・上・下側或繪圖記憶體FB0、FB1之右・上・下側部分係以輸入・輸出・輸出入電路及連合片部分，爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

0.3808mm之寬度。晶片尺寸約13.60mm×7.07mm=96.152mm²。

記憶體模組之佈局的一例則示於第13圖。命令·記憶體VRAM係令2M位元之記憶體模組於鏡面對象配置2個，自2個記憶體模組間，呈輸出入位址匯流排、資料匯流排、控制信號等。繪圖記憶體FB0、FB1係令各1M位元之記憶體模組於鏡面對象配置2個，自2個記憶體模組間，呈輸出入位址匯流排、資料匯流排、控制信號等。

然而，本實施例中，畫像處理器GP和記憶體模組之匯流排寬度，係較16位元和32位元爲狹。記憶體模組係具有最大128位元之寬度之故，畫像處理器GP和記憶體模組之匯流排寬度係可擴大至128位元。此時，如第14圖所示，變更記憶體組之配置方式較易於取得資料輸出入之界面。

命令·記憶體VRAM和繪圖記憶體FB0、FB1雖然記憶容量爲相同，記憶體模組之構成形式不同，電源模組PS和放大器模組AMP係較區庫模組BANK爲小之故，可呈同一形狀·同一面積。即，第13圖中，雖然大小不同地顯示，但是實際上大小並無太大差別。

根據本實施例時，自命令·記憶體VRAM，沿接繪圖命令取出部DCF、側邊演算部EDGE、直線演算部LINE、畫素演算部DOT、繪圖記憶體FB0、FB1、顯示控制部DISP、繪圖記憶體FB0、FB1、顯示控制部DISP之流程進行資訊之處理。即，資訊由第12圖之左方流至右方，配線之拉回則呈

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

單純，配線長則會變短。又，配線範圍變少，而使晶片面積變小。更且，因配線長變短之故，信號延遲則變小，可進行高速動作。

於第15圖中，顯示有關本實施例之半導體積體電路裝置SIC內部的測試機構方塊圖。然而，此測試機構係使用於半導體積體電路裝置SIC之晶圓完成後的探針試驗行程、包裝後之試驗行程、製品出貨前之檢查工程等。

半導體積體電路裝置SIC係具備連接於畫像處理器GP使用於通常動作時（例如，第1圖之系統中半導體積體電路裝置SIC動作時）的通常匯流排NB，和連接於通常匯流排NB的通常端子NT，和連接於畫像處理器GP和命令·記憶體VRAM和繪圖記憶體FB0、FB1的使用於測試動作時（前述測試行程，或檢查工程動作時）的共通測試匯流排TB，和連接於共通測試匯流排TB的測試端子TT，和控制通常模式（通常動作時）、測試模式（測試動作時）等之模式的模式選擇端子MST。然而，模組選擇信號TEM0～5係自模式選擇端子MST輸出之測試對象所成記憶體模組（M0、M1、M2、M3、M4、M5）的選擇信號。又，內部匯流排IB0、IB1、IB2係與外部不連接之通常動作時的內部匯流排。

於本實施例中，命令·記憶體VRAM和繪圖記憶體FB0、FB1之記憶體模組（M0、M1、M2、M3、M4、M5）的測試，和繪圖處理器GP之測試係以獨立的形式進行。記憶體模組（M0、M1、M2、M3、M4、M5）的測試係經由使用於汎用DRAM等之記憶體製品檢查的記憶體測試器，繪圖處理器GP之測

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

試經由使用於微電腦處理器等之邏輯製品檢查的記憶體測試器加以進行。

又，如第15圖所示，本實施例之記憶體模組(M0、M1、M2、M3、M4、M5)係具備使用於通常動作時的通常埠NP，和使用於測試動作時之測試埠TP。此係於通常埠NP側，記憶體控制等之控制邏輯介由內部匯流排IB0、IB1、IB2連接之故，可令埠之負荷於通常動作時減輕至最大的限度。但是，無需分別必需爲通常埠和測試埠，經由多工器等之構成，可呈1個埠者。

各模組之測試係經由自模式選擇端子MST輸出之內部控制信號的模組選擇信號TEM0～5，模式選擇信號TL，選擇畫像處理器GP、命令・記憶體VRAM、及繪圖記憶體FB0、FB1之各記憶體模組(M0、M1、M2、M3、M4、M5)加以測試。然而，模式選擇端子MST之輸入信號TE0～TE3係自外部的測試裝置(測試器)或，外部CPU供給。因此，自外部輸入信號TE0～TE3係介由模式選擇端子MST，令模組選擇信號TEM0～5、模式選擇信號TL於內部生成，輸入各模組，於各模組進行測試。

又，各記憶體模組(M0、M1、M2、M3、M4、M5)和共通測試匯流排TB係以線OR連接，僅經由模組選擇信號TEM0～5所選擇之記憶體模組(M0、M1、M2、M3、M4、M5)的輸出，輸出至共通測試匯流排TB。

由此，達成測試用之配線數的削減，可縮小半導體積體電路裝置SIC之晶片面積。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（25）

第16圖中，顯示設於命令．記憶體VRAM和繪圖記憶體FB0、FB1之記憶體模組（M0、M1、M2、M3、M4、M5）內的通常埠NP，和測試埠TP之具體構成。通常埠NP和測試埠TP係於通常動作模式、測試模式的各模式中，呈不同動作地加以構成。

第16圖（a）中，顯示半導體積體電路SIC進行通常動作的通常動作模式時者。通常動作模式中，記憶體模組（M0、M1、M2、M3、M4、M5）係自通常埠NP經由畫像處理器GP加以存取。此時，測試埠TP側係根據選擇信號呈高電感狀態，對外部而言，呈不輸出任何資訊者。即，通常動作模式時，畫像處理器GP和記憶體模組（M0、M1、M2、M3、M4、M5）係呈直接連接狀態進行動作。然而、選擇信號係以模組選擇信號TEM0～5和模式選擇信號TL之組合邏輯加以生成。

第16圖（b）中，顯示記憶體測試模式之時者。記憶體測試模式中，記憶體模組（M0、M1、M2、M3、M4、M5）係自測試埠TP加以存取。此時，通常埠NP側係根據選擇信號呈高電感狀態，對外部而言，呈不輸出任何資訊者。即，記憶體測試模式時，畫像處理器GP和記憶體模組（M0、M1、M2、M3、M4、M5）係呈切斷，記憶體模組（M0、M1、M2、M3、M4、M5）係介由測試埠TP，直接連接外部測試裝置或外部CPU的狀態，執行動作者。

由此，對於搭載於半導體積體電路裝置SIC的記憶體模組（M0、M1、M2、M3、M4、M5），可直接使用以往汎用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（26）

DRAM等之半導體記憶體的測試方法。

第16圖(c)中，顯示邏輯測試模式之時者。邏輯測試模式係畫像處理器GP之測試模式者。邏輯測試模式中，記憶體模組(M0、M1、M2、M3、M4、M5)係自通常埠NP加以存取。又，透過測試埠TP，可於外部加以監視。

即，邏輯測試模式時，畫像處理器GP和記憶體模組(M0、M1、M2、M3、M4、M5)係直接連接，記憶體模組(M0、M1、M2、M3、M4、M5)係介由測試埠TP，直接連接外部測試裝置或外部CPU的狀態，執行動作者。由此，邏輯測試模式時，畫像處理器GP係根據邏輯測試之測試圖案，進行記憶體模組(M0、M1、M2、M3、M4、M5)的處理，但此時可監視記憶體模組(M0、M1、M2、M3、M4、M5)的狀態。

於圖17中，顯示通常埠NP和測試埠TP之切換電路的一例。以n通道MOS(nMOS)電晶體Q1和p通道MOS(pMOS)電晶體Q2所構成轉換閘TG1，和nMOS電晶體Q3和pMOS電晶體Q4所構成轉換閘TG2構成切換電路。經由模式選擇信號TL、模組選擇信號TEM0～TEM5所生成之控制信號SN、ST，轉換閘TG1、TG2係被加以控制。但是代替此轉換閘，以時脈．反相器等實現同樣之機能。

於第18圖中，顯示模式選擇端子MST之測試控制腳位的配分。測試控制腳位(TE0～TE3)係接受4位元之編碼化信號，根據此信號，模組選擇信號TEM0～5和模式選擇信號TL則示於第18圖地加以生成。

然而，根據模組選擇信號TEM0～5和模式選擇信號TL

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（27）

，選擇命令・記憶體VRAM、繪圖記憶體FB0、FB1之各記憶體模組(M0、M1、M2、M3、M4、M5)加以測試。被選擇之記憶體模組係附上○符號。選擇之記憶體模組的測試埠TP係呈導通狀態。

模組選擇信號TEM0～5係於測試控制腳位(TE0～TE3)之外部輸入信號的解碼結果，輸入至畫像處理器GP、命令・記憶體VRAM、繪圖記憶體FB0、FB1之各記憶體模組，決定測試時之對象模組。然而，於本實施例中，通常模式動作時，準備模式時係呈TEM0～5=「000000」。

模式選擇信號TL係設定通常動作模式(第18圖中以「通常」表示)，邏輯測試模式(第18圖中以「LogicTest」加以表示」、記憶體測試模式(第18圖中以「MemoryTest」加以表示)的各模式。第18圖中，模式選擇信號TL呈「1」時，設定通常動作模式、邏輯測試模式，「0」時，設記憶體測試模式。然而，於本實施例中，除通常動作模式、邏輯測試模式、記憶體測試模式外，可設定準備模式(第18圖中以「STNBY」表示)。準備模式係所有之記憶體模組自測試埠TP切離之狀態。

然而，本實施例之測試模組係如第18圖所示，邏輯測試模式中，以記憶體模組2個之單位(M0-M1、M2-M3、M4-M5)進行測試，於記憶體測試模式時，記憶體模組1個之單位(M0、M1、M2、M3、M4、M5)進行測試。此係根據邏輯測試模式、記憶體測試模式的測試方法的不同，邏輯測試模式時，對以命令記憶體VRAM繪圖記憶體FB0、FB1等之機能

（請先閱讀背面之注意事項再填寫本頁）
裝・訂・線
經濟部智慧財產局員工消費合作社印製

五、發明說明（28）

單位進行測試而言，於記憶體測試模式時，以各記憶體模組之單位進行測試。因此，模組選擇信號TEM0和TEM1係各輸入記憶體模組M0和M1之雙方，模組選擇信號TEM2和TEM3係各輸入記憶體模組M2和M3之雙方，模組選擇信號TEM4和TEM5係各輸入記憶體模組M4和M5之雙方。

如以上所述，增加搭載之記憶體模組數、或區庫數時，無需增加測試控制腳位（TE0～TE3），又可測試合於各測試方法的模組。

然而、此測試控制腳位（TE0～TE3）係無需如本實施例的編碼，各測試控制腳位則呈直接選擇各特定之記憶體模組(M0、M1、M2、M3、M4、M5)的構成亦可。例如，TE2呈「1」時，選擇繪圖記憶體FB0之1個記憶體模組，進行測試地加以構成亦可。

第19圖之中，顯示第16圖(c)的邏輯測試模式時之各端子的輸出入者。

爲此，本實施例中，介由第16圖所示測試埠TP，直接連接於外部之測試裝置或外部之CPU狀態的同時，如圖19畫像處理器GP，和畫像處理器GP所存取的各記憶體模組(M0、M1、M2、M3、M4、M5)可進行測試者。

本實施例之畫像處理器GP之測試爲透過通常端子，將自外部輸入的測試用命令及測試圖案，以執行畫像處理器GP地進行。因此，畫像處理器GP係使用通常端子NT，根據測試端子，執行通常之動作即可，與通常動作時無不同。

具體而言，畫像處理器GP之測試係外部之資料處理裝

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（29）

置介由前述CPU界面單元CIU，於命令·記憶體VRAM收入測試用之命令及測試用圖案，處像處理器GP則根據外部資料處理裝置的命令，經由執行該命令進行。

於本實施例中，各呈對象之記憶體模組(M0、M1、M2、M3、M4、M5)，畫像處理器GP係執行測試圖案。因此，首先繪圖處理器FB0則呈對象，接著畫圖記憶體FB1，命令·記憶體VRAM則呈邏輯測試模式的對象記憶體模組。又，令何者記憶體模組(M0、M1、M2、M3、M4、M5)做邏輯測試模式的觀察，係經由輸入測試控制腳位(TE0～TE3)的外部輸入信號的解碼結果的模組選擇信號TL決定，本實施例中有觀測繪圖記憶體FB0之觀測模式1，觀測繪圖記憶體FB1之觀測模式2、觀測命令·記憶體VRAM之觀測模式3。

由此，模式1時，透過第16圖之(C)所示的測試埠TP，可由外部各監視自通常埠NP存取繪圖記憶體FB0的狀態，模式2時係存取繪圖記憶體FB1的狀態，模式3時係存取命令·記憶體VRAM的狀態。

第20圖係令半導體積體電路裝置SIC的測試爲主的整體區塊，於第21圖～第23圖中，顯示整理半導體積體電路裝置SIC之輸出入腳位的內容者。

各記憶體模組(M0、M1、M2、M3、M4、M5)係連接於共通測試匯流排TB，共通測試匯流排TB係由11位元之位址匯流排A[10:0]、8位元之列區庫位址匯流排C[7:0]、8位元之行區庫位址匯流排R[7:0]、16位元之記憶體位元組啓動信號BE[15:0]、16位元之資料匯流排DQ[15:0]、或時脈

（請先閱讀背面之注意事項再填寫本頁）

裝·訂·線

經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

CLK、活動控制器AC、行位址控制器CR、列位址控制器CC、讀取寫入RW等所成。

半導體積體電路裝置SIC係令具備34個之通常畫像處理器GP所必需之輸入・輸出・輸出入端子，7個之測試控制用之端子、43個測試專用之端子，16個電源・接地之端子共計100個輸入・輸出・輸出入端子。如第12圖所示，端子係1邊各設25個。

又，位址／資料匯流排VBUS[15:0]、記憶位元組啓動TEBE[15:0]、記憶區庫位址TERC[15:0]係可減少腳位數之故，可各呈多工器者。例如位址／資料匯流排VBUS係於通常動作時，有進行自外部之資料處場裝置至畫像處理器GP的讀取・寫入位址／資料匯流排，但是記憶體測試模式時，連接於測試匯流排TB之資料匯流排DQ[15:0]，進行測試匯流排TB之資料匯流排DQ[15:0]內容的輸出入。

系統連接器i/f係有關於第1圖之中央處理裝置CPU或匯流排控制電路BC1間之控制信號等的界面。DPi/f有關於第1圖之顯示處理器DP間的控制信號等的界面。

第21圖至第23圖係通常動作模式（通常）時，顯示記憶體測試模式（記憶體測試）時及邏輯測試模式（邏輯測試）時之輸入・輸出・輸出端子的機能。

測試模組選擇器TEC0～3係對應於第18圖之測試控制腳位TE0～3。又，測試模組選擇器T[2:0]係對應於第15圖或第18圖之模式選擇信號者，使用於測試埠TP或通常埠NP的選擇。

（請先閱讀背面之注意事項再填寫本頁）
裝・訂・線
經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

經由本實施例所得之效果，可以下文簡單說明。

(1)根據本實施例時，經由令圖框緩衝器和命令用之記憶體和畫像處理器內藏於單晶片，配線之折返則會變得單純，可令配線長變短。由此，配線範圍則縮小，可令晶片面積變小。更且，爲令配線長變短，信號延遲則變小，可呈高速動作。

(2)又，令圖框緩衝器和命令用之記憶體和畫像處理器，於內藏畫像處理裝置設置測試端子，於各記憶體模組(M0、M1、M2、M3、M4、M5)設置測試埠，經由連接測試匯流排，於測試時令各內藏各記憶體模組(M0、M1、M2、M3、M4、M5)的內容，可自外部加以監視。因此，經由混載，即使沒有記憶體用之外部端子，可直接使用以往之測試方法。

(3)更且，令各內藏於畫像處理器的圖框緩衝器、命令・記憶體之，由複數之同一構成之記憶體模組所構成，於各記憶體模組，經由分配同一之行位址，可增加記憶體位址的深度。由此，可由於應力、扭轉等之物理限制，限制記憶體模組之電流線即電流容量時，於滿足上限之範圍內，經由呈複數之同一構成，可實現由畫像用處理器視之爲大容量之圖框緩衝器、命令・記憶體。更且，自同一構成之記憶體模組構成，可統一圖框緩衝器、命令・記憶體之各測試、更新。

(4)又，根據畫像用之處理器的命令，令圖框緩衝器、命令・記憶體之各讀取及寫入動作之等待呈相等地，可令邏

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（32）

輯之狀態機之控制邏輯變得很容易。即，畫像用之處理器之係於寫入・位址的輸出後，經由執行非作業命令，令讀取及寫入動作之等待呈相等，由此，可令狀態機內之讀取及寫入動作的處理同樣地進行。因此，讀取・寫入、寫入・讀取、讀取・讀取、寫入・寫入之存取組合，無需於狀態機內加以考量。又，由此，可減少畫像用處理器之邏輯閘數。

【產業上之利用性】

本發明係可實現導入個人電腦，或遊戲機器等之高速圖像處理的結構中，爲提高圖像的繪圖性能，令圖框緩衝器和命令用之記憶體和圖像控制器內藏於單晶片時，沿資訊之流動最適切地配置，或令以往以記憶體測試，邏輯測試直接加以使用，令各圖框緩衝器和命令用之記憶體，經由複數之同一構成之記憶體模組所構成，可實現適於搭載基板上之占有面積縮小或使用性佳的畫像處理裝置者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：顯示裝置）

本發明之目的在於提供不致降低功能和信賴性且可實現小型化之半導體裝置。亦即提供一種使額緣之大小一定而可增大顯示面積，或使顯示面積一定而可縮小額緣的液液晶顯示用半導體裝置。

本發明之構成爲ＬＯＣ（Lead-On-Chip）型半導體裝置。在半導體晶片１之主面之全周邊面上設置有ＴＣＰ用粘帶（Tape）３之樹脂薄膜３ａ，其上設有引線４ａ，４ｂ，該引線４ａ，４ｂ和半導體晶片１之輸出／入導電片或突起２ａ、２ｂ間爲電連接，該電連接部以封裝樹脂５覆蓋、密封之。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

A8
B8
C8
D8

修正 本88年6月29日
~~補充~~

六、申請專利範圍

第85113054號專利申請案

中文申請專利範圍修正本

民國88年6月修正

1. 一種半導體積體裝置，其特徵係以集積邏輯電路的邏輯模組和該邏輯模組，令記憶需要資訊的記憶體模組具備於1個半導體基板上，

上述邏輯模組係以邏輯用定子，上述記憶體模組係記憶體定子，各別獨立進行測試者。

2. 如申請專利範圍第1項之半導體積體裝置，其中，上述半導體積體裝置係各具備使用於通常動作時之第1端子，

和使用於測試動作時之第2端子，

和連接上述第1之端子和上述邏輯模組，使用於通常動作時之第1匯流排，

和連接上述第2之端子和上述邏輯模組，使用於測試動作時之第2匯流排；

上述記憶體模組係具備連接於上述邏輯模組，使用於通常動作時之第1之埠，連接於上述第2之匯流排，使用於測試動作時之第2埠者。

3. 一種半導體積體裝置，其特徵係令集積邏輯電路的邏輯模組，和收容繪圖命令及繪圖來源資料的第1之記憶體模組，和收容繪圖資訊的第2之記憶體模組，具備於1個半導體基板上，

上述第1之記憶體模組和上述第2之記憶體模組係配置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

修正 本88年6月29日
~~補充~~

六、申請專利範圍

第85113054號專利申請案

中文申請專利範圍修正本

民國88年6月修正

1. 一種半導體積體裝置，其特徵係以集積邏輯電路的邏輯模組和該邏輯模組，令記憶需要資訊的記憶體模組具備於1個半導體基板上，

上述邏輯模組係以邏輯用定子，上述記憶體模組係記憶體定子，各別獨立進行測試者。

2. 如申請專利範圍第1項之半導體積體裝置，其中，上述半導體積體裝置係各具備使用於通常動作時之第1端子，

和使用於測試動作時之第2端子，

和連接上述第1之端子和上述邏輯模組，使用於通常動作時之第1匯流排，

和連接上述第2之端子和上述邏輯模組，使用於測試動作時之第2匯流排；

上述記憶體模組係具備連接於上述邏輯模組，使用於通常動作時之第1之埠，連接於上述第2之匯流排，使用於測試動作時之第2埠者。

3. 一種半導體積體裝置，其特徵係令集積邏輯電路的邏輯模組，和收容繪圖命令及繪圖來源資料的第1之記憶體模組，和收容繪圖資訊的第2之記憶體模組，具備於1個半導體基板上，

上述第1之記憶體模組和上述第2之記憶體模組係配置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

於上述畫像用之處理器兩端的半導體集積裝置，

上述半導體集積裝置係各具備使用於通常動作時之第1端子，和使用於測試動作時之第2端子，

和連接上述第1之端子和上述邏輯模組，使用於通常動作之第1匯流排，

和連接上述第2之端子和上述第1或第2之記憶體模組，使用於測試動作時之第2匯流排；

上述第1或第2之記憶體模組係具備連接於上述邏輯模組，使用於通常動作時之第1埠，和連接於上述第2匯流排，使用於測試動作時之第2埠者。

4. 如申請專利範圍第1項之半導體積體裝置，其中，具有複數上述記憶體模組，

於同一位址呈可活動之資料線位元數則於各記憶體模組呈相等者。

5. 如申請專利範圍第4項之半導體積體裝置，其中，上述各記憶體模組係以動態型隨機存取記憶體所構成之複數區庫所構成者。

6. 如申請專利範圍第5項之半導體積體裝置，其中，上述第2匯流排係共通連接於上述複數之記憶體模組，經由選擇信號僅對所選擇之記憶體模組，輸出至共通匯流排者。

7. 如申請專利範圍第6項之半導體積體裝置，其中，上述選擇信號係根據自外部測試裝置輸出之測試信號，經由模式選擇端子生成，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述模式選擇端子係根據上述測試信號，進行通常動作模式，上述邏輯模組之測試模式，上述記憶體模組之測試模式之設定，選擇各上述邏輯模組，上述複數之記憶體模組，進行測試者。

8. 如申請專利範圍第7項之半導體積體裝置，其中，上述模式選擇端子係根據自外部之測試裝置輸出之編碼化的測試信號，進行通常動作模式，上述邏輯模組之測試模式，上述記憶體模組之測試模式之設定，選擇各上述邏輯模組，上述複數之記憶體模組，進行測試者。

9. 如申請專利範圍第2項之半導體積體裝置，其中，上述通常動作模式時，係上述記憶體模組係令第2之埠呈高阻抗狀態，經由上述第1之埠，存取上述邏輯模組或外部之處理器者。

10. 如申請專利範圍第2項之半導體積體裝置，其中，上述記憶體模組之測試模式時，係令上述第1之埠呈高阻抗，自上述第2之埠，將上述記憶體模組之內容輸出至上述第2之匯流排，透過第2之端子輸出至外部者。

11. 如申請專利範圍第2項之半導體積體裝置，其中，上述邏輯模組之測試模式時，上述記憶體模組係執行通常動作，

自上述第2之埠，令上述記憶體模組之內容輸出至上述第2之匯流排，

透過第2之端子，輸出至外部者。

12. 如申請專利範圍第2項之半導體積體裝置，其中

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

，上述邏輯模組之測試模式時，令呈測試對象之上述記憶體模組，經由自模式選擇端子輸出的選擇信號所決定，

上述邏輯模組係執行根據測試圖案的動作，令對象之記憶體模組所連接之匯流排資訊輸出至外部者。

13. 一種半導體積體裝置，其特徵係令集積邏輯電路的畫像用處理器，和收容繪圖命令及繪圖來源資料的第1之記憶體模組，

和收容繪圖資訊的第2之記憶體模組，具備於1個半導體基板上，

上述第1或第2之記憶體模組係具備線邏輯電路，根據選擇信號，匯流排之驅動元件則呈高阻抗狀態者。

14. 如申請專利範圍第13項之半導體積體裝置，其中，上述半導體集積裝置係各具備使用於通常動作時之第1端子，和使用於測試動作時之第2端子，

和連接上述第1之端子和上述邏輯模組，使用於通常動作之第1匯流排，

和連接上述第2之端子和上述第1或第2之記憶體模組，使用於測試動作時之第2匯流排；

上述第1或第2之記憶體模組係具備連接於上述邏輯模組，使用於通常動作時之第1埠，和連接於上述第2匯流排，使用於測試動作時之第2埠者。

15. 如申請專利範圍第14項之半導體積體裝置，其中，上述第2之匯流排係共通連接於上述複數之第1或第2之記憶體模組，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

經由選擇信號僅就選擇之記憶體模組之輸出，則輸出至共通匯流排者。

16. 如申請專利範圍第15項之半導體積體裝置，其中，上述選擇信號係根據自外部之測試裝置輸入的測試信號，經由模式選擇端子生成，

上述模式選擇端子係根據上述測試信號，進行通常動作模式，上述畫像用之處理器之測試模式，上述動態型隨機存取記憶體之測試模式的設定，各上述畫像用之處理器，上述第1或第2之記憶體模組則被選擇，進行測試。

17. 如申請專利範圍第 1,2,4,9,10,11,12 項之任一項之半導體積體裝置，其中，上述記憶體模組係各經由動態型隨機存取記憶體所構成者。

18. 如申請專利範圍第14項之半導體積體裝置，其中，上述各記憶體模組係以動態型隨機存取記憶體所構成之複數區庫所構成者。

19. 如申請專利範圍第18項之半導體積體裝置，其中，上述第2匯流排係共通連接於上述複數之記憶體模組，經由選擇信號僅對所選擇之記憶體模組，輸出至共通匯流排者。

20. 如申請專利範圍第19項之半導體積體裝置，其中，上述選擇信號係根據自外部測試裝置輸出之測試信號，經由模式選擇端子生成，

上述模式選擇端子係根據上述測試信號，進行通常動作模式，上述邏輯模組之測試模式，上述記憶體模組之測

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

試模式之設定，選擇各上述邏輯模組，上述複數之記憶體模組，進行測試者。

21. 如申請專利範圍第20項之半導體積體裝置，其中，上述模式選擇端子係根據自外部之測試裝置輸出之編碼化的測試信號，進行通常動作模式，上述邏輯模組之測試模式，上述記憶體模組之測試模式之設定，選擇各上述邏輯模組，上述複數之記憶體模組，進行測試者。

22. 如申請專利範圍第16項之半導體積體裝置，其中，上述記憶體模組係各經由動態型隨機存取記憶體所構成者。

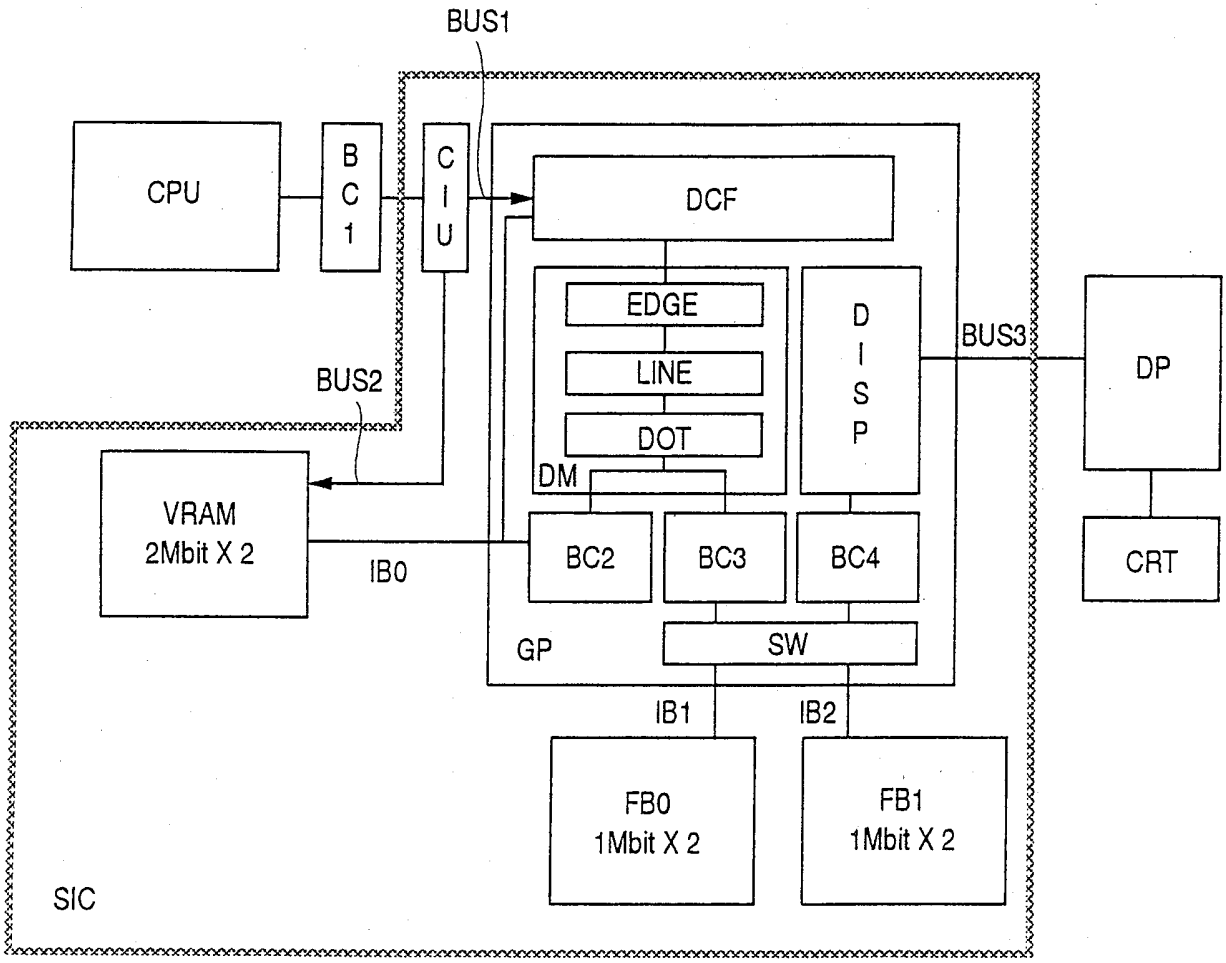
23. 如申請專利範圍第3項之半導體積體裝置，其中，上述記憶體模組係各經由動態型隨機存取記憶體所構成者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

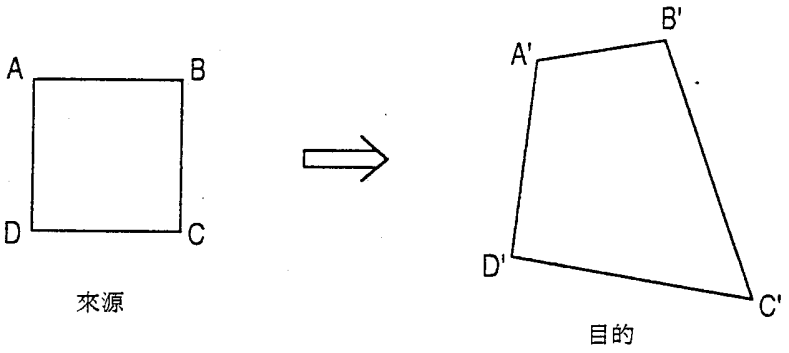
85 113059

726366

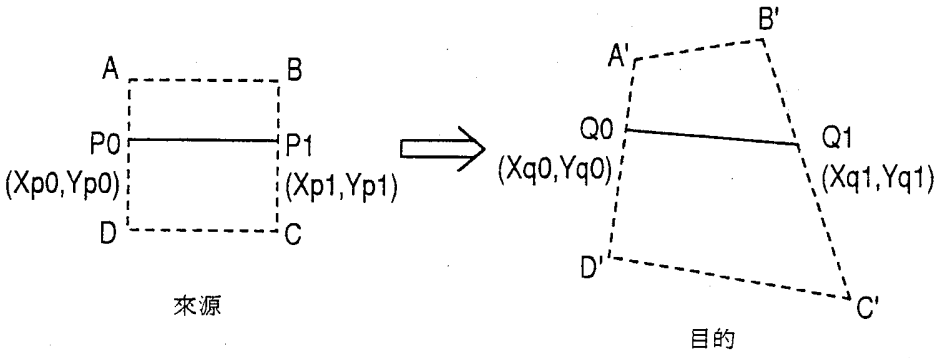
第 1 圖



第 2 圖

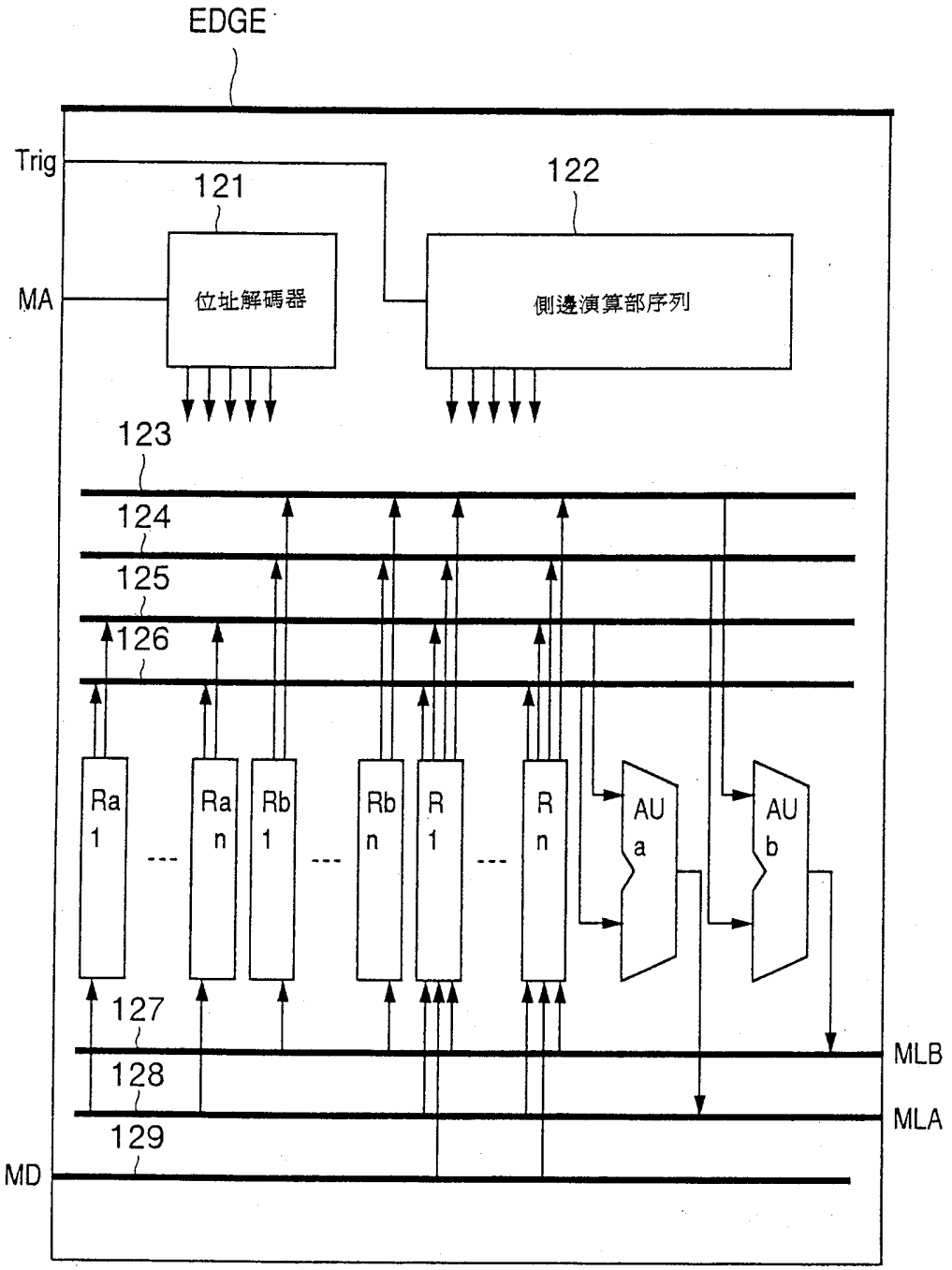

A
B
D
C
來源
B'
A'
D'
C'
目的

(a)

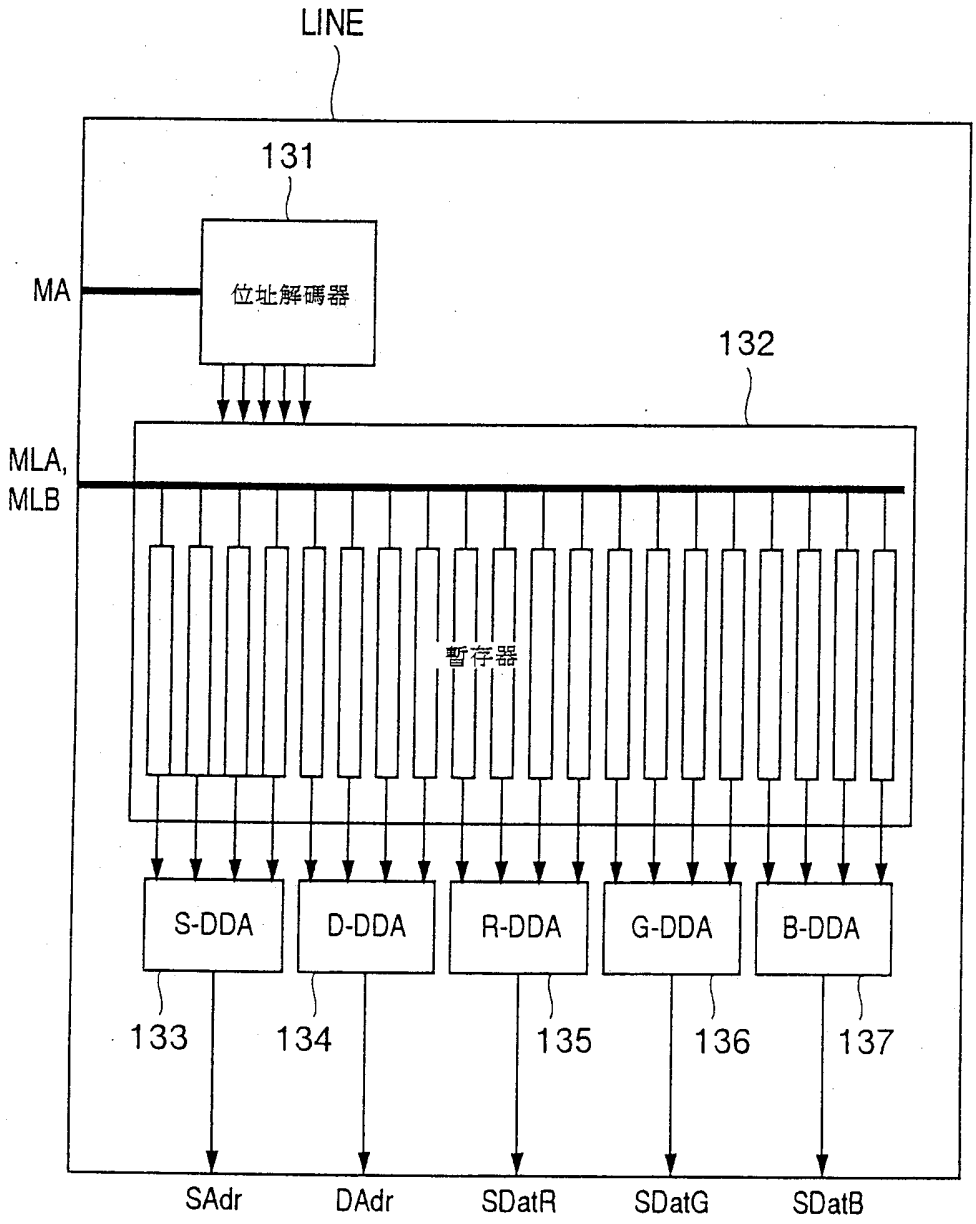

A
B
P0
(Xp0,Yp0)
P1
(Xp1,Yp1)
D
C
來源
B'
A'
Q0
(Xq0,Yq0)
Q1
(Xq1,Yq1)
D'
C'
目的

(b)

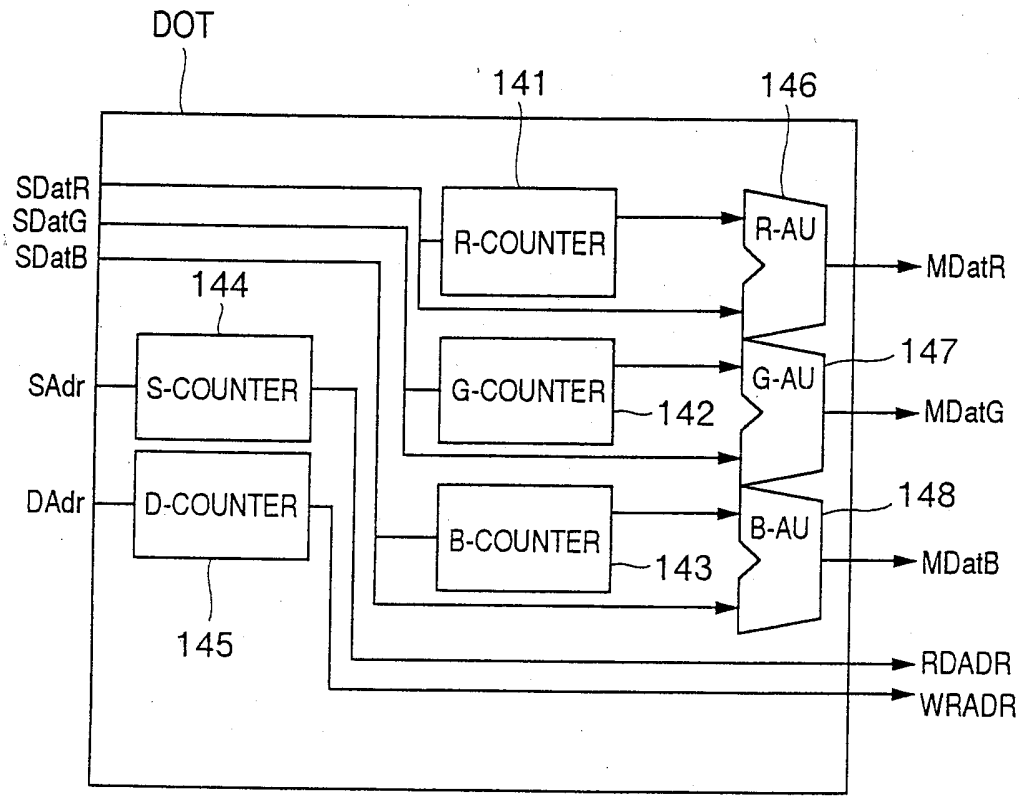
第 3 圖


EDGE
Trig
121
122
MA
位址解碼器
側邊演算部序列
123
124
125
126
Ra 1
Ra n
Rb 1
Rb n
R 1
R n
AU a
AU b
127
128
129
MD
MLB
MLA

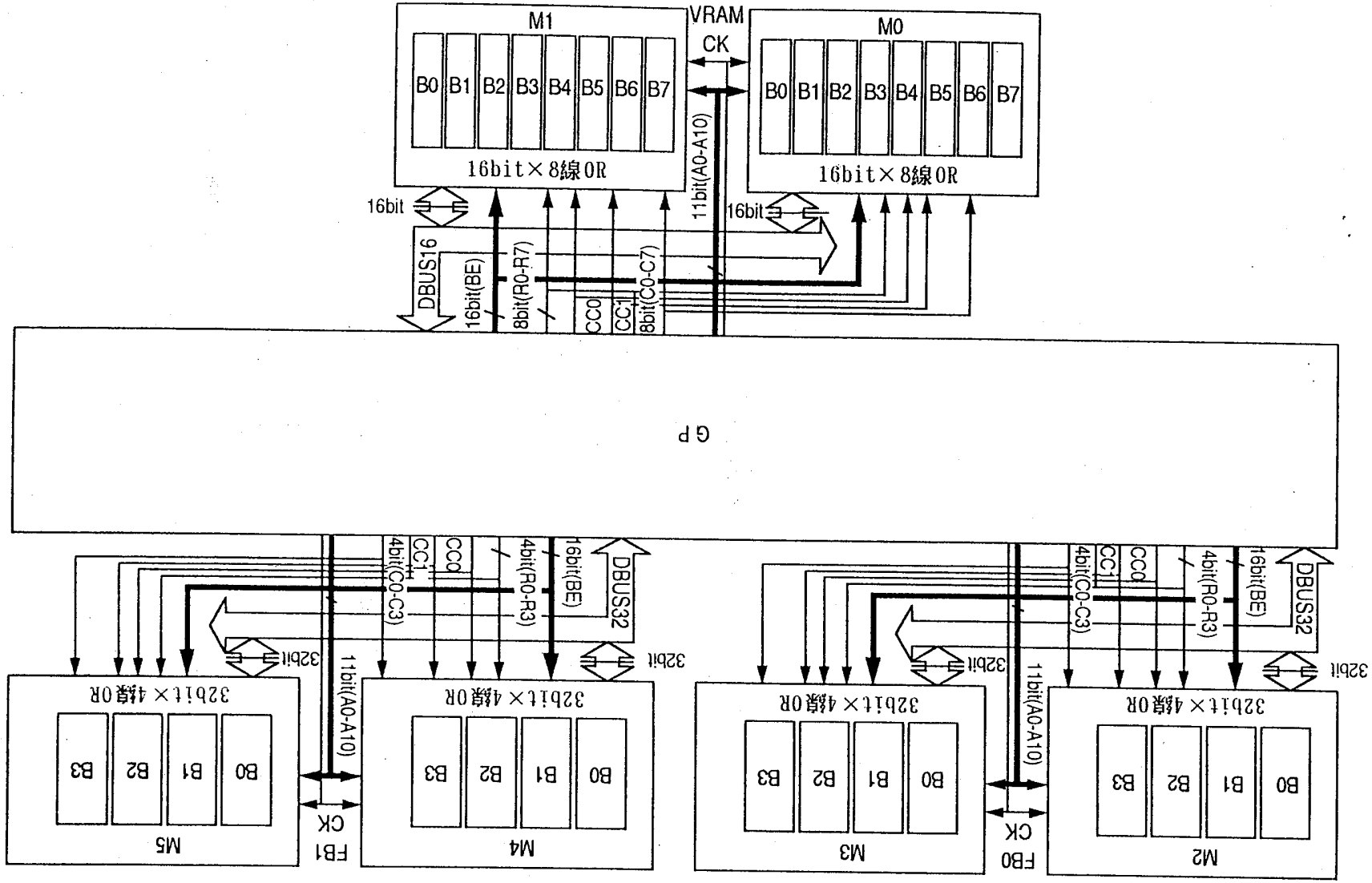
第 4 圖


LINE
131
位址解碼器
MA
132
MLA,
MLB
暫存器
S-DDA
D-DDA
R-DDA
G-DDA
B-DDA
133
134
135
136
137
SAdr
DAdr
SDatR
SDatG
SDatB

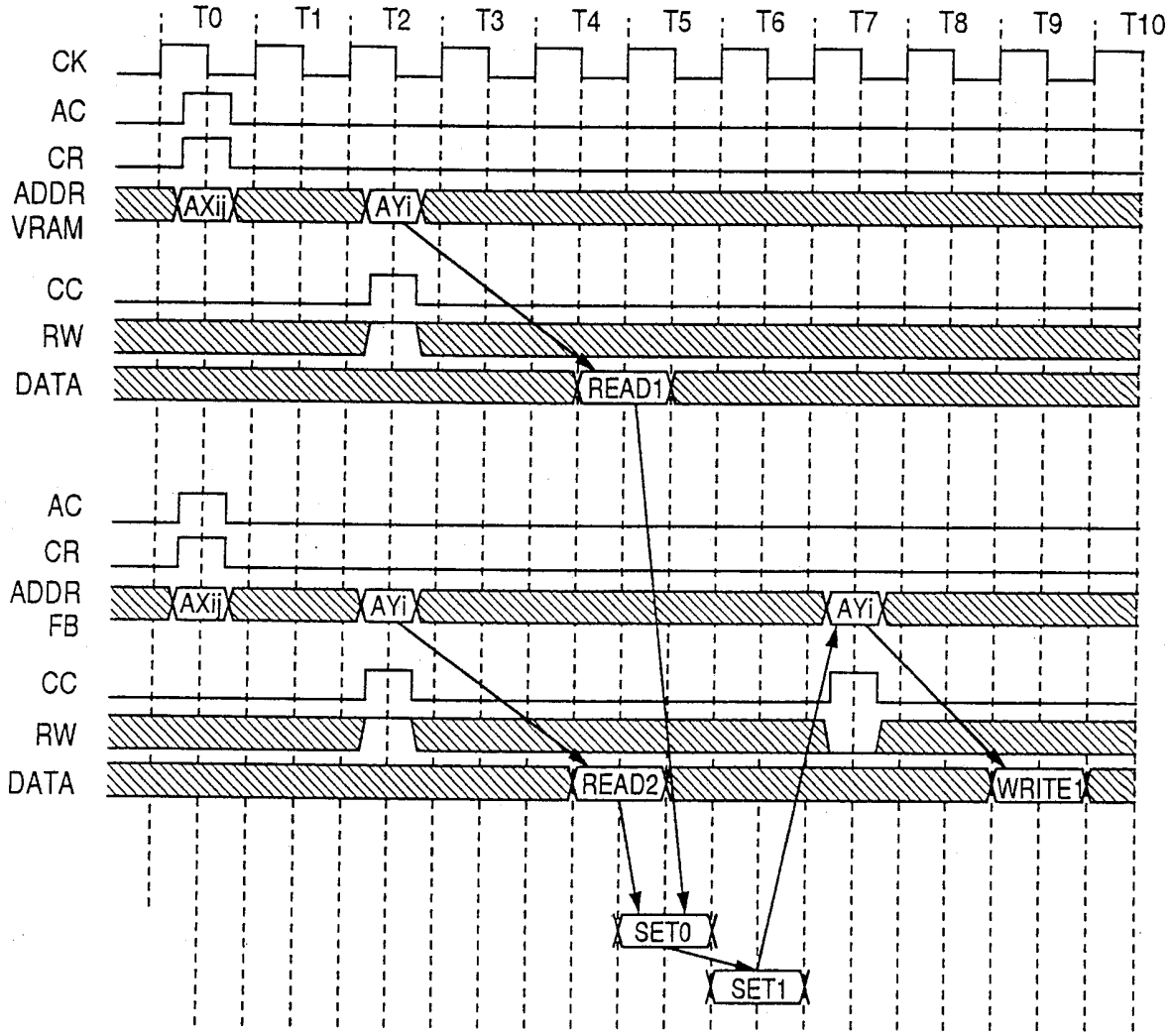
第 5 圖


DOT
141
146
SDatR
SDatG
SDatB
R-COUNTER
R-AU
MDatR
144
SAdr
S-COUNTER
G-COUNTER
142
G-AU
147
MDatG
DAdr
D-COUNTER
B-COUNTER
143
B-AU
148
MDatB
145
RDADR
WRADR

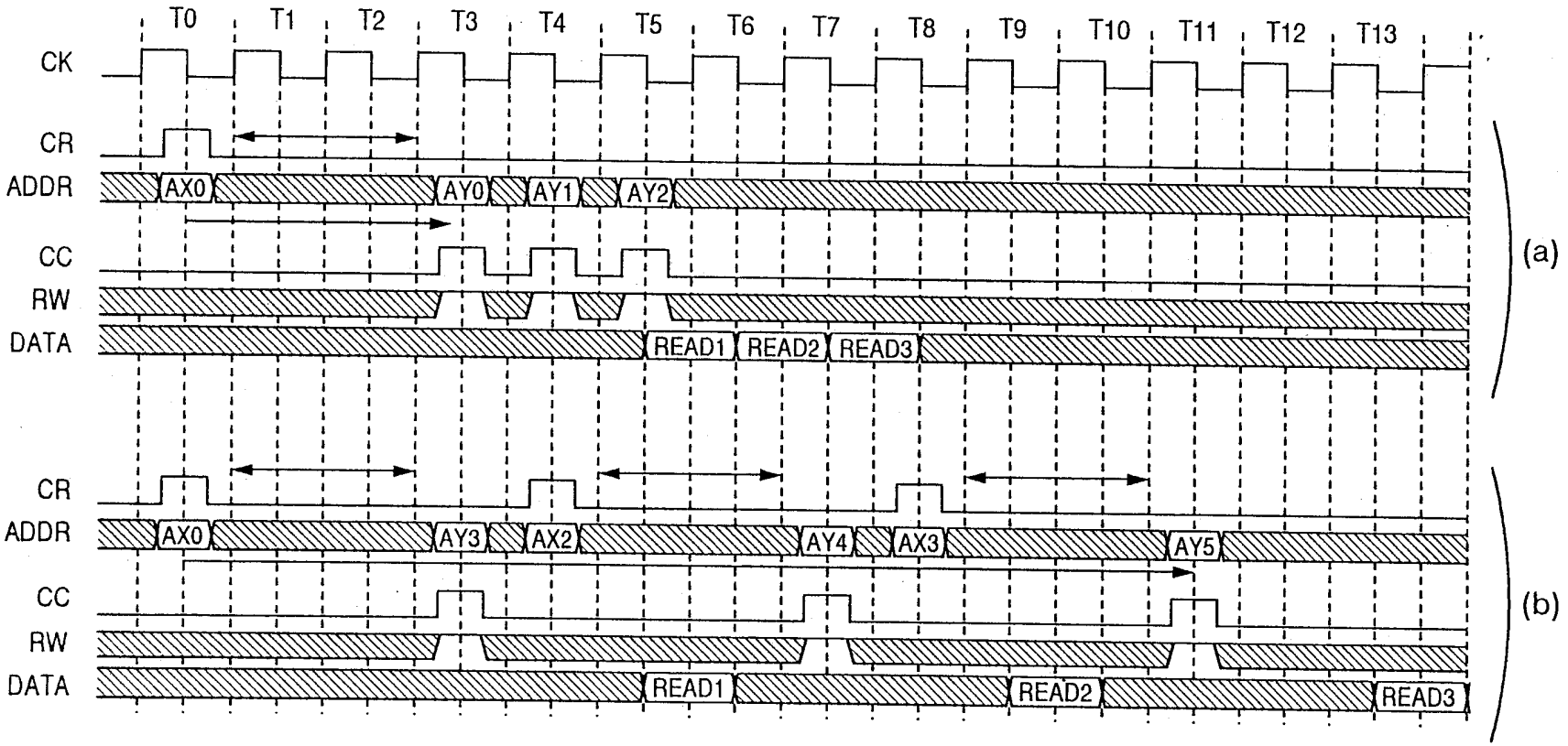
第 6 圖


M1
B0 B1 B2 B3 B4 B5 B6 B7
16bit×8線OR
VRAM
CK
11bit(A0-A10)
M0
B0 B1 B2 B3 B4 B5 B6 B7
16bit×8線OR
16bit
16bit
DBUS16
16bit(BE)
8bit(R0-R7)
CC0
CC1
8bit(C0-C7)
GP
32bit
32bit
DBUS32
16bit(BE)
4bit(R0-R3)
CC0
CC1
4bit(C0-C3)
11bit(A0-A10)
32bit×4線OR
B0 B1 B2 B3
M5
FB1
CK
M4
M3
FB0
M2

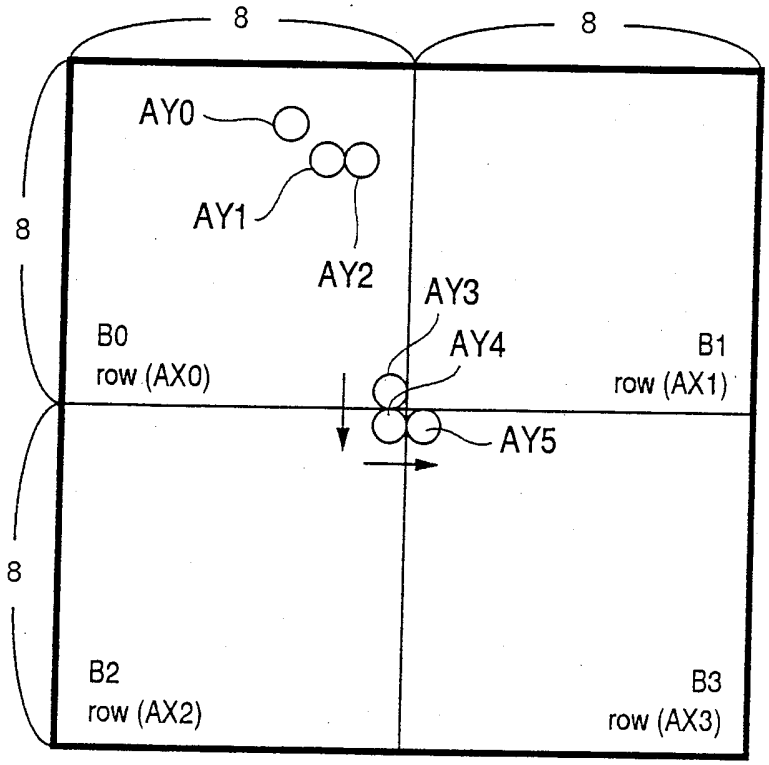
第 7 圖


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
CK
AC
CR
ADDR
VRAM
AXii
AYi
CC
RW
DATA
READ1
AC
CR
ADDR
FB
AXij
AYi
AYi
CC
RW
DATA
READ2
WRITE1
SET0
SET1

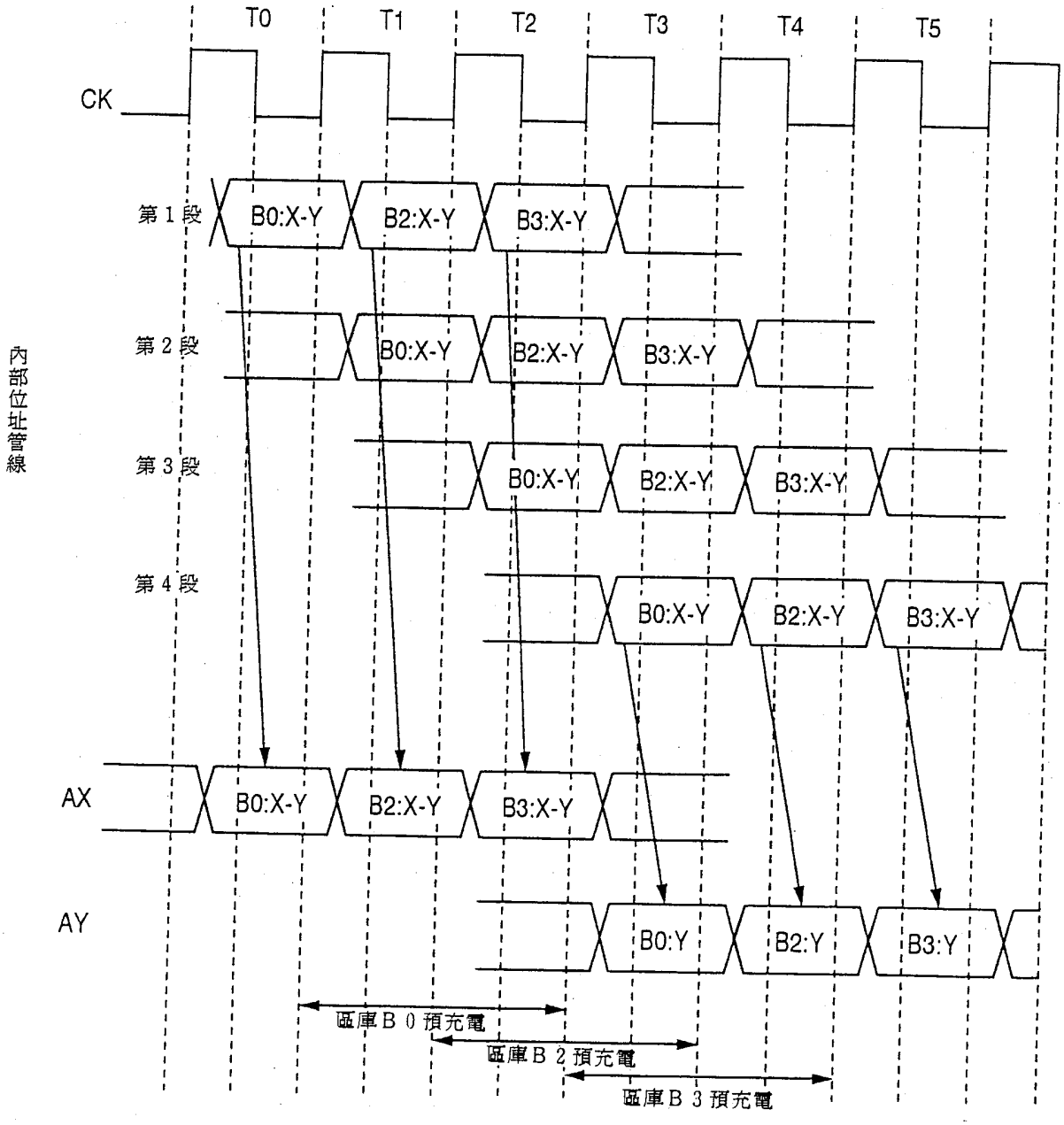
第 8 圖


T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
CK
CR
ADDR
AX0
AY0
AY1
AY2
CC
RW
DATA
READ1
READ2
READ3
(a)
CR
ADDR
AX0
AY3
AX2
AY4
AX3
AY5
CC
RW
DATA
READ1
READ2
READ3
(b)

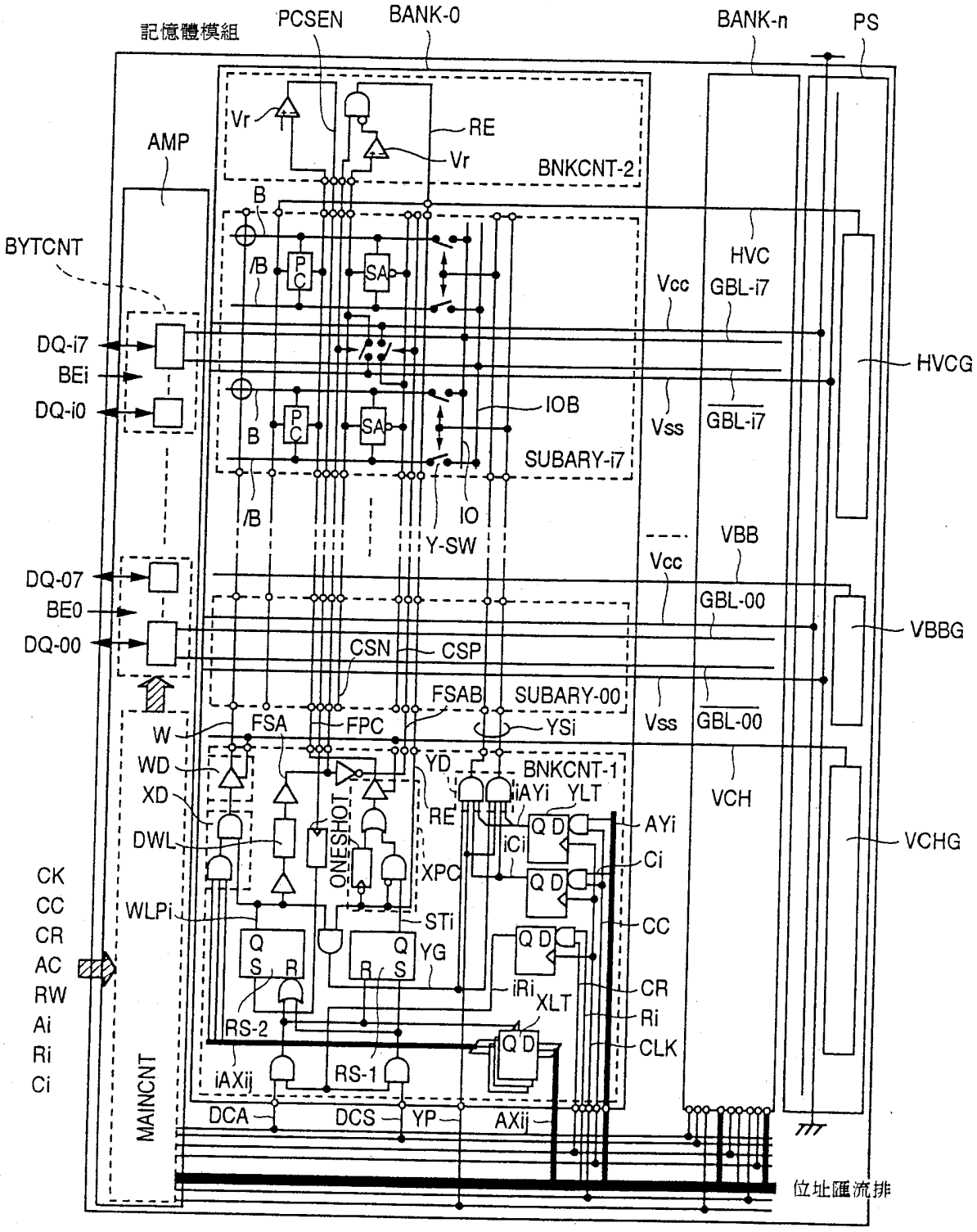
第 9 圖


8
8
8
8
AY0
AY1
AY2
AY3
AY4
AY5
B0
row (AX0)
B1
row (AX1)
B2
row (AX2)
B3
row (AX3)

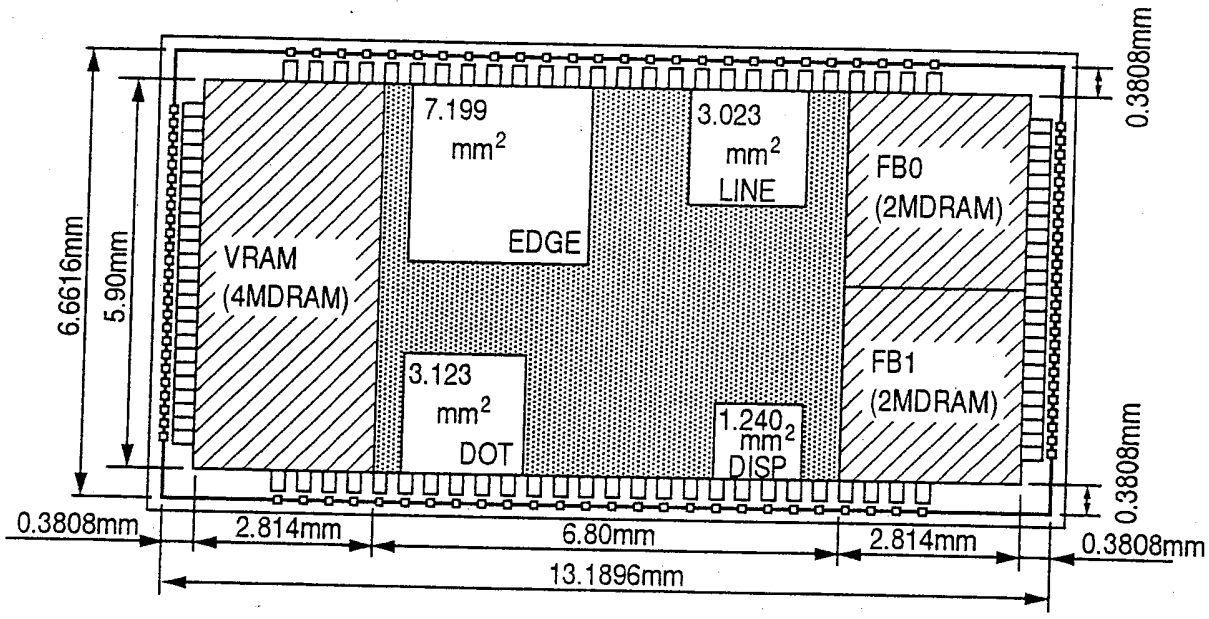
第 10 圖


T0
T1
T2
T3
T4
T5
CK
第 1 段
第 2 段
第 3 段
第 4 段
內部位址管線
B0:X-Y
B2:X-Y
B3:X-Y
AX
AY
B0:Y
B2:Y
B3:Y
區庫 B 0 預充電
區庫 B 2 預充電
區庫 B 3 預充電

第 11圖

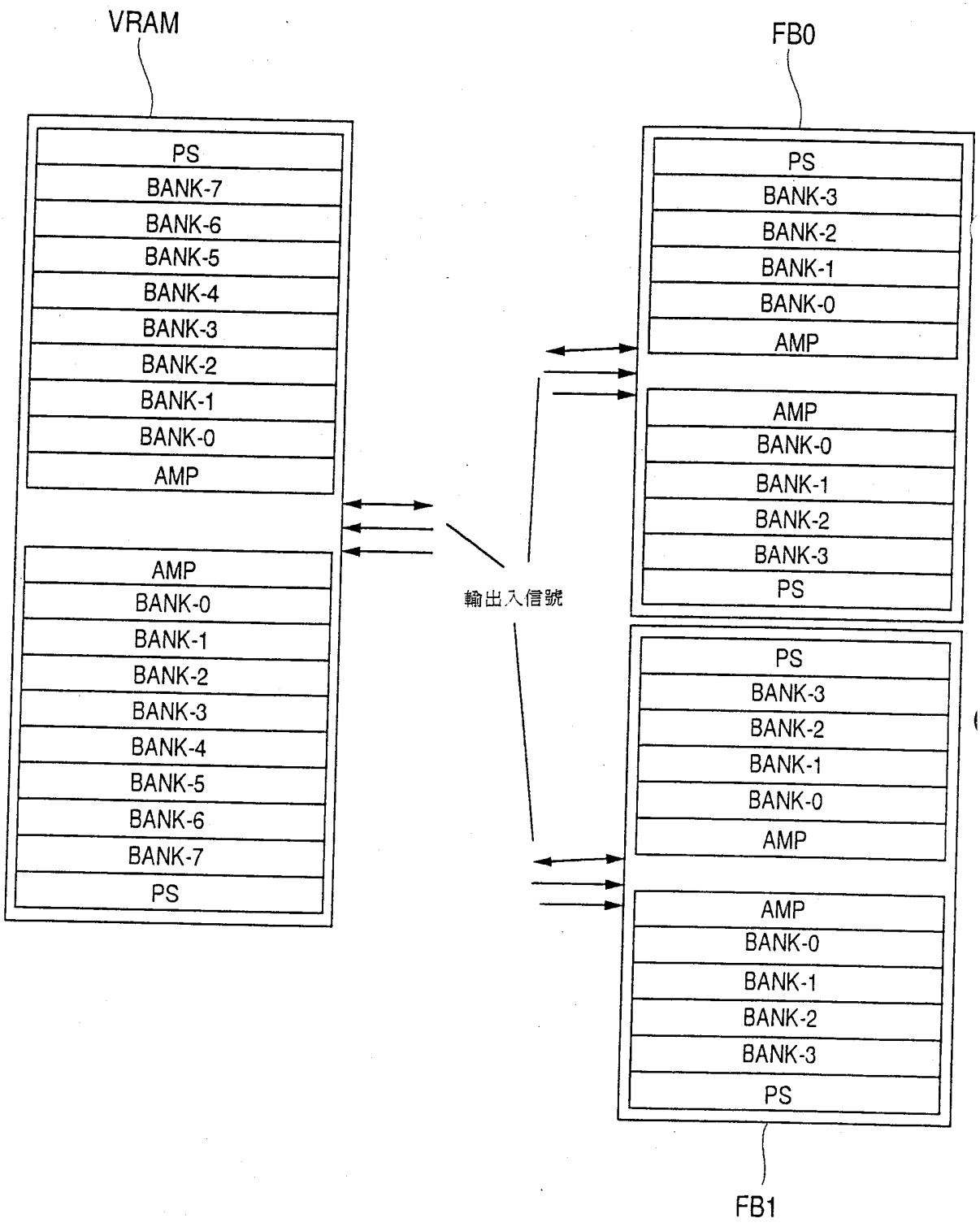

記憶體模組
PCSEN
BANK-0
BANK-n
PS
AMP
Vr
RE
BNKCNT-2
B
/B
PC
SA
BYTCNT
HVC
Vcc
GBL-i7
DQ-i7
BEi
DQ-i0
HVCG
IOB
Vss
SUBARY-i7
IO
Y-SW
VBB
DQ-07
BE0
DQ-00
GBL-00
VBBG
CSN
CSP
FSAB
SUBARY-00
FSA
FPC
YSi
W
WD
XD
YD
BNKCNT-1
iAYi
YLT
VCH
DWL
RE
ONESHOT
AYi
iCi
Ci
VCHG
CK
CC
CR
AC
RW
Ai
Ri
Ci
WLPi
XPC
STi
YG
CC
iRi
XLT
CR
Ri
CLK
RS-2
RS-1
iAXij
MAINCNT
DCA
DCS
YP
AXij
位址匯流排

第 12 圖

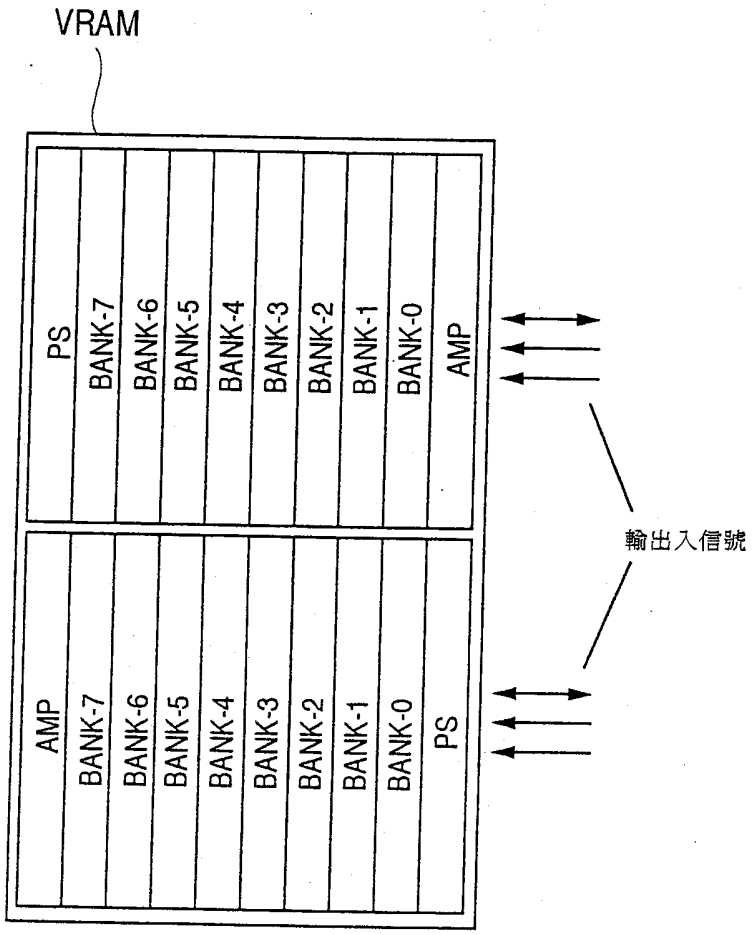


13.1896mm＋0.201mm×2＝13.5916mm≒
13.60mm
6.6616mm＋0.201mm×2＝7.0636mm≒7.07mm
13.60mm×7.07mm＝96.152mm²→9.81mm□

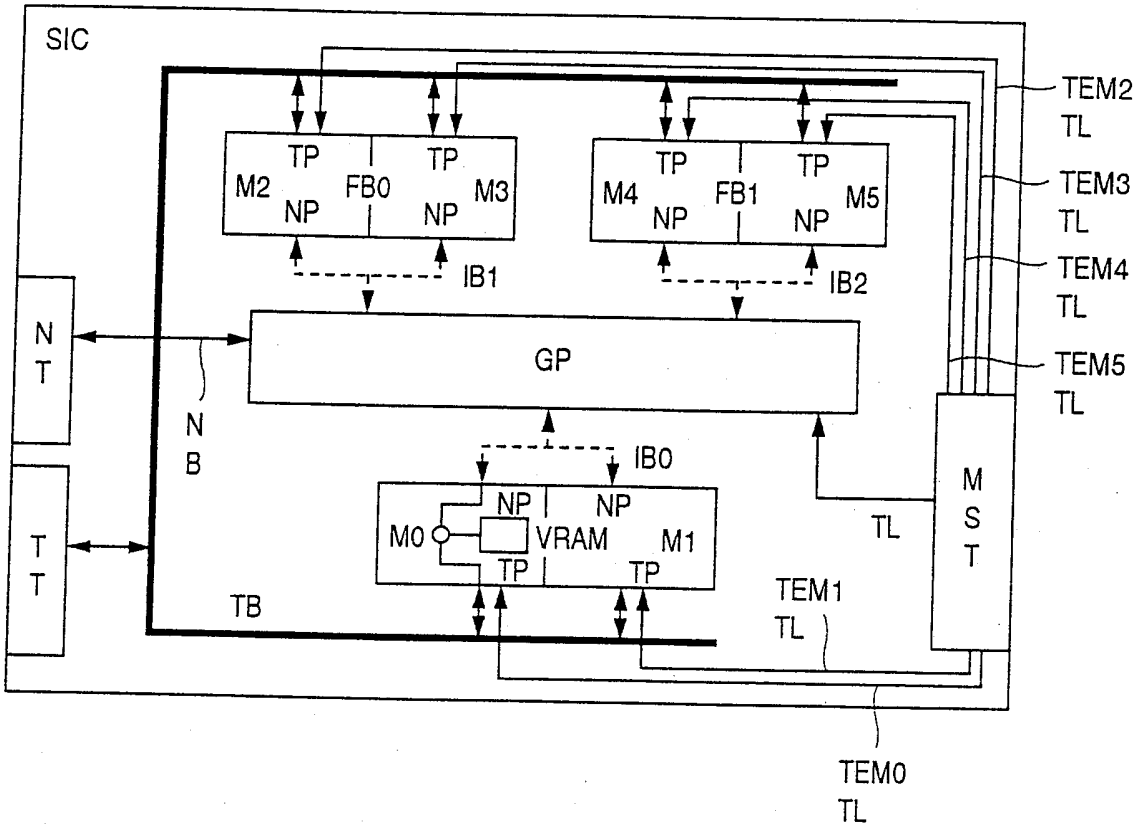
第 13 圖


VRAM
PS
BANK-7
BANK-6
BANK-5
BANK-4
BANK-3
BANK-2
BANK-1
BANK-0
AMP
AMP
BANK-0
BANK-1
BANK-2
BANK-3
BANK-4
BANK-5
BANK-6
BANK-7
PS
輸出入信號
FB0
PS
BANK-3
BANK-2
BANK-1
BANK-0
AMP
AMP
BANK-0
BANK-1
BANK-2
BANK-3
PS
FB1
PS
BANK-3
BANK-2
BANK-1
BANK-0
AMP
AMP
BANK-0
BANK-1
BANK-2
BANK-3
PS

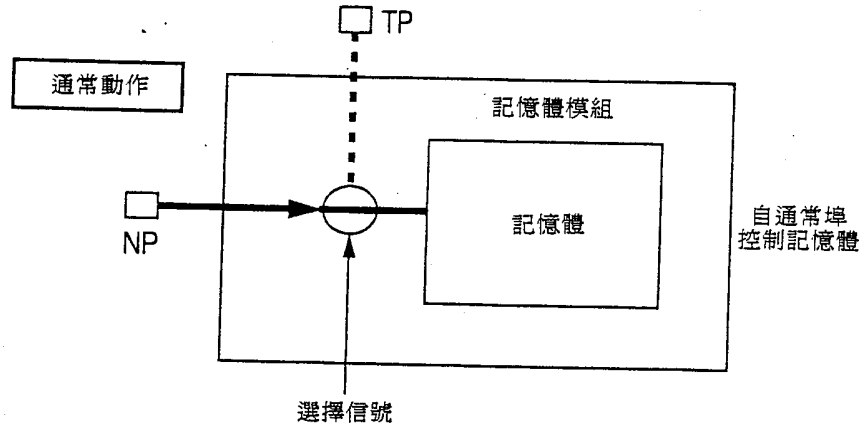
第 14 圖


VRAM
PS
BANK-7
BANK-6
BANK-5
BANK-4
BANK-3
BANK-2
BANK-1
BANK-0
AMP
AMP
BANK-7
BANK-6
BANK-5
BANK-4
BANK-3
BANK-2
BANK-1
BANK-0
PS
輸出入信號

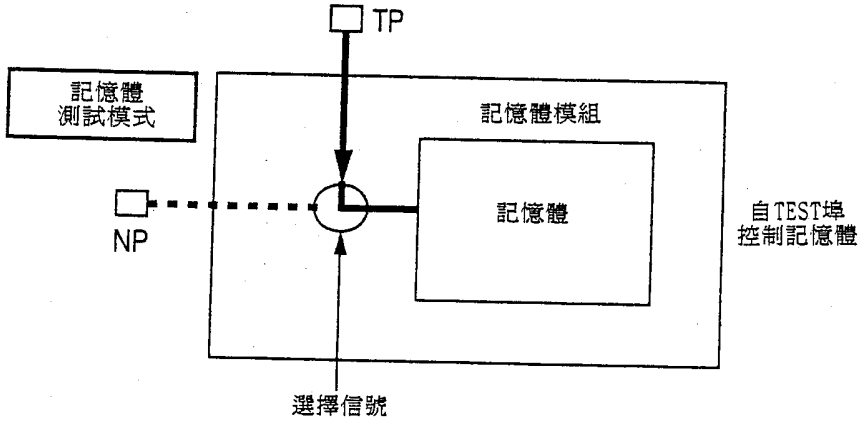
第 15 圖


SIC
TP
TP
M2
FB0
M3
NP
NP
TP
TP
M4
FB1
M5
NP
NP
IB1
IB2
N
T
GP
N
B
IB0
NP
NP
M0
VRAM
M1
TP
TP
T
T
TB
TL
M
S
T
TEM1
TL
TEM2
TL
TEM3
TL
TEM4
TL
TEM5
TL
TEM0
TL

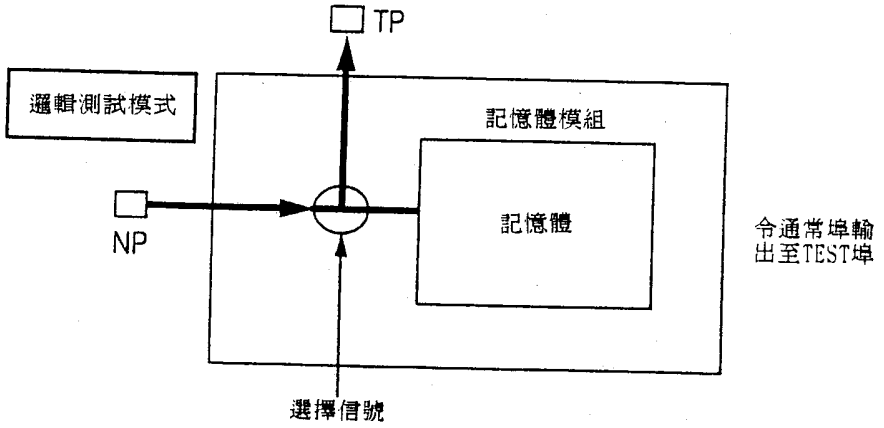
第 16a 圖



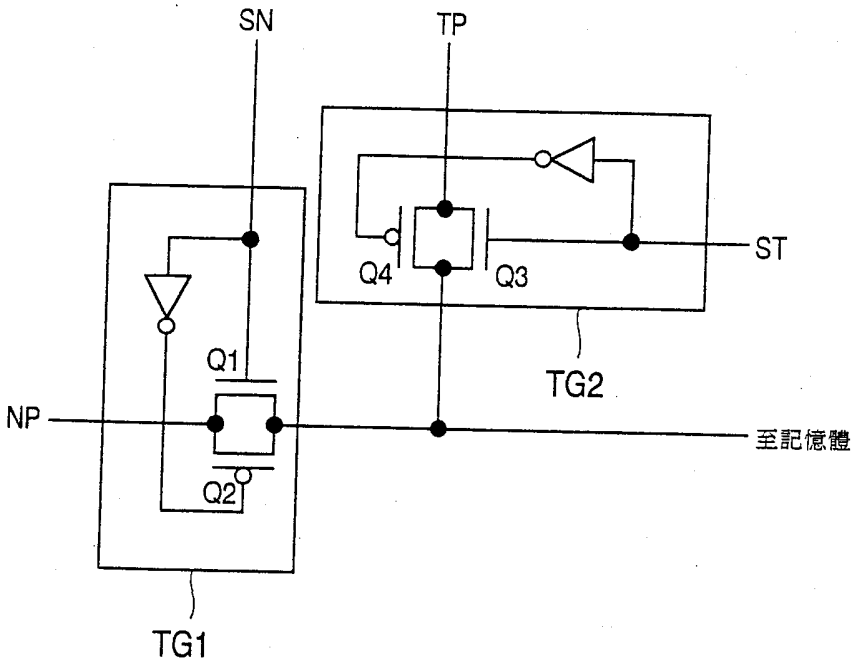
第 16b 圖



第 16c 圖



第 17 圖

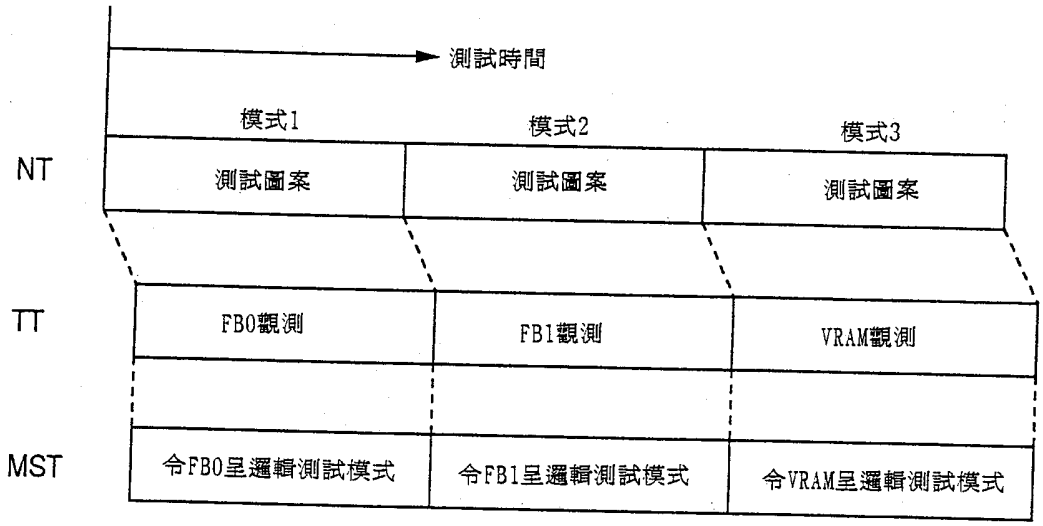


	SN	ST
通常動作模式	1	0
記憶體測試模式	0	1
邏輯測試模式	1	1

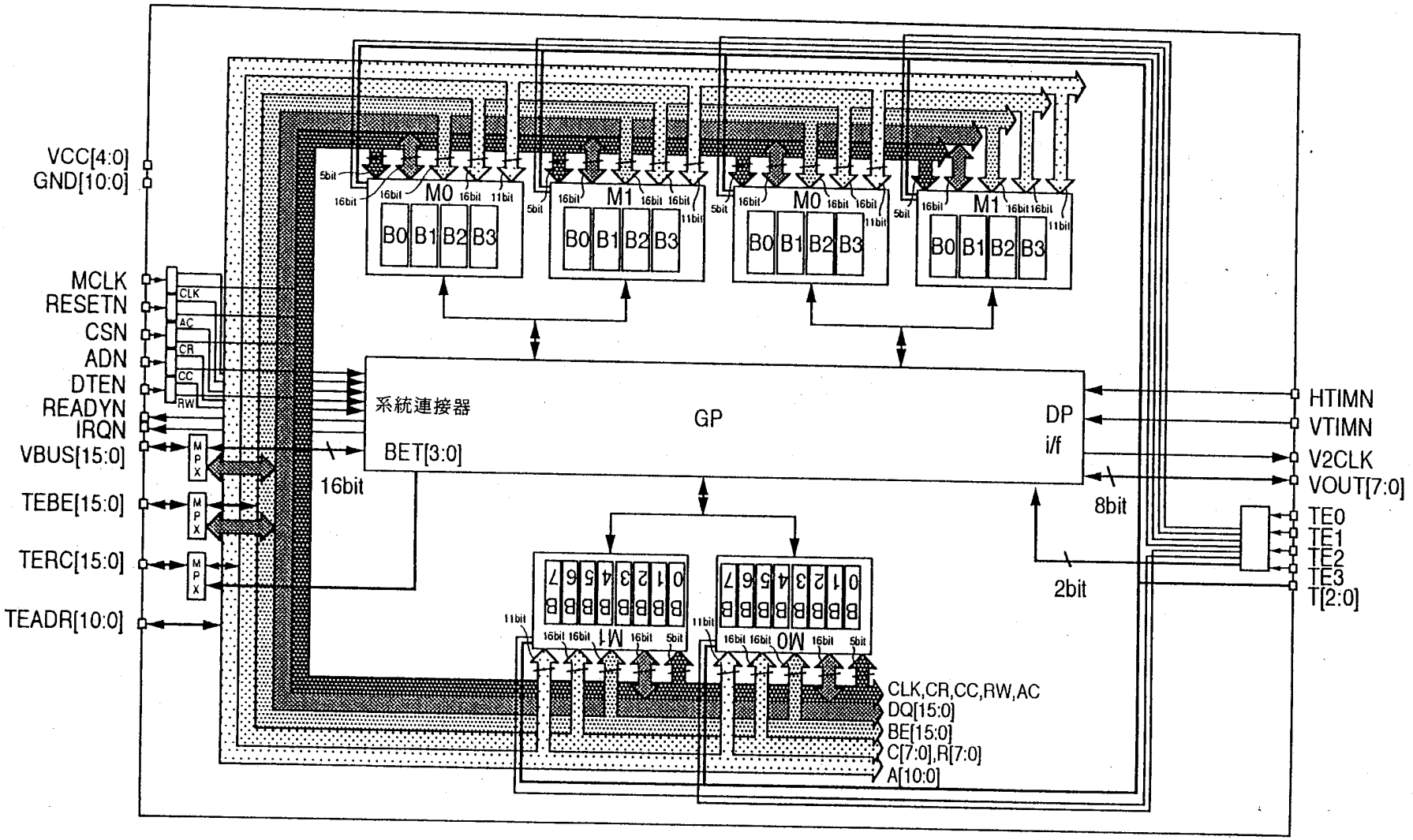
第 18 圖

TEST MODE	測試控制腳位				內部制御信號							測試模組						備考
	TE				TEM						TL							
	3	2	1	0	5	4	3	2	1	0		M5	M4	M3	M2	M1	M0	
通常	0	0	0	0	0	0	0	0	0	0	1							
LOGIC TEST	0	0	0	1	0	0	0	0	0	1	1					○	○	
	0	0	1	0	0	0	0	0	1	0	1			○	○			
	0	0	1	1	0	0	0	1	0	0	1	○	○					
	0	1	0	0	–	–	–	–	–	–	–							
	0	1	0	1	–	–	–	–	–	–	–							
	0	1	1	0	–	–	–	–	–	–	–							
	0	1	1	1	–	–	–	–	–	–	–							
STNBY	1	0	0	0	0	0	0	0	0	0	0							MEM ALL OPEN
MEMORY TEST	1	0	0	1	0	0	0	0	0	1	0						○	
	1	0	1	0	0	0	0	0	1	0	0					○		
	1	0	1	1	0	0	0	1	0	0	0				○			
	1	1	0	0	0	0	1	0	0	0	0			○				
	1	1	0	1	0	1	0	0	0	0	0		○					
	1	1	1	0	1	0	0	0	0	0	0	○						
	1	1	1	1	–	–	–	–	–	–	–							

第 19 圖


測試時間
模式1
模式2
模式3
NT
測試圖案
測試圖案
測試圖案
TT
FB0觀測
FB1觀測
VRAM觀測
MST
令FB0呈邏輯測試模式
令FB1呈邏輯測試模式
令VRAM呈邏輯測試模式

第 20 圖


VCC[4:0]
GND[10:0]
MCLK
RESETN
CSN
ADN
DTEN
READYN
IRQN
VBUS[15:0]
TEBE[15:0]
TERC[15:0]
TEADR[10:0]
CLK
AC
CR
CC
RW
MPX
M0
M1
B0
B1
B2
B3
5bit
16bit
11bit
系統連接器
GP
DP
i/f
BET[3:0]
16bit
8bit
2bit
HTIMN
VTIMN
V2CLK
VOUT[7:0]
TE0
TE1
TE2
TE3
T[2:0]
CLK,CR,CC,RW,AC
DQ[15:0]
BE[15:0]
C[7:0],R[7:0]
A[10:0]

	項番	通常時		
			I/O	內容
GP	1	MCLK	I	CLOCK 26.8/28.6MHz
	2	RESETN	I	垂置
	3	CSN	I	選擇晶片
	4	ADN	I	ADDRESS/DATA SELECT
	5	DTEN	I	資料啓動
	6	READYN	O	READY
	7	IRQN	O	中斷
	8	VBUS[0]	I/O	位址/資料匯流排[0]
	9	VBUS[1]	I/O	位址/資料匯流排[1]
	10	VBUS[2]	I/O	位址/資料匯流排[2]
	11	VBUS[3]	I/O	位址/資料匯流排[3]
	12	VBUS[4]	I/O	位址/資料匯流排[4]
	13	VBUS[5]	I/O	位址/資料匯流排[5]
	14	VBUS[6]	I/O	位址/資料匯流排[6]
	15	VBUS[7]	I/O	位址/資料匯流排[7]
	16	VBUS[8]	I/O	位址/資料匯流排[8]
	17	VBUS[9]	I/O	位址/資料匯流排[9]
	18	VBUS[10]	I/O	位址/資料匯流排[10]
	19	VBUS[11]	I/O	位址/資料匯流排[11]
	20	VBUS[12]	I/O	位址/資料匯流排[12]
	21	VBUS[13]	I/O	位址/資料匯流排[13]
	22	VBUS[14]	I/O	位址/資料匯流排[14]
	23	VBUS[15]	I/O	位址/資料匯流排[15]
	24	VTIMN	I	垂直同期信號
	25	HTIMN	I	水平同期信號
	26	VOUT[0]	I/O	顯示開始位址/顯示資料[0]
	27	VOUT[1]	I/O	顯示開始位址/顯示資料[1]
	28	VOUT[2]	I/O	顯示開始位址/顯示資料[2]
	29	VOUT[3]	I/O	顯示開始位址/顯示資料[3]
	30	VOUT[4]	I/O	顯示開始位址/顯示資料[4]
	31	VOUT[5]	I/O	顯示開始位址/顯示資料[5]
	32	VOUT[6]	I/O	顯示開始位址/顯示資料[6]
	33	VOUT[7]	I/O	顯示開始位址/顯示資料[7]
	34	V2CLK	O	顯示同步時脈

第21a圖

第21b圖

		測試模式時					
			I/O	內容		I/O	內容
GP	1	TECLK	I	記憶體時脈	MCLK	I	CLOCK 26.8/28.6MHz
	2	AC	I	活動控制器	RESETN	I	垂置
	3	CR	I	Row位址控制器	CSN	I	選擇晶片
	4	CC	I	Col位址控制器	ADN	I	ADDRESS/DATA SELECT
	5	RW	I	讀取/寫入	DTEN	I	資料啓動
	6				READYN	O	READY
	7				IRQN	O	中斷
	8	DQ[0]	I/O	記憶體資料匯流排[0]	VBUS[0]	I/O	位址/資料匯流排[0]
	9	DQ[1]	I/O	記憶體資料匯流排[1]	VBUS[1]	I/O	位址/資料匯流排[1]
	10	DQ[2]	I/O	記憶體資料匯流排[2]	VBUS[2]	I/O	位址/資料匯流排[2]
	11	DQ[3]	I/O	記憶體資料匯流排[3]	VBUS[3]	I/O	位址/資料匯流排[3]
	12	DQ[4]	I/O	記憶體資料匯流排[4]	VBUS[4]	I/O	位址/資料匯流排[4]
	13	DQ[5]	I/O	記憶體資料匯流排[5]	VBUS[5]	I/O	位址/資料匯流排[5]
	14	DQ[6]	I/O	記憶體資料匯流排[6]	VBUS[6]	I/O	位址/資料匯流排[6]
	15	DQ[7]	I/O	記憶體資料匯流排[7]	VBUS[7]	I/O	位址/資料匯流排[7]
	16	DQ[8]	I/O	記憶體資料匯流排[8]	VBUS[8]	I/O	位址/資料匯流排[8]
	17	DQ[9]	I/O	記憶體資料匯流排[9]	VBUS[9]	I/O	位址/資料匯流排[9]
	18	DQ[10]	I/O	記憶體資料匯流排[10]	VBUS[10]	I/O	位址/資料匯流排[10]
	19	DQ[11]	I/O	記憶體資料匯流排[11]	VBUS[11]	I/O	位址/資料匯流排[11]
	20	DQ[12]	I/O	記憶體資料匯流排[12]	VBUS[12]	I/O	位址/資料匯流排[12]
	21	DQ[13]	I/O	記憶體資料匯流排[13]	VBUS[13]	I/O	位址/資料匯流排[13]
	22	DQ[14]	I/O	記憶體資料匯流排[14]	VBUS[14]	I/O	位址/資料匯流排[14]
	23	DQ[15]	I/O	記憶體資料匯流排[15]	VBUS[15]	I/O	位址/資料匯流排[15]
	24				VTIMN	I	垂直同期信號
	25				HTIMN	I	水平同期信號
	26				VOUT[0]	I/O	顯示開始位址/顯示資料[0]
	27				VOUT[1]	I/O	顯示開始位址/顯示資料[1]
	28				VOUT[2]	I/O	顯示開始位址/顯示資料[2]
	29				VOUT[3]	I/O	顯示開始位址/顯示資料[3]
	30				VOUT[4]	I/O	顯示開始位址/顯示資料[4]
	31				VOUT[5]	I/O	顯示開始位址/顯示資料[5]
	32				VOUT[6]	I/O	顯示開始位址/顯示資料[6]
	33				VOUT[7]	I/O	顯示開始位址/顯示資料[7]
	34				V2CLK	O	顯示同步時脈

384540

384540

第 22a圖

	35	TEC[0]	I	測試模組選擇[0]
	36	TEC[1]	I	測試模組選擇[1]
	37	TEC[2]	I	測試模組選擇[2]
	38	TEC[3]	I	測試模組選擇[3]
	39	T[0]	I	測試資料選擇[0]
	40	T[1]	I	測試資料選擇[1]
	41	T[2]	I	測試資料選擇[2]
	42			
	43			
	44			
	45			
	46			
	47			
	48			
	49			
	50			
	51			
	52			
	53			
	54			
	55			
	56			
	57			
	58			
	59			
	60			
	61			
	62			
	63			
	64			
	65			
	66			
	67			
	68			
	69			
	70			
	71			

第 22b圖

	35	TEC[0]	I	測試模組選擇[0]	TEC[0]	I	測試模組選擇[0]
	36	TEC[1]	I	測試模組選擇[1]	TEC[1]	I	測試模組選擇[1]
	37	TEC[2]	I	測試模組選擇[2]	TEC[2]	I	測試模組選擇[2]
	38	TEC[3]	I	測試模組選擇[3]	TEC[3]	I	測試模組選擇[3]
	39	T[0]	I	測試資料選擇[0]	T[0]	I	測試資料選擇[0]
	40	T[1]	I	測試資料選擇[1]	T[1]	I	測試模組選擇[1]
	41	T[2]	I	測試資料選擇[2]	T[2]	I	測試模組選擇[2]
	42	TEADR[0]	I	記憶體資料匯流排[0]	LTEAD[0]	O	VDP1位址匯流排[0]
	43	TEADR[1]	I	記憶體資料匯流排[1]	LTEAD[1]	O	VDP1位址匯流排[1]
	44	TEADR[2]	I	記憶體資料匯流排[2]	LTEAD[2]	O	VDP1位址匯流排[2]
	45	TEADR[3]	I	記憶體資料匯流排[3]	LTEAD[3]	O	VDP1位址匯流排[3]
	46	TEADR[4]	I	記憶體資料匯流排[4]	LTEAD[4]	O	VDP1位址匯流排[4]
	47	TEADR[5]	I	記憶體資料匯流排[5]	LTEAD[5]	O	VDP1位址匯流排[5]
	48	TEADR[6]	I	記憶體資料匯流排[6]	LTEAD[6]	O	VDP1位址匯流排[6]
	49	TEADR[7]	I	記憶體資料匯流排[7]	LTEAD[7]	O	VDP1位址匯流排[7]
	50	TEADR[8]	I	記憶體資料匯流排[8]	LTEAD[8]	O	VDP1位址匯流排[8]
	51	TEADR[9]	I	記憶體資料匯流排[9]	LTEAD[9]	O	VDP1位址匯流排[9]
	52	TEADR[10]	I	記憶體資料匯流排[10]	LTEAD[10]	O	VDP1位址匯流排[10]
	53	TERC[0]	I	記憶體區庫位址(R[0])	LTERC[0]	O	VDP1區庫位址(R[0])
	54	TERC[1]	I	記憶體區庫位址(R[1])	LTERC[1]	O	VDP1區庫位址(R[1])
	55	TERC[2]	I	記憶體區庫位址(R[2])	LTERC[2]	O	VDP1區庫位址(R[2])
	56	TERC[3]	I	記憶體區庫位址(R[3])	LTERC[3]	O	VDP1區庫位址(R[3])
	57	TERC[4]	I	記憶體區庫位址(R[4])	LTERC[4]	O	VDP1區庫位址(R[4])
	58	TERC[5]	I	記憶體區庫位址(R[5])	LTERC[5]	O	VDP1區庫位址(R[5])
	59	TERC[6]	I	記憶體區庫位址(R[6])	LTERC[6]	O	VDP1區庫位址(R[6])
	60	TERC[7]	I	記憶體區庫位址(R[7])	LTERC[7]	O	VDP1區庫位址(R[7])
	61	TERC[8]	I	記憶體區庫位址(C[0])	AC	O	活動控制器
	62	TERC[9]	I	記憶體區庫位址(C[1])	CR	O	Row位址控制器
	63	TERC[10]	I	記憶體區庫位址(C[2])	CC	O	Col位址控制器
	64	TERC[11]	I	記憶體區庫位址(C[3])	RW	O	讀取/寫入
	65	TERC[12]	I	記憶體區庫位址(C[4])	LTEBE[0]	O	VDP1位元組啓動[0]
	66	TERC[13]	I	記憶體區庫位址(C[5])	LTEBE[1]	O	VDP1位元組啓動[1]
	67	TERC[14]	I	記憶體區庫位址(C[6])	LTEBE[2]	O	VDP1位元組啓動[2]
	68	TERC[15]	I	記憶體區庫位址(C[7])	LTEBE[3]	O	VDP1位元組啓動[3]
	69	TEBE[0]		記憶體位元組啓動[0]	LTED[0]	O	VDP1資料匯流排[0]
	70	TEBE[1]		記憶體位元組做動[1]	LTED[1]	O	VDP1資料匯流排[1]
	71	TEBE[2]		記憶體位元組啓動[2]	LTED[2]	O	VDP1資料匯流排[2]

第 23a 圖

	72			
	73			
	74			
	75			
	76			
	77			
	78			
	79			
	80			
	81			
	82			
	83			
	84			
	85	VCC	I	電源
	86	VCC	I	電源
	87	VCC	I	電源
	88	VCC	I	電源
	89	VCC	I	電源
	90	VCC	I	電源
	91	VCC	I	電源
	92	VCC	I	電源
	93	GND	I	接地
	94	GND	I	接地
	95	GND	I	接地
	96	GND	I	接地
	97	GND	I	接地
	98	GND	I	接地
	99	GND	I	接地
	100	GND	I	接地

第23b圖

	72	TEBE[3]		記憶體位元組啓動[3]	LTED[3]	O	VDP1資料匯流排[3]
	73	TEBE[4]		記憶體位元組啓動[4]	LTED[4]	O	VDP1資料匯流排[4]
	74	TEBE[5]		記憶體位元組啓動[5]	LTED[5]	O	VDP1資料匯流排[5]
	75	TEBE[6]		記憶體位元組啓動[6]	LTED[6]	O	VDP1資料匯流排[6]
	76	TEBE[7]		記憶體位元組啓動[7]	LTED[7]	O	VDP1資料匯流排[7]
	77	TEBE[8]		記憶體位元組啓動[8]	LTED[8]	O	VDP1資料匯流排[8]
	78	TEBE[9]		記憶體位元組啓動[9]	LTED[9]	O	VDP1資料匯流排[9]
	79	TEBE[10]		記憶體位元組啓動[10]	LTED[10]	O	VDP1資料匯流排[10]
	80	TEBE[11]		記憶體位元組啓動[11]	LTED[11]	O	VDP1資料匯流排[11]
	81	TEBE[12]		記憶體位元組啓動[12]	LTED[12]	O	VDP1資料匯流排[12]
	82	TEBE[13]		記憶體位元組啓動[13]	LTED[13]	O	VDP1資料匯流排[13]
	83	TEBE[14]		記憶體位元組啓動[14]	LTED[14]	O	VDP1資料匯流排[14]
	84	TEBE[15]		記憶體位元組啓動[15]	LTED[15]	O	VDP1資料匯流排[15]
	85	VCC	I	電源	VCC	I	電源
	86	VCC	I	電源	VCC	I	電源
	87	VCC	I	電源	VCC	I	電源
	88	VCC	I	電源	VCC	I	電源
	89	VCC	I	電源	VCC	I	電源
	90	VCC	I	電源	VCC	I	電源
	91	VCC	I	電源	VCC	I	電源
	92	VCC	I	電源	VCC	I	電源
	93	GND	I	接地	GND	I	接地
	94	GND	I	接地	GND	I	接地
	95	GND	I	接地	GND	I	接地
	96	GND	I	接地	GND	I	接地
	97	GND	I	接地	GND	I	接地
	98	GND	I	接地	GND	I	接地
	99	GND	I	接地	GND	I	接地
	100	GND	I	接地	GND	I	接地