

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY 100547

**Patent dodatkowy
do patentu _____**

Zgłoszono: 09.06.75 (P. 181086)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 28.08.76

Opis patentowy opublikowano: 15.03.1979

Int. Cl.² G11C 11/40

CZYTELNIKA

Urzedu Patentowego
P. 31, Warszawa, ul. J. Dąbrowskiego

Twórca wynalazku: Józef Kalisz

Uprawniony z patentu: Wojskowa Akademia Techniczna im. Jarosława Dąbrowskiego,
Warszawa (Polska)

Układ komórki opóźniającej dwufazowego rejestru dynamicznego MOS

Przedmiotem wynalazku jest układ komórki opóźniającej dwufazowego rejestru dynamicznego MOS stosowany zwłaszcza w układach wielkiej skali integracji.

Znane są z opisu patentowego St. Zjedn. Am. nr 3395292 układy komórek opóźniających, których podstawową cechą jest symetria budowy. Komórka rejestru składa się z dwóch identycznych sekcji, z których każda ma opóźnienie równoważne połowie bitu. Każda sekcja zawiera inwerter dwutranzystorowy, oraz tranzystor transmisyjny za pośrednictwem którego inwerter połączony jest z wyjściem sekcji. Do bramek tranzystorów transmisyjnych jak również do bramek tranzystorów obciążeniowych obu sekcji podawane są dwa różne sygnały zegarowe nie zachodzące na siebie wzajemnie w czasie.

Cykl pracy komórki obejmuje dwie zasadnicze operacje — próbkowanie i przesuw, które są wykonywane na przemian, tak że jedna sekcja komórki wykonuje operację próbkowania synchronicznie z jednym sygnałem zegarowym, a druga sekcja wykonuje operację przesuwu synchronicznie z drugim sygnałem zegarowym. Obydwie sekcje działają na przemian, co umożliwia spełnienie zasadniczego wymagania, aby w czasie przesuwu była przerwana wewnętrzna droga sygnału między wejściem i wyjściem komórki. Znane konfiguracje symetrycznych komórek opóźniających zawierają co najmniej sześć tranzystorów, z których trzy są w sekcji próbkującej i trzy w sekcji przesuwającej. Tryb pracy komórki może być stosunkowy lub bezstosunkowy. Ma to zasadniczy wpływ na projektowanie technologiczne półprzewodnikowych struktur tranzystorów w komórce, a głównie na ich wymiary geometryczne.

Istota wynalazku polega na tym, że jeden z sygnałów zegarowych podawany jest do bramki tranzystora obciążeniowego pierwszego inwertera i bramki tranzystora obciążeniowego drugiego inwertera, a wyjście pierwszego inwertera jest przyłączone do bramki tranzystora sterującego drugiego inwertera, przy czym w każdym inwerterze dren tranzystora sterującego połączony jest ze źródłem tranzystora obciążeniowego, natomiast dreny tranzystorów obciążeniowych obu inwerterów są przyłączone do źródła napięcia zasilającego.

Wynalazek zostanie poniżej przykładowo objaśniony w oparciu o rysunek, przedstawiający ideowy schemat połączeń komórki opóźniającej dwufazowego rejestru dynamicznego MOS.

Komórka zawiera dwa inwertery I_1 i I_2 , oraz jeden tranzystor transmisyjny T_5 . Każdy inwerter składa się z tranzystora sterującego T_2 , T_4 i tranzystora obciążeniowego T_1 , T_3 .

Wejście E układu połączone jest z bramką tranzystora sterującego T_2 pierwszego inwertera I_1 , a dreny tranzystorów sterujących T_2 , T_4 są połączone ze źródłami tranzystorów obciążeniowych T_1 i T_3 . Źródła tranzystorów sterujących T_2 , T_4 są połączone z masą układu. Dreny tranzystorów obciążeniowych T_1 i T_3 są przyłączone do napięcia zasilającego U_z . Sygnał zegarowy 1 przyłączony jest do bramek dwu tranzystorów obciążeniowych T_1 , T_3 , a wyjście pierwszego inwertera J_1 jest przyłączone do bramki tranzystora sterującego T_4 drugiego inwertera I_2 , na której jest pojemność pamiętająca C_1 . Wyjście Y układu z pojemnością pamiętającą C_3 jest przyłączone do wyjścia drugiego inwertera I_2 za pośrednictwem tranzystora transmisyjnego T_5 , do którego bramki doprowadzony jest sygnał zegarowy 2 i na którego źródle jest pojemność pamiętająca C_2 . Sygnał zegarowy 1 zapewnia jednoczesne kluczkowanie obydwu tranzystorów obciążeniowych T_1 , T_3 . Wspólne kluczkowanie obciążeń obydwu inwerterów jest funkcjonalnie równoważne działaniu włączonego między inwerterami kluczkowego tranzystora transmisyjnego, stosowanego w komórkach sześciotranzystorowych. Sygnał zegarowy 1 synchronizuje operację próbkowania napięcia wejściowego, którego wynik jest zapamiętywany na pojemności pamiętającej C_2 . Sygnał zegarowy 2 synchronizuje operację przesuwu, w czasie której następuje przeniesienie napięcia z pojemności pamiętającej C_2 do C_3 , pod warunkiem, że pojemność C_2 jest znacznie większa od pojemności C_3 . Układ pobiera prąd ze źródła zasilania U_z gdy sygnał zegarowy 1 przyjmuje wartość logiczną „1”, gdyż wówczas zawsze jeden z inwerterów znajduje się w stanie przewodzenia. Gdy sygnał zegarowy 1 przyjmuje wartość logiczną „0”, układ nie pobiera praktycznie żadnego prądu ze źródła U_z , gdyż obydwie tranzystory obciążeniowe T_2 i T_4 są wtedy wyłączone. Dla uzyskania symetrycznego obciążenia źródła U_z przy obydwu sygnałach zegarowych, stosuje się multipleksową organizację rejestru, co dodatkowo zapewnia dwukrotnie większą szybkość przesuwu danych.

Przez wyeliminowanie jednego tranzystora transmisyjnego z układu komórki, osiąga się minimalizację wymiarów powierzchniowych w kostce półprzewodnikowej i duży uzysk produkcyjny.

Układ komórki opóźniającej zawiera pięć tranzystorów, czyli umożliwia osiągnięcie oszczędności powierzchniowej rzędu 15–20% w stosunku do komórek sześciotranzystorowych. W rejestrze przesuwowym o pojemności 1 kb oznacza to oszczędność tysiąca tranzystorów MOS.

Zastrzeżenie patentowe

Układ komórki opóźniającej dwufazowego rejestru dynamicznego MOS, zawierający dwa inwertery dwutranzystorowe, którego wyjście połączone jest z wyjściem jednego z inwerterów poprzez tranzystor transmisyjny, do którego bramki doprowadzony jest jeden z sygnałów zegarowych, z n a m i e n n y t y m, że drugi sygnał zegarowy (1) podawany jest jednocześnie do bramki tranzystora obciążeniowego (T_1) pierwszego inwertera (I_1) i bramki tranzystora obciążeniowego (T_3) drugiego inwertera (I_2), a wyjście pierwszego inwertera (I_1) jest przyłączone do bramki tranzystora sterującego (T_4) drugiego inwertera (I_2), przy czym w każdym inwerterze (I_1), (I_2) dren tranzystora sterującego (T_2), (T_4) połączony jest ze źródłem tranzystora obciążeniowego (T_1), (T_3), natomiast dreny tranzystorów obciążeniowych (T_1) i (T_3) obu inwerterów są przyłączone do źródła napięcia zasilającego (U_z).

