

318964

申請日期	85. 9. 24
案 號	85111659
類 別	Int. C1 ⁵ H01L 29/68

318964

(以上各欄由本局填註)

85. 7. 11	修正 補充	發 明 專 利 說 明 書 新 型	
發明 名稱	中 文	具高電流容量高密度佈局的基控閘流管結構 (第85111659號專利說明書修正本)	
	英 文		
發明 人	姓 名	珍那得漢能 S. 愛及特	
	國 籍	美 國	
	住、居所	美國加州桑尼費爾北瑪莉大道415#112-199	
三、申請人	姓 名 (名稱)	國際整流公司	
	國 籍	美 國	
	住、居所 (事務所)	美國加州聖西康多凱撒斯街233號	
	代 表 人 姓 名	克雷佛特C. 雷斯利	

修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

裝

訂

線

318964

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美

國(地區) 申請專利，申請日期：

案號：

，☐有 ☒無主張優先權

1995/9/26 08/533.1768

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明係有關於一種具絕緣閘極的半導體閘流管，尤其是一種藉高密度佈局以提高電流容量的基控的絕緣閘極的半導體閘流管，簡稱基控閘流管。

對於高電壓電力開關應用而言，絕緣閘極半導體閘流管為一項很引人入勝的設計。一般絕緣閘極半導體閘流管的操作原理包括允許開啓狀態電流流經半導體閘流管區域，其可經由加到MOS結構的閘極加以關閉，該MOS結構整合在半導體閘流管結構中，此一觀念的優點為具有較低的導通壓降，且易於控制。此種裝置結構的例子為應用MOS控制的半導體閘流管("MCT")，如V.A.K. Temple中所提出之"MOS-Controlled Thyristors (MCTs)"，見於1984年11月在舊金山所發表的IEEE Electron Device Meeting (IEDM) Technical Digest第282-285頁，及可用基極電阻控制的半導體閘流管("BRT")，如M. Nandakumar等人在1991年所發表的Proceeding of the ISPEs，第138-141頁，標題為"The Base Resistance Controlled Thyristor (BRT): A New Mos Gated Power Thyristor"及美國專利申請案案號5,381,023。

在MCT及BRT兩者中，P通道MOSFET用於轉換半導體閘流管電流至P+區域而關掉半導體閘流管。MCT具三層之擴散結構，且關掉的P通道MOSFET整合於N射極區域，而使得此一裝置很難製造。BRT具雙層擴散結構，且關閉P通道MOSFET整合於N⁻基極區域。

在MCT及BRT中的最大可控制電流主要由關掉MOSFET的電阻決定。為了達到高度最大可控制電流密度，必需要增加關掉的P通道密度。可經由減少與總晶胞區域相關之N⁺射極區域的成份而達成此項設計。在習知技術的BRT中，鎖住電流密度(J_{latch})視N⁺射極(L_{N++})的長度而定，兩者間的關係為：

$$J_{latch} \approx \frac{2 \times V_{be}}{\alpha_{pnp} P_{sh, pbase} L_{N++}^2}$$

五、發明說明()

對於將鎖住的半導體閘流管結構，鎖住電流密度應低於用於NPN電晶體的基極驅動電流密度，該NPN電晶體可由該結構所供應。可經由考量崩潰電壓而決定P基極中的電荷，及P基極($P_{sh, pbase}$)的薄板電阻，且薄板電阻值的增加不會超過某一值。因此，為了具有一較低的鎖住電流密度，必需要增加射極的長度。此又增加了 N^+ 射極的比例，且降低與總晶胞區域面積相關之MOS通道的成份，因此減低了最大可控制電流。所以只有犧牲可能的最大可控制電流才能達成BRT結構中低鎖住電流。此一問題限制了BRT結構所可達成的最大可控制電流。

所以，有必要提供一種裝置，此裝置具有下列功能：

- 1)具高度的最大可控制電流密度；
- 2)具低鎖住電流；以及
- 3)易於在良好的製程控制之下加以製造。

本發明的目的係經由提供一絕緣閘極半導體閘流管而達到上述目的，尤其是應用簡化高密度MOS通道的佈局修改BRT，而產生高度可控制的電流能力。

尤有甚者，本發明由矽晶片形成，此矽晶片具有多個相間隔的 N^{++} 區胞及 P^+ 區胞，在晶片的上表面區域上形成棋盤形式之分佈，因此各 N^{++} 區胞為 P^+ 區胞中之一 P^+ 所包圍。一對應的 P^- 擴散層延伸於相鄰的 N^{++} 區胞及 P^+ 區胞之間，且與之連接。

N^{++} 區胞均包含一 N^{++} 射極區域，與 P 型區胞基極區域的端邊相間隔而形成對應的通道。一多晶矽閘極配置在 N^{++} 區胞之通道上方，且在相鄰 N^{++} 區胞及 P^+ 區胞之間的間隔之上方。

一陰極接點連接 P^+ 區域及 N^{++} 射極區域(但不與 P 基極區域相連接)。一接點連接底部 P^{++} 層。 P 基極區域連接陰極接點，其間只經由高電阻 P^- 擴散。此使其可得到低鎖住電流密度而不會增加 N^{++} 射極長度。在此結構中的鎖住電

五、發明說明 ()

流為：

$$J_{latch} \approx \frac{V_{be}}{\alpha_{pnp} L_N + Z_N + P_{sh,p} \frac{L_{p-}}{Z_{p-}}}$$

因此，可以得到低的鎖住電流，且同時對此結構得到高度最大可控制電流。

另外，在本發明的側向導電實施例中，陰極接點連接P⁺區域及N⁺⁺射極區域中相鄰區域的第一群，該陽極接點配置在晶片的上方，與陽極形成側向關係，第一及第二群相鄰的P⁺區域及N⁺⁺射極區域，均各包含分開的對應柵極，第一群相鄰的P⁺區域及N⁺⁺射極區域的閘極在操作上與第二群的相鄰P⁺區域及N⁺⁺射極區域形成反相位關係。

最好，為了防止在關掉期間所產生的電流冠，多個相鄰的P⁺區胞配置在晶片的外圍。

在本發明中，經由上述結構達到較高的MOS通道密度，係因本發明之裝置的P基極區域不同於習知技術，本發明的裝置只經由P⁻區域裝置陰極，其中該P⁻區域之電阻為MOS閘極電壓所調製。連接N⁺⁺區胞及P⁺區胞的P⁻區域當正偏壓加到閘極時將提供一較高的基極電阻。當一負偏壓加到閘極時，P⁻區域提供一低電阻關閉電流路徑。在晶胞間所加入的MOS閘極控制基極電阻可用於較小的尺寸加以設計，而不會影響N⁺⁺區胞的鎖住能力。

圖式之簡單說明

✓圖1為沿圖2之分割線1-1所視之圖2的截面圖，且顯示習知技術中的BRT裝置。

✓圖2為圖1的頂視截面圖，其顯示習知技術之BRT的區胞佈局。

✓圖3為圖1及2中習知技術BRT的等效電路圖。

✓圖4A為依據本發明製作之修改BRT結構的三維視

五、發明說明 ()

圖。

✓圖4B為沿圖5中的分割線4-4所示之截面圖，且顯示依據本發明所製作之修改的BRT，且在 N^{++} 區胞及 P^+ 區胞之間跨有一 P^- 區域。

✓圖4C示本發明的等效電路圖。

✓圖5示圖4之頂視截面圖，其顯示依據本發明製作之修改BRT裝置之區胞的佈局，且在 N^{++} 區胞及 P^+ 區胞之間跨有一 P^- 區域。

✓圖6顯示本發明晶片之邊緣佈局。

✓圖7示從裝置模擬說明的本發明之單位區胞中的開啓狀態電流線。

✓圖8A及8B為本發明之裝置之對應開啓狀態電子及電洞的縮小圖形。

✓圖9為在側向配置中所提供本發明裝置的截面圖。

✓圖10為本發明實施例中BRT結構，其中閘極不與 N^{++} 射極之端邊重疊。

✓圖11為圖10結構中的較佳佈局。

✓圖12為本發明另一實施例之裝置的結構。

✓圖13為圖12之結構的較佳佈局。

✓圖14為本發明另一實施例之裝置的結構。

✓圖15為圖14之結構的較佳佈局。

✓圖16示新裝置結構中的渠道(trench)閘極實施例。

現在請參考圖1，其中示習知技術之BRT裝置之結構。BRT包括單一半導體閘流管區域，在半導體閘流管區域中有一P通道MOSFET4與其相鄰。尤其是，如圖1所示，在包括N層10，一下層 P^{++} 層12，及一上層N⁻外延層14。一提供環形 N^{++} 區域18及不含 N^{++} 區域的 P^+ 區域20的P基極區域

✓五、發明說明()

在N⁻外延層14內擴散。

BRT為與絕緣閘極雙極電晶體(IGBT)與四層P-N-P-N相似的裝置。如同IGBT，基本上BRT係由雙擴散MOS(DMOS)程序製造，且置於如圖2所示的區胞配置中。但是，與IGBT不同，在BRT的上表面上只有一半的P區域包括N⁺⁺區域。BRT亦不同於IGBT，使用包括N⁺⁺區域18的P基極區域16之摻雜度較低，因此基極區域的電阻高於BRT約一階(order)之大小(所以稱為"基極電阻控制的半導體開流管")。如下文所說明者，此增加了半導體開流管之PNP電晶體的增益，且提升了鎖上功能(一般在IGBT中避免此一現象)。

請持續參考圖1，N⁺⁺區域18與P基極16之側向端呈向內的徑向間隔而形成N通道區域22。一多晶矽層24覆蓋通道區域22，及N⁻外延層14之部位23，層14向上延伸至P基極區域16及P基極區域20間的矽晶圓之頂表面。多晶矽層24由矽晶圓的上表面經由閘極氧化物之薄層所隔間。一頂金屬層28連接各N⁺⁺區域18，P基極區域16及P⁺區域20至共同陰極節點K。多晶矽閘極層24延伸至裝置的表面上，而各晶胞包括一開口(對源極，形成體擴散而接觸)，因此形成連接閘極節點G1的共同閘極。一不可中斷金屬層30於裝置的底面上而形成底面陽極A。

現請再參考圖2的頂視圖，由圖中可看P區域16的區胞(含N⁺⁺區域18之區胞)及P⁺區域20的區胞(不含N⁺⁺區域18的區胞)均配置成方形，且配置成不同的棋盤形式。但是圖中顯示方形結構，BRT可為其他多角形的結構，如八邊形，可參見美國專利申請案案號5,381,025。

現在請參考圖3，其中示BRT裝置的等效電路。各含N⁺⁺區域18的BRT區胞包括N通道MOSFET32，一PNP電晶體34，一NPN電晶體36及一電阻Rb(基極區域之電阻)。各不含N⁺⁺區域18的區胞包括一垂直一PNP電晶體38。P通道中的MOSFET4連接兩不同的區胞。

五、發明說明 ()

PNP電晶體34具由 P^{++} 層12形成的射極，由N層10及N⁻外延層14形成的基極，及由P基極16形成的集極。PNP電晶體38之射極為 P^{++} 層12所形成，其基極由N層10及N⁻外延層14形成，且其集極由 P^{+} 區域形成。P通道MOSFET4之源極由P基極形成，其漏極由 P^{+} 區域20形成，且其通道區域由在多晶矽閘極24下的 N^{++} 外延層14形成。

在圖1-3之習知技術的BTR之操作中，當正電壓加到閘極24時，N通道MOSFET32打開，允許半導體閘流管電流流過圖1所示的裝置。在低電流準位時，此裝置顯示與IGBT相似的特性。在此狀態中，保持電流側向流過P基極區域16至射極的短路路徑(陰極)，因此產生電壓降，此電壓降前向偏壓射極-基極接點。在較高的電流準位處，此電壓降足以使來自 N^{++} 射極18的電子接點鎖住半導體閘流管。

決定基極電阻之射極的長度控制裝置的觸發及保留電流，一當半導體閘流管鎖住時，可除去閘極偏壓，且在陰極區域中應用低的前向落差而使開啓狀態的電流持續流動。

關掉BRT4亦同時加上負偏壓至柵極24，且打開在N⁻漂移區域的表面P通道MOSFET4。電洞從半導體閘流管的P基極區域16向連接陰極之相鄰 P^{+} 區域20轉換。因此P通道MOSFET4建立低電阻通道電流。此等於減低基極電阻 R_b ，因此導致操作電流準位之上半導體閘流管保留電流上升。在射極基極接點處的前向偏壓降低，中斷再生動作，且使半導體閘流管關掉。一當開始關掉後，在有限的時間中，依據來自漂移區之微載體儲存電荷之移動而決定其衰減率。

如上所述，在BRT中的最大可控制電流主要係依據打開MOSFET通道的電阻再加以決定。本發明經由增加通道密度而使關掉P通道MOSFET4之開電阻達到最小。且係在多晶矽閘極24下的某一區域中由連接P基極區域與 P^{+} 區域至 P^{+} 陰極而完成。

✓五、發明說明()

現在請參考圖4，其中示本發明修正BRT設計的截面，其中(與圖1習知技術之結構)相似的元件以同一標示號碼表示。在圖5中，如同習知技術的BRT，本發明之修正BRT在 N^{++} 區胞及 P^+ 方格之棋盤圖樣中具多區胞佈局。

有意義的是，不似圖1-3之習知技術中的BRT，在本發明中 P 基極區域16與陰極射極28不相接觸；即本發明具一固態 N^{++} 區域40(在圖4，5之實施例中的固體方格中)，而非為陰極所接觸包圍 P 基極一部份的環狀區域。在本發明中， P^+ 基極連接陰極，其間只經過一 P^- 區域42，此區域42之電阻為MOS閘極所控制，如圖4及5中所示者。此使得區胞的尺寸可較小，且達到高MOS通道密度。

在閘極耗乏 P^- 區域42上予以正偏壓以達到高基極電阻，且鎖住半導體閘流管。為了關掉電晶體，在區胞間的 N^- 對角區域中亦形成電洞之反轉層。此減低了形成低電阻路徑的基極電阻，該電阻路徑轉換電洞而使半導體閘流管離開鎖存態。在此設計中，用於關掉 P 通道MOSFET的低通道電阻產生可控制的高密度電流密度。

在晶粒的邊界區中，由於在半導體閘流管結構之開啓狀態期間，由於載體電漿的側向分佈，而在關掉期間產生高電流密度，此與MCT相似，如H. Lendenmann等的報告"Approaching homogeneous switching of MCT device: Experiment and Simulation"，Proceeding of ISPSD，第66頁至70頁，於1993年出版。結果，如圖6所示，本發明之裝置的端區胞，最好均為 P^+ 區胞以防止在關掉期間的電流群(current crowding)，因此對於較大的晶粒可達到較高的可控制電流。

圖7示從本發明之裝置中模擬得到的開啓狀態電流線路。由圖中可看到大部份的電流流過半導體閘流管區域，而只有一小部份的電流流過PNP區域。圖8A及8B示在該裝置中電子及電洞的濃度分佈。由圖中可看到在距裝置之表面 $2\mu m$ 的深度處，整個 N^- 漂移區域的導電度受到調製，

✓五、發明說明()

且幾乎整個N⁻漂移區域最好用於使電流通導。

使用雙擴散DMOS處理製造本發明的裝置。第一罩用於形成裝置的主動區。在50KeV於 $1.5 \times 10^{12} \text{cm}^{-2}$ 的劑量下，需要植入N增強之磷。然後使用光阻罩而在於30KeV時，植入 $5 \times 10^{12} \text{cm}^{-2}$ 的硼劑量，而形成P⁻植入區域。此係在閘極氧化物成長之後(50nm)執行。所形成的P區基極區域及P⁺區域經由在50KeV下植入 $2 \times 10^{14} / \text{cm}^2$ 的硼而自行與多晶矽對齊。使用下一罩形成N⁺⁺射極區域。此係在低溫氧化物沉積，且使用第五罩而使接點窗口打開之後執行。然後，沉積金屬(鋁)，且使用第六罩上圖樣。裝置沉積鈍化金屬，且使用第七罩上圖樣。處理的最後階段包括背側基體的研磨部位，且沉積背面金屬。

但是為了簡化及便於說明起見，在本發明中使用方形的區胞配置說明本發明，但須知，對於熟習本技術者，如BRT及其他功率半導體裝置，本發明可使用多角形加以配置。實際上，如上所述，裝置模擬顯示幾乎使用整個N⁻漂移區域作為導引電流之用，甚至當N⁺⁺射極只佔整個主動區域的50%時仍一樣。此意謂著N⁺⁺的大小可更進一步降低，而不需要增加電壓降，以增加P⁺區胞區域/通道密度，進而增加最大可控制電流。一與美國專利申請案案號5,008,725中提出的區胞類似的六角形區胞(此申請案之內容藉由註明其申請資料而加入本申請案中)，各N⁺⁺區胞為六個P⁺區胞所包圍(P⁺與N⁺⁺區胞的比例為3:1)，此N⁺⁺區胞將增加方形區胞設計中的停止電流密度。

在圖4及5的裝置中，一代表性的設計為區胞間隙約為8微米，及一寬約3微米的聚合線。最好P⁺基極及P⁺區域的深度介於1.0至1.5微米之間，且N⁺⁺區域的深度約0.3微米。

現在請參考圖9，圖中示圖4及5中之裝置的側向部位，其中N⁻層114接收多個相間隔的P基極區域111至114，這些間隔區域分配在晶片的整個表面上，P⁺區域115，116

✓ 五、發明說明 ()

置於對應的 P^+ 基極區域111-112及113-114之間，且經由對應的 P^- 區域117-118及119-112加以連接。 P^+ 基極區域111至114接收對應的 N^{++} 源極區域121-124。

如圖所示多晶矽閘極區段位在柵極氧化物層上，且用於在 P 基極區域中形成通道的全部閘極均在端點G1處連接在一起。同樣地，用於在 P 基極區域113中形成之通道的多晶矽閘極均在閘極G2處連接在一起。

第一鋁接點130放在 P 基極區域111，112及接點 N^{++} 區域121，122和 P^+ 區域115的通道上方。經由適當的層間氧化物形成多晶矽閘極中絕緣接點130。同樣地，第二鋁接點131位在 P 基極區域113及114及接點 N^{++} 區域123，124和 P^+ 區域116中表面的通道上方。

圖9之裝置的操作與圖4及5之裝置操作相類似。因此，端點T1，T2對應圖4中的端點K及A。但是，在圖9中電洞將側向移動，例如在操作期間從 P 基極區域112向 P 基極區域113及116移動。而且，柵極G1及G2呈反相關係，而達成雙向的半導體閘流管動作。因此，打開圖9的裝置，閘極G1為負，且閘極G2為正。為了關掉該裝置，則令閘極G1為正，且閘極G2為負。

在習知技術的BRT及上述本發明的實施例中，有一在結構中本質存在的側向PNP電晶體，其中以 P^+ 基極作為射極， N^- 區域作為基極，且 P^+ 陰極作為集極。此側向PNP電晶體驅動的基極為來自 N^{++} 射極的電子所提供。此側向PNP電晶體產生兩項並不必要的效應，其為：

- 1)用於NPN電晶體之基極驅動並連部份增加在裝置中的開始狀態之電壓降。
- 2)使得載體極度滲入晶胞擴散之 N^- 區域中。而在表面之 N^- 區域中載體的濃度相當高，因此很難耗竭這些電荷，而無法使用MOS閘極形成反相 P 通道。因此降低了裝置的電流關閉能力。側向PNP電晶體的效應可在如圖10所示的某些區域中從多閘極(poly gate)中

五、發明說明()

向內帶入 N^{++} 射極而降低。圖11示此結構之佈局。

圖12中示一更改的結構，其中經由一金屬條狀體N通道DMOS而將P基極偏壓至一在開啓狀態的更高電壓。在此結構中，在PNP電晶體之前NPN電晶體打開。應用一正閘極電壓脈衝完成此開始動作。對閘極124加上正電壓而使N通道DMOS打開，此DMOS連接P基極116經一金屬條狀體(接點插座142)及N通道DMOS至陽極。當陽極電壓增加時，P基極116的電位增加，且當P基極電壓變為0.7V時，NPN電晶體打開，將電子注入N-漂移區域114。這些電子使基極驅動PNP電晶體，動作PNP電晶體，結果鎖住半導體開流管。注意在此裝置的結構中，靠近MOS閘極之P基極/N-漂移區域接點被反向偏壓，且沒有電流在此方向注入。

由加入負閘極脈衝而形成連接P陰基極116至 P^+ 陰極120的P通道MOSFET，因此關掉圖12的裝置。在MOS閘極124之下缺乏多餘的載體將使得此結構中反轉P通道的形成較容易。圖13示此種結構中的一可能之佈局。圖14及15對應地顯示此結構及其佈局之更改例。

但是文中已應用特定實施例說明本發明，對於熟習本技術者可對上述實施例進行多種變動(例如，如圖12所示使用渠道柵極)。因此，最好本發明可不受上述特定說明所限制，而僅受限於下列申請專利範圍。

四、中文發明摘要 (發明之名稱： 具高電流容量高密度佈局的基控閘流管結構)

本發明係有關於一種具可控制高電流容量的基控閘流管(Base Resistance Controlled Thyristor)之結構，其中該基控閘流管具有高密度的金氧半通道(MOS-channel)，以調整閘流管中NPN電晶體的基極區電阻。將該NPN電晶體中的 N^{++} 射極及 P^+ 區胞(Cell)直接與陰極接觸即可得到較高的MOS通道密度。 N^{++} 區胞(即包含 N^{++} 射極的P基極區域)及 P^+ 區胞藉MOS閘極下方的P區胞域連接在一起。當正向偏壓加到MOS閘極時，可提供較高的基極電阻，以便能更有效控制該閘流管(Thyristor)之操作。藉在各區胞之間加入的MOS閘控基極電阻，使得用較小的尺寸，便能設計出具有高密度可控制電流的P型基極區胞，而不會影響到區胞的鎖住(Latch-up)能力，而棋盤型式的區胞佈局效果最佳。

英文發明摘要 (發明之名稱： Base Resistance Controlled Thyristor Structure with High-Density Layout for Increased Current Capacity)

An insulated gate base resistance controlled thyristor with a high controllable current capacity is described. The device has a high density of MOS-channels modulating the resistance of the base region of the NPN transistor of the thyristor structure. The higher MOS channel density is achieved by contacting directly only the N^{++} emitter and the P^+ cells (and not the P base region of the NPN transistor) to the cathode electrode. The N^{++} cells (i.e. the P base regions each containing an N^{++} emitter) and the P^+ cells are connected in certain regions under the MOS gate by a P region to provide a higher base resistance when a positive bias is applied to the MOS gate, thereby facilitating latching of the thyristor. The added MOS gate controlled base resistance between cells allows the P base cells to be designed with smaller dimensions for high maximum controllable current without affecting latch-up capacity. The device is preferably provided in a checkerboard style cellular layout.

六、申請專利範圍

1. 一種包括矽晶片的絕緣閘極半導體開流管，包含有：

- P⁺型底層；
- N型層，位在該底層上方；
- N⁻層，位在該N⁺層上方；

複數個相間隔的N⁺⁺區胞，在該N⁻層之表面區域上面呈對稱配置，該N⁺⁺區胞均包括一N⁺⁺射極區域，其配置在一P型區胞基極區域之端邊內且與之相間隔，而形成對應的通道；

複數個相間隔的P⁺區胞，在該N⁻層的表面區域上呈對稱分佈；

以及複數個P⁻擴散層，在相鄰的N⁺⁺區胞及P⁺區胞之間延伸。

2. 如申請專利範圍第1項所述之包括矽晶片的絕緣閘極半導體開流管裝置，其中該N⁺⁺區胞與P⁺區胞形成棋盤散佈方式之配置，各該N⁺⁺區胞為該P⁺區胞之一所包圍，且由該P⁻擴散層之一相連接。
3. 如申請專利範圍第2項所述之包括矽晶片的絕緣閘極半導體開流管裝置，更包括配置在該N⁺⁺區胞之通道上的閘極機構，且位在該相鄰N⁺⁺區胞及P⁺區胞之間的間隔之頂部。
4. 如申請專利範圍第3項所述之包括矽晶片的絕緣閘極半導體開流管裝置，更包括一與該P區胞及該N⁺⁺射極區域相連接的陰極接點。
5. 如申請專利範圍第4項所述之包括矽晶片的絕緣閘極半導體開流管裝置，更包括一與該底部P⁺⁺層相連接的陽極接點。
6. 如申請專利範圍第4項所述之包括矽晶片的絕緣閘極半導體開流管裝置，其中該陰極接點連接該P⁺區胞內相鄰之區胞中的第一群及該N⁺⁺射極區域，且更包括連

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

接該 P^+ 區胞內相鄰之晶胞中的第二群及 N^{++} 射極區域，該陽極接點置於該晶片的頂端，且配置上與該陰極接點形成側向關係，該第一及第二群 P^+ 區胞及 N^{++} 射極區域均在該閘極機構中具有分開的對應機構，該第一群相鄰的 P^+ 區胞及 N^{++} 射極區域中的該閘極機構在操作上與該第二群相鄰的 P^+ 區胞及 N^{++} 射極區域的閘極機構形成反相位關係。

7. 如申請專利範圍第2項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括多個相鄰的 P^+ 區胞，此區胞配置在該晶片的外圍。

8. 一種包括矽晶片的絕緣閘極半導體閘流管，具有：

- P^+ 型底層；
- N 型層，位在該底層上方；
- N^- 層，位在該 N^+ 層上方；

複數個相間隔的 N^{++} 區胞，在該 N^- 層之表面區域上面呈對稱配置，該 N^{++} 區胞均包括一 N^{++} 射極區域，其配置在一 P 型區胞基極區域之端邊內且與之相間隔，而形成對應的通道，該對應通道在該裝置的選擇區域中；

複數個相間隔的 P^+ 區胞，在該 N^- 層的表面區域上呈對稱分佈；

以及複數個 P^- 擴散層，在相鄰的 N^{++} 區胞及 P^+ 區胞之間延伸。

9. 如申請專利範圍第8項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，其中該 N^{++} 區胞與 P^+ 區胞形成棋盤散佈方式之配置，其中各該 N^{++} 區胞為該 P^+ 區胞之一所包圍，且由該 P^- 擴散層之一相連接。

10. 如申請專利範圍第9項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括配置在該 N^{++} 區胞之通道上的閘極機構，且位在該相鄰 N^{++} 區胞及 P^+ 區胞之間的間

六、申請專利範圍

隔之頂部。

11. 如申請專利範圍第10項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括一與該 P^+ 區胞及該 N^{++} 射極區域相連接的陰極接點。
12. 如申請專利範圍第11項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括一與該底部 P^{++} 層相連接的陽極接點。
13. 如申請專利範圍第11項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，其中該陰極接點連接該 P^+ 區胞內相鄰之區胞中的第一群及該 N^{++} 射極區域，且更包括連接該 P^+ 區胞內相鄰之區胞中的第二群及 N^{++} 射極區域，該陽極接點置於該晶片的頂端，且配置上與該陰極接點形成側向關係，該第一及第二群 P^+ 區胞及 N^{++} 射極區域均在該閘極機構中具有分開的對應機構，該第一群相鄰的 P^+ 區胞及 N^{++} 射極區域中的該閘極機構在操作上與該第二群相鄰的 P^+ 區胞及 N^{++} 射極區域的閘極機構形成反相位關係。
14. 如申請專利範圍第9項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括多個相鄰的 P^+ 區胞，此區胞配置在該晶片的外圍。
15. 一種包括矽晶片的絕緣閘極半導體閘流管裝置，具有：
一 P^+ 型底層；一 N 型層，位在該底層上方；一 N^- 層，位在該 N^+ 層上方；複數個相間隔的半導體閘流管區胞，在該 N^- 層的表面區域上形成對稱之分佈，該半導體閘流管區胞均勻配置在 P 型晶胞基極區域之端邊內且與之相間隔的 N^{++} 射極區域，該半導體閘流管區胞更包括一 N^{++} 源極區，此 N^{++} 源極區經一接點插座而與 P 型基極短路，且與 P 型基極的一端相間隔而形成對應的通道；以及複數個相間隔的 P^+ 區胞，在該 N^- 層的表面區域上形成對應之分佈。
16. 如申請專利範圍第15項所述之包括矽晶片的絕緣閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

極半導體閘流管裝置，其中該半導體閘流管區胞與 P^+ 區胞形成棋盤散佈方式之配置，其中各該半導體閘流管晶胞為該 P^+ 區胞之一所包圍，且由該 P^+ 擴散層之一相連接。

17. 如申請專利範圍第16項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括配置在該半導體閘流管區胞之通道上的閘極機構，且位在該相鄰半導體閘流管區胞及 P^+ 區胞之間的間隔之頂部。
18. 如申請專利範圍第17項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括一與該 P^+ 區胞及該 N^{++} 射極區域相連接的陰極接點。
19. 如申請專利範圍第18項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括一與該底部 P^{++} 層相連接的陽極接點。
20. 如申請專利範圍第18項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，其中該陰極接點連接該 P^+ 區胞內相鄰之晶胞中的第一群及該 N^{++} 射極區域，且更包括連接該 P^+ 區胞內相鄰之區胞中的第二群及 N^{++} 射極區域，該陽極接點置於該晶片的頂端，且配置上與該陰極接點形成側向關係，該第一及第二群 P^+ 區胞及 N^{++} 射極區域均在該閘極機構中具有分開的對應機構，該第一群相鄰的 P^+ 區胞及 N^{++} 射極區域中的該閘極機構在操作上與該第二群相鄰的 P^+ 區胞及 N^{++} 射極區域的閘極機構形成反相位關係。
21. 如申請專利範圍第16項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括多個相鄰的 P^+ 區胞，此區胞配置在該晶片的外圍。
22. 一種包括矽晶片的絕緣閘極半導體閘流管裝置，具有：
一 P^+ 型底層；一 N 型層，位在該底層上方；一 N^- 層，位在該 N^+ 層上方；複數個相間隔的半導體閘流管晶胞，在該 N^- 層的表面區域上形成對稱之分佈，該半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

體閘流管區胞均勻配置在P型區胞基極區域之端邊內且與之相間隔的 N^{++} 射極區域；複數個相間隔的 P^+ 區胞在該 N^- 層的表面區域上呈對稱分佈，該 P^+ 區胞包括一 N^{++} 源極區域，與P型基極的端邊相間隔而形成對應的通道；其中該 N^{++} 源極區域經由一電位漂移之金屬帶連接該P型基極區域。

23. 如申請專利範圍第22項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，其中該半導體閘流管晶胞與 P^+ 區胞形成棋盤散佈方式之配置，其中各該半導體閘流管晶胞為該 P^+ 區胞之一所包圍，且由該 P^- 擴散層之一相連接。
24. 如申請專利範圍第23項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括配置在該半導體閘流管區胞之通道上的閘極機構，且位在該相鄰半導體閘流管區胞及 P^+ 區胞之間的間隔之頂部。
25. 如申請專利範圍第24項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括一與該 P^+ 區胞及該 N^{++} 射極區域相連接的陰極接點。
26. 如申請專利範圍第25項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，更包括一與該底部 P^{++} 層相連接的陽極接點。
27. 如申請專利範圍第25項所述之包括矽晶片的絕緣閘極半導體閘流管裝置，其中該陰極接點連接該 P^+ 區胞內相鄰之晶胞中的第一群及該 N^{++} 射極區域，且更包括連接該 P^+ 區胞內相鄰之區胞中的第二群及 N^{++} 射極區域，該陽極接點置於該晶片的頂端，且配置上與該陰極接點形成側向關係，該第一及第二群 P^+ 區胞及 N^{++} 射極區域均在該閘極機構中具有分開的對應機構，該第一群相鄰的 P^+ 區胞及 N^{++} 射極區域中的該閘極機構在操作上與該第二群相鄰的 P^+ 區胞及 N^{++} 射極區域的閘極機構形成反相位關係。

六、申請專利範圍

28. 如申請專利範圍第23項所述之包括矽晶片的絕緣閘極半導體開流管裝置，更包括多個相鄰的 P^+ 區胞，此區胞配置在該晶片的外圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

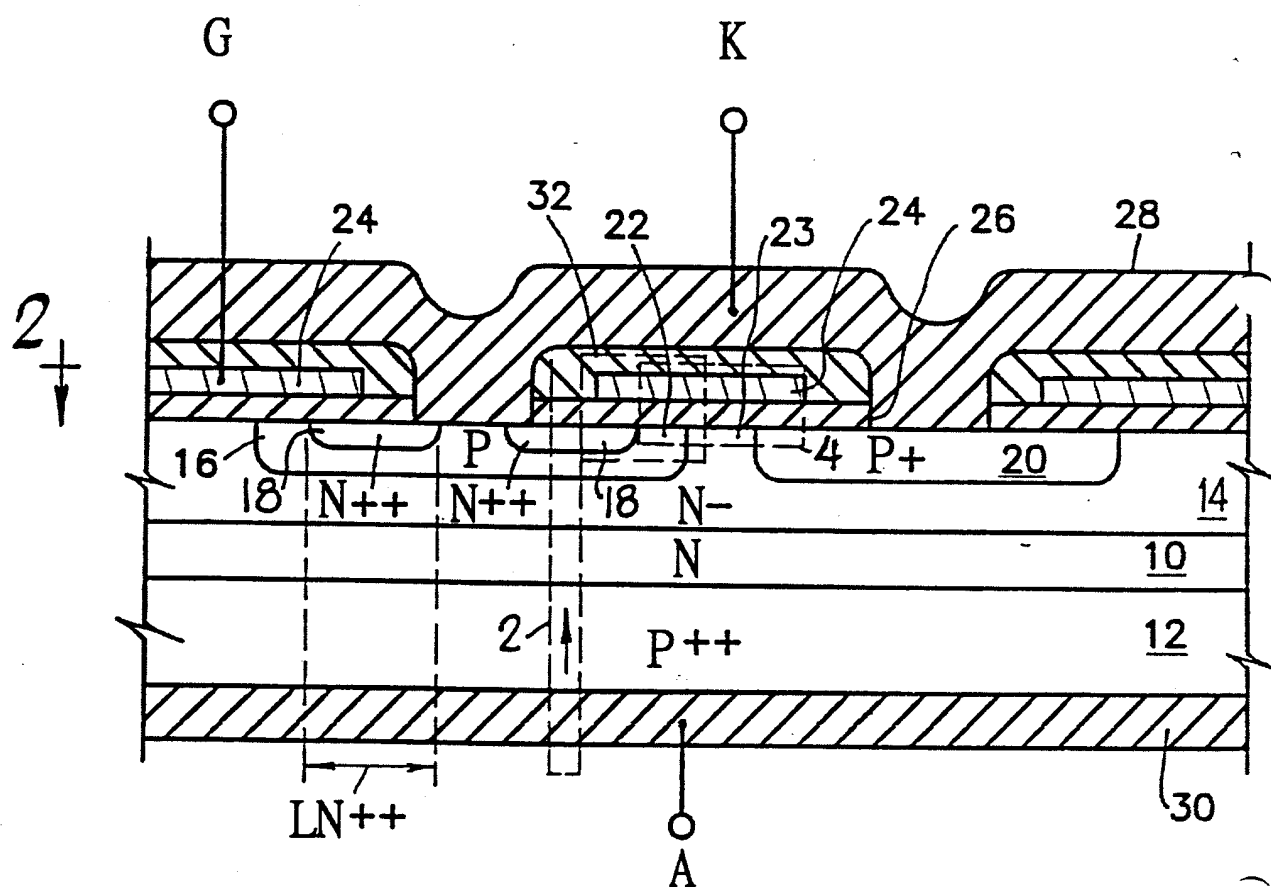


圖 一

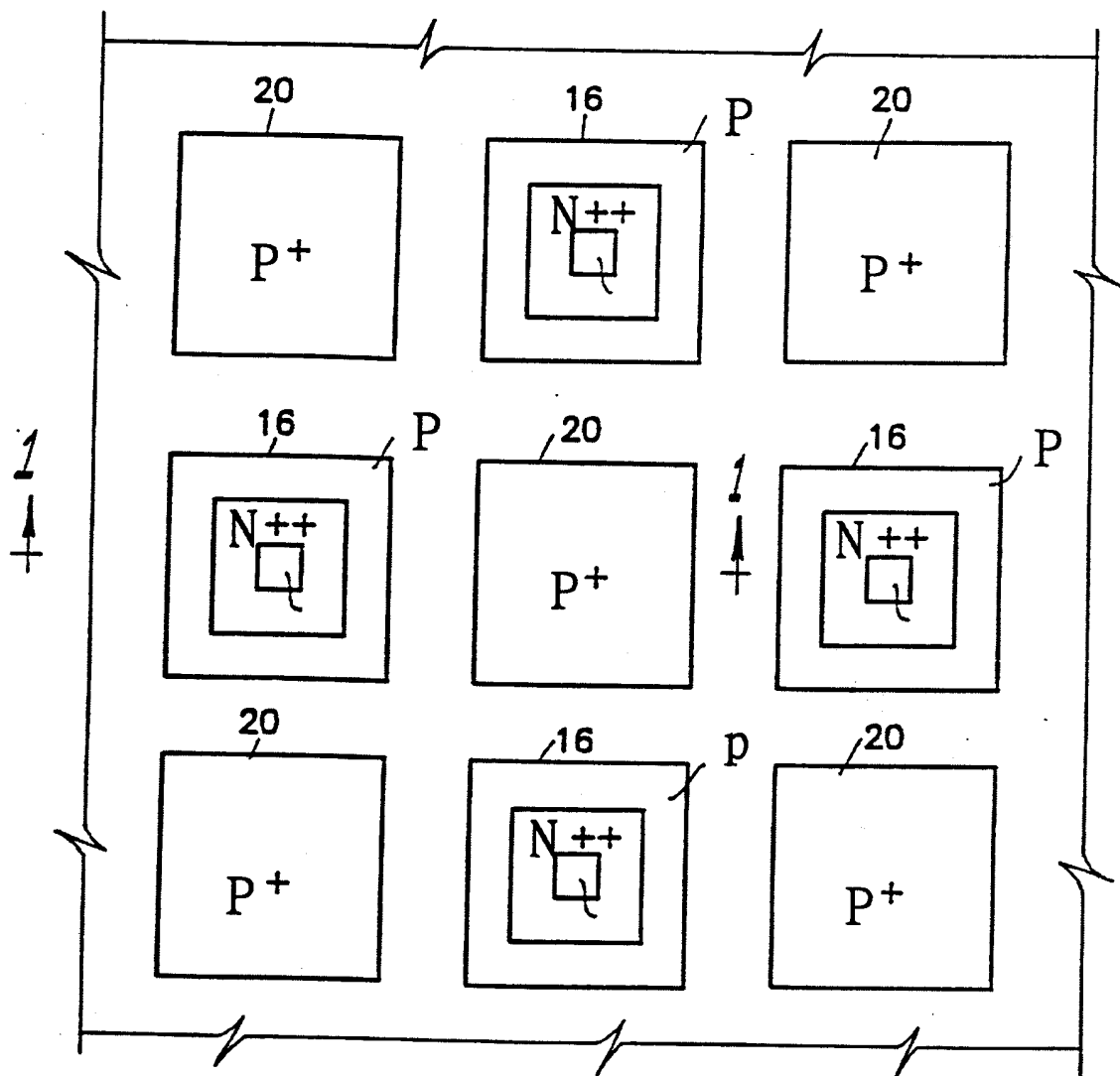


圖 二

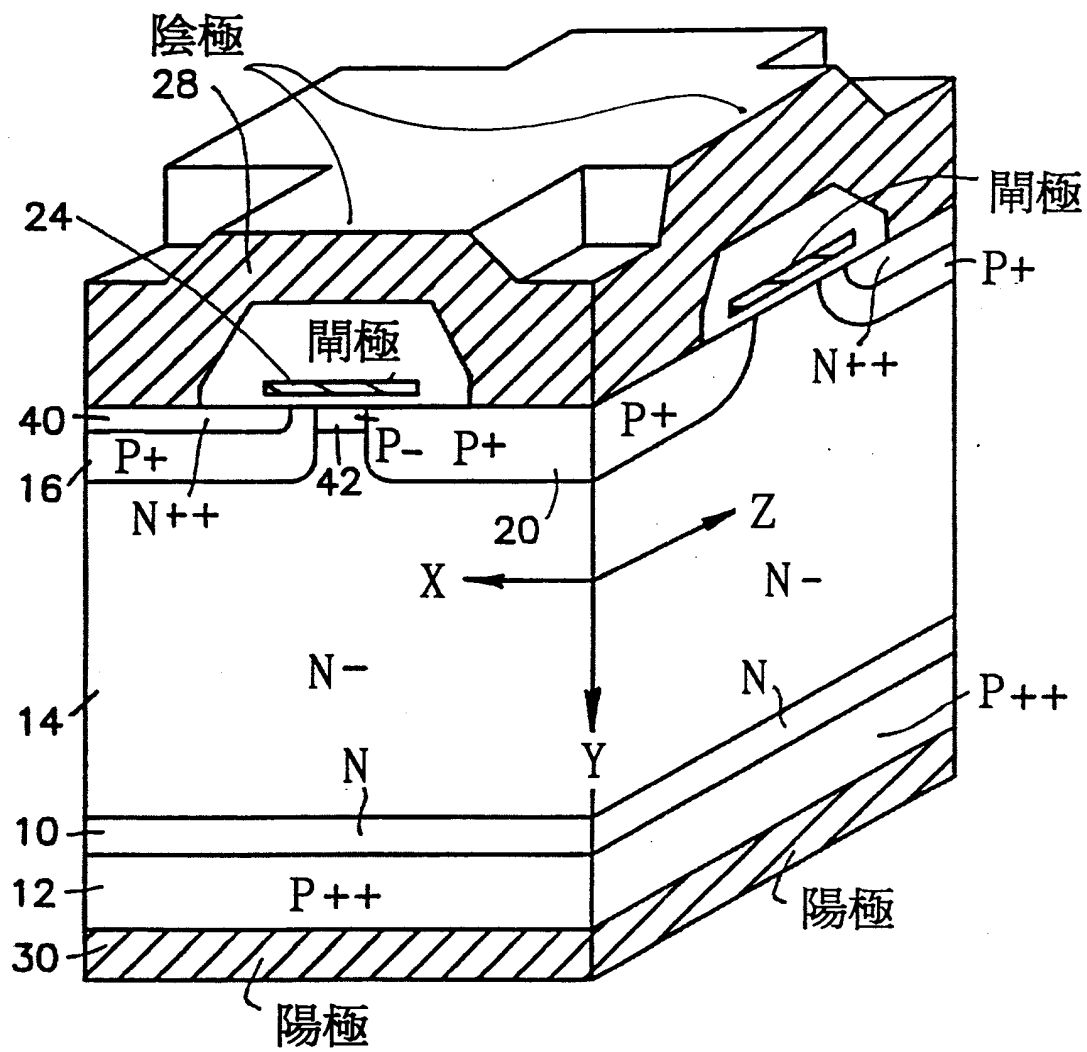


圖 四A

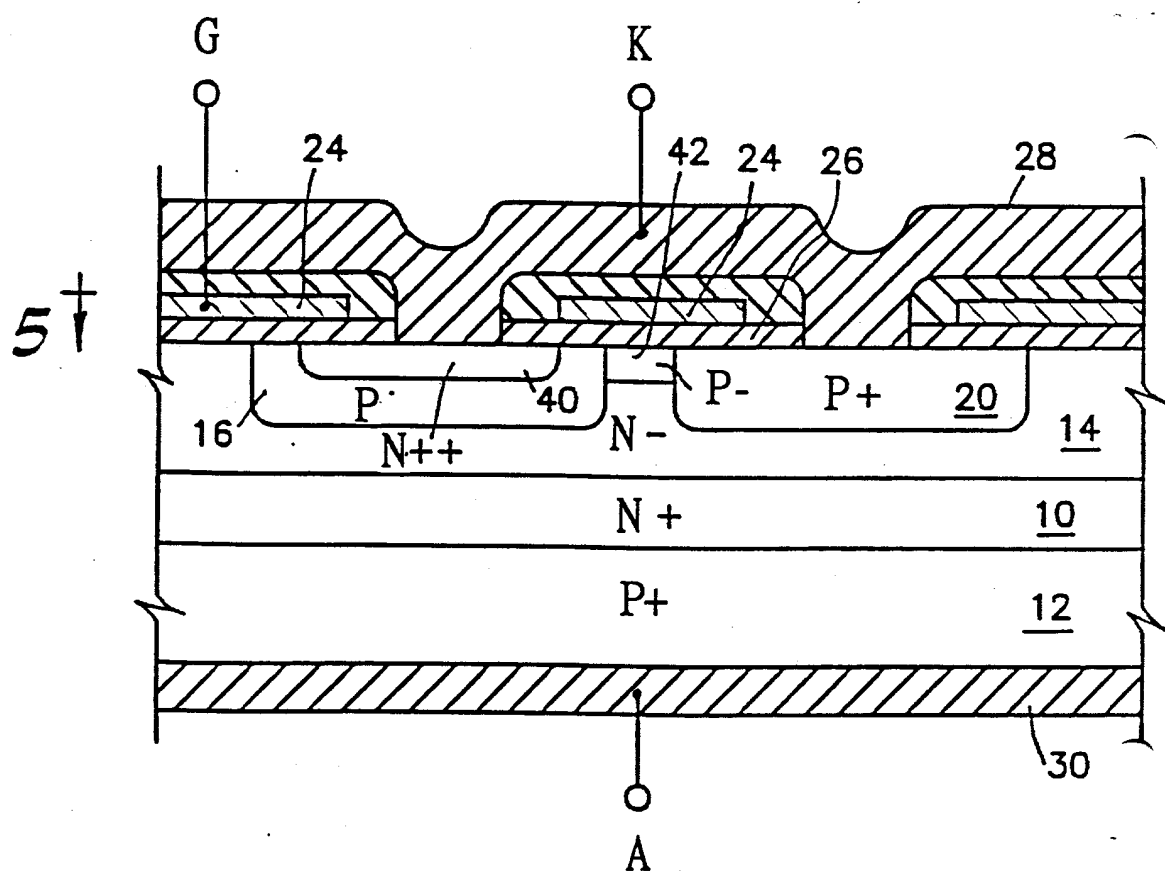
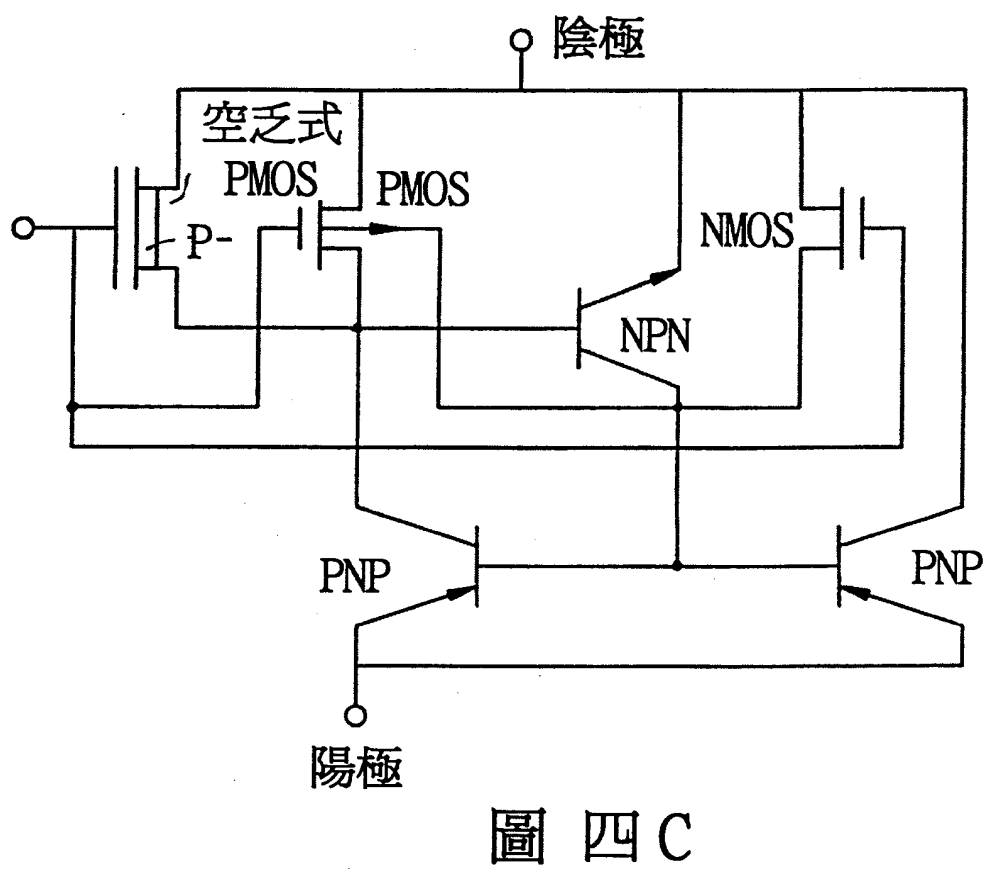
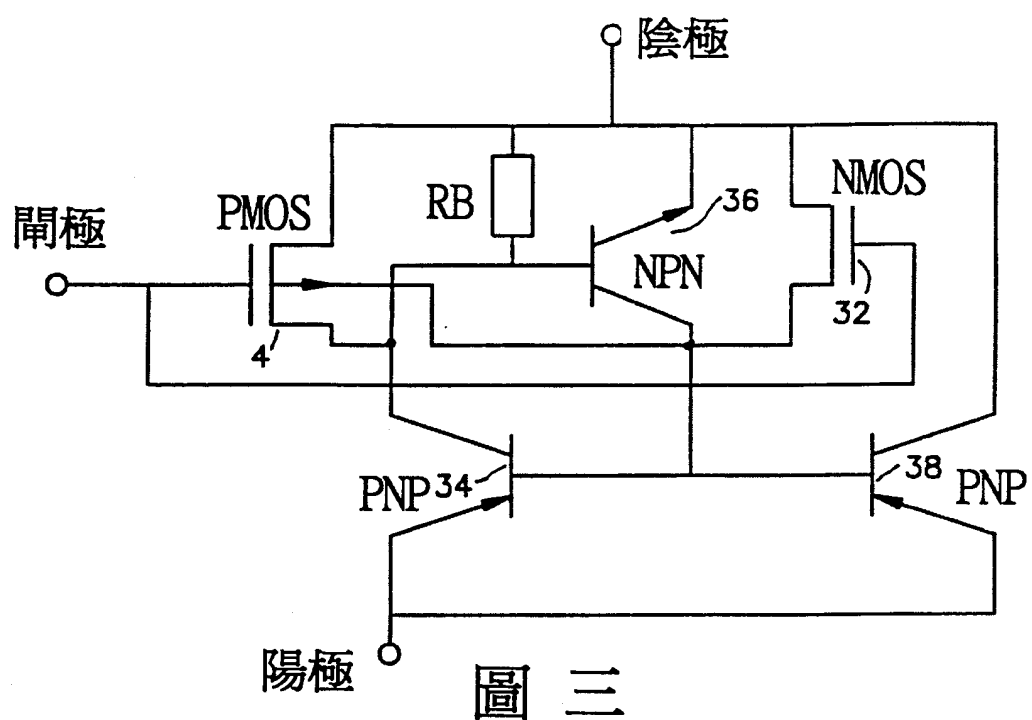


圖 四B



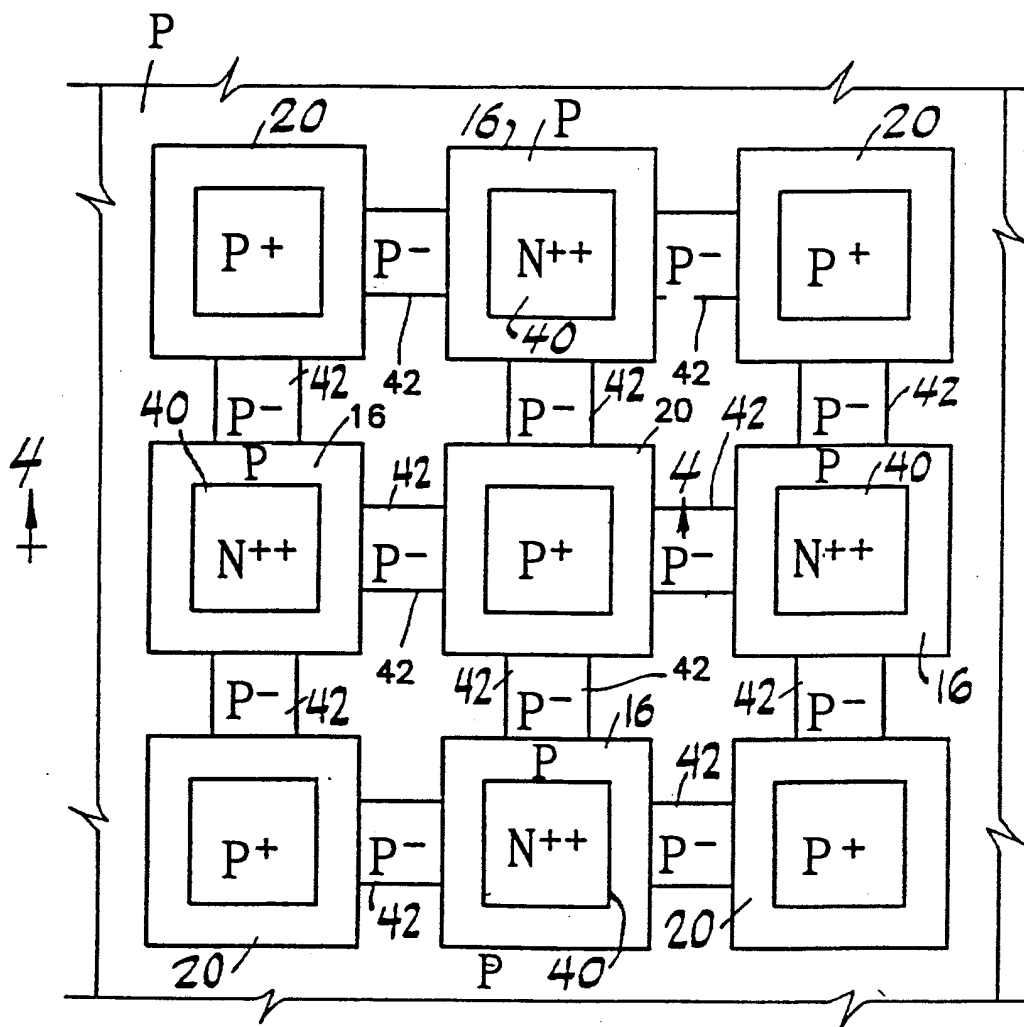
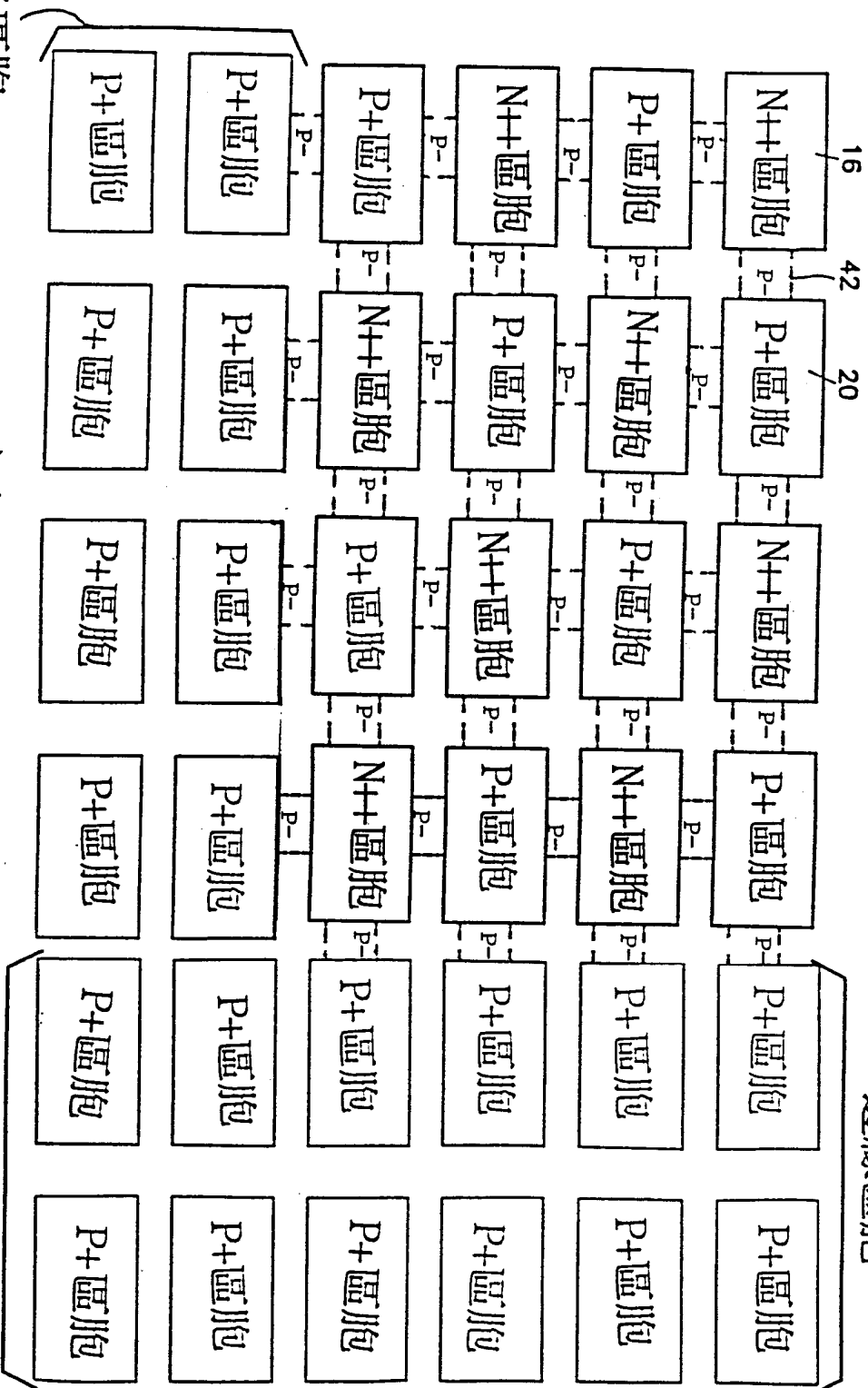


圖 五

邊緣區細胞



邊緣區細胞

圖 六

邊緣區細胞

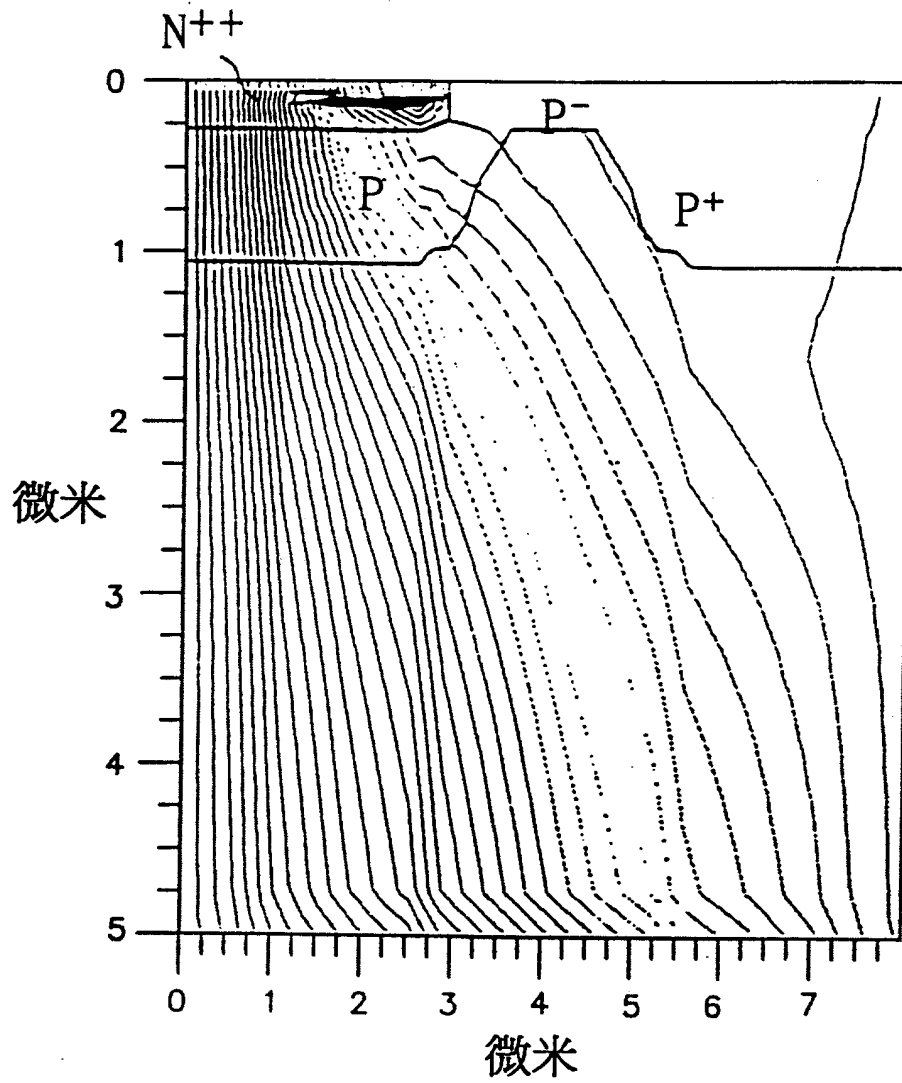


圖 七

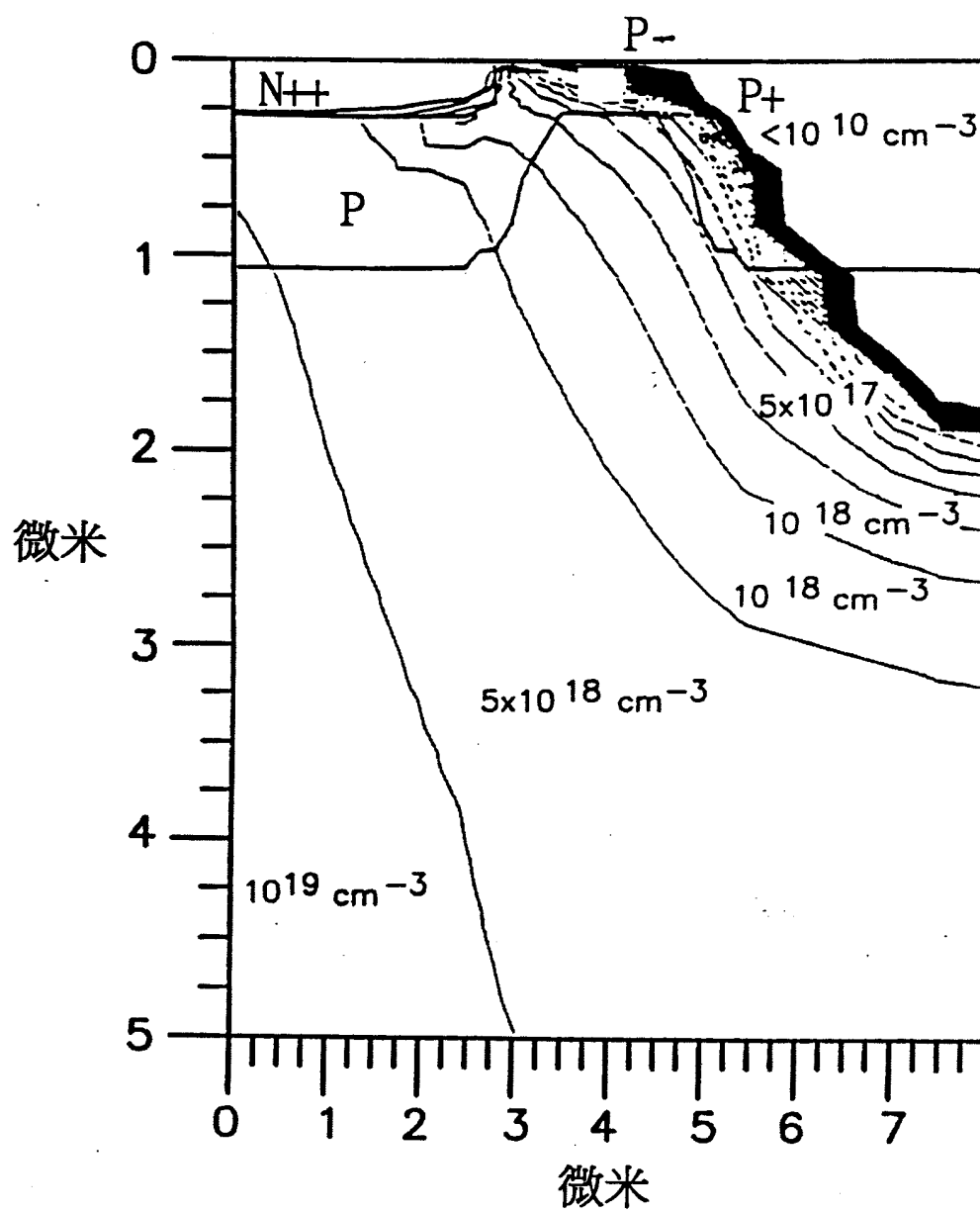


圖 八A

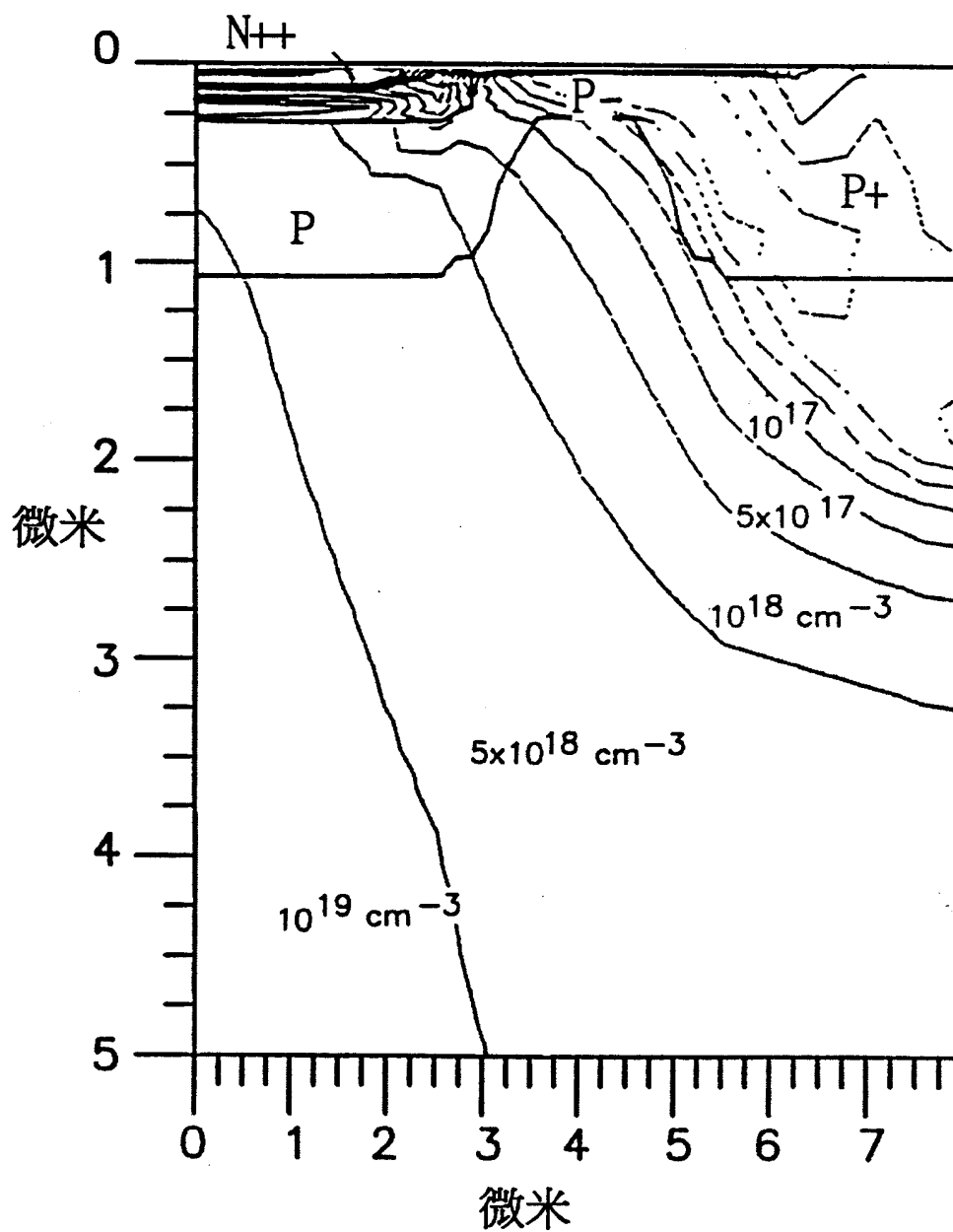
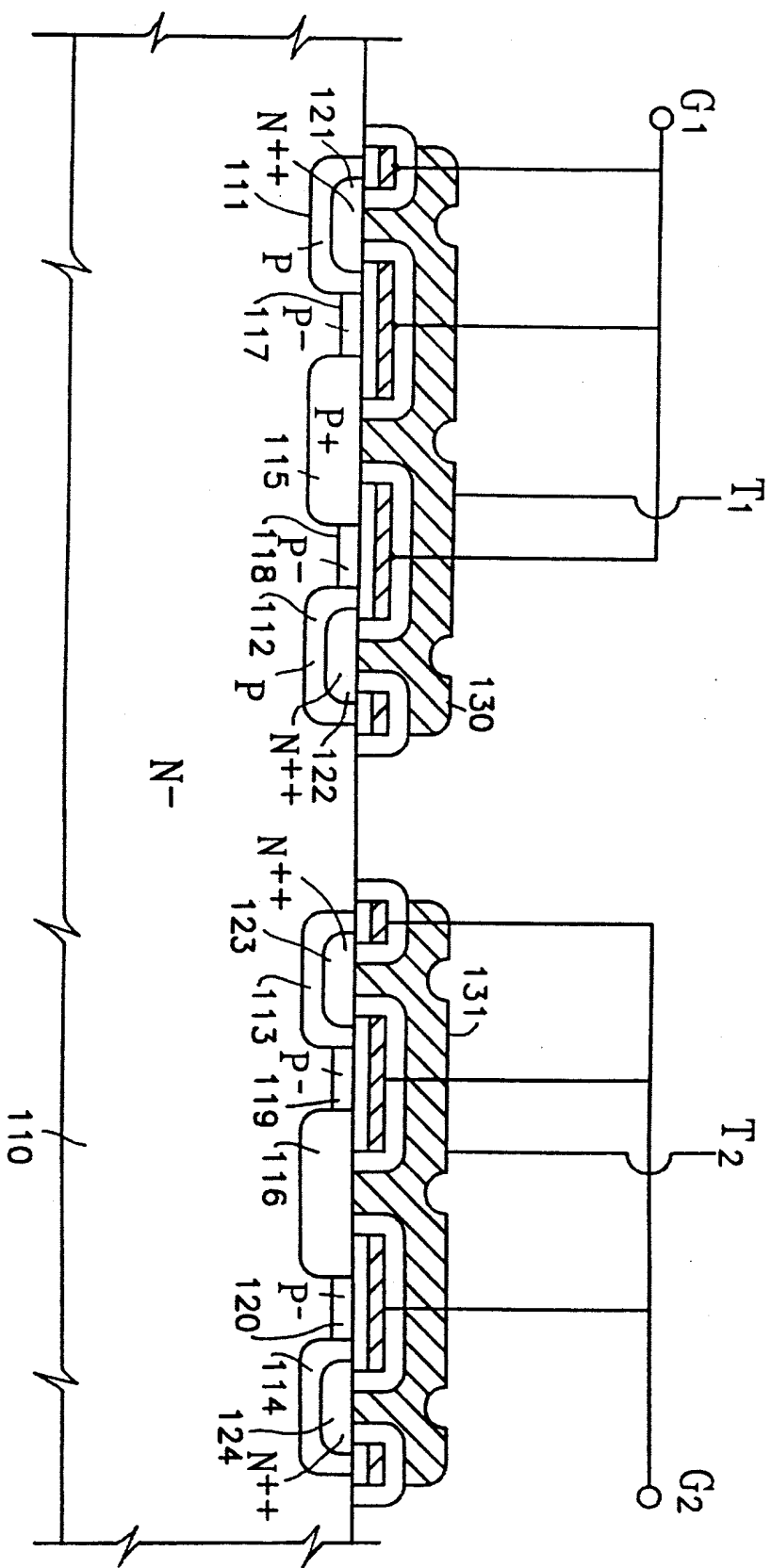
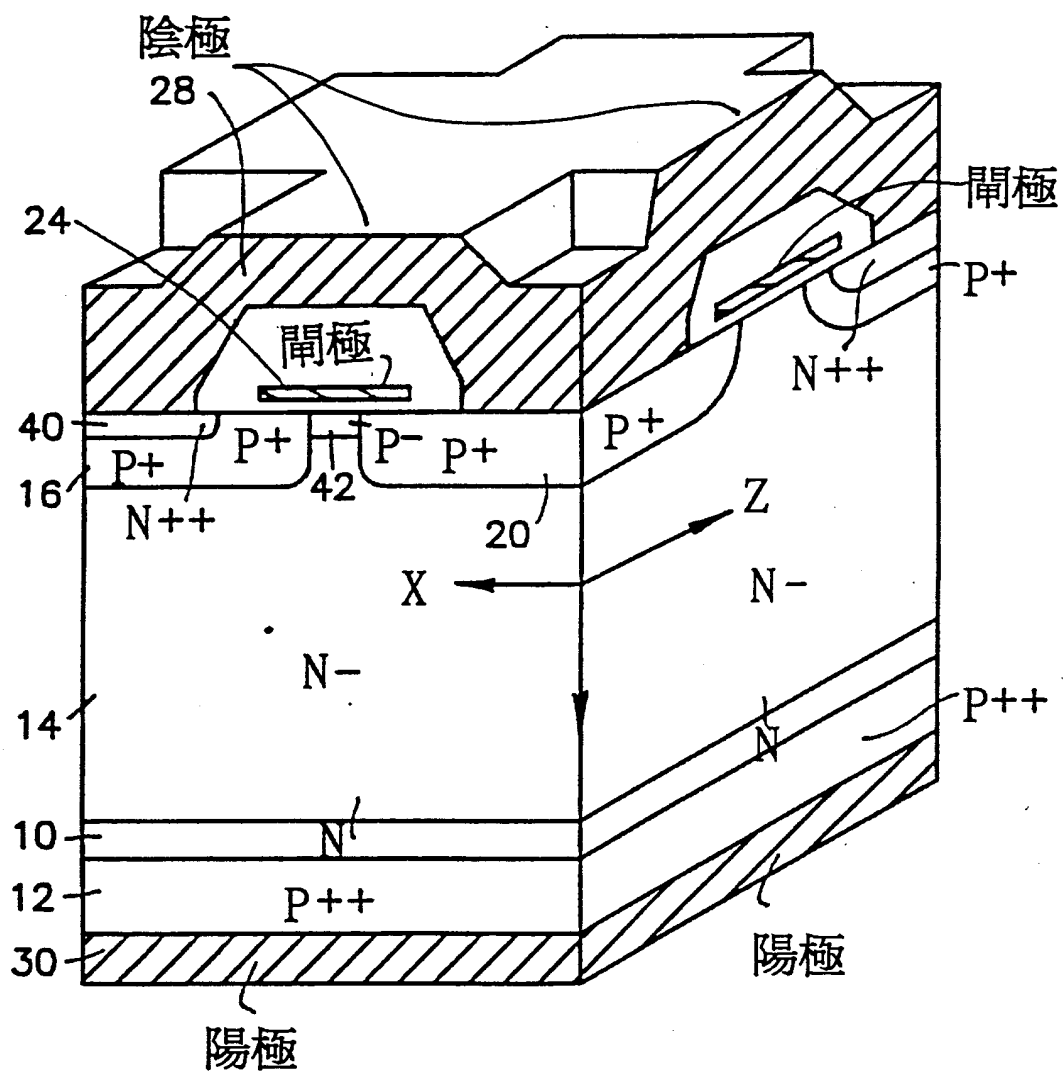


圖 八B



圖九



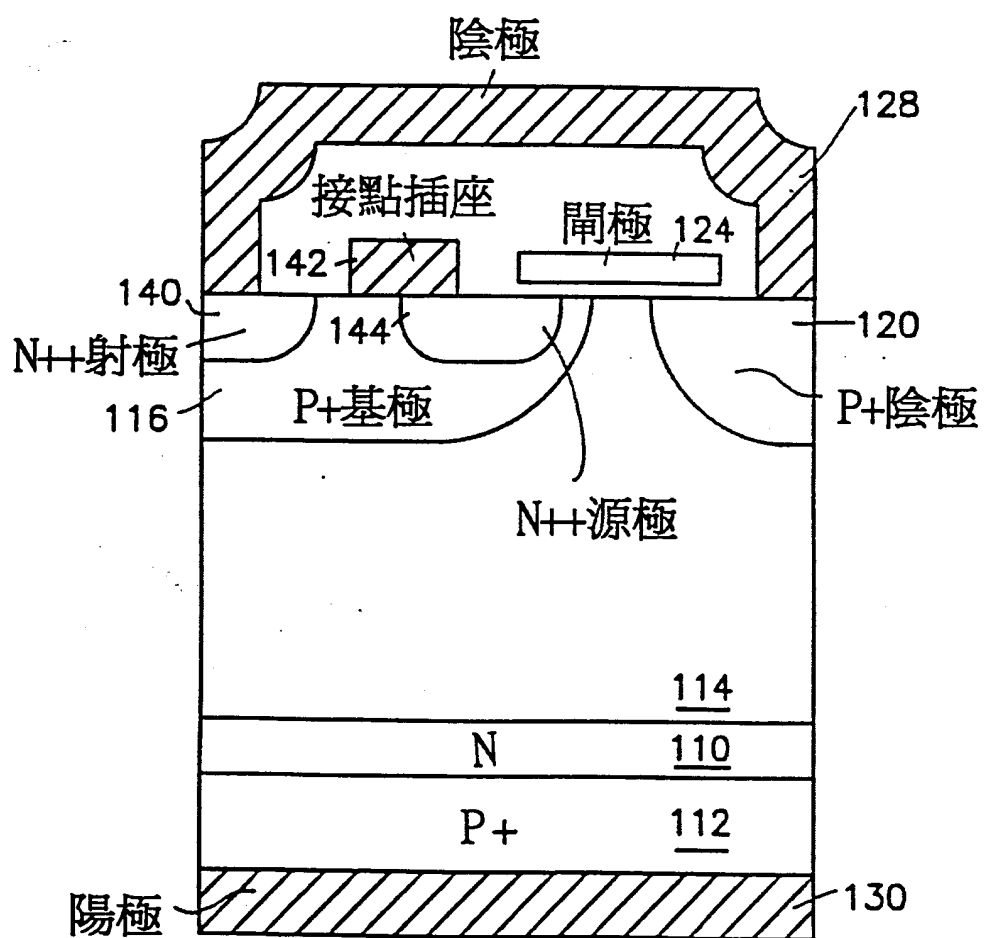


圖 十二

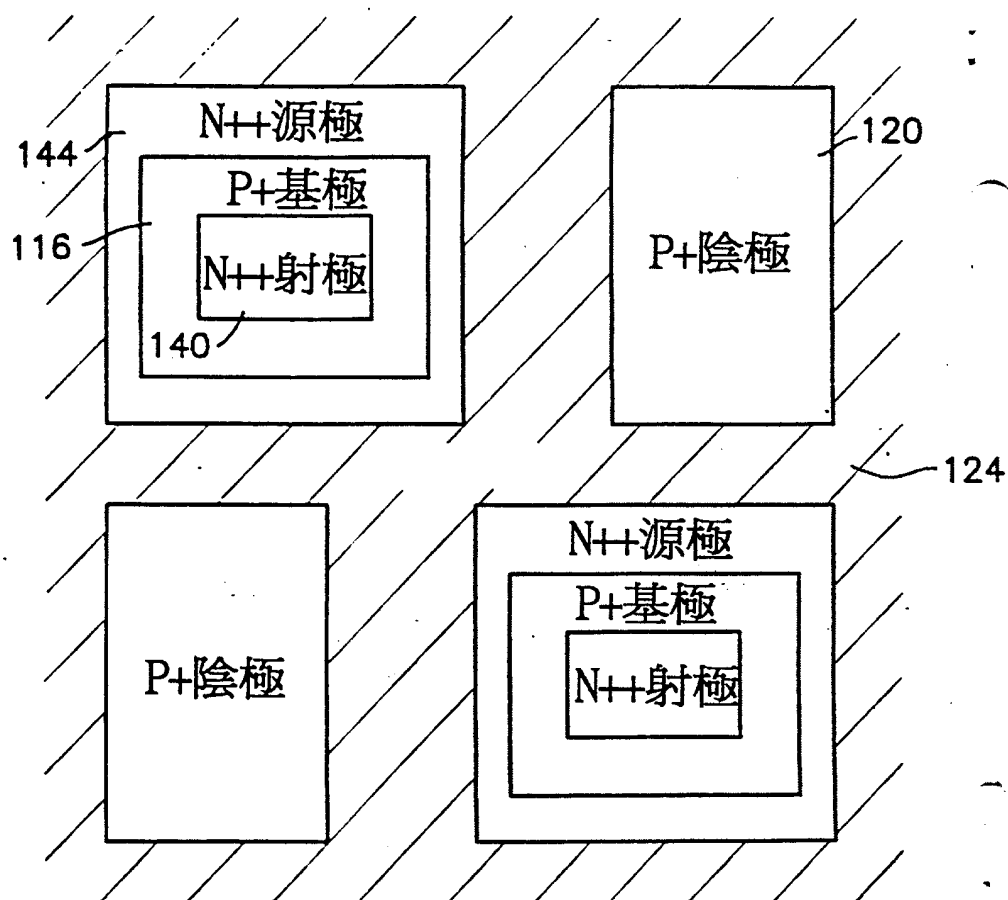


圖 十三

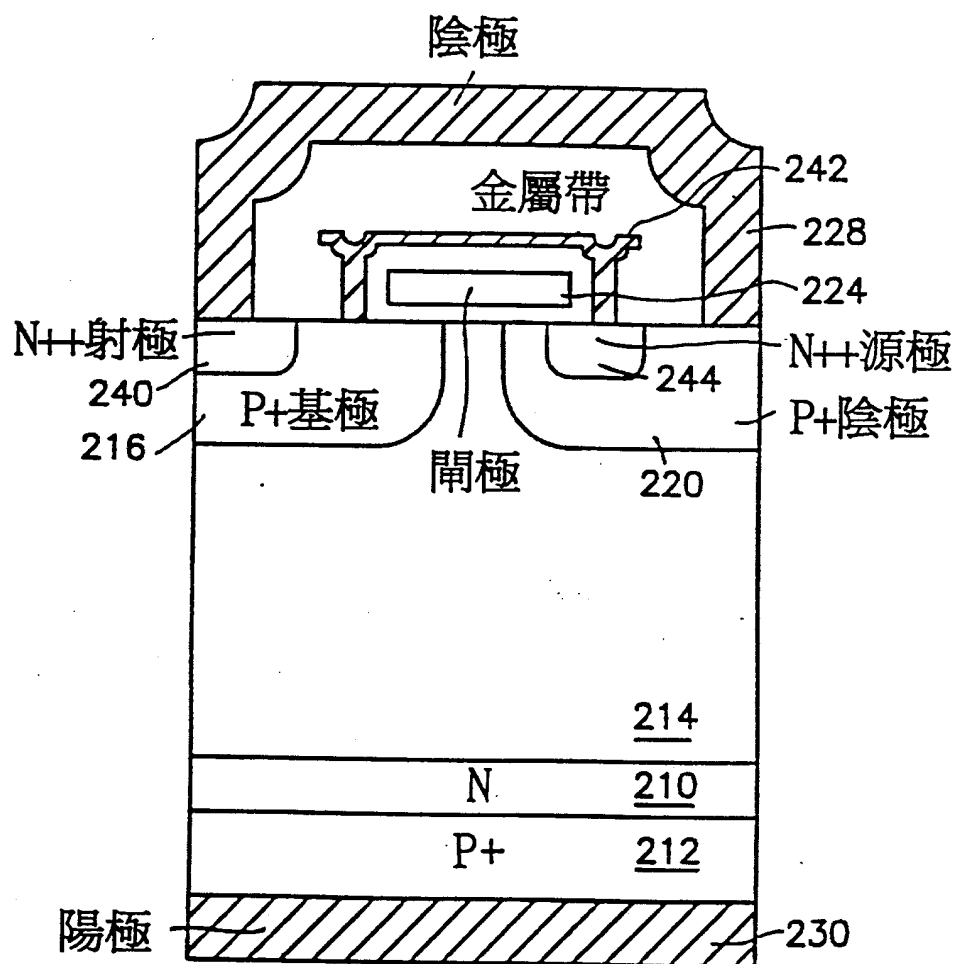


圖 十四

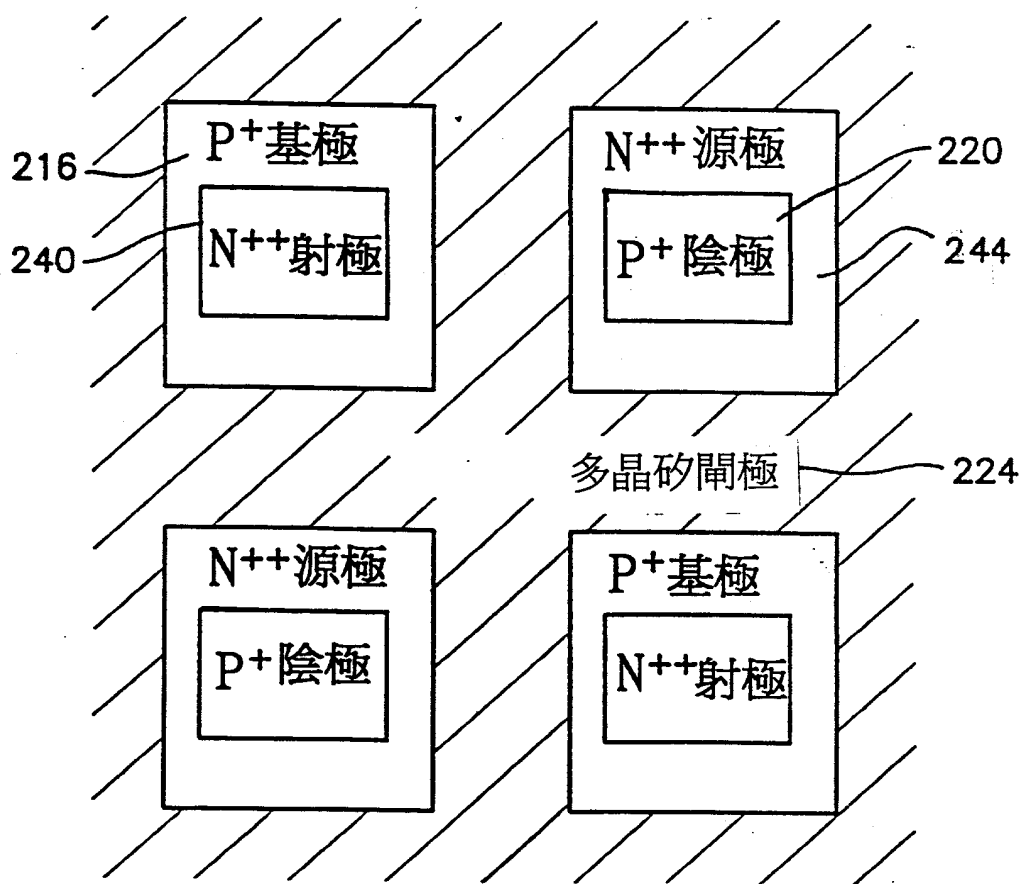


圖 十五

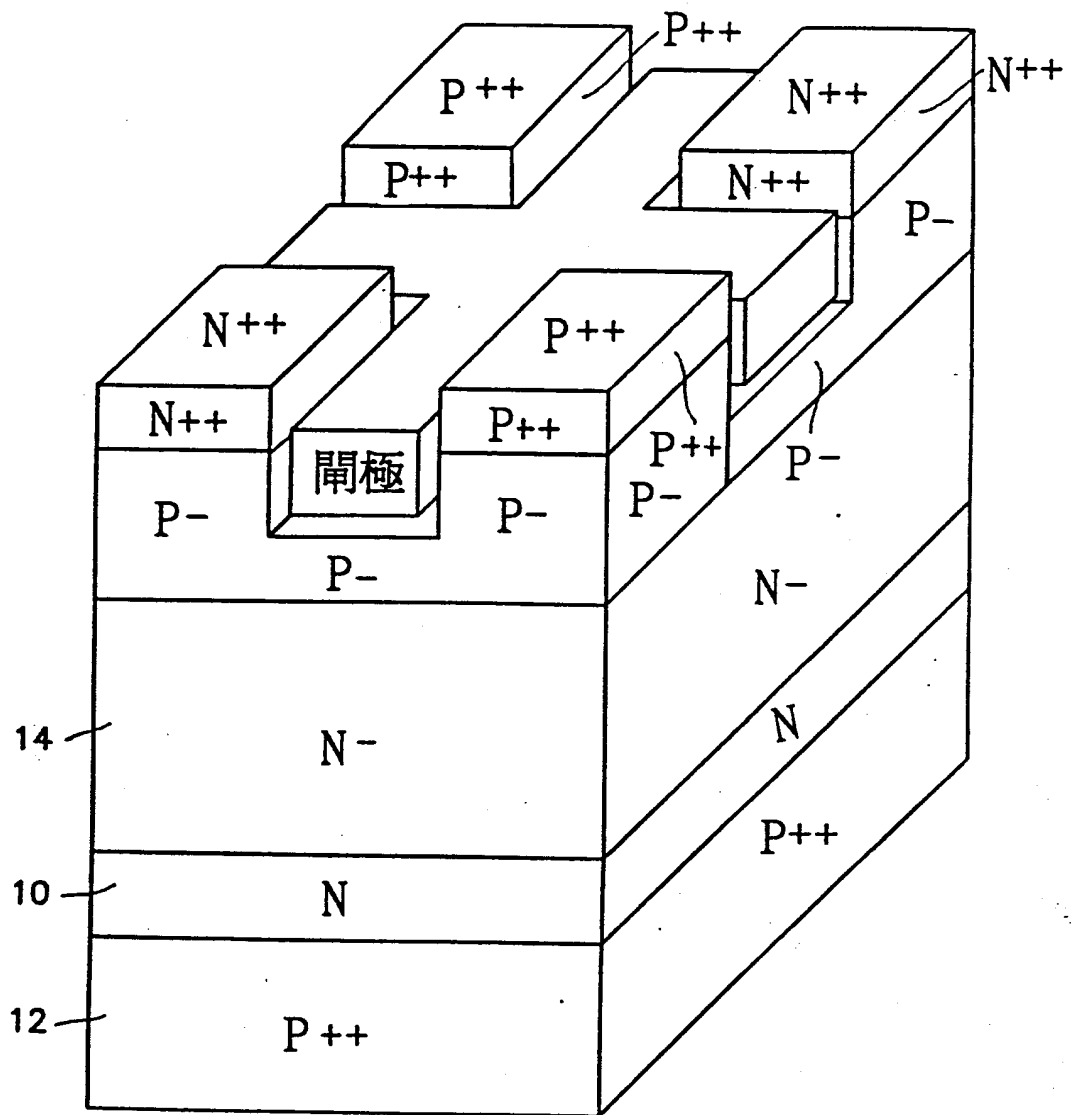


圖 十六