

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成26年3月13日 (2014.3.13)

【公開番号】特開2013-128190(P2013-128190A)

【公開日】平成25年6月27日 (2013.6.27)

【年通号数】公開・登録公報2013-034

【出願番号】特願2011-276620(P2011-276620)

【国際特許分類】

H 0 4 L 25/02 (2006.01)

H 0 1 L 23/12 (2006.01)

H 0 5 K 1/02 (2006.01)

H 0 4 L 25/03 (2006.01)

【F I】

H 0 4 L 25/02 F

H 0 1 L 23/12 3 0 1 Z

H 0 5 K 1/02 J

H 0 4 L 25/03 C

【手続補正書】

【提出日】平成26年1月27日 (2014.1.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正の内容】

【0 0 3 1】

図 6 は、メモリ素子 2 0 0 が複数接続された信号伝送システムを示す図である。例えばメモリ素子が DRAM のような場合、メモリ素子 2 0 0 の負荷容量 C3 は、それほど大きいわけではない、または C1 よりも小さいこともある。しかしながら、複数接続されることにより、メモリコントローラ 1 0 0 から見た場合、負荷容量が大きく見えることがある。このような場合も、実施例 1 と同様に配線 3 0 0、抵抗素子 3 1 0、配線 3 1 0 の関係を規定することにより、同様の効果を奏する。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 4

【補正方法】変更

【補正の内容】

【0 0 3 4】

図 7 は、半導体素子とメモリ素子の間に挿入する抵抗素子を集合抵抗素子 5 5 0 で実現した場合の信号伝送システムである。実施例 3 の特徴は、半導体素子とメモリ素子の間にある複数の信号線に挿入する抵抗素子を集合抵抗素子で実現することにより、実装面積を節約することができることにある。