



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

240436

(11) (B1)

(51) Int. Cl.<sup>4</sup>  
G 11 C 11/40

- (22) Přihlášeno 03 05 82  
(21) (PV 3144-82)  
(32) (31)(33) Právo přednosti od 18 05 81  
(G 11 C/230 022) DD  
(89) 160601, DD  
(40) Zveřejněno 16 01 85  
(15) Vydáno 15 12 86

(75)  
Autor vynálezu

MÖSCHWITZER ALBRECHT prof. dr. dipl. ing., DRESDEN (DD)

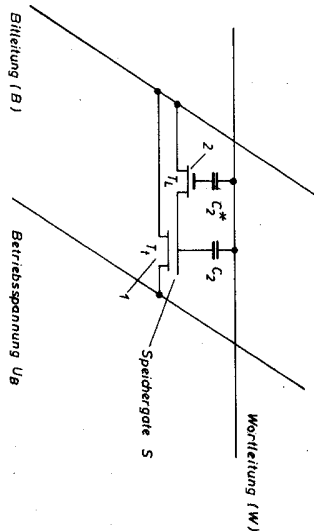
(54) Polovodičový paměťový prvek se dvěma tranzistory řízenými polem

Řešení se týká polovodičového paměťového prvku se dvěma tranzistory řízenými polem, jehož použití je zejména v oblasti polovodičových paměťových zařízení na integrovaných obvodech pro elektronická výpočetní zařízení a počítačové stroje.

Cílem řešení je sestavení polovodičového paměťového zařízení, které při malé měrné potřebě plochy ještě dobře pracuje i při dalším zmenšení.

Úlohou řešení je sestava polovodičového paměťového prvku se dvěma polem řízenými tranzistory, jímž se zvyšuje čtecí napětí a tím i rychlost čtení současně při nízké měrné potřebě plochy.

Ukolem řešení je, že kondenzátory  $C_2$  a  $C_2^x$  převodního a nabíjecího tranzistoru jsou připojeny ke sběrnému vodiči pro předávání slov. Výsledné prahové napětí nabíjecího tranzistoru leží mezi výslednými prahovými napětími převodního tranzistoru ve stavu "1" nebo "0". První elektroda vstup/výstup převodního tranzistoru je spojena přímo s vybíjecím vodičem.



## Область применения изобретения

Данное изобретение касается полупроводникового запоминающего элемента с двумя полевыми транзисторами, который применяется в частности в области полупроводниковых запоминающих устройств на интегральных схемах для электронных вычислительных устройств и для вычислительных машин.

## Характеристика известных технических решений

Динамические полупроводниковые запоминающие устройства с высокой степенью интеграции запоминают информацию в качестве заряда на ёмкости. Такой основной принцип описан в U.S.P.S 338-4286. Преимущество такой запоминающей ячейки обосновывается небольшой занимаемой площадью и использованием только одного полевого транзистора для реализации этой запоминающей ячейки.

240436

Известны также запоминающие ячейки с 2 и 3 полевыми транзисторами, например, запоминающая ячейка с тремя транзисторами и 5 или 4 вводами (W.M.Regitz и J.A.Karp ТБЕЕ Journ S1\_5 (1970), стр. 181), а также запоминающая ячейка с двумя транзисторами и 4 или 3 вводами (патент DE-OS 2458 II7 и DE-OS 2516 551).

Хотя преимуществом этих запоминающих ячеек по сравнению с I-транзисторной ячейкой является большее напряжение считывания, но это преимущество уничтожается значительно большей потребностью в площади. Поэтому в последнее время нашли применение главным образом запоминающие устройства с I-транзисторной ячейкой. Возрастание уменьшения запоминающих ячеек, требующего с повышением степени интеграции микроэлектроники, принудительно обуславливает уменьшение накопленного заряда и в результате этого - уменьшение напряжения считывания. Поэтому такие запоминающие ячейки для запоминающих устройств с максимальной степенью интеграции найдут в будущем применение лишь в ограниченной мере, так как они, если это вообще возможно, могут производить только медленное считывание и очень ненадежны в работе.

Поэтому для будущих поколений полупроводниковых запоминающих устройств требуются запоминающие ячейки, которые при экстремальном уменьшении сами еще хорошо считываемы и, несмотря на это, требуют наличие небольшой площади.

Изложение существа изобретения

Задача изобретения заключается в создании такого полупроводникового запоминающего элемента с 2 полевыми транзисторами, посредством которого повышается напряжение считывания и в результате - скорость считывания по сравнению с известными до сих пор решениями при одновременной низкой удельной потребности в площади.

Согласно изобретению эта задача решается тем, что емкости  $C_2$  и  $C_{2^X}$  от затвора трансферного и зарядного транзисторов подключаются к шине передачи слов. Результирующее пороговое напряжение зарядного транзистора лежит между результирующими пороговыми напряжениями трансферного транзистора в состоянии "1" или "0". Первый электрод участка сток/исток трансферного транзистора связан непосредственно с разрядной шиной. Реализация обеих емкостей  $C_2$  и  $C_{2^X}$  производится при использовании двух поликристаллических кремниевых слоев.

Пример осуществления изобретения

Ниже приводится более подробное пояснения настоящего изобретения на примере осуществления изобретения.

На прилагаемом чертеже изображены:

Фиг. 1: Схема запоминающей ячейки с двумя полевыми транзисторами

Фиг. 2: Практические примеры (Layout) выполнения кремниевой технологии с  $n$ -проводящими каналами с двумя поликристаллическими кремниевыми плоскостями с диффундированной разрядной шиной (вариант 1).

Фиг. 3: Практические примеры выполнения (Layout) кремниевой технологии с  $n$ -каналами с двумя поликристаллическими кремниевыми плоскостями с металлической разрядной шиной (вариант 2).

Полупроводниковый запоминающий элемент состоит из двух полевых транзисторов, подключенных в соответствии с фиг. 1 к разрядной шине для ввода и вывода информации, к шине для передачи слов для подбора запоминающего элемента для считывания и записи и к рабочему напряжению.

Разрядная шина способна принимать двоичные уровни напряжения "высокий" ( $U_{ВН}$ ) и "низкий" ( $U_{ВЛ}$ ). Шина для передачи слов управляется посредством трех уровней напряжения. "Низкий" уровень напряжения ( $U_{WL}$ , то есть запоминающий элемент не сработал), "средний" уровень напряжения ( $U_{WM}$ , запоминающий элемент должен быть только считан), "высокий" уровень ( $U_{WH}$ , запоминающий элемент под- лежит записи, считыванию или возобновлению).

Электрод сток/исток зарядного транзистора  $T_L$  соединен с затвором трансферного транзистора  $T_t$ . Оба транзистора  $T_L$  и  $T_t$  присоединены к разрядной шине, а электрод сток/исток транзистора  $T_t$  подключен к рабочему напряжению.

Емкости  $C_2$  и  $C_{2^X}$ , которые реализуются просто между двумя поликристаллическими кремниевыми слоями, предназначены для регулировки пороговых значений для включения транзисторов  $T_L$  и  $T_t$  и для гальванической изоляции запоминающего затвора трансферного транзистора. Полупроводниковый запоминающий элемент интегрируется в матрице для интегральных, динамических записывающих и считывающих запоминающих устройств со свободным обращением. Ниже поясняются функции полупроводникового запоминающего элемента.

Функция записи активируется согласно фиг. 1 за счет высокого уровня напряжения  $U_{WH}$  на шине для передачи слов, в результате чего включен зарядный транзистор и запоминающий затвор трансферного транзистора  $T_t$ , в соответствии с уровнем разрядной шины заряжается большим зарядом  $Q_1$  (при высоком уровне на разрядной шине) или небольшим зарядом  $Q_0$  (при низком уровне на разрядной шине).

При считывании разрядная шина сначала разряжается до низкого уровня напряжения  $U_{ВЛ}$ . На шине передачи слов при считывании

находится средний уровень напряжения  $U_{\text{ВН}}$ , в результате чего зарядный транзистор  $T_L$  остается запертым.

Однако трансферный транзистор  $I$  включается, если к его затвору при записи поступает большой заряд  $Q_1$ , но, напротив, он остается включенным, если он накопил небольшой заряд. В состоянии запоминающего устройства "1" через отключенный транзистор  $T_t$  одна часть рабочего напряжения  $U_B$  переносится на разрядную шину, в результате чего там возникает высокий уровень напряжения считывания  $U_{\text{ВН}}$ .

На фиг. 2 и фиг. 3 изображены два технологических примера реализации технологии кремниевых затворов. Затворы транзисторов  $T_t$  и  $T_L$  образуются в I-ой поликремниевой плоскости. Две емкости  $C_2$  и  $C_2^X$  возникают за счет перекрещивания 2-ой поликремниевой плоскости с I-ой поликремниевой плоскостью. За счет подбора толщины окислов и перекрывающей поверхности обеспечивается необходимая гибкость для расчета этих емкостей. Вторая поликремниевая плоскость одновременно образует шину для передачи слов.

Разрядная шина выполняется или как диффундированная зона (фиг. 2) или как металлический слой (фиг. 3).

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Полупроводниковый запоминающий элемент с двумя полевыми транзисторами, у которого имеется соединение затвора трансферного транзистора с зоной сток/исток зарядного транзистора, оба трансформатора своими электродами сток/исток подключены к разрядной шине, а вторая зона сток/исток трансферного транзистора соединена с линией рабочего напряжения, отличающийся тем, что емкости  $C_2$  и  $C_{2^X}$  затворов трансферного и зарядного транзисторов соединены с шиной для передачи слов, что результирующее пороговое напряжение зарядного транзистора лежит между результирующими пороговыми напряжениями трансферного транзистора в состоянии "1" или "0" и что первый электрод сток-исток трансферного транзистора соединен непосредственно с разрядной шиной.

2. Полупроводниковый запоминающий элемент по пункту 1, отличающийся тем, что реализация двух емкостей  $C_2$  и  $C_{2^X}$  осуществляется при помощи двух поликристаллических кремниевых слоев.

АННОТАЦИЯ

Настоящее изобретение касается полупроводникового запоминающего элемента с двумя полевыми транзисторами, применение которых в частности производится в области полупроводниковых запоминающих устройств на интегральных схемах для электронных вычислительных устройств и для вычислительных машин.

Целью изобретения является создание полупроводникового запоминающего устройства, который при небольшой удельной потребности в площади еще хорошо считываем и при дальнейшем уменьшении.

Задача изобретения заключается в создании полупроводникового запоминающего элемента с 2 полевыми транзисторами, посредством которого повышается напряжение считывания и таким образом скорость считывания при одновременно низкой удельной потребности в площади.

Задача согласно изобретению решается тем, что ёмкости  $C_2$  и  $C_{2X}$  затвора трансферного и зарядного транзисторов подключены к шине передачи слов. Результирующее пороговое напряжение зарядного транзистора лежит между результирующими пороговыми напряжениями трансферного транзистора в состоянии "1" или "0". Первый электрод сток/исток трансферного транзистора связан непосредственно с разрядной шиной.

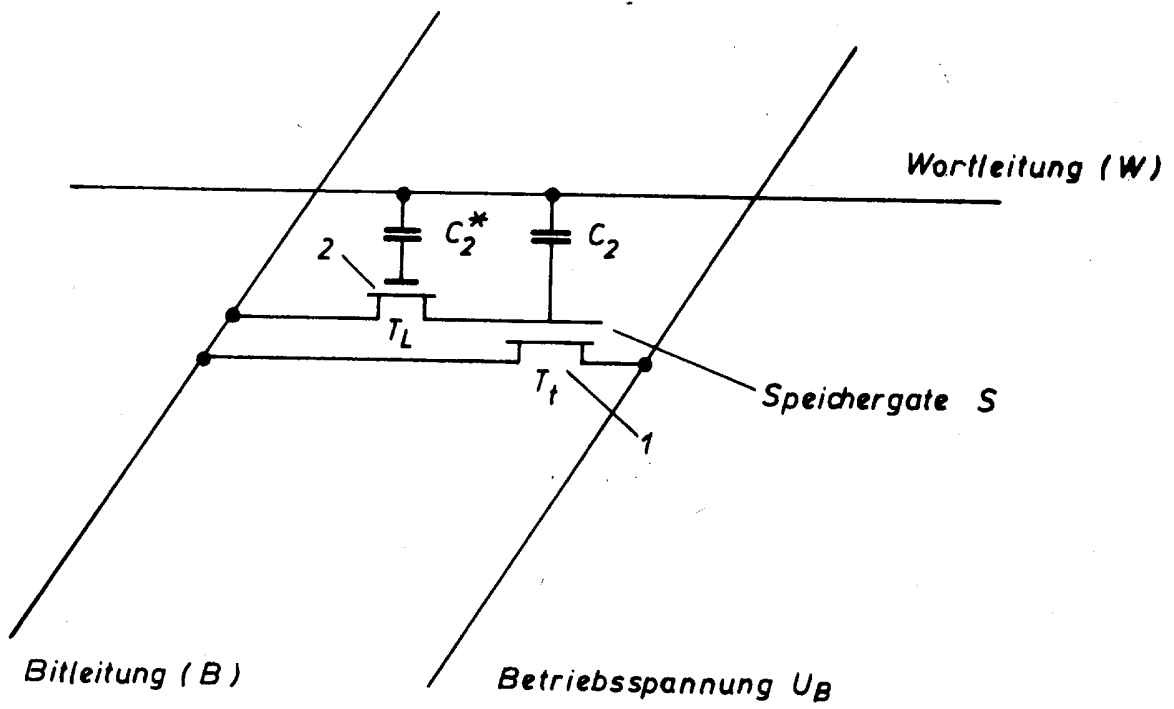
## P R Ě D M Ě T V Y N Á L E Z U

1. Polovodičový paměťový prvek se dvěma tranzistory řízenými polem, u něhož je spojení převodního tranzistoru s pásmem vstup/výstup nabíjecího tranzistoru, oba tranzistory svými elektrodami vstup/výstup jsou připojeny k vybíjecímu vodiči a druhé pásmo vstup/výstup převodního tranzistoru je spojeno s úrovní pracovního napětí, vyznačující se tím, že kondenzátory  $C_2$  a  $C_2^X$  obou tranzistorů jsou spojeny vodičem pro předávání slov, takže výsledné prahové napětí nabíjecího tranzistoru leží mezi výslednými prahovými napětími převodního tranzistoru ve stavu "1" nebo "0" a za první elektroda vstup/výstup převodního tranzistoru je spojena přímo s vybíjecím vodičem,

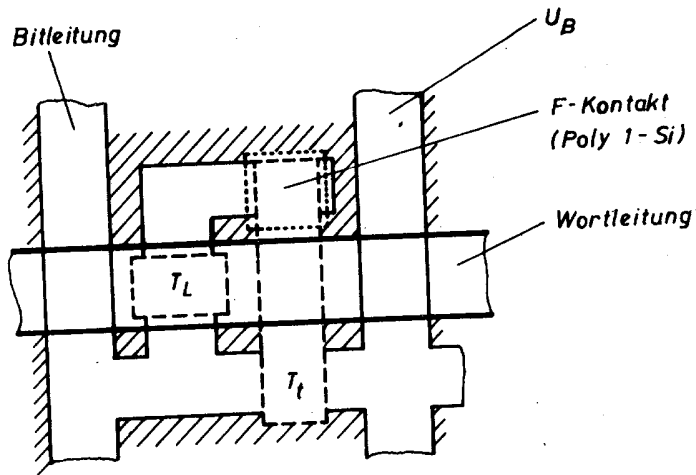
2. Polovodičový paměťový prvek podle bodu 1, vyznačující se tím, že oba kondenzátory  $C_2$  a  $C_2^X$  jsou opatřeny polykrystalickými křemíkovými vrstvami.

Uznáno vynálezem na základě výsledků expertizy, provedené Úřadem pro vynálezectví a patentnictví, Berlín, DD.

2 výkresy

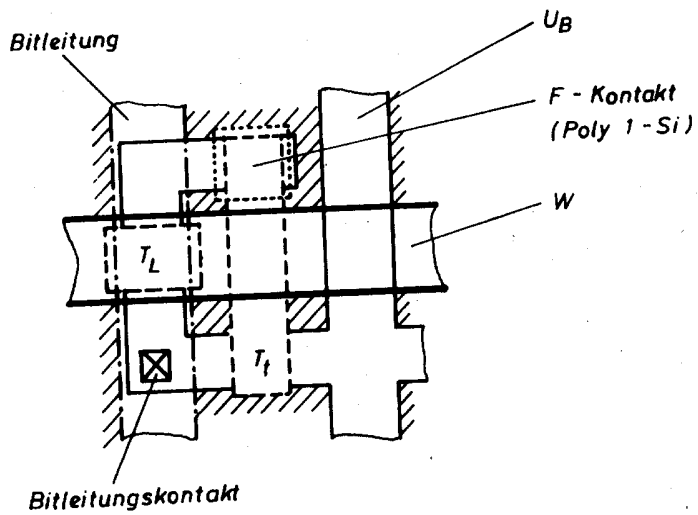


obr.1



a) Variante 1

obr. 2



b) Variante 2

obr. 3

- Feldoxyd
- diffundierte bzw. implantierte Drain- u. Sourcegebiete
- Poly 2
- Poly 1
- Kontakt Poly - Halbleiter
- Metall