



등록특허 10-2356740



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월28일
(11) 등록번호 10-2356740
(24) 등록일자 2022년01월25일

- (51) 국제특허분류(Int. Cl.)
H01L 27/24 (2006.01) *H01L 27/02* (2006.01)
- (52) CPC특허분류
H01L 27/2427 (2013.01)
H01L 27/02 (2013.01)
- (21) 출원번호 10-2015-0003278
- (22) 출원일자 2015년01월09일
심사청구일자 2019년12월27일
- (65) 공개번호 10-2015-0086182
- (43) 공개일자 2015년07월27일
- (30) 우선권주장
JP-P-2014-007265 2014년01월17일 일본(JP)

(56) 선행기술조사문헌

JP2009545095 A*

JP2010531062 A*

JP2012019042 A*

W02013039496 A1*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
소니 세미컨덕터 솔루션즈 가부시키가이샤
일본국 가나가와Ken 아초기시 아사히쵸 4-14-1
- (72) 발명자
오바 카즈히로
일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
사내
- 세이 히로아키
일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
사내
- (74) 대리인
최달용

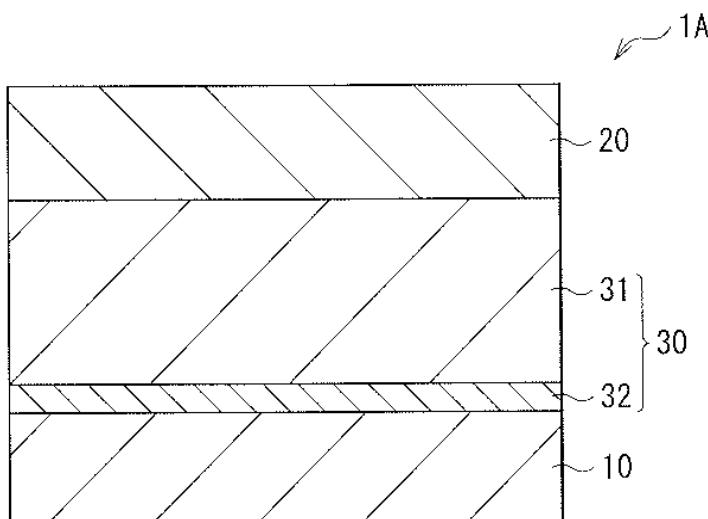
전체 청구항 수 : 총 15 항

심사관 : 심병로

(54) 발명의 명칭 스위치 소자 및 기억 장치

(57) 요약

본 발명의 스위치 소자는, 제1 전극, 제1 전극에 대향 배치된 제2 전극 및 제1 전극과 제2 전극과의 사이에 마련된 스위치층을 포함한다. 스위치층은, 칼코겐 원소를 포함하는 제1층과, 고저항 재료를 포함하는 제2층을 구비한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

기억 소자 및 상기 기억 소자에 접속된 스위치 소자를 포함하는 메모리 셀을 복수 구비하고,

상기 스위치 소자는, 제1 전극 및 상기 제1 전극에 대향 배치된 제2 전극과, 상기 제1 전극과 상기 제2 전극과의 사이에 마련됨과 함께, 칼코겐 원소를 포함하는 제1층과 고저항 재료를 포함하는 제2층을 구비한 스위치층을 가지고,

상기 기억 소자는, 상기 스위치 소자의 상기 제1 전극 및 상기 제2 전극 사이에, 텔루르(Te), 유황(S) 및 셀렌(Se)으로부터 선택된 적어도 하나의 칼코겐 원소를 포함하는 이온원층과, 저항 변화층을 포함하는 기억층을 가지고,

상기 스위치층의 상기 제2층은, 상기 기억층의 상기 저항 변화층을 겹하고 있는 것을 특징으로 하는 기억 장치.

청구항 2

제1항에 있어서,

상기 제2층은 상기 제1층의 적어도 한쪽의 면에 접하여 마련되어 있는 것을 특징으로 하는 기억 장치.

청구항 3

제1항에 있어서,

상기 제1층은 산소(O), 유황(S), 셀렌(Se) 및 텔루르(Te) 중 적어도 하나를 포함하고 있는 것을 특징으로 하는 기억 장치.

청구항 4

제3항에 있어서,

상기 제1층은 또한, 게르마늄(Ge), 안티몬(Sb), 규소(Si) 및 비소(As) 중 적어도 하나를 포함하고 있는 것을 특징으로 하는 기억 장치.

청구항 5

제1항에 있어서,

상기 제2층은 금속 원소의 산화물, 금속 원소의 질화물, 비금속 원소의 산화물 및 비금속 원소의 질화물 중 하나를 포함하는 것을 특징으로 하는 기억 장치.

청구항 6

제5항에 있어서,

상기 금속 원소는 알루미늄(Al), 갈륨(Ga), 마그네슘(Mg), 규소(Si), 하프늄(Hf) 및 희토류 원소 중 적어도 하나인 것을 특징으로 하는 기억 장치.

청구항 7

제1항에 있어서,

상기 제1층은, 인가 전압을 소정의 임계치 전압 이상으로 함에 의해 저저항 상태로 변화하고, 상기 인가 전압을 상기 소정의 임계치 전압 이하로 감소시킴에 의해 고저항 상태로 변화하는 것을 특징으로 하는 기억 장치.

청구항 8

제1항에 있어서,

상기 제2층은 층 내에 전도 패스를 포함하는 것을 특징으로 하는 기억 장치.

청구항 9

제1항에 있어서,

상기 제2층의 저항치는 상기 제1층의 저항치 보다도 높은 것을 특징으로 하는 기억 장치.

청구항 10

제1항에 있어서,

상기 기억층 및 상기 스위치층은 상기 제2층을 통하여 적층되어 있는 것을 특징으로 하는 기억 장치.

청구항 11

제1항에 있어서,

상기 기억층 및 상기 스위치층은 상기 저항 변화층을 통하여 적층되어 있는 것을 특징으로 하는 기억 장치.

청구항 12

제1항에 있어서,

복수의 행 라인 및 복수의 열 라인을 가지며, 상기 복수의 행 라인과 상기 복수의 열 라인과의 각 교차 영역 부근에 상기 메모리 셀이 배치되어 있는 것을 특징으로 하는 기억 장치.

청구항 13

제1항에 있어서,

상기 기억층은, 천이금속 산화물로 이루어지는 저항 변화층, 상 변화형 메모리층 및 자기 저항 변화형 메모리층 중 어느 하나인 것을 특징으로 하는 기억 장치.

청구항 14

제1항에 있어서,

상기 스위치 소자는, 오보닉 임계치 스위치 소자인 것을 특징으로 하는 기억 장치.

청구항 15

제1항에 있어서,

상기 기억 소자는, 기록 임계치 전압이 1.5V 이상인 것을 특징으로 하는 기억 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

작제

발명의 설명

기술 분야

[0001] 본 개시는, 전극 사이에 칼코게나이드(chalcogenide)층을 갖는 스위치 소자 및 이것을 구비한 기억 장치에 관한 것이다.

배경 기술

[0002] 근래, ReRAM(Resistance Random Access Memory)나 PRAM(Phase-Change Random Access Memory) 등의 저항 변화형 메모리로 대표되는 데이터 스토리지용의 불휘발성 메모리의 대용량화가 요구되고 있다. 그러나, 현행의 액세스 트랜지스터를 이용한 저항 변화형 메모리에서는 단위셀당의 플로어 면적이 커진다. 이 때문에, 예를 들면 NAND형 등의 플래시 메모리와 비교하여 같은 설계 률을 이용하여 미세화하여도 대용량화가 곤란하였다. 이에 대대, 교차하는 배선 사이의 교점(크로스 포인트(cross point))에 메모리 소자를 배치하는, 이른바 크로스 포인트 어레이 구조를 이용한 경우에는, 단위셀당의 플로어 면적이 작아져, 대용량화를 실현하는 것이 가능해진다.

[0003] 크로스 포인트형의 메모리 셀에는 메모리 소자 외에 셀 선택용의 스위치 소자가 배설되어 있다. 스위치 소자로서는, 예를 들면 금속 산화물을 사용하여 구성된 것을 들 수 있지(예를 들면, 비특허 문헌 1, 2 참조)만, 이 스위치 소자는, 스위칭 임계치 전압의 크기가 불충분하여, 고전압을 인가한 경우에는 절연 파괴가 일어나기 쉽다. 이 밖에, 어느 스위칭 임계치 전압에서 스위치하여 급격하게 전류가 증대(Snap Back)하는 스위치 소자(예를 들면, 비특허 문헌 3, 4 참조)를 들 수 있다. 이 스위치 소자에서는, 스위칭 임계치 전압을 넘어서 선택/비선택의 전압치를 설정함에 의해, 금속 산화물 등의 비선형 저항 재료에 의해 구성되는 스위치 소자보다도, 선택 전류치를 크게 하는 것이 용이하다. 단, 상기 스위치 소자의 스위칭 임계치 전압은, 조합시켜서 이용하는 메모리 소자의 기록 임계치 전압보다도 큰 전압인 것이 바람직하지만, 그 크기는 충분하다고는 말할 수가 없었다. 또한, 기록 임계치 전압이 큰 기억 소자와 조합시키는 경우에는, 그 스위치 소자에는 충분히 큰 선택(온) 상태 및 반선택(오프) 상태의 선택비(온-오프비)를 확보할 것이 요구되지만, 이것도 충분하다고는 말할 수가 없었다.

[0004] 상기 스위치 소자 외에는, 예를 들면 칼코게나이드 재료를 사용한 스위치 소자(오보닉 임계치 스위치(OTS ; Ovonic Threshold Switch) : 예를 들면, 특히 문헌 1, 2 참조)나 PN 다이오드를 들 수 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특개2006-86526호 공보

(특허문헌 0002) 일본 특개2010-157316호 공보

비특허문헌

[0006] (비특허문헌 0001) Jiun-Jia Huang 등, 2011 IEEE IEDM11-733 내지 736

(비특허문헌 0002) Woontae Lee 등, 2012 IEEE VLSI Technology symposium p. 37 내지 38

(비특허문헌 0003) Myungwoo Son 등, IEEE ELECTRON DEVICE LETTERS, VOL. 32, NO. 11, NOVEMBER 2011

(비특허문헌 0004) Seonghyun Kim 등, 2012 VLSI p. 155 내지 156

발명의 내용

해결하려는 과제

[0007] 그러나, 이 OTS 소자도 크로스 포인트형의 메모리 셀에 이용하는 경우에는, 보다 큰 온-오프비가 필요하게 된다. 큰 온-오프비를 얻는 방법으로서는, 칼코게나이드에 의해 구성되는 층(칼코게나이드층)의 막두께를 크게

하는(예를 들면, 100 내지 수천nm) 것이 생각되지만, 막두께를 크게 하면 메모리 셀의 미세화가 곤란해지고, 대용량화할 때에 문제가 된다. 또한, 스위칭 임계치 전압도 충분히 높다고는 할 수가 없고, 비교적 큰 기록 임계치 전압이 필요한 저항 변화형의 메모리 소자를 동작시키는 데는 불충분하였다.

[0008] 한편, 실리콘 기판에서부터 실리콘을 에피택셜 성장하여 제작되는 PN 다이오드는 온-오프비가 크고 임계치 전압도 설계에 의해 크게 하는 것이 가능하다. 단, 다층화하여 대용량화하는 것이 곤란하고, 또한 기본적으로는 단(單)방향 다이오드이기 때문에, ReRAM, MRAM 및 STTRAM(Spin Transfer Torque RAM) 등의 쌍방향 전압으로 구동하는 메모리 소자를 동작시킬 수가 없었다.

[0009] 또한, 애벌란시 다이오드와 같이 쌍방향 동작도 가능한 것이 있는 것이지만, 오프 상태에서의 리크 전류와 온-오프비와의 균형의 점에서, 재기록 가능한 메모리 소자에 적용하는 스위치 소자로서 충분한 특성을 얻을 수 있다고는 말할 수가 없었다.

[0010] 본 기술은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 온-오프비 및 스위칭 임계치 전압의 큰 스위치 소자 및 기억 장치를 제공하는 것에 있다.

과제의 해결 수단

[0011] 본 기술의 실시의 형태에 의하면, 제1 전극, 제1 전극에 대향 배치된 제2 전극 및 제1 전극과 제2 전극과의 사이에 마련된 스위치층을 갖는 스위치 소자를 제공한다. 스위치층은, 칼코겐 원소를 포함하는 제1층과, 고저항 재료를 포함하는 제2층을 구비한 것이다.

[0012] 본 기술의 실시의 형태에 의하면, 기억 소자 및 그 기억 소자에 접속된 스위치 소자를 포함하는 메모리 셀을 복수 포함하는 기억 장치를 제공한다. 스위치 소자는, 제1 전극, 제1 전극에 대향 배치된 제2 전극 및 제1 전극과 제2 전극과의 사이에 마련된 스위치층을 포함한다. 스위치층은 칼코겐 원소를 포함하는 제1층과 고저항 재료를 포함하는 제2층을 포함한다.

[0013] 본 기술의 실시의 형태에 관한 스위치 소자 및 기억 장치에서는, 제1 전극과 제2 전극과의 사이에 마련된 스위치층을, 칼코겐 원소를 포함하는 제1층과, 고저항 재료를 포함하는 제2층과의 적층 구조로 함에 의해, 스위치층의 동작 영역을 제어하는 것이 가능해진다.

발명의 효과

[0014] 본 기술의 실시의 형태에 관한 스위치 소자 및 기억 장치에 의하면, 스위치층을 칼코겐 원소를 포함하는 제1층과, 고저항 재료를 포함하는 제2층과의 적층 구조로 하였기 때문에, 스위치층의 동작 영역이 제어되고, 온-오프비 및 스위칭 임계치 전압을 크게 하는 것이 가능해진다. 따라서 고밀도면서 대용량의 기억 장치를 제공하는 것이 가능해진다. 또한, 여기에 기재된 효과는 반드시 한정되는 것이 아니고, 본 개시 중에 기재된 어느 하나의 효과라도 좋다.

도면의 간단한 설명

[0015] 도 1은 본 개시된 한 실시의 형태에 관한 스위치 소자의 구성의 한 예를 도시하는 단면도.

도 2는 본 개시된 비교례로서의 스위치 소자의 단면도.

도 3은 도 1에 도시한 스위치 소자의 IV 특성을 도시하는 도면.

도 4a는 도 3에 도시한 IV 곡선의 각 영역에서의 스위치 소자의 단면 모식도.

도 4b는 마찬가지로, 도 3에 도시한 IV 곡선의 각 영역에서의 스위치 소자의 단면 모식도.

도 4c는 마찬가지로, 도 3에 도시한 IV 곡선의 각 영역에서의 스위치 소자의 단면 모식도.

도 4d는 마찬가지로, 도 3에 도시한 IV 곡선의 각 영역에서의 스위치 소자의 단면 모식도.

도 4e는 마찬가지로, 도 3에 도시한 IV 곡선의 각 영역에서의 스위치 소자의 단면 모식도.

도 5는 각 포밍 조건(A) 내지 (D) 조건에서의 IV 특성을 도시하는 도면.

도 6a는 포밍 조건(A)에서의 스위치 소자의 단면 모식도.

도 6b는 포밍 조건(B)에서의 스위치 소자의 단면 모식도.

도 6c는 포밍 조건(C)에서의 스위치 소자의 단면 모식도.

도 6d는 포밍 조건(D)에서의 스위치 소자의 단면 모식도.

도 7a는 본 개시된 실시의 형태에 관한 스위치 소자의 구성의 다른 예를 도시하는 단면도.

도 7b는 본 개시된 실시의 형태에 관한 스위치 소자의 구성의 다른 예를 도시하는 단면도.

도 8은 도 1에 도시한 스위치 소자를 구비한 메모리 셀 어레이의 사시도.

도 9a는 도 8에 도시한 메모리 셀의 구성의 한 예를 도시하는 단면도.

도 9b는 도 8에 도시한 메모리 셀의 구성의 다른 예를 도시하는 단면도.

도 9c는 도 8에 도시한 메모리 셀의 구성의 다른 예를 도시하는 단면도.

도 10a는 도 8에 도시한 메모리 셀의 구성의 다른 예를 도시하는 단면도.

도 10b는 도 8에 도시한 메모리 셀의 구성의 다른 예를 도시하는 단면도.

도 10c는 도 8에 도시한 메모리 셀의 구성의 다른 예를 도시하는 단면도.

도 11a는 도 8에 도시한 메모리 셀의 기록 및 소거에서의 IV 특성을 도시하는 도면.

도 11b는 도 8에 도시한 메모리 셀(기억 소자)에서의 IV 특성을 도시하는 도면.

도 11c는 도 8에 도시한 메모리 셀에서의 IV 특성을 도시하는 도면.

도 11d는 도 8에 도시한 메모리 셀에서의 IV 특성을 도시하는 도면.

도 12는 본 개시된 실험 1에서의 IV 특성도.

도 13a는 본 개시된 실험 2(샘플 3)에서의 IV 특성도.

도 13b는 마찬가지로 실험 2(샘플 4)에서의 IV 특성도.

도 13c는 마찬가지로 실험 2(샘플 5)에서의 IV 특성도.

도 14는 샘플 3 내지 5의 IV 곡선을 종합한 특성도.

도 15는 본 개시된 실험 3에서의 IV 특성도.

도 16a는 실험 3에서의 최대 전류와 리크 전류와의 관계를 도시하는 특성도.

도 16b는 실험 3에서의 최대 전류와 스위칭 임계치 전압과의 관계를 도시하는 특성도.

발명을 실시하기 위한 구체적인 내용

[0016]

이하, 본 개시된 실시의 형태에 관해, 이하의 차례로 도면을 참조하면서 설명한다.

[0017]

1. 실시의 형태(스위치층을 OTS층과 고저항층과의 적층 구조로 한 예)

[0018]

1-1. 스위치 소자

[0019]

1-2. 기억 장치

[0020]

2. 실시례

[0021]

[1. 실시의 형태]

[0022]

[1-1. 스위치 소자]

[0023]

도 1은, 본 개시된 한 실시의 형태에 관한 스위치 소자(1A)의 단면 구성을 도시한 것이다. 이 스위치 소자(1A)는, 예를 들면 도 8에 도시한, 이른바 크로스 포인트 어레이 구조를 갖는 메모리 셀 어레이(2)에서 복수 마련된 중의 임의의 기억 소자(기억 소자(3Y) ; 도 8)를 선택적으로 동작시키기 위한 것이다. 스위치 소자(1A)(스위치 소자(3X) ; 도 8)는, 기억 소자(3Y)(구체적으로는 기억층(40))에 직렬로 접속되어 있고, 하부 전극(10)(제1 전극), 스위치층(30) 및 상부 전극(20)(제2 전극)를 이 순서로 갖는 것이다.

[0024]

하부 전극(10)는, 반도체 프로세스에 사용되는 배선 재료, 예를 들면, 텅스텐(W), 질화텅스텐(WN), 질화티탄

(TiN), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 탄탈(Ta), 질화탄탈(TaN) 및 실리사이드 등에 의해 구성되어 있다. 하부 전극(10)이 Cu 등의 전계(電界)에서 이온 전도(傳導)가 생길 가능성이 있는 재료에 의해 구성되어 있는 경우에는 Cu 등으로 이루어지는 하부 전극(10)의 표면을, W, WN, 질화티탄(TiN), TaN 등의 이온 전도나 열(熱)화산하기 어려운 재료로 피복하도록 하여도 좋다.

[0025] 스위치층(30)은, 예를 들면 하부 전극(10)측부터 차례로 고저항층(32)(제2층) 및 OTS층(31)(제1층)이 적층된 구성을 갖는다.

[0026] OTS층(31)은, 적어도 주기율표 제16족의 원소, 구체적으로는, 산소(0), 유황(S), 셀렌(Se) 및 텔루르(Te) 등의 칼코겐 원소를 포함하고, 상부 전극(20)에 접하여 마련되어 있다. OTS층(31)은, 상기 칼코겐 원소 외에, 예를 들면 게르마늄(Ge), 안티몬(Sb), 규소(Si), 비소(As) 등을 포함하고 있는 것이 바람직하다. 구체적으로는, 예를 들면 GeTe, GeSbTe, SiAsTe, GeSe, GeSbSe, SiAsSe, GeS, GeSbS 또는 SiAsS 등의 칼코게나이드(chalcogenide)에 의해 구성되고, 또는 이들에 산소(0)나 질소(N)가 첨가되어 있다.

[0027] OTS층(31)은, 상기 원소 이외의 첨가 원소로서, 예를 들면 Al, 마그네슘(Mg), 봉소(B), 이트륨(Y) 및 희토류 원소 등의 금속 원소를 포함하고 있어도 좋다. 또한, OTS층(31)은, 본 개시된 효과를 손상시키지 않는 범위에서 이들 이외의 원소를 포함하고 있어도 상관없다.

[0028] 본 실시의 형태에서의 고저항층(32)은, OTS층(31)에 접하여 마련되어 있고, 상세는 후술하지만, 층 내에 전도 패스를 가지며, 이 전도 패스에 의해 스위치 소자(1A)의 동작 면적을 제어하는 것이다. 고저항층(32)은, 예를 들면 금속 원소 또는 비금속 원소의 산화물이나 질화물 또는 이들의 혼합물 등에 의해 구성되어 있다. 고저항층(32)에는, 예를 들면 Al, 갈륨(Ga), Mg, Si, 하프늄(Hf) 및 희토류 원소 등의 산화물이나 질화물 또는 산질화물을 사용할 수 있다. 이에 의해, 초회(初回)의 기록 동작시, 즉 포밍(forming)시에 고저항층(32)의 층 내에 결함이 생성되고, 수nm 정도의 크기의 전도 패스(P)(예를 들면, 도 4b 참조)가 형성된다.

[0029] 또한, 고저항층(32) 내의 원소는 반드시 전부가 산화물의 상태가 아니라도 좋고, 일부가 산화되어 있는 상태라도 좋다. 또한, 고저항층(32)은 O 대신에 N을 포함하고 있어도 좋다. 고저항층(32) 중의 N은 O와 같은 작용을 한다. 고저항층(32)의 저항치는, OTS층(31)보다도 절연성이 높은 것이 바람직하다. 막두께는 특히 한정되지 않지만, 스위치층(30)의 두께를 작게 하고, 또한, 비선택(오프)시의 리크 전류를 가능한 한 작게 억제하기 위해, 예를 들면 2nm 이상 30nm 이하인 것이 바람직하다.

[0030] 상부 전극(20)은, 하부 전극(10)과 마찬가지로 공지의 반도체 배선 재료를 사용할 수 있지만, 포스트 어닐을 경유하여도 OTS층(31)과 반응하지 않는 안정한 재료가 바람직하다.

[0031] 본 실시의 형태의 스위치 소자(1A)는, 스위칭 임계치 전압 이상의 전압의 인가에 의해 저저항화하는데, 인가 전압을 스위칭 임계치 전압보다 내리면 고저항 상태로 되돌아오는 것이다. 즉, 스위치 소자(1A)는, 도시하지 않은 전원 회로(펄스 인가 수단)로부터 하부 전극(10) 및 상부 전극(20)를 통하여 전압 펄스 또는 전류 펄스의 인가에 의해, 스위치층(30)(특히 OTS층(31))의 상(相) 변화(비정질상(여모퍼스상(相))와 결정상 사이의 변화)가 생기지 않는 것이다. 또한, 스위치 소자(1A)는 전압 인가에 의한 이온의 이동에 의해 형성되는 전도 패스가 인가 전압 소거 후에도 유지되는 등의 메모리 동작을 하지 않는 것이다. 이하, 일반적인 스위치 소자(100)(도 2)와 비교하여, 그 동작 방법 및 동작의 구조에 관해 설명한다.

[0032] 전술한 바와 같이, 메모리(메모리 셀 어레이)의 대용량화는 도 8에 도시한 바와 같은, 교차하는 배선 사이의 크로스 포인트 부근에 메모리 소자와 스위치 소자가 적층된 메모리 셀이 배치된 크로스 포인트 어레이형을 취함으로써 실현할 수 있다. 이 크로스 포인트형의 메모리 셀 어레이는, 메모리 소자로서 저항 변화형의 메모리 소자(예를 들면, 후술하는 기억 소자(3Y))를 이용할 수 있다. 저항 변화형의 메모리 소자는 여러가지의 재료에 의해 형성되지만, 일반적으로 기록하고 임계치 전압의 큰 메모리 소자일수록 높은 기록 유지 신뢰성을 갖는다. 또한, 메모리 소자의 기록 임계치 전압은 소자 사이에서의 편차를 갖는다. 이 때문에, 대규모 메모리 셀 어레이에서는 기록 임계치 전압에 여분으로 마진을 취할 필요가 있다. 예를 들면, 기록 임계치 전압이 1V의 메모리 소자라도, 스위치 소자의 스위칭 임계치 전압은 그 이상의 크기를 갖는 것이 바람직하고, 예를 들면 메모리 셀 어레이로의 기록 임계치 전압의 편차가 ±0.3V인 경우에는, 1.3V 이상인 것이 바람직하다. 따라서, 기록 임계치 전압이 높게(예를 들면, 1.5V 이상) 유지 신뢰성이 높은 메모리 소자를 기록 동작의 불량 없게 구동시키는 데는, 스위치 소자에는 더욱 높은 스위칭 임계치 전압이 요구된다.

[0033] 스위치 소자(100)는, 도 2에 도시한 바와 같이 상부 전극(120)과 하부 전극(110)과의 사이에 칼코게나이드로 이루어지는 스위치층(130)이 마련된 일반적인 스위치 소자이다.

- [0034] 도 8에 도시한 바와 같은 크로스 포인트 어레이형의 메모리 셀 어레이(2)의 기억 소자로서 예를 들면, 저항 변화형의 기억 소자(기억 소자(3Y))를 이용하는 경우에는, 스위치 소자에는, 온 상태에서의 충분한 전류 밀도와, 오프 상태에서의 리크 전류의 발생을 억제할 것이 요구된다. 이에 대해, 스위치 소자(100)에서는, 스위칭 임계치 전압은 그다지 크지 않고, 예를 들면 1 내지 1.5V 정도의 것이 대부분이고, 기억 소자(3Y)와 같은 메모리 소자를 구동시키기 위해서는, 그 스위칭 임계치 전압의 값은 불충분하였다. 이 때문에, 스위치 소자(100)와 기억 소자(3Y)를 조합시킨 경우에는, 스위치 소자가 메모리 소자보다도 우선 스위치하여 버려, 선택(온) 상태 및 반선택(오프) 상태의 선택비(온-오프비)를 충분 확보할 수가 없다는 문제가 있다.
- [0035] 이것은, 스위치 소자(100)를 구성한 하부 전극(110) 및 상부 전극(120)의 전극면적이 그대로 동작 영역이 되기 때문이고, 비선택(오프) 상태의 리크 전류가 큰 것이 많아 오작동(오기록이나 오소거)를 일으키기 쉬워진다. 또한, 리크 전류가 작다는 점에서 우수한 것도 있지만, 스위칭 임계치 전압이 1V 이하로 작았다. 이 때문에, 이 스위치 소자(100A)가 상기 조건을 충족시키기 위해서는, 스위치층(130)의 막두께를 크게(예를 들면, 180nm 정도)할 필요가 있고, 그 경우에는 미세화할 수 없게 된다는 문제가 있다.
- [0036] 또한, 리크 전류의 문제는, 메모리 셀 어레이의 대형화와 비례하여 심각해지기 때문에, 보다 큰 온-오프비가 요구된다. 따라서, 기록 임계치 전압의 큰 메모리 소자와 상기 스위치 소자(100)를 조합시킨 메모리 셀에서는, 기록-판독 마진이 작아 대용량 메모리 셀 어레이를 정상적으로 동작시키는 것은 곤란하였다.
- [0037] 이에 대해, 본 실시의 형태의 스위치 소자(1A)에서는, 스위치층(30)를 칼코게나이드에 의해 구성되는 OTS층(31)(상기 스위치층(130)에 상당)과 고저항층(32)과의 적층 구조로 한다. 이 스위치 소자(1A)는, 초회의 온 동작시에 고저항층(32) 내에 미세한 전도 패스(P)가 형성된다. 고저항층(32) 내에 형성된 전도 패스(P)는, 그 형성 영역(예를 들면, 평면 방향으로 수mm 정도)가 스위치 소자(1A)의 동작 영역이 된다.
- [0038] 구체적으로는, 일단 고저항층(32)에 전도 패스(P)가 형성되면, 스위치 소자(1A)에 인가된 전압의 대부분이 OTS층(31)에 인가되게 되고, OTS층(31)에 전계가 인가된다(예를 들면, 도 3 및 도 4 참조). OTS층(31)은, 전계의 강함이 일정치 이상이 되면 칼코겐 원소의 전자 상태에 기인한 전리(電離) 충돌에 의한 전하 담체(캐리어)가 증대하여 급격하게 전류가 증대하여, 저저항화한다. 즉, 스위치 소자(1A)는, 이른바 오보닉 임계치 스위치 현상이 생기고 온 상태가 된다. 또한, 스위치 소자(1A)에의 인가 전압을 정지하면, OTS층(31)은, 전리 충돌에 의해 생긴 캐리어가 재결합하여 소멸하여 재차 고저항 상태로 되돌아온다. 이에 의해, 스위치 소자(1A)는 큰 온-오프비를 얻을 수 있다.
- [0039] 이상의 것으로부터, 상기 스위치 소자(100A)와 같이 스위치층(130)(여기서는 OTS층(31))를 후막화하는 일 없이, 온 상태에서의 충분한 전류 밀도를 확보할 수 있고, 또한 오프 상태에서의 비선택 소자 및 반선택 소자에의 리크 전류를 억제하는 것이 가능해진다. 즉, 온-오프비를 증대시킬 수 있다.
- [0040] 또한, 스위치 소자(1A)의 임계치 전압은, 고저항층(32)의 막두께나 재료를 선택함에 의해 조정하는 것이 가능하기 때문에, 기억 소자(3Y)와 같이 높은 인가 전압이 필요한 기억 소자를 구비한 기억 장치로의 동작이 가능해진다.
- [0041] 스위치 소자(1A)는 이하의 방법에 의해 조정된다.
- [0042] 도 3은, 스위치 소자(1A)에서의 인가 전압과 전극에 흐르는 전류치와의 관계(IV 특성)를 도시한 것이다. 도 4a 내지 도 4e는, 도 3에 도시한 IV 곡선의 각 부분(A, A', A'', B, B')에서의 스위치층(30) 내를 모식적으로 도시한 것이다. 우선, 포토 리소그래피나 드라이 애칭 등을 이용하여 작성된 스위치 소자(1A)는, 상술한 바와 같이, 초회의 온 동작시에 고저항층(32) 내에 전도 패스(P)가 형성되고, 스위치 소자(1A)의 동작 영역이 결정된다.
- [0043] 이때의 스위치 소자(1A)의 IV 곡선은 도 3에 도시한 바와 같이 변화한다. 구체적으로는, 스위치 소자(1A)에 흐르는 전류는, 전압의 증가에 비례하여 서서히 증가(A)한 후, 소정의 전압(스위칭 임계치 전압)에서 급격하게 증대(A')하고, 그 후, 상한에 달한다(A''). 스위치 소자(1A)의 내부(특히, 스위치층(30))는, IV 곡선의 각 부분(A, A', A'')에서 도 4a 내지 도 4c와 같이 변화한다고 생각된다. 예를 들면, 스위치 소자(1A)는, 도 4a에 도시한 바와 같이 인가 전압이 스위칭 임계치 전압까지는 스위치층(30)(OTS층(31) 및 고저항층(32)) 내에 변화는 보여지지 않지만, 도 4b에 도시한 바와 같이, 스위칭 임계치 전압에 달함으로써 고저항층(32)에 전도 패스(P)가 형성됨과 함께, OTS층(31) 내에 전리 충돌 영역(S)이 발생하여 저저항화한다. 이에 의해, 전류가 급격하게 증대한다. 이 후, 스위치 소자(1A)는 설정된 상한의 전류 밀도가 얻어질 때까지 전압이 인가되는데, 이때 전도 패스(P) 및 전리 충돌 영역(S)의 크기는 도 4c에 도시한 바와 같이 커져 간다고 생각된다. 이와 같이 하여, 스위치 소자(1A)는 포밍된다.

- [0044] 이 후, 인가 전압을 감소시키면 스위치 소자(1A)의 IV 특성은 도 3에 도시한 B-B'의 경로를 통과하여 변화한다. 즉, 스위치 소자(1A)의 스위치층(30)은, 상한 전류에 달한 때에 형성된 전도 패스(P)(도 4c)를 유지한 채로, 도 4d에 도시한 바와 같이 OTS층(31) 내에 생긴 전리 충돌 영역(S)가 서서히 축소된다. 이에 수반하여, 스위치 소자(1A)에 흐르는 전류는 저하되어 가고(B), 어느 임계치 전압에 달한 곳에서 캐리어의 재결합이 일어나 도 4e에 도시한 바와 같이 전리 충돌 영역(S)이 소멸하여 OTS층(31)의 저항치가 급격하게 증대한다. 이에 의해, 도 3에 도시한 바와 같이 전류가 급격하게 감소하고, 그 후, 인가 전압의 감소와 함께 전류도 서서히 감소한다(B').
- [0045] 또한, 2회째 이후의 온 동작시의 스위치 소자(1A)에서의 IV 특성은, B-B'의 경로에 근사한 변화를 나타내게 된다.
- [0046] 도 5는, 각 포밍 조건(조건 A 내지 D)에서의 2회째 이후의 온 동작시의 IV 특성을 도시한 것이고, 도 6a 내지 도 6d는 각 조건시에 있어서의 스위치 소자(1A)의 단면 구성을 모식적으로 도시한 것이다. 또한, 포밍 조건은, 조건 A부터 조건 D에 걸쳐서 포밍 전류를 서서히 작게 하고 있다. 도 6a 내지 도 6d로부터 알 수 있는 바와 같이, 초회의 온 전류를 보다 크게 하면, 고저항층(32) 내에 형성된 전도 패스(P)의 형성 영역은 커져서, 보다 큰 온 전류를 흘릴 수 있도록 된다. 즉, 초회의 온 동작시(포밍시)에서의 전류치 또는 인가 전압의 최대치를 변화시킴에 의해 스위치 소자(1A)의 특성을 제어할 수 있다. 단, 전도 패스가 너무 커지면 오프(OFF)시의 리크 전류가 커질 우려가 있기 때문에 조정이 필요해진다.
- [0047] 이와 같이, 상기 동작을 행함에 의해, 소망하는 특성, 즉, 선택 상태(온 상태)에서는 저저항 상태로, 비선택 상태(오프 상태)에서는 고저항 상태로 변화하는 스위치 소자(1A)를 얻을 수 있다. 동시에, 초회 기록에 의한 포밍 동작에 의해 2회째 이후의 동작 특성을 제어할 수 있다.
- [0048] 이상과 같이, 본 실시의 형태에서는, 스위치층(30)을 구성하는 OTS층(31)에 고저항층(32)을 적층하도록 하였기 때문에, 스위치층(30)의 동작 영역이 제한되고, 비선택 또는 반선택(오프 상태)에서의 리크 전류의 발생을 저감하는 것이 가능해진다. 또한, 스위칭 임계치 전압 및 온-오프비가 커진다. 따라서, 고밀도면서 대용량차의 기억 장치를 제공하는 것이 가능해진다.
- [0049] 또한, 본 실시의 형태의 스위치 소자(1A)는 OTS층(31)과 고저항층(32)이 접하여 있으면 좋고, 도 1에 도시한 적층 구조로 한정되지 않는다. 예를 들면 도 7a에 도시한 바와 같이, 상부 전극(20)측에 고저항층(32)을 형성하여도 상관없다. 또한, 도 7b에 도시한 바와 같이, OTS층(31)를 끼우도록, 즉, 상부 전극(20)측 및 하부 전극(10)측의 양쪽에 고저항층(32A, 32B)을 형성하여도 상관없다. 또한, OTS층(31) 및 고저항층(32)을 복수조 적층한 다층 구조로 하여도 좋다.
- [0050] [1-2. 기억 장치]
- [0051] 기억 장치(메모리)는, 후술하는 기억 소자(3Y)를 다수, 예를 들면 열형상(列狀)이나 매트릭스형상으로 배열함에 의해 구성할 수 있다. 이때, 본 개시된 스위치 소자(1A)는, 스위치 소자(3X)로서, 기억 소자(3Y)와 직렬로 접속되어 있고, 이에 의해 메모리 셀(3)을 구성하고 있다. 메모리 셀(3)은, 배선을 통하여 센스 앰프, 어드레스 디코더 및 기록·소거·판독 회로 등에 접속된다.
- [0052] 도 8은, 교차하는 배선 사이의 교점(크로스 포인트)에 메모리 셀(3)을 배치한, 이를바 크로스 포인트 어레이형의 기억 장치(메모리 셀 어레이(2))의 한 예를 도시한 것이다. 이 메모리 셀 어레이(2)에서는, 각 메모리 셀(3)에 대해, 그 하부 전극(10)측에 접속된 배선(예를 들면 비트선 ; BL(행 라인))과, 그 상부 전극(20)측에 접속된 배선(예를 들면 워드선 ; WL(세로 라인))을 교차하도록 마련하고, 예를 들면 이를 배선의 교차점 부근에 각 메모리 셀(3)이 배치되어 있다. 이와 같이, 크로스 포인트 어레이 구조를 이용함에 의해, 단위셀당의 플로어 면적을 작게 하는 것이 가능하고, 대용량화를 실현하는 것이 가능해진다.
- [0053] 메모리 셀(3)를 구성하는 기억 소자(3Y)는, 예를 들면, 하부 전극, 기억층(40) 및 상부 전극을 이 순서로 갖는 것이다. 기억층(40)은, 예를 들면 하부 전극측부터 저항 변화층(42) 및 이온원층(源層)(41)이 적층된 적층 구조 또는 저항 변화층(42)의 단층 구조에 의해 구성되어 있다. 또한, 여기서는 스위치층(30)과 기억층(40)과의 사이에는 중간 전극(50)이 마련되어 있고, 이 중간 전극(50)이 스위치 소자(3X)의 상부 전극과, 기억 소자(3Y)의 하부 전극을 겹하고 있다. 구체적으로는, 메모리 셀(3)은, 예를 들면 도 9a에 도시한 바와 같이, 하부 전극(10)과 상부 전극(20)과의 사이에, 스위치층(30), 중간 전극(50), 저항 변화층(42) 및 이온원층(41)이 이 순서로 적층된 구성을 갖는다.
- [0054] 기억층(40)은, 상기한 바와 같이, 예를 들면 이온원층(41)과 저항 변화층(42)과의 적층 구조와 같은 구성을 갖

는, 이른바 저항 변화형 기억 소자(메모리 소자)라면 좋다. 예를 들면 천이금속 산화물에서 이루어지는 저항 변화 메모리, PCM(Phase Change Memory ; 상 변화형 메모리) 또는 MRAM(Magnetoresistive Random Access Memory ; 자기 저항 변화형 메모리)를 이용하여도 상관없다.

[0055] 이온원층(41)은, 전계의 인가에 의해 저항 변화층(42) 내에 전도 패스를 형성하는 가동 원소를 포함하고 있다. 이 가동 원소는, 예를 들면 천이금속 원소(주기율표 제4족 내지 제6족) 및 칼코겐 원소이고, 이온원층(41)은 이들을 각각 1종 또는 2종 이상 포함하여 구성되어 있다. 또한, 이온원층(41)은, 산소(0)나 질소(N)나, 상기 원소 이외의 원소, 예를 들면 Al, Cu, 망간(Mn), 코발트(Co), 철(Fe), 니켈(Ni) 및 백금(Pt), Si 등을 포함하고 있어도 상관없다.

[0056] 저항 변화층(42)은, 예를 들면 금속 원소 또는 비금속 원소의 산화물 또는 질화물에 의해 구성되어 있고, 하부 전극(10)과 상부 전극(20)과의 사이에 소정의 전압을 인가한 경우에 그 저항치가 변화하는 것이다. 구체적으로는, 하부 전극(10)과 상부 전극(20)과의 사이에 전압이 인가되면, 이온원층(41)에 포함되는 천이금속 원소가 저항 변화층(42) 내로 이동하여 전도 패스가 형성되고, 저항 변화층(42)은 저저항화한다. 또는, 저항 변화층(42) 내에서 산소 결함이나 질소 결함 등의 구조 결함이 생겨서 전도 패스가 형성되고, 저항 변화층(42)은 저저항화한다. 또한, 역방향의 전압을 인가함에 의해 전도 패스는 절단, 또는 도전성이 변화한다. 이에 의해, 저항 변화층(42)은 고저항화한다.

[0057] 또한, 저항 변화층(42)에 포함되는 금속 원소 및 비금속 원소는 반드시 전부가 산화물의 상태가 아니라도 좋고, 일부가 산화되어 있는 상태라도 좋다. 또한, 저항 변화층(42)의 초기 저항치는, 예를 들면 수MΩ부터 수백GΩ 정도의 소자 저항이 실현되면 좋고, 소자의 크기나 이온원층(41)의 저항치에 의해서도 그 최적치가 변화하지만, 그 막두께는 예를 들면 1nm 내지 10nm 정도가 바람직하다.

[0058] 중간 전극(50)은, 예를 들면 전계의 인가에 의해 칼코게나이드를 포함하는 OTS층(31) 및 이온원층(41) 내에 이온의 용해·석출 등의 산화환원 반응 및 이온의 이동이 생기기 어려운 불활성한 재료라면 특히 묻지 않는다.

[0059] 기억 소자(3Y)는, 도시하지 않은 전원 회로(펄스 인가 수단)로부터 하부 전극(10) 및 상부 전극(20)를 통하여 전압 펄스 또는 전류 펄스를 인가하면, 기억층(40)의 전기적 특성(저항치)가 변화하는 저항 변화형의 기억 소자이고, 이에 의해 정보의 기록, 소거, 또한 판독이 행하여진다.

[0060] 구체적으로는, 기억 소자(3Y)에서는, 초기 상태(고저항 상태)의 소자에 대해 "정방향"(예를 들면 제1 전극측을 부전위, 제2 전극측을 정전위)의 전압 또는 전류 펄스가 인가되면, 이온원층에 포함되는 금속 원소(예를 들면, 천이금속 원소)가 이온화하여 기억층 중(예를 들면, 저항 변화층 중)에 확산, 또는 산소 이온이 이동함에 의해 저항 변화층 중에 산소 결함이 생성한다. 이에 의해 기억층 내에 산화 상태가 낮은 저저항부(전도 패스)가 형성되고, 저항 변화층의 저항이 낮아진다(기록 상태). 이 저저항한 상태의 소자에 대해 "부방향"(예를 들면 제1 전극측을 정전위, 제2 전극측을 부전위)에 전압 펄스가 인가되면, 저항 변화층 중의 금속 이온이 이온원층 중으로 이동, 또는 이온원층으로부터 산소 이온이 이동하여 전도 패스 부분의 산소 결함이 감소한다. 이에 의해 금속 원소를 포함하는 전도 패스가 소멸하고, 저항 변화층의 저항이 높은 상태가 된다(초기 상태 또는 소거 상태). 또한, 기억층(40)을 저항 변화층(42)의 단층으로 구성하는 경우에는, 정방향의 전압(또는 전류 펄스)가 인가된 경우와, 저항 변화층(42)에 인가된 전계 따라서 결함이 생성되고, 부방향으로 전압 펄스가 인가되면, 결함은 저항 변화층 내의 산소 이온이나 질소 이온의 이동에 의해 수복된다.

[0061] 또한, 메모리 셀(3)의 스위치 소자(3X) 및 기억 소자(3Y)의 적층 구조는, 도 9a에 도시한 메모리 셀(3A)의 적층 순으로 한정되는 것이 아니다. 예를 들면, 도 9b에 도시한 메모리 셀(3B)과 같이, 중간 전극(50)을 사이로 스위치층(30)을 상부 전극(20)측에, 기억층(40)를 하부 전극(10)측에 마련하도록 하여도 좋다. 또는, 도 9c에 도시한 메모리 셀(3C)과 같이, 중간 전극(50)을 사이로 OTS층(31) 및 이온원층(41)을 대향 배치시켜, 고저항층(32) 및 저항 변화층(42)을 각각 하부 전극(10)측 또는 상부 전극(20)측에 배치하도록 하여도 좋다.

[0062] 또한, 메모리 셀(3)은 중간 전극(50)을 생략한 구성으로 하여도 좋다. 이 경우에는, 도 10a에 도시한 메모리 셀(3D)과 같이, 하부 전극(10)측부터 고저항층(32), OTS층(31)의 순서로 마련된 스위치층(30)과, 하부 전극(10)측부터 저항 변화층(42), 이온원층(41)의 순서로 마련된 기억층(40)을 단순하게 적층시킨 구성으로 하여도 좋다. 또한, 스위치층(30)과 이온원층(40)과의 적층 순서는 교체하여 형성하여도 상관없다. 또한, 상술한 고저항층(32)에서의 전도 패스의 생성 및 소멸은, 기억 소자(3Y)에서의 저항 변화층(42)과 마찬가지 동작이기 때문에, 고저항층(32) 및 저항 변화층(42)을 서로 공유할 수 있다. 이 때문에, 예를 들면 도 10b에 도시한 메모리 셀(3E)과 같이, 스위치층(30)의 고저항층(32)이 기억층(40)의 1저항 변화층(42)을 겹하도록, 고저항층(32)을 사이

로 OTS층(31) 및 이온원층(41)이 배치된 구성으로 하여도 좋다. 또한, 예를 들면 도 10c에 도시한 메모리 셀(3F)과 같이, 저항 변화층(42)을 2층 마련하고(저항 변화층(42A, 42B)), 이온원층(41)의 하부 전극층(10) 및 상부 전극층(30)의 양쪽에 마련하여, 스위치층(30)과 적층하여 구성하여도 좋다.

[0063] 또한, 본 실시의 형태에서의 기억 장치는, 기억층(40)에, 이를바 PCM 및 MRAM의 구성을 적용한 경우도 마찬가지이다.

[0064] 도 11a 내지 도 11d는, 본 실시의 형태의 스위치 소자(1A)(1B, 1C 또는 3X), 기억 소자(3Y) 및 이들을 조합시킨 메모리 셀(3)의 기록시(예를 들면, 순바이어스) 및 소거시(예를 들면, 역바이어스)에서의 인가 전압과 전극에 흐르는 전류치와의 관계를 도시한 것이다. 실선은 전압 인가시에 있어서의 IV 특성을, 점선은 인가 전압을 감소 방향에 소인한 때의 IV 특성을 도시하고 있다.

[0065] 도 11a는, 스위치 소자(3X)의 IV 특성을 도시한 것이다. 순바이어스(여기서는, 기록 전압)을 인가하면, 스위치 소자(3X)는 상술한 바와 같이 인가 전압의 증가에 수반하여 전류가 상승하지만, 어느 임계치 전압(스위칭 임계치 전압)을 초과하면 오보닉 임계치 스위치에 의해 급격하게 전류가 증대, 또는 저항이 낮아져서 온 상태가 된다. 이 후, 인가 전압을 감소시켜 가면, 스위치 소자(3X)의 전극에 흐르는 전류치는 서서히 감소하고, 2회째 이후의 동작에서는, 인가 전압의 증가시 및 감소시 함께 근사한 저항 변화, 구체적으로는, 증가시와 동등한 전압에서 급격하게 저항이 상승하여 오프 상태가 된다(B1). 즉, 스위치 소자(3X)의 저항치는 기록 전압의 인가에 의해 저저항 상태가 되지만, 인가 전압을 임계치 이하로 내리면 고저항 상태로 되돌아오고, 전압 인가시의 저항치는 유지되지 않는다.

[0066] 도 11b는, 기억 소자(3Y)의 IV 특성을 도시한 것이다. 도 11b로부터 알 수 있는 바와 같이, 기억 소자(3Y)에서는, 인가 전압의 증가에 수반하여 전류치가 상승하지만, 어느 임계치 전압에 있어서 기억층(40)의 저항 변화층(42)에서의 전도 패스 형성에 의한 기록 동작이 행해지고, 저저항 상태로 변화한다. 즉, 기억 소자(3Y)의 저항치는 기록 전압의 인가에 의해 저저항 상태가 되고, 인가 전압 정지 후도 그 저항 상태는 유지된다(B1).

[0067] 도 11c는, 메모리 셀(3)의 IV 특성을 도시한 것이다. 상기 기억 소자(3Y)와 스위치 소자(3X)를 조합시킨 메모리 셀(3)의 기록 전압의 인가 시작 및 정지에서의 전류치의 스위칭 거동은, 기억 소자(3Y)(A1) 및 스위치 소자(3X)(B1)를 합친 것으로 된다(C1). 예를 들면, V/2 바이어스 방식의 크로스 포인트 어레이의 경우에는, 메모리 셀(3)의 C1의 IV 곡선형상으로 급격하게 저항 변화한 임계치보다도 큰 전압을 판독 전압(Vread)을 설정하고, Vread/2는 저항 변화의 임계치보다도 작은 전압이 되도록 설정한다. 이에 의해, 바이어스(온)와 Vread/2 바이어스(오프)의 전류비로 정의되는 선택비를 크게 취하는 것이 가능해진다. 또한, 상기한 바와 같이, 메모리 셀(3)의 IV 곡선(C1)은 스위치 소자(3X)의 IV 곡선(B1)과 기억 소자(3Y)의 IV 곡선의 합성이기 때문에, 스위치 소자(3X)의 오보닉 임계치 스위치의 임계치 전후의 저항 변화(또는 전류 변화)가 클수록 선택비를 크게 취할 수 있다. 이에 의해, 본 실시의 형태에서의 스위치 소자(3X)에서는 큰 온-오프비를 얻는 것이 선택비의 증대가 되어 바람직하다고 말할 수 있다. 또한, 선택비가 크면 클수록 판독 마진이 커지기 때문에, 오펀독하는 일 없이 크로스 포인트 어레이 사이즈를 크게 하는 것이 가능해지고, 메모리 셀 어레이의 더한층의 대용량화가 가능하게 된다.

[0068] 이것은, 판독 동작뿐만 아니라, 기록 동작에 대해서도 마찬가지이다. 도 11d는, 도 11c와 마찬가지로 메모리 셀(3)의 IV 특성을 도시한 것이다. 상술한 바와 같이, 크로스 포인트 어레이에서는, 대상의 메모리 셀과 같은 비트선(BL) 또는 워드선(WL)에 다수의 비트가 접속되어 있다. 이 때문에, 도 11d에 도시한 바와 같이, Vwrite/2와 IV 곡선(C1)의 점선의 Set 상태의 IV 루프의 교점에서 나타난다, Vwrite/2로 바이어스된 비선택시의 리크 전류가 크면 비선택의 메모리 셀에서 오기록이 생길 우려가 있다. 따라서, 기록 동작에서는, 기억 소자(3Y)를 기록 할 때에 필요한 전류를 얻을 수 있는 전압으로 기록 전압(Vwrite)을 설정한 다음, Vwrite/2로 바이어스된 비선택의 메모리 셀이 오기록이 생기지 않을 정도의 리크 전류로 억제할 필요가 있다. Vwrite/2로 바이어스된 비선택시의 리크 전류가 작으면 작을수록 대규모 크로스 포인트 어레이를 오기록 없이 동작시킬 수 있다. 따라서, 기록 동작시도 스위치 소자(3X)의 선택비를 크게 하는 것이, 메모리 셀 어레이의 대용량화에 연결된다.

[0069] 한편, 반대 바이어스(여기서는 소거 전압)를 인가하면, 스위치 소자(3X)의 소거 전압 인가시에 있어서의 전류치의 변화는, 기록 전압을 인가한 때와 같은 거동을 나타낸다(B2). 이에 대해, 기억 소자(3Y)의 소거 전압 인가시에 있어서의 전류치의 변화는, 소거 임계치 전압 이상의 전압 인가에 의해, 저저항 상태로부터 고저항 상태로 변화한다(A2). 도 11e에 도시한 바와 같이, A2 및 B2의 IV 특성을 합성하면 소거 바이어스로의 메모리 셀의 IV 특성(C2)를 얻을 수 있다. V/2 바이어스 방식의 크로스 포인트 어레이에서는, 통상의 판독 바이어스를 기록층에 설정하기 때문에, Vreset/2 바이어스에서의 디스터브 전류(disturb current)가 문제가 되지만, 이에 대해서도,

정바이어스의 경우와 마찬가지로, 스위치 소자(3X)의 온-오프비, 즉 선택비가 크고, 오프(OFF)시의 리크 전류가 작을수록 크로스 포인트 어레이의 대규모화에 유리하게 된다.

[0070] 본 실시의 형태의 기억 장치에서는, 저항 변화형의 기억 소자(3Y)를 이용한 메모리 장치 이외에 각종의 메모리 장치에 적용할 수 있다. 예를 들면, 한번만 기록이 가능한 PROM, 전기적으로 소거가 가능한 EEPROM, 또는, 고속으로 기록·소거·재생이 가능한, 이른바 RAM 등, 어느 메모리 형태라도 적용하는 것이 가능하다.

[0071] 또한, 본 실시의 형태의 기억 장치에서는, 메모리 셀(3)을 평면(2차원)으로 복수 배치한 구성으로 하였지만, 예를 들면 메모리 셀(3)를 다수 적층하여 3차원화하여도 좋다. 이에 의해, 보다 고밀도면서 대용량의 기억 장치(메모리)를 제공할 수 있다.

[0072] [2. 실시례]

[0073] 이하, 본 개시된 구체적인 실시례에 관해 설명한다.

[0074] [실험 1]

[0075] 우선, TiN으로 이루어지는 하부 전극(10)을 역스퍼터에 의해 클리닝한 후, TiN상에 SiO_2 막을 2nm의 막두께로 형성하여 고저항층(32)으로 한다. 다음에, OTS층(31)으로서 GeTe막을 40nm의 막두께로 형성한 후, W를 30nm의 막두께로 형성하여 상부 전극(20)으로 하였다. 계속해서, 포토 리소그래피나 드라이 에칭 등의 공정의 기술을 이용하여 소자 사이즈가 100nmΦ가 되도록 미세 가공을 행하여, 스위치 소자(1A)(샘플 1)를 제작하였다. 또한, 비교례로서, 고저항층(32)을 형성하지 않은 스위치 소자(100A)(샘플 2)를 제작하였다. 이들 샘플 1 및 샘플 2의 인가 전압과 각 전극에 흐르는 전류치와의 관계를 측정하고, 그 IV 특성을 도 12에 도시하였다.

[0076] 도 12로부터 알 수 있는 바와 같이, 본 실시의 형태인 샘플 1에서는, 샘플 2와 비교하여 임계치 전압이 증대하였다. 또한, 온-오프비도 샘플 1보다도 커졌다. 즉, 스위치 소자(1A)는 임계치 전압의 증가와 저항 변화비의 증대가 동시에 실현하고 있음을 알 수 있다.

[0077] 이것은, OTS층(31)에 접하도록 고저항층(32)을 형성함에 의한다고 생각된다. 구체적으로는, 어느 전압 이상의 전압을 인가함에 의해 고저항층(32)은 층 중에 전도 패스가 형성되고, 이에 의해 저저항화함과 함께, 스위치층(30)의 동작 영역이 규제된다. 그 후, 인가 전압이 임계치 전압에 달함에 의해, 스위치 소자(1A)에 큰 전류가 흐른다.

[0078] [실험 2]

[0079] 다음에, OTS층(31)으로서 40nm의 두께의 MgTeBO막을, 고저항층(32)으로서 2nm의 두께의 SiO_2 막을 형성하고, 스위치 소자(1A)(샘플 3)를 제작하였다. 마찬가지로, OTS층(31)으로서 40nm의 두께의 MgTeBO막을, 고저항층(32)으로서 5nm의 두께의 SiN막을 형성한 스위치 소자(1A)(샘플 4)를 제작하였다. 이 밖에, 비교를 위해 전극 사이에 MgTeBO막으로 이루어지는 OTS층(31)만을 형성(고저항층(32)은 미형성)한 스위치 소자(100)(샘플 5)를 제작하였다. 이들 샘플 3 내지 5의 IV 특성을 도 13a(샘플 3), 도 13b(샘플 4), 도 13c(샘플 5)에 도시하였다.

[0080] 도 13a 내지 도 13c로부터 알 수 있는 바와 같이, 스위치 소자(1A)(샘플 3, 4) 및 스위치 소자(100)(샘플 5)는, 고저항층(32)의 유무에 의하지 않고, 어느 임계치 전압을 경계로에 급격히 저항이 저하되어 전류가 증대한 오보닉 임계치 스위치가 보여진다. 도 14는, 도 13a 내지 도 13c에 도시한 샘플 3 내지 5의 정 바이어스의 인가 전압 증가 방향의 IV 곡선을 종합한 것이다. 샘플 3, 4를 고저항층(32)을 마련하지 않은 샘플 5와 비교하면, 샘플 3 및 샘플 4는 함께 오프 상태(전압 0)에서의 리크 전류가 저감(거의 0)되고, 또한 임계치 전압이 증대하고 있다. 즉, 본 개시된 스위치 소자(1A)는 기록 임계치 전압이 높은 기억 소자(예를 들면, 기억 소자(3Y))에 대항 가능한 양호한 특성을 가짐을 알 수 있다. 또한, 샘플 3과 샘플 4를 비교한 경우에는, SiO_2 를 이용한 샘플 3보다도 SiN을 이용한 샘플 4의 쪽이, 임계치 전압이 높고 리크 전류가 작았다. 이것은, SiO_2 및 SiN의 막두께나 성막 조건에 의해 적절히 제어할 수 있다.

[0081] 이와 같이, 고저항층(32)에 이용하는 재료로서는 산화물이라도 질화물이라도 상관없다. 또한, 본 실시례에서는 나타내고 있지 않지만, 고저항층(32)의 재료는 Si의 산화물 및 질화물 이외에도, Al, Ga, Mg, Hf, 희토류 원소 등의 산화물이나 질화물 또는 산질화물을 사용하여도 같은 효과를 얻을 수 있다.

[0082] [실험 3]

[0083] 다음에, 샘플 3을 이용하여 최대 인가 전압을 6V 일정하게 하고, 스위치 소자(1A)에 직렬로 접속되어 있는 저항

치를 변화($5\text{k}\Omega$, $12.5\text{k}\Omega$, $50\text{k}\Omega$)시킴에 의해 최대 전류치를 변화시켰다. 도 15는 각 저항치에서의 정바이어스의 IV 곡선을 도시한 것이다. 스위치 소자(1A)에 흐르는 최대 전류치가 변화함에 의해, 리크 전류와 임계치 전압이 변화함을 알았다. 다음에, 이들의 측정에서 구한 샘플 3에 흘리는 최대 전류와 리크 전류와의 관계 및 최대 전류와 임계치 전압과의 관계를 도 16a, 도 16b에 도시하였다. 또한, 리크 전류의 정의(定義)는 정바이어스 0.5V의 전류로 하였다.

[0084] 도 16a 및 도 16b로부터, 본 실시의 형태의 스위치 소자(1A)에서는, 어느 정도의 최대 전류를 흘리는지에 의해 오프 상태의 리크 전류와 임계치 전압을 제어할 수 있음을 알 수 있었다. 즉, 초회 전압 인가시에 소정의 조건을 이용한 포밍을 행함으로써 스위치 소자의 특성을 제어 가능해진다.

[0085] 이상의 것으로부터, 본 실시의 형태의 스위치 소자(1A)는, 칼코게나이드에 의해 구성되는 OTS층(31)에 일정한 전압으로 저항 변화하는 고저항층(32)을 적층함에 의해 저항 변화비를 저하시키는 일 없이, 임계치 전압을 증대시키는 것이 가능함을 알았다.

[0086] 또한, 상기 실시의 형태 및 실시례에 기재된 효과는 반드시 한정되는 것이 아니고, 본 개시 중에 기재된 어느 하나의 효과라도 좋다.

[0087] 또한, 본 기술은 이하와 같은 구성도 취할 수 있다.

[0088] (1) 제1 전극,

[0089] 상기 제1 전극에 대향 배치된 제2 전극 및

[0090] 상기 제1 전극과 상기 제2전극과의 사이에 마련된 스위치층을 포함하고,

[0091] 상기 스위치층은,

[0092] 칼코겐 원소를 포함하는 제1층과,

[0093] 고저항 재료를 포함하는 제2층을 포함하는 스위치 소자.

[0094] (2) 상기 제2층은 상기 제1층의 적어도 한쪽의 면에 접하여 마련되어 있는 상기 (1)에 기재된 스위치 소자.

[0095] (3) 상기 제1층은 산소(O), 유황(S), 셀렌(Se) 및 텔루르(Te) 중 적어도 하나를 포함하고 있는 상기 (1) 또는 (2)에 기재된 스위치 소자.

[0096] (4) 상기 제1층은 또한, 게르마늄(Ge), 안티몬(Sb), 규소(Si) 및 비소중(As) 중 적어도 하나를 포함하고 있는 상기 (3)에 기재된 스위치 소자.

[0097] (5) 상기 제2층은 금속 원소의 산화물, 금속 원소의 질화물, 비금속 원소의 산화물 및 비금속 원소의 질화물 중 어느 하나를 포함하는 상기 (1) 내지(4) 중의 어느 하나에 기재된 스위치 소자.

[0098] (6) 상기 금속 원소는 알루미늄(Al), 갈륨(Ga), 마그네슘(Mg), 규소(Si), 하프늄(Hf) 및 희토류 원소 중 적어도 하나인 상기 (5)에 기재된 스위치 소자.

[0099] (7) 상기 제1층은, 인가 전압을 소정의 임계치 전압 이상으로 함에 의해 저저항 상태로 변화하고, 상기 인가 전압을 상기 임계치 전압 이하로 감소시킴에 의해 고저항 상태로 변화하는 상기 (1) 내지 (6) 중의 어느 하나에 기재된 스위치 소자.

[0100] (8) 상기 제2층은 층 내에 전도 패스를 포함하는 상기 (1) 내지 (7) 중의 어느 하나에 기재된 스위치 소자.

[0101] (9) 상기 제2층의 저항치는 상기 제1층의 저항치 보다도 높은 상기 (8)에 기재된 스위치 소자.

[0102] (10) 기억 소자 및 상기 기억 소자에 직접 접속된 스위치 소자를 포함하는 메모리 셀을 복수 포함하고,

[0103] 상기 스위치 소자는,

[0104] 제1 전극,

[0105] 상기 제1 전극에 대향 배치된 제2 전극 및

[0106] 상기 제1 전극과 상기 제2 전극과의 사이에 마련된 스위치층을 포함하고,

[0107] 상기 스위치층은,

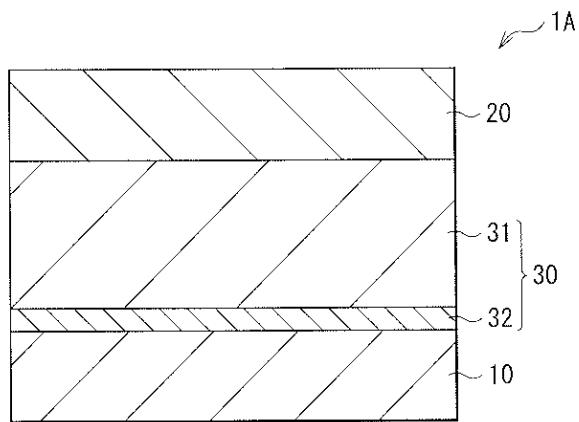
- [0108] 칼코겐 원소를 포함하는 제1층과,
- [0109] 고저항 재료를 포함하는 제2층을 구비하는 기억 장치.
- [0110] (11) 상기 기억 소자는 상기 스위치 소자의 상기 제1 전극 및 상기 제2 전극 사이에 기억층을 갖는 상기 (10)에 기재된 기억 장치.
- [0111] (12) 상기 기억층은 텔루르(Te), 유황(S) 및 셀렌(Se)으로부터 선택되는 적어도 하나의 칼코겐 원소를 포함하는 이온원층과, 저항 변화층을 포함하는 상기 (11)에 기재된 기억 장치.
- [0112] (13) 상기 기억층 및 상기 스위치층은 상기 제1 전극과 상기 제2 전극과의 사이에 제3 전극을 통하여 적층되어 있는 상기 (11) 또는 (12)에 기재된 기억 장치.
- [0113] (14) 상기 기억층 및 상기 스위치층은 상기 제2층을 통하여 적층되어 있는 상기 (12) 또는 (13)에 기재된 기억 장치.
- [0114] (15) 상기 기억층 및 상기 스위치층은 상기 저항 변화층을 통하여 적층되어 있는 상기 (12) 내지 (14)의 어느 하나에 기재된 기억 장치.
- [0115] (16) 상기 스위치층의 상기 제2층은 상기 기억층의 상기 저항 변화층을 겹하고 있는 상기 (12) 내지 (15)의 어느 하나에 기재된 기억 장치.
- [0116] (17) 복수의 행 라인 및
- [0117] 복수의 열 라인을 더 포함하고,
- [0118] 상기 복수의 행 라인과 상기 복수의 열 라인과의 각 교차 영역 부근에 상기 메모리 셀이 배치되어 있는 상기 (10) 내지 (16)의 어느 하나에 기재된 기억 장치.
- [0119] (18) 상기 기억층은, 천이금속 산화물로 이루어지는 저항 변화층, 상 변화형 메모리층 및 자기 저항 변화형 메모리층 중 어느 하나인 상기 (11) 내지 (17)의 어느 하나에 기재된 기억 장치.
- [0120] (19) 상기 스위치 소자는, 오보닉 임계치 스위치 소자인 상기 (10) 내지 (18)의 어느 하나에 기재된 기억 장치.
- [0121] (20) 상기 기억 소자는, 기록 임계치 전압이 1.5V 이상인 상기 (10) 내지 (19)의 어느 하나에 기재된 기억 장치.
- [0122] 당업자에 의하여 첨부된 청구항 및 균등물의 범위 안에서 다양한 수정, 조합, 하위 조합 및 변경이 설계 요구 및 다른 요인에 따라 발생할 수 있음을 이해하여야 한다.

부호의 설명

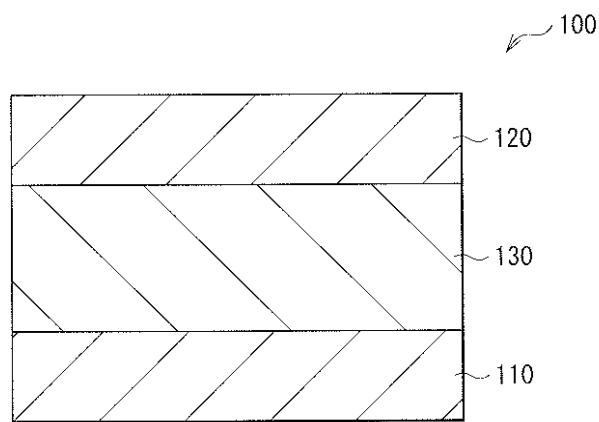
- [0123] 1, 1A 내지 1C, 3X : 스위치 소자
- 2 : 메모리 셀 어레이
- 3 : 메모리 셀
- 3Y : 기억 소자
- 10 : 하부 전극
- 20 : 상부 전극
- 30 : 스위치층
- 31 : OTS층
- 32 : 고저항층
- 40 : 기억층
- 41 : 이온원층
- 42 : 저항 변화층

도면

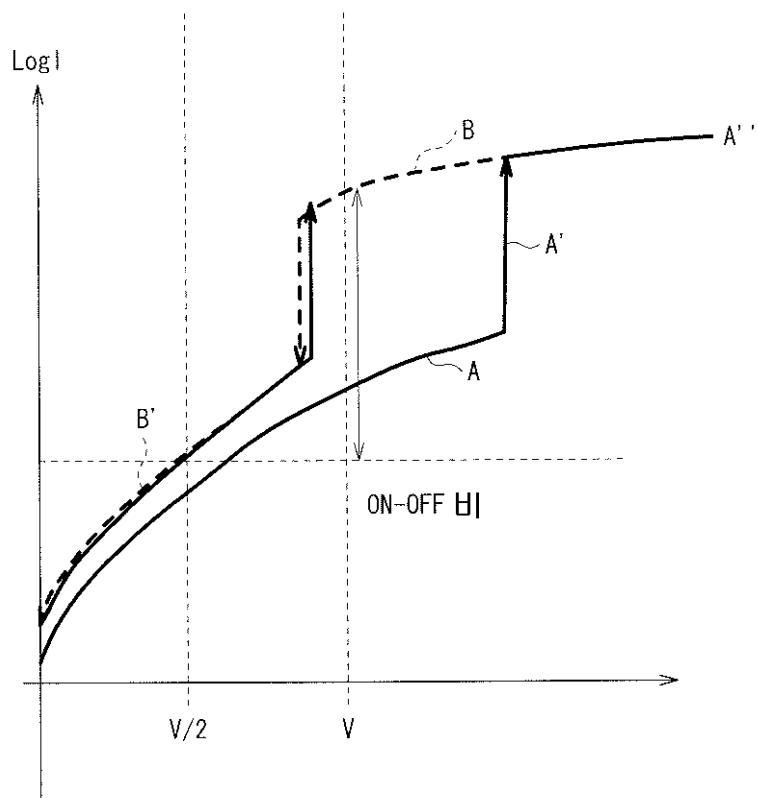
도면1



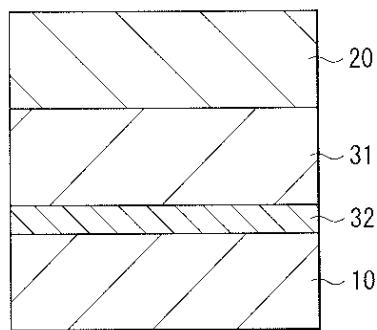
도면2



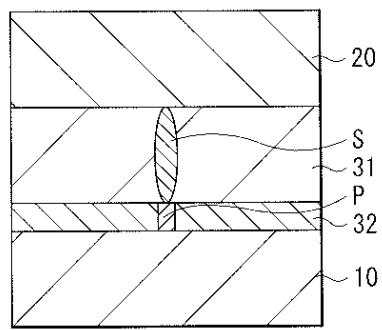
도면3



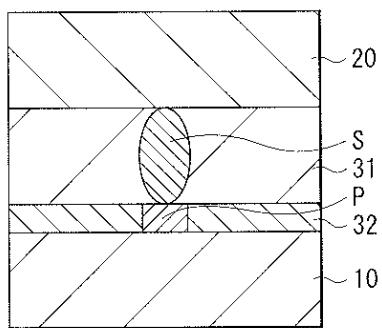
도면4a



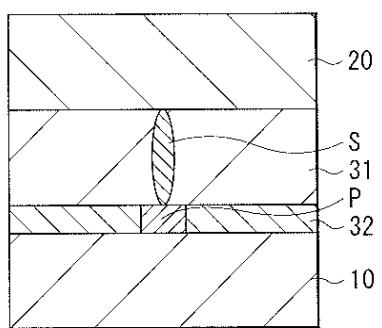
도면4b



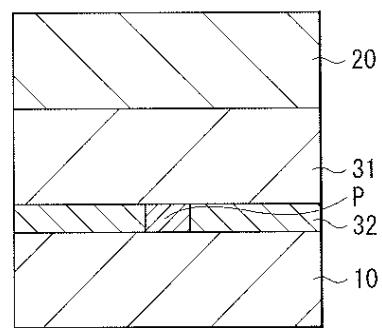
도면4c



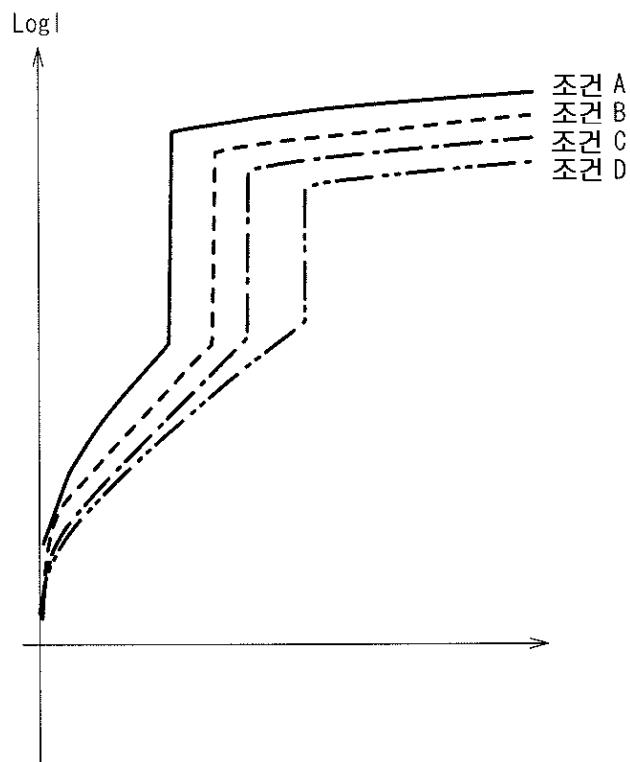
도면4d



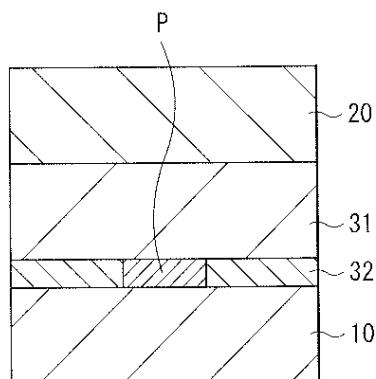
도면4e



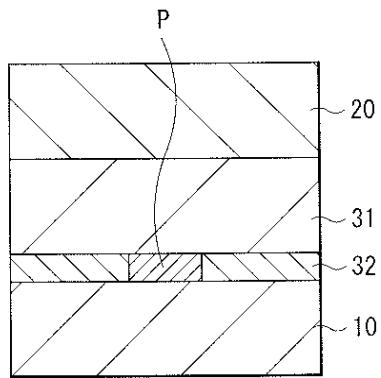
도면5



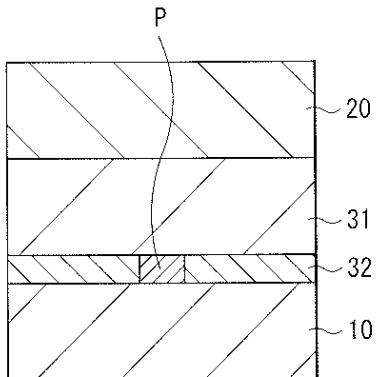
도면6a



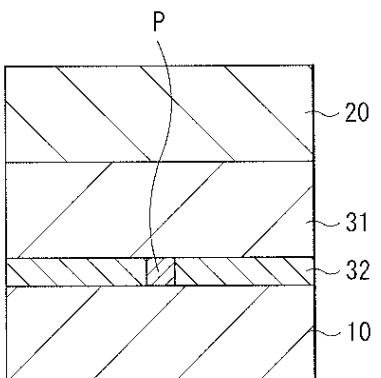
도면6b



도면6c



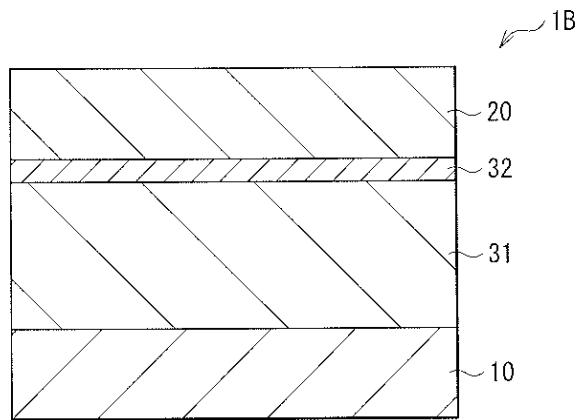
도면6d



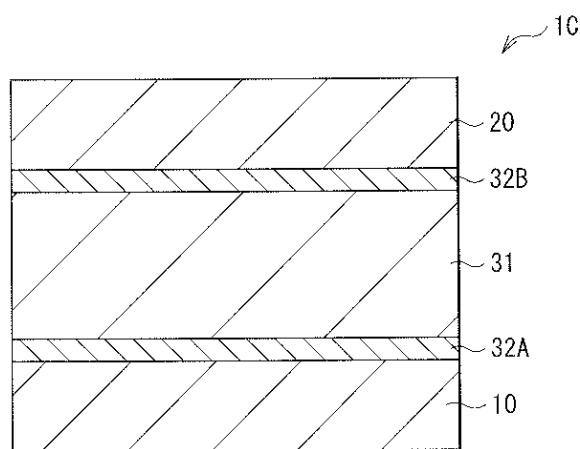
도면7

삭제

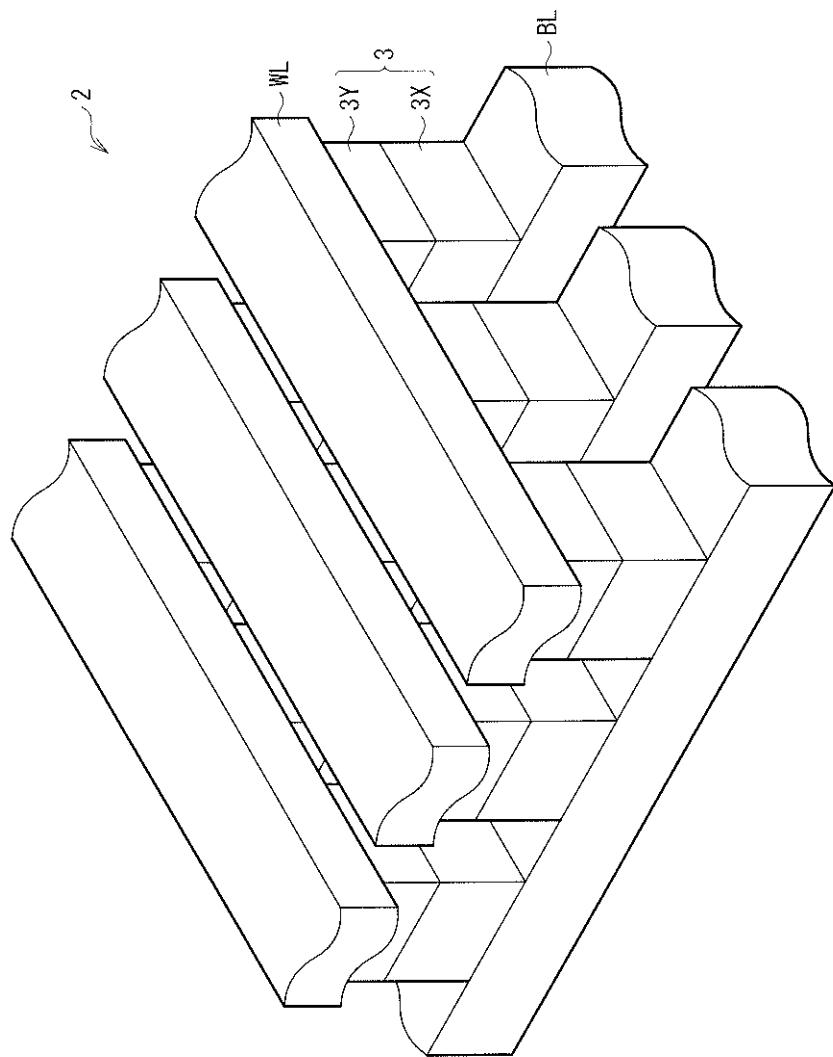
도면7a



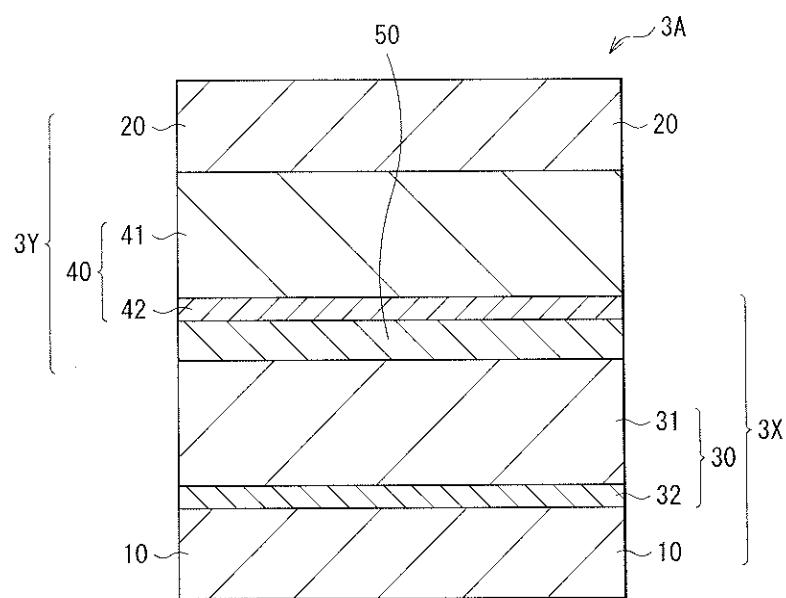
도면7b



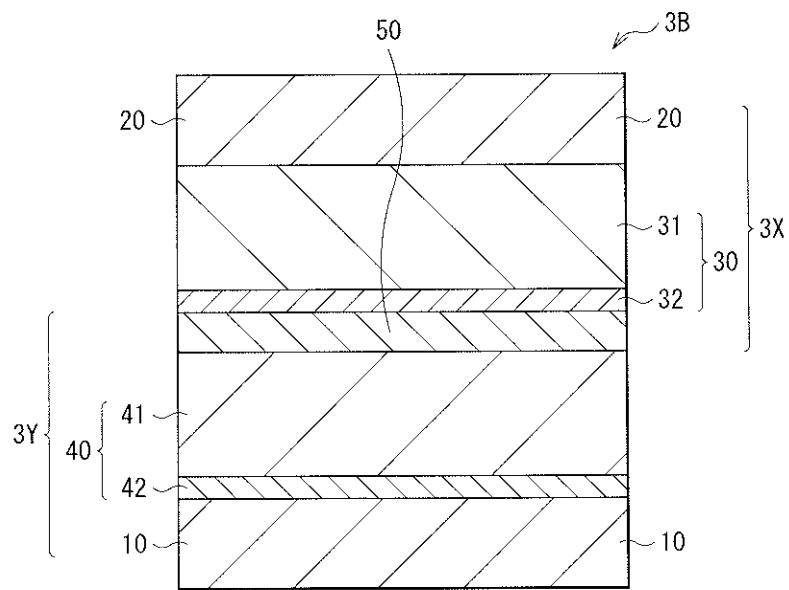
도면8



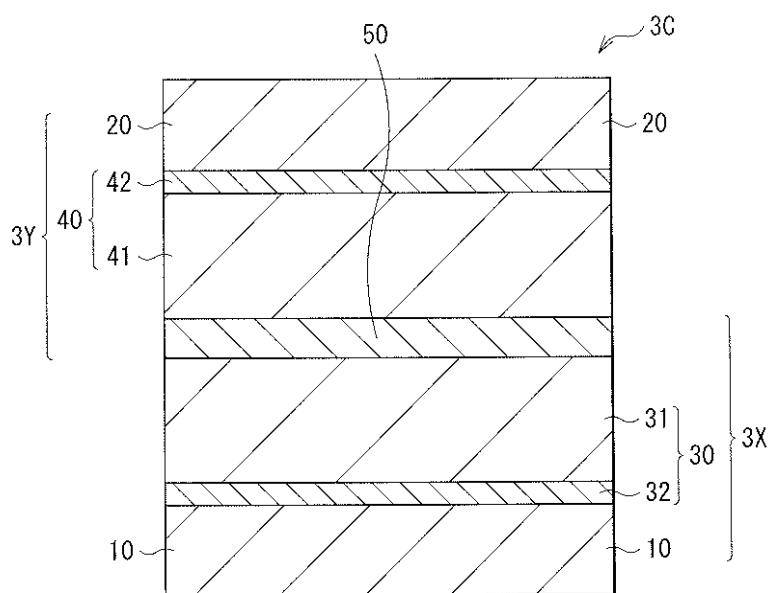
도면9a



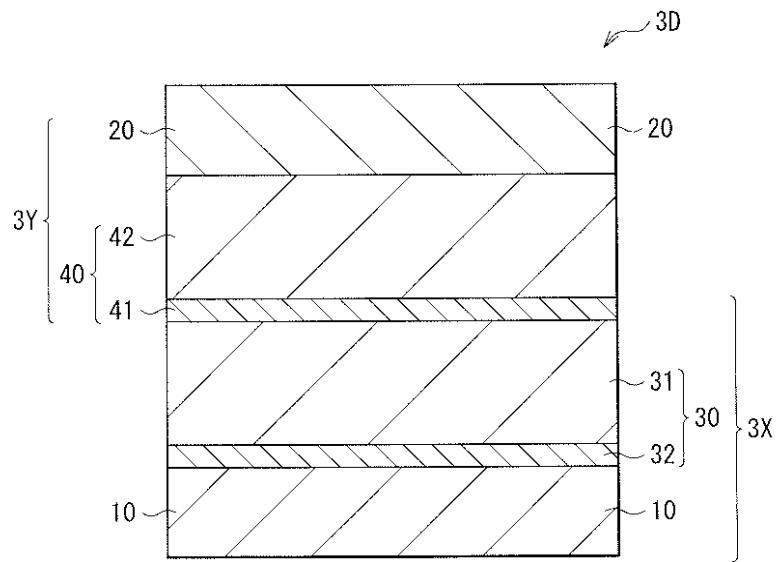
도면9b



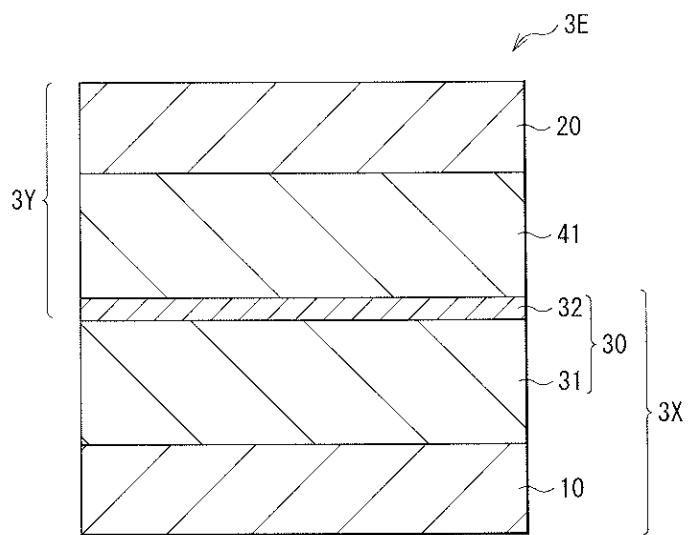
도면9c



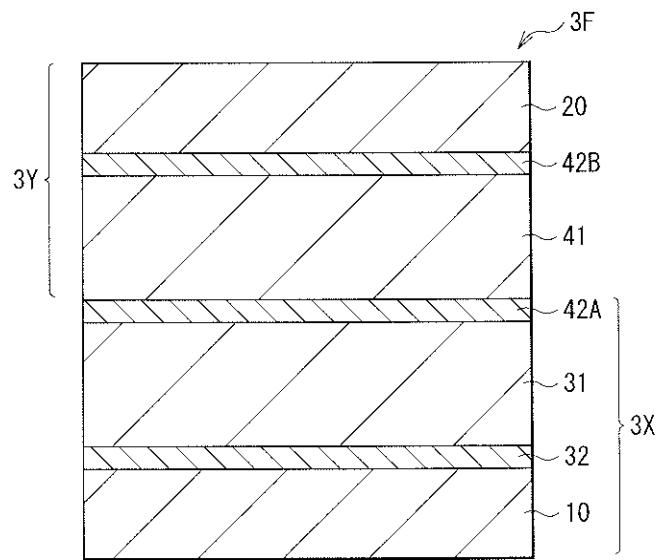
도면 10a



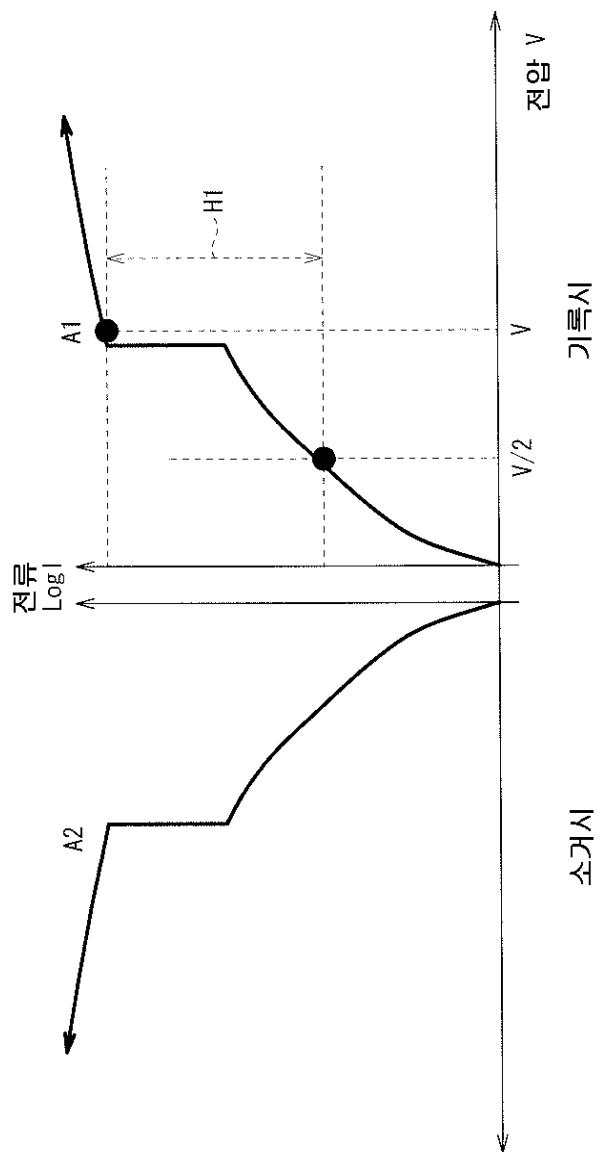
도면 10b



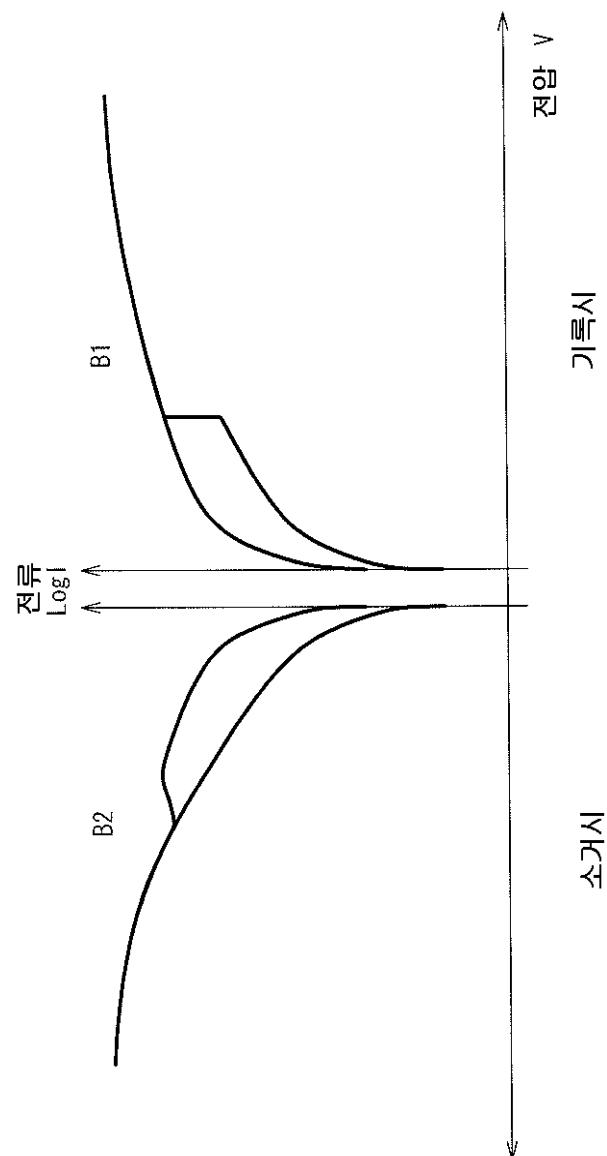
도면 10c



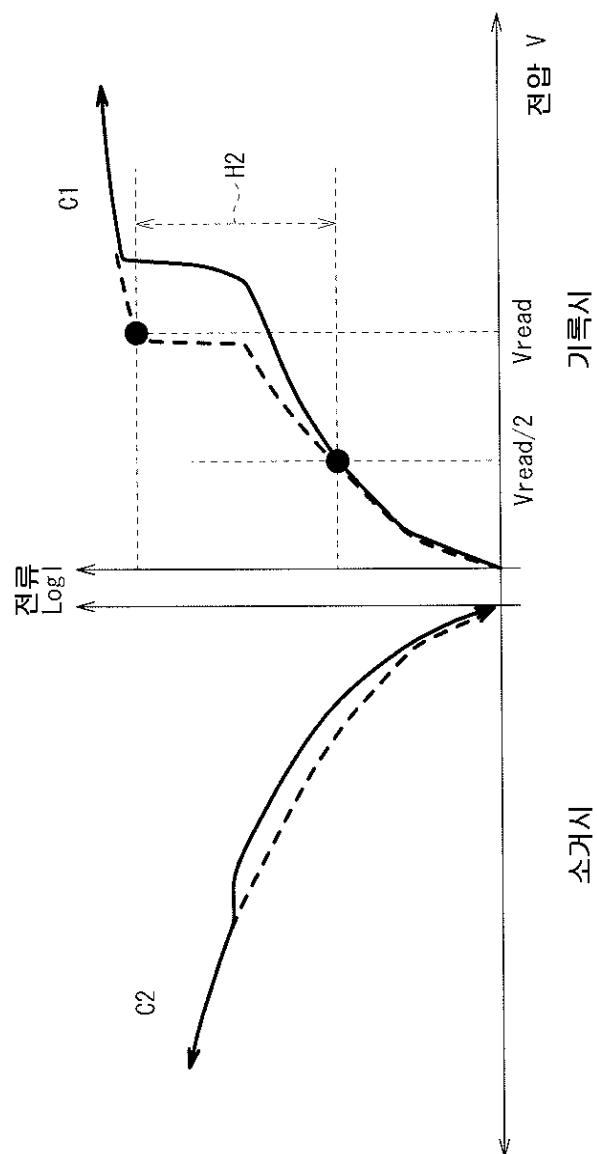
도면11a



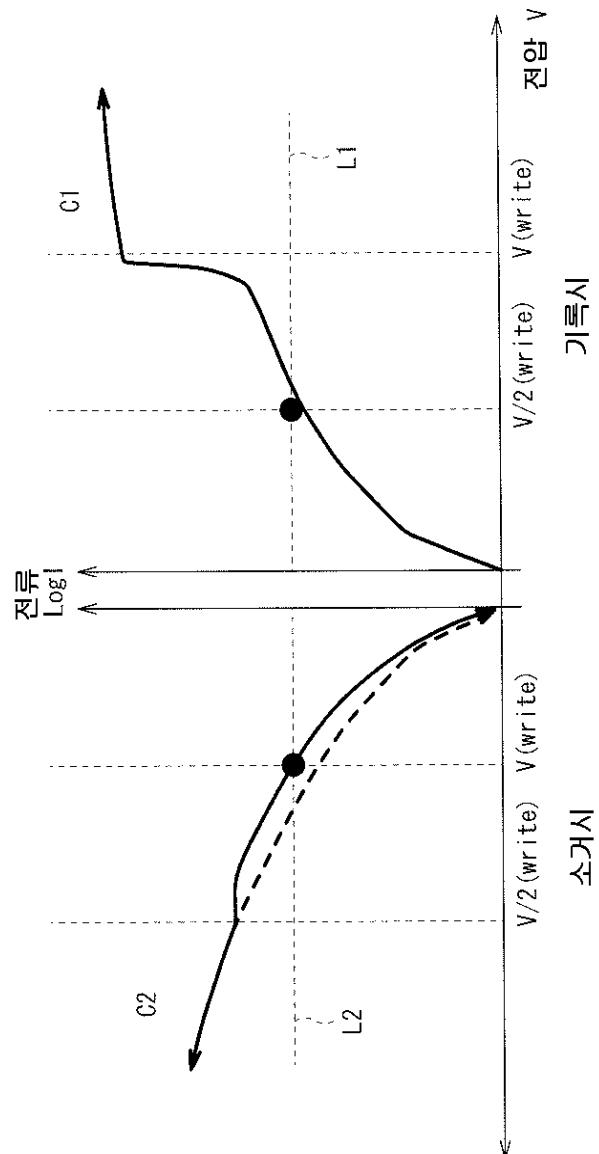
도면 11b



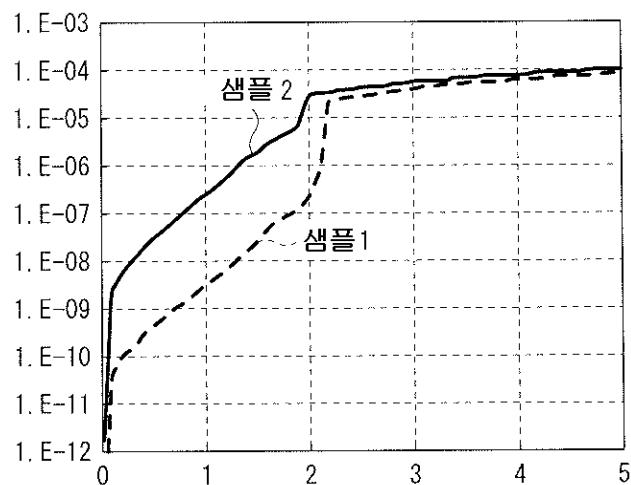
도면 11c



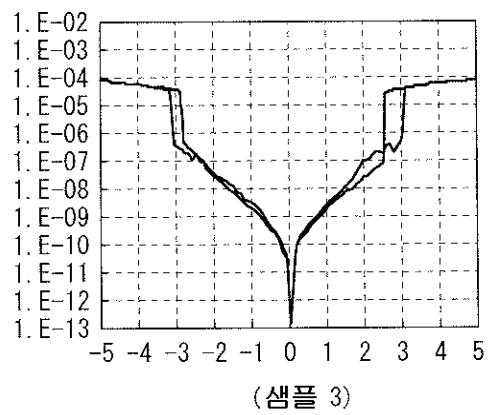
도면 11d



도면12

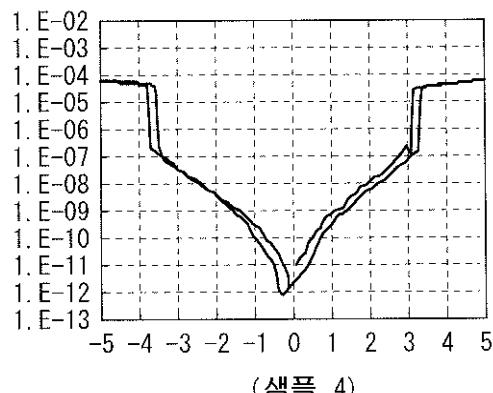


도면13a



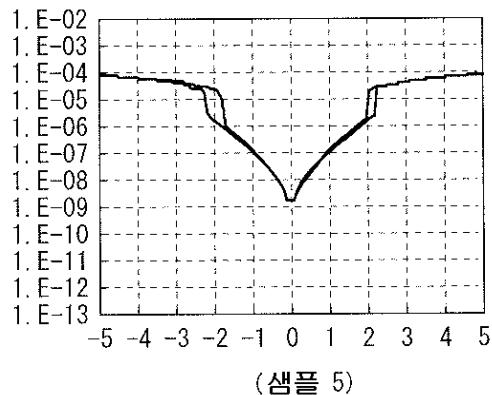
(샘플 3)

도면13b

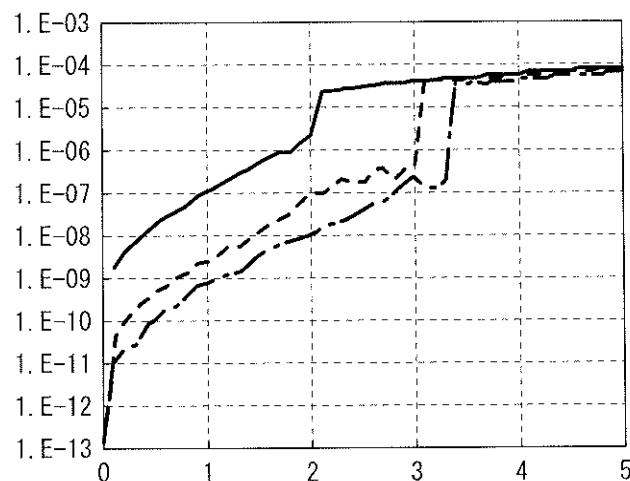


(샘플 4)

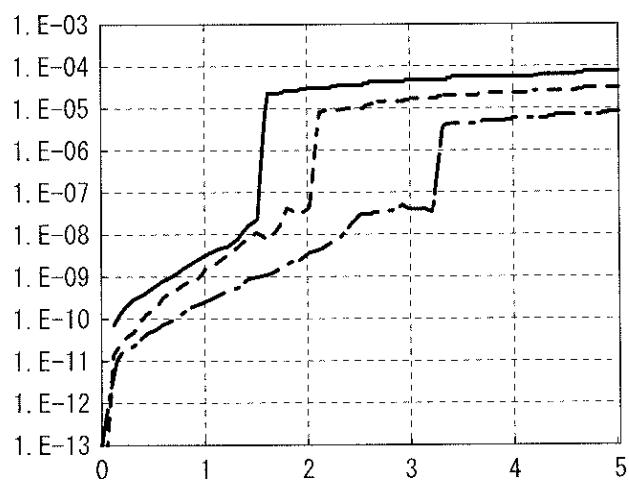
도면13c



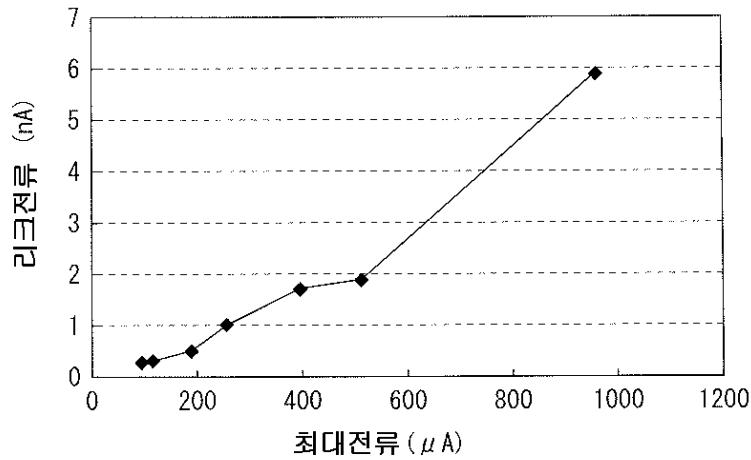
도면14



도면15



도면 16a



도면 16b

