

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 17 年 9 月 29 日 (2005.9.29)

【公開番号】特開 2005-202986 (P2005-202986A)
 【公開日】平成 17 年 7 月 28 日 (2005.7.28)
 【年通号数】公開・登録公報 2005-029
 【出願番号】特願 2005-103792 (P2005-103792)
 【国際特許分類第 7 版】

G 0 6 F 12/08

【F I】

G 0 6 F 12/08 5 5 3 B

G 0 6 F 12/08 5 0 3 Z

G 0 6 F 12/08 5 0 7 Z

G 0 6 F 12/08 5 0 9 Z

G 0 6 F 12/08 5 4 1 Z

G 0 6 F 12/08 5 7 3

【手続補正書】

【提出日】平成 17 年 8 月 2 日 (2005.8.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

外部メモリから論理ユニットまで階層化された記憶項目を提供するキャッシュメモリ装置であって：

記憶容量が固定である一次キャッシュと；

上記階層化された記憶項目の列及びキャッシュタグの列を含む単一キャッシュアレイを 1 以上有する二次キャッシュであって、キャッシュタグ及び記憶項目を含むキャッシュエントリーの各々はキャッシュタグで識別され、上記単一キャッシュアレイの数を決定することにより記憶容量を変えることが可能であり、第二アドレス信号に応答し少なくとも一つの上記キャッシュエントリーの内容を読み出す二次キャッシュと；

上記キャッシュタグと比較するための第一アドレス信号と、上記複数のキャッシュエントリーから一つの上記キャッシュエントリーを選択するための第二アドレス信号と、上記一つの上記キャッシュエントリー内の一部を選択するための第三アドレス信号を発生し、上記キャッシュタグを上記第一アドレス信号と比較する手段を有する論理回路と；

上記単一キャッシュアレイと上記論理回路を相互接続し、上記第二アドレス信号を上記単一キャッシュアレイに伝達するアドレスバスと；

上記単一キャッシュアレイと上記論理回路を相互接続し、上記単一キャッシュアレイと上記論理回路の間で上記キャッシュタグと上記記憶項目とを伝達するデータバスとからなるキャッシュメモリ装置。

【請求項 2】

上記各キャッシュエントリーは、少なくとも一つの上記キャッシュエントリーのパリティエラーを示すパリティ標識を格納するパリティ標識部を更に有し；上記データバスは、上記単一キャッシュアレイと上記論理回路の間で上記パリティ標識を伝達するパリティバスを更に有し；上記論理回路は、パリティエラーが発生したかどうかを判定するため上記パリティ標識を検査する手段と、上記パリティエラーに応じて上記記憶項目を取り消す手

段とを更に有する請求項 1 記載のキャッシュメモリ装置。

【請求項 3】

上記単一キャッシュアレイは連続的なキャッシュエントリーの系列の内容を送出し、上記論理回路は、キャッシュミスに应答し、キャッシュミスの検出後に受信済みのデータを取り消すことを特徴とする請求項 1 記載のキャッシュメモリ装置。

【請求項 4】

上記論理回路は、上記単一キャッシュアレイが上記連続的なキャッシュエントリーの系列の内容を読み出すべきであることを示すため、進行信号を上記単一キャッシュアレイに供給し、上記単一キャッシュアレイは、上記進行信号の欠落に应答し、上記系列の内容の読み出しを終了させる手段を更に有する請求項 1 記載のキャッシュメモリ装置。

【請求項 5】

上記論理回路は、上記第二アドレス信号が上記アドレスバス上でアサートされたこと、及び、上記単一キャッシュアレイは第 1 のキャッシュエントリーの内容を送出すべきであることを示すストロブ信号を発生する手段と、進行信号がアサートされている間に上記単一キャッシュアレイが上記連続的なキャッシュエントリーの内容を順次に出すべきであることを示す進行信号を発生する手段とを更に有し；上記単一キャッシュアレイと上記論理回路を相互接続し、上記ストロブ信号と上記進行信号を上記単一キャッシュアレイに伝達する少なくとも一つの制御線を更に有する請求項 1 記載のキャッシュメモリ装置。

【請求項 6】

上記キャッシュエントリーは、連続的なキャッシュエントリーの系列からなる複数のキャッシュラインに分類され、上記単一キャッシュアレイは上記キャッシュラインの内容を上記データバスを介して順次に出させる手段を更に有する請求項 1 記載のキャッシュメモリ装置。

【請求項 7】

上記各キャッシュラインが、複数の同一キャッシュタグによって識別され、上記同一キャッシュタグは、同一のキャッシュラインに含まれる複数のキャッシュエントリーに格納され、上記比較する手段は、キャッシュラインの上記同一キャッシュタグを利用して、第 1 の同一キャッシュタグと上記第一アドレス信号が一致するか否かを判別し、キャッシュヒット又はキャッシュミスを初期に検出する手段を更に有する請求項 6 記載のキャッシュメモリ装置。

【請求項 8】

上記各キャッシュエントリーは有効性標識を有し、上記論理回路は、上記有効性標識がクリアされているかどうかを判定するため上記キャッシュエントリーの有効性標識を検査し、これにより上記キャッシュエントリーは無効な記憶項目を含むことを示す手段と、クリアされた有効性標識に応じて上記単一キャッシュアレイと上記論理回路の間で伝達された記憶項目を取り消す手段とを更に有する請求項 1 記載のキャッシュメモリ装置。

【請求項 9】

上記各キャッシュエントリーはパリティ標識を有し、上記論理回路は、パリティエラーが発生したかどうかを判定するため対応するキャッシュエントリーの上記パリティ標識を検査する手段と、上記対応するキャッシュラインを抹消する手段とを更に有する請求項 1 記載のキャッシュメモリ装置。

【請求項 10】

階層化された記憶項目を格納する列と上記階層化された記憶項目を識別するキャッシュタグを格納する列とからなる単一キャッシュアレイ構造を有するキャッシュメモリ装置を使用する方法であって：

実行ユニットからのメモリ要求に応じて論理回路を用いて、上記キャッシュタグと比較するための第一アドレス信号と、複数のキャッシュエントリーから 1 つのキャッシュエントリーを選択するための第二アドレス信号と、上記 1 つのキャッシュエントリー内の一部を選択するための第三アドレス信号を発生し、上記論理回路と上記単一キャッシュアレイ構造を相互接続するアドレスバス上で上記第二アドレス信号をアサートする段階と；

上記単一キャッシュアレイ構造内にある複数の上記階層化された記憶項目とキャッシュラインに対応する一つのキャッシュタグとからなるキャッシュラインを、上記第二アドレス信号に応じて選択する段階と；

上記複数の階層化された記憶項目の各々と、上記対応するキャッシュタグを、上記論理回路と上記単一キャッシュアレイ構造を相互接続するデータバスに沿って上記論理回路に順次を送る段階と；

上記キャッシュタグと上記第一アドレス信号の一致を示す初期キャッシュヒット、又は、上記キャッシュタグと上記第一アドレス信号の不一致を示す初期キャッシュミスを検出する段階とからなる方法。

【請求項 11】

上記キャッシュエントリは、有効性標識を有し、上記有効性標識がクリアされているかどうかを判定するため上記キャッシュエントリの有効性標識を検査する段階を更に有する請求項 10 記載の方法。

【請求項 12】

上記キャッシュエントリの有効性標識に応じて伝達された記憶項目を取り消す段階を有する請求項 11 記載の方法。

【請求項 13】

階層化された記憶項目を格納する列と上記階層化された記憶項目を識別するキャッシュタグを格納する列とからなる単一キャッシュアレイ構造を有するキャッシュメモリ装置であって；

実行ユニットからのメモリ要求に応じて論理回路を用いて、上記キャッシュタグと比較するための第一アドレス信号と、複数のキャッシュエントリから 1 つのキャッシュエントリを選択するための第二アドレス信号と、上記 1 つのキャッシュエントリ内の一部を選択するための第三アドレス信号を発生する手段、及び、上記論理回路と上記単一キャッシュアレイ構造を相互接続するアドレスバスに沿って上記第二アドレス信号をアサートする手段と；

上記単一キャッシュアレイ構造内にある複数の上記階層化された記憶項目とキャッシュラインに対応する一つのキャッシュタグとからなるキャッシュラインを、上記第二アドレス信号に応じて選択する手段と；

上記複数の階層化された記憶項目の各々と、上記対応するキャッシュタグを、上記論理回路と上記単一キャッシュアレイ構造を相互接続するデータバスに沿って上記論理回路に順次を送る手段と；

上記キャッシュタグと上記第一アドレス信号の一致を示す初期キャッシュヒット、又は、上記キャッシュタグと上記第一アドレス信号の不一致を示す初期キャッシュミスを検出する手段とからなるキャッシュメモリ装置。

【請求項 14】

上記各キャッシュエントリは有効性標識を有し、上記論理回路は、上記有効性標識がクリアされているかどうかを判定するため上記キャッシュエントリの有効性標識を検査し、これにより上記キャッシュエントリは無効な記憶項目を含むことを示す手段と、クリアされた有効性標識に応じて上記単一キャッシュアレイと上記論理回路の間で伝達された記憶項目を取り消す手段とを更に有する請求項 13 記載のキャッシュメモリ装置。

【請求項 15】

固定記憶容量の一次キャッシュメモリと、単一メモリアレイの数を決定することにより記憶容量を変更可能な二次キャッシュメモリとを使用する方法であって、該単一メモリアレイは、外部メモリから該二次キャッシュメモリまで階層化された記憶項目を格納する列と、該階層化された記憶項目を識別するキャッシュタグを格納する列とを有し、当該方法は；

上記キャッシュタグと比較するための第一アドレス信号と、上記複数のキャッシュエントリから 1 つのキャッシュエントリを選択するための第二アドレス信号と、上記 1 つのキャッシュエントリ内の一部を選択するための第三アドレス信号を発生する段階と、

上記二次キャッシュメモリを相互接続するアドレスバスに沿って上記第二アドレス信号をアサートする段階と；

上記階層化された記憶項目と上記キャッシュタグとからなるキャッシュエントリーを、上記第二アドレス信号に応じて選択する段階と；

上記複数の階層化された記憶項目と、上記対応するキャッシュタグを、データバスに沿って順次送る段階と；

上記キャッシュタグと上記第一アドレス信号の一致を示す初期キャッシュヒット、又は、上記キャッシュタグと上記第一アドレス信号の不一致を示す初期キャッシュミスを検出する段階とからなる方法。

【請求項 16】

上記キャッシュエントリーは、有効性標識を有し、上記有効性標識がクリアされているかどうかを判定するため上記キャッシュエントリーの有効性標識を検査する段階を更に有する請求項 15 記載の方法。

【請求項 17】

上記キャッシュエントリーの有効性標識に応じて伝達された記憶項目を取り消す段階を有する請求項 16 記載の方法。