

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年10月17日(2019.10.17)

【公表番号】特表2019-525472(P2019-525472A)

【公表日】令和1年9月5日(2019.9.5)

【年通号数】公開・登録公報2019-036

【出願番号】特願2019-504126(P2019-504126)

【国際特許分類】

H 01 L 25/00 (2006.01)

【F I】

H 01 L 25/00 A

【手続補正書】

【提出日】令和1年8月9日(2019.8.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

システムであって、

複数の導電トレースを用いたバスを有するプリント回路基板と、

前記プリント回路基板に結合され、前記複数の導電トレースと電気的に通信している処理デバイスと、

前記複数の導電トレースと電気的に通信しており、前記導電トレースのチャンネルを共有している第1のメモリモジュールおよび第2のメモリモジュールと、ここにおいて、前記第1のメモリモジュールは、前記第2のメモリモジュールに比べ、前記処理デバイスに物理的により近接している。

前記第1のメモリモジュールと前記第2のメモリモジュールとの間のエリアに物理的に配置されており、前記処理デバイスから前記第1のメモリモジュールおよび前記第2のメモリモジュールへと前記バス上で送信された信号に影響を与えるように構成された電子バンドギャップ(E BG)構造と、

を備える、システム。

【請求項2】

前記第1のメモリモジュールが第1のデュアルインラインメモリモジュール(DIMM)を備え、前記第2のメモリモジュールが第2のDIMMを備える、請求項1に記載のシステム。

【請求項3】

前記バスが、マルチドロップバスとして構成される、請求項1に記載のシステム。

【請求項4】

前記プリント回路基板が、第1のグランドプレーンおよび第2のグランドプレーンを含み、さらに、ここにおいて、前記複数の導電トレースが、前記第1のグランドプレーンと前記第2のグランドプレーンとの間に配列される、請求項1に記載のシステム。

【請求項5】

前記E BG構造が、前記第1のグランドプレーンにおける複数の長方形スロットを含む、請求項4に記載のシステム。

【請求項6】

前記E BG構造が、前記第1のグランドプレーンにおける複数の正弦波形のスロットを

含む、請求項 4 に記載のシステム。

【請求項 7】

前記 EBG 構造が、前記導電トレースの変化のある幅のセクションを含む、請求項 1 に記載のシステム。

【請求項 8】

前記 EBG 構造が、前記第 1 のメモリモジュールおよび前記第 2 のメモリモジュールの下部のエリアに物理的に配置される、請求項 1 に記載のシステム。

【請求項 9】

前記 EBG 構造が、前記プリント回路基板の種々の誘電体媒体を備える、請求項 1 に記載のシステム。

【請求項 10】

システムであって、

第 1 の層上に配置されたバスと、第 2 の層上に配置された第 1 のグランドプレーンとを有するプリント回路基板と、

セントラルプロセシングユニット (CPU) を有しており、前記プリント回路基板に結合されかつ前記バスに結合された処理デバイスと、

前記プリント回路基板上に配置されかつ前記バスに結合されており、信号を前記 CPU と通信するための前記バスの導電トレースのチャンネルを共有するように構成された、第 1 のデュアルインラインメモリモジュール (DIMM) および第 2 の DIMM と、ここにおいて、前記第 1 の DIMM は、前記第 2 の DIMM に比べ、前記処理デバイスに物理的により近接している、

前記第 2 の DIMM に比べ、前記 CPU により近接している前記プリント回路基板上に配置され、前記第 2 の DIMM において生じた前記バス上の信号反射に影響を与えるように構成された、電子バンドギャップ (EBG) 構造と、

を備える、システム。

【請求項 11】

前記バスが、マルチドロップバスとして構成される、請求項 10 に記載のシステム。

【請求項 12】

前記プリント回路基板が、第 3 の層上に配置された第 2 のグランドプレーンを含み、さらに、ここにおいて、前記導電トレースが、前記第 1 のグランドプレーンと前記第 2 のグランドプレーンとの間に配列される、請求項 10 に記載のシステム。

【請求項 13】

前記 EBG 構造が、前記第 1 のグランドプレーンにおける複数の長方形スロットを含む、請求項 12 に記載のシステム。

【請求項 14】

前記 EBG 構造が、前記第 1 のグランドプレーンにおける複数の正弦波形のスロットを含む、請求項 12 に記載のシステム。

【請求項 15】

前記 EBG 構造が、前記導電トレースの変化のある幅のセクションを含む、請求項 10 に記載のシステム。

【請求項 16】

前記 EBG 構造が、前記第 1 の DIMM および前記第 2 の DIMM の下部の前記プリント回路基板の層に物理的に配置される、請求項 10 に記載のシステム。

【請求項 17】

前記 EBG 構造が、前記プリント回路基板の種々の誘電体媒体を備える、請求項 10 に記載のシステム。

【請求項 18】

システムであって、

第 1 の層上に配置されたバスと、第 2 の層上に配置されたグランドプレーンとを有するプリント回路基板と、

前記プリント回路基板上に配置されかつ前記バスに結合されたマルチコアシステムオンチップ（S O C）と、

前記プリント回路基板上に配置されかつ前記バスに結合されており、信号を前記S O Cと通信するための前記バスの導電トレースのチャンネルを共有するように構成された、第1のデュアルインラインメモリモジュール（D I M M）および第2のD I M Mと、ここにおいて、前記第1のD I M Mは、前記第2のD I M Mに比べ、前記S O Cに物理的により近接している、

前記プリント回路基板の層内に配置されており、かつ前記第1のD I M Mと前記第2のD I M Mとの間のエリアの下にある、電子バンドギャップ（E B G）構造と、  
を備える、システム。

**【請求項19】**

前記E B G構造が、前記グランドプレーン中に複数のスロットを含む、請求項18に記載のシステム。

**【請求項20】**

前記E B G構造が、前記導電トレースの変化のある幅のセクションを含む、請求項18に記載のシステム。