

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】令和 1 年 10 月 17 日 (2019.10.17)

【公表番号】特表 2019-525472 (P2019-525472A)
【公表日】令和 1 年 9 月 5 日 (2019.9.5)
【年通号数】公開・登録公報 2019-036
【出願番号】特願 2019-504126 (P2019-504126)
【国際特許分類】

H 0 1 L 25/00 (2006.01)

【F I】

H 0 1 L 25/00 A

【手続補正書】

【提出日】令和 1 年 8 月 9 日 (2019.8.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

システムであって、

複数の導電トレースを用いたバスを有するプリント回路基板と、

前記プリント回路基板に結合され、前記複数の導電トレースと電気的に通信している処理デバイスと、

前記複数の導電トレースと電気的に通信しており、前記導電トレースのチャンネルを共有している第 1 のメモリモジュールおよび第 2 のメモリモジュールと、ここにおいて、前記第 1 のメモリモジュールは、前記第 2 のメモリモジュールに比べ、前記処理デバイスに物理的により近接している、

前記第 1 のメモリモジュールと前記第 2 のメモリモジュールとの間のエリアに物理的に配置されており、前記処理デバイスから前記第 1 のメモリモジュールおよび前記第 2 のメモリモジュールへと前記バス上で送信された信号に影響を与えるように構成された電子バンドギャップ (E B G) 構造と、

を備える、システム。

【請求項 2】

前記第 1 のメモリモジュールが第 1 のデュアルインラインメモリモジュール (D I M M) を備え、前記第 2 のメモリモジュールが第 2 の D I M M を備える、請求項 1 に記載のシステム。

【請求項 3】

前記バスが、マルチドロップバスとして構成される、請求項 1 に記載のシステム。

【請求項 4】

前記プリント回路基板が、第 1 のグランドプレーンおよび第 2 のグランドプレーンを含み、さらに、ここにおいて、前記複数の導電トレースが、前記第 1 のグランドプレーンと前記第 2 のグランドプレーンとの間に配列される、請求項 1 に記載のシステム。

【請求項 5】

前記 E B G 構造が、前記第 1 のグランドプレーンにおける複数の長方形スロットを含む、請求項 4 に記載のシステム。

【請求項 6】

前記 E B G 構造が、前記第 1 のグランドプレーンにおける複数の正弦波形のスロットを

含む、請求項 4 に記載のシステム。

【請求項 7】

前記 E B G 構造が、前記導電トレースの変化のある幅のセクションを含む、請求項 1 に記載のシステム。

【請求項 8】

前記 E B G 構造が、前記第 1 のメモリモジュールおよび前記第 2 のメモリモジュールの下部のエリアに物理的に配置される、請求項 1 に記載のシステム。

【請求項 9】

前記 E B G 構造が、前記プリント回路基板の種々の誘電体媒体を備える、請求項 1 に記載のシステム。

【請求項 10】

システムであって、

第 1 の層上に配置されたバスと、第 2 の層上に配置された第 1 のグラウンドプレーンとを有するプリント回路基板と、

セントラルプロセシングユニット (CPU) を有しており、前記プリント回路基板に結合されかつ前記バスに結合された処理デバイスと、

前記プリント回路基板上に配置されかつ前記バスに結合されており、信号を前記 CPU と通信するための前記バスの導電トレースのチャンネルを共有するように構成された、第 1 のデュアルインラインメモリモジュール (DIMM) および第 2 の DIMM と、ここにおいて、前記第 1 の DIMM は、前記第 2 の DIMM に比べ、前記処理デバイスに物理的により近接している、

前記第 2 の DIMM に比べ、前記 CPU により近接している前記プリント回路基板上に配置され、前記第 2 の DIMM において生じた前記バス上の信号反射に影響を与えるように構成された、電子バンドギャップ (EBG) 構造と、

を備える、システム。

【請求項 11】

前記バスが、マルチドロップバスとして構成される、請求項 10 に記載のシステム。

【請求項 12】

前記プリント回路基板が、第 3 の層上に配置された第 2 のグラウンドプレーンを含み、さらに、ここにおいて、前記導電トレースが、前記第 1 のグラウンドプレーンと前記第 2 のグラウンドプレーンとの間に配列される、請求項 10 に記載のシステム。

【請求項 13】

前記 E B G 構造が、前記第 1 のグラウンドプレーンにおける複数の長方形スロットを含む、請求項 12 に記載のシステム。

【請求項 14】

前記 E B G 構造が、前記第 1 のグラウンドプレーンにおける複数の正弦波形のスロットを含む、請求項 12 に記載のシステム。

【請求項 15】

前記 E B G 構造が、前記導電トレースの変化のある幅のセクションを含む、請求項 10 に記載のシステム。

【請求項 16】

前記 E B G 構造が、前記第 1 の DIMM および前記第 2 の DIMM の下部の前記プリント回路基板の層に物理的に配置される、請求項 10 に記載のシステム。

【請求項 17】

前記 E B G 構造が、前記プリント回路基板の種々の誘電体媒体を備える、請求項 10 に記載のシステム。

【請求項 18】

システムであって、

第 1 の層上に配置されたバスと、第 2 の層上に配置されたグラウンドプレーンとを有するプリント回路基板と、

前記プリント回路基板上に配置されかつ前記バスに結合されたマルチコアシステムオンチップ（SOC）と、

前記プリント回路基板上に配置されかつ前記バスに結合されており、信号を前記SOCと通信するための前記バスの導電トレースのチャンネルを共有するように構成された、第1のデュアルインラインメモリモジュール（DIMM）および第2のDIMMと、ここにおいて、前記第1のDIMMは、前記第2のDIMMに比べ、前記SOCに物理的により近接している、

前記プリント回路基板の層内に配置されており、かつ前記第1のDIMMと前記第2のDIMMとの間のエリアの下にある、電子バンドギャップ（EBG）構造と、
を備える、システム。

【請求項19】

前記EBG構造が、前記グラウンドプレーン中に複数のスロットを含む、請求項18に記載のシステム。

【請求項20】

前記EBG構造が、前記導電トレースの変化のある幅のセクションを含む、請求項18に記載のシステム。