

ÖZET**7/15 İLE 8/15 HIZLARININ 16APSK VE LDPC KODLARINA YÖNELİK OPTİMİZE
KÜMELENME ÇAP ORANLARI**

- 5 Mevcut buluş, bir LDPC kodu kullanan veri iletiminde mükemmel iletişim kalitesini temin edebilen bir veri işleme aygıtıyla ve bir veri işleme yöntemiyle ilgilidir. 16200 bitlik bir kod uzunluğuna ve 7/15'lik bir kod oranına sahip bir LDPC kodunun dört işaret biti tek bir sembol olarak işlem görür ve sembol 16-APSK tarafından belirlenen 16 sinyal noktasının herhangi birine eşlenir. 16-APSK tarafından belirlenen 16 sinyal noktası, bir
- 10 iç halka üzerinde dört sinyal noktası ve bir dış halka üzerinde 12 sinyal noktasıdır, dış halka ve iç halkanın çap oranı 5,25'tir. Mevcut buluş, örneğin, veri iletiminin bir LDPC kodu kullanılarak gerçekleştirildiği durumlarda uygulanabilir.

İSTEMLER

1. Aşağıdakileri içeren bir veri işleme aygıtıdır:

16200 bitlik bir kod uzunluğuna ve 7/15'lik bir kod oranına sahip bir LDPC kodunun bir eşlik denetim matrisine dayalı olarak, LDPC kodlamayı gerçekleştirmek için yapılandırılan bir kodlama birimi (115); ve

bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 7/15'lik kod oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod bitiyle, 16APSK'da yazılı 16 sinyal noktasının herhangi birine bir sembol eşlemek için yapılandırılan bir eşleme birimi (117) olup,

burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,

burada iç dairenin ve dış dairenin bir çap oranı 3,32'dir,

burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir,

burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matris kısmını içerir, burada $M=8640$ ve $K=7560$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan sütunlarda 2 olduğu bir basamak yapısına sahiptir,

burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 21$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir

ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 21$, dayalı olarak, bilgi matrisi kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirilerek belirlenir ve aşağıdaki gibi oluşturulur:

3 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180
 7408 7790 7893 8123 8313 8526 8616 8638
 356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324
 6378 6686 6829 7558 7745 8042 8382 8587 8602
 18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412
 6753 7169 7524 7695 7976 8069 8118 8522 8582

	714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856
	7786 7937 8156 8286 8327 8384 8448 8539 8559
	3452 7935 8092 8623
	56 1955 3000 8242
5	1809 4094 7991 8489
	2220 6455 7849 8548
	1006 2576 3247 6976
	2177 6048 7795 8295
	1413 2595 7446 8594
10	2101 3714 7541 8531
	10 5961 7484
	3144 4636 5282
	5708 5875 8390
	3322 5223 7975
15	197 4653 8283
	598 5393 8624
	906 7249 7542
	1223 2148 8195
	976 2001 5005.
20	

2. Aşağıdakileri içeren bir veri işleme yöntemidir:

- 16200 bitlik bir kod uzunluğuna ve 7/15'lik bir kod oranına sahip bir LDPC kodunun bir eşlik denetim matrisine dayalı olarak, LDPC kodlamayı gerçekleştirmenin bir kodlama adımı (S101); ve
- 25 bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 7/15'lik kod oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod bitiyle, 16APSK'da yazılı 16 sinyal noktasının herhangi birine bir sembol eşlemenin bir eşleme adımı (S103) olup,
- 30 burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,
- burada iç dairenin ve dış dairenin bir çap oranı 3,32'dir,
- burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir,

- burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matrisi kısmını içerir, burada $M=8640$ ve $K=7560$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan sütunlarda 2 olduğu bir basamak yapısına sahiptir,
- burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 21$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir
- ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 21$, dayalı olarak, bilgi matrisi kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirerek belirlenir ve aşağıdaki gibi oluşturulur:
- | | |
|----|---|
| 3 | 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180 |
| 15 | 7408 7790 7893 8123 8313 8526 8616 8638 |
| | 356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324 |
| | 6378 6686 6829 7558 7745 8042 8382 8587 8602 |
| | 18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412 |
| | 6753 7169 7524 7695 7976 8069 8118 8522 8582 |
| 20 | 714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856 |
| | 7786 7937 8156 8286 8327 8384 8448 8539 8559 |
| | 3452 7935 8092 8623 |
| | 56 1955 3000 8242 |
| | 1809 4094 7991 8489 |
| 25 | 2220 6455 7849 8548 |
| | 1006 2576 3247 6976 |
| | 2177 6048 7795 8295 |
| | 1413 2595 7446 8594 |
| | 2101 3714 7541 8531 |
| 30 | 10 5961 7484 |
| | 3144 4636 5282 |
| | 5708 5875 8390 |
| | 3322 5223 7975 |
| | 197 4653 8283 |
| 35 | 598 5393 8624 |

906 7249 7542
1223 2148 8195
976 2001 5005.

5 3. Aşağıdakileri içeren bir veri işleme aygıtıdır:

bir iletim aygıtından iletilen verinin eşlenmesinin kaldırılması için yapılandırılan bir eşleme kaldırma ünitesi (164) olup, burada 16APSK'da yazılı 16 sinyal noktasından birinin eşlenmesi, bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 7/15'lik kod oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod
10 bitiyle, ilgili bir sembole kaldırılır;

ve 16200 bitlik kod uzunluğuna ve 7/15'lik kod oranına sahip LDPC kodunun bir eşlik denetim matrisinin eşleşmesinin kaldırılmasından sonraki veriden elde edilen LDPC kod sözcüğünün kodunun çözülmesi için yapılandırılan bir kod çözme ünitesidir (166);

15 burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,

burada iç dairenin ve dış dairenin bir çap oranı 3,32'dir,

20 burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir,

burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matris kısmını içerir, burada $M=8640$ ve $K=7560$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve
25 geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan sütunlarda 2 olduğu bir basamak yapısına sahiptir,

burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 21$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir

30 ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 21$, dayalı olarak, bilgi matrisi kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirerek belirlenir ve aşağıdaki gibi oluşturulur:

3 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180
35 7408 7790 7893 8123 8313 8526 8616 8638

356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324
 6378 6686 6829 7558 7745 8042 8382 8587 8602
 18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412
 6753 7169 7524 7695 7976 8069 8118 8522 8582
 5 714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856
 7786 7937 8156 8286 8327 8384 8448 8539 8559
 3452 7935 8092 8623
 56 1955 3000 8242
 1809 4094 7991 8489
 10 2220 6455 7849 8548
 1006 2576 3247 6976
 2177 6048 7795 8295
 1413 2595 7446 8594
 2101 3714 7541 8531
 15 10 5961 7484
 3144 4636 5282
 5708 5875 8390
 3322 5223 7975
 197 4653 8283
 20 598 5393 8624
 906 7249 7542
 1223 2148 8195
 976 2001 5005.

- 25 4. Aşağıdakileri içeren bir veri işleme yöntemidir:
- bir iletim aygıtından iletilen verinin eşlenmesinin kaldırılmasının bir eşleşme
 kaldırma adımı (S111) olup, burada 16APSK'da yazılı 16 sinyal noktasından birinin
 eşlenmesi, bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 7/15'lik kod
 oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod bitiyle, ilgili bir
 30 sembole kaldırılır; ve
 16200 bitlik kod uzunluğuna ve 7/15'lik kod oranına sahip LDPC kodunun bir eşlik
 denetim matrisinin eşleşmesinin kaldırılmasından sonraki veriden elde edilen
 LDPC kod sözcüğünün kodunun çözülmesi bir kod çözme adımıdır (S113);
 burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir
 35 sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ

- düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,
- burada iç dairenin ve dış dairenin bir çap oranı 3,32'dir,
- burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir,
- 5 burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matrisi kısmını içerir, burada $M=8640$ ve $K=7560$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan
- 10 sütunlarda 2 olduğu bir basamak yapısına sahiptir,
- burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 21$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir
- ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 21$, dayalı olarak, bilgi matrisi
- 15 kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirerek belirlenir ve aşağıdaki gibi oluşturulur:
- 3 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180
7408 7790 7893 8123 8313 8526 8616 8638
- 20 356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324
6378 6686 6829 7558 7745 8042 8382 8587 8602
18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412
6753 7169 7524 7695 7976 8069 8118 8522 8582
714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856
- 25 7786 7937 8156 8286 8327 8384 8448 8539 8559
3452 7935 8092 8623
56 1955 3000 8242
1809 4094 7991 8489
2220 6455 7849 8548
- 30 1006 2576 3247 6976
2177 6048 7795 8295
1413 2595 7446 8594
2101 3714 7541 8531
10 5961 7484
- 35 3144 4636 5282

5708 5875 8390
 3322 5223 7975
 197 4653 8283
 598 5393 8624
 5 906 7249 7542
 1223 2148 8195
 976 2001 5005.

5. Aşağıdakileri içeren bir veri işleme aygıtıdır:
- 10 16200 bitlik bir kod uzunluğuna ve 8/15'lik bir kod oranına sahip bir LDPC kodunun bir eşlik denetim matrisine dayalı olarak, LDPC kodlamayı gerçekleştirmek için yapılandırılan bir kodlama birimi (115); ve
- 15 bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 8/15'lik kod oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod bitiyle, 16APSK'da yazılı 16 sinyal noktasının herhangi birine bir sembol eşlemek için yapılandırılan bir eşleme birimi (117) olup,
- 20 burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,
- 25 burada iç dairenin ve dış dairenin bir çap oranı 3,50'dir, burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir, burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matrisi kısmını içerir, burada $M=7560$ ve $K=8640$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan sütunlarda 2 olduğu bir basamak yapısına sahiptir,
- 30 burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 24$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir
- ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 24$, dayalı olarak, bilgi matrisi kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirilerek belirlenir ve aşağıdaki gibi
- 35 oluşturulur:

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999
 5174 5700 6969 7115 7138 7189
 1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994
 7074 7100 7277 7399 7476 7480 7537
 5 2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029
 6244 6645 6962 7203 7302 7454 7534
 574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762
 6786 6859 7043 7418 7431 7554
 14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208
 10 7218 7298 7454 7457 7462
 4075 4188 7313 7553
 5145 6018 7148 7507
 3198 4858 6983 7033
 3170 5126 5625 6901
 15 2839 6093 7071 7450
 11 3735 5413
 2497 5400 7238
 2067 5172 5714
 1889 7173 7329
 20 1795 2773 3499
 2695 2944 6735
 3221 4625 5897
 1690 6122 6816
 5013 6839 7358
 25 1601 6849 7415
 2180 7389 7543
 2121 6838 7054
 1948 3109 5046
 272 1015 7464.

30

6. Aşağıdakileri içeren bir veri işleme yöntemidir:

16200 bitlik bir kod uzunluğuna ve 8/15'lik bir kod oranına sahip bir LDPC kodunun bir eşlik denetim matrisine dayalı olarak, LDPC kodlamayı gerçekleştirmenin bir eşleme kaldırma adımı (S101); ve

- bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 8/15'lik kod oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod bitiyle, 16APSK'da yazılı 16 sinyal noktasının herhangi birine bir sembol eşlemenin bir eşleme adımı (S103) olup,
- 5 burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,
- burada iç dairenin ve dış dairenin bir çap oranı 3,50'dir,
- 10 burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir,
- burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matrisi kısmını içerir, burada $M=7560$ ve $K=8640$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve
- 15 geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan sütunlarda 2 olduğu bir basamak yapısına sahiptir,
- burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 24$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir
- 20 ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 24$, dayalı olarak, bilgi matrisi kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirerek belirlenir ve aşağıdaki gibi oluşturulur:
- 32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999
- 25 5174 5700 6969 7115 7138 7189
- 1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994
- 7074 7100 7277 7399 7476 7480 7537
- 2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029
- 6244 6645 6962 7203 7302 7454 7534
- 30 574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762
- 6786 6859 7043 7418 7431 7554
- 14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208
- 7218 7298 7454 7457 7462
- 4075 4188 7313 7553
- 35 5145 6018 7148 7507

3198 4858 6983 7033
 3170 5126 5625 6901
 2839 6093 7071 7450
 11 3735 5413
 5 2497 5400 7238
 2067 5172 5714
 1889 7173 7329
 1795 2773 3499
 2695 2944 6735
 10 3221 4625 5897
 1690 6122 6816
 5013 6839 7358
 1601 6849 7415
 2180 7389 7543
 15 2121 6838 7054
 1948 3109 5046
 272 1015 7464.

7. Aşağıdakiler içeren bir veri işleme aygıtıdır:

- 20 bir iletim aygıtından iletilen verinin eşlenmesinin kaldırılması için yapılandırılan bir eşleme kaldırma ünitesi (164) olup, burada 16APSK'da yazılı 16 sinyal noktasından birinin eşlenmesi, bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 8/15'lik kod oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod bitiyle, ilgili bir sembole kaldırılır; ve
- 25 16200 bitlik kod uzunluğuna ve 8/15'lik kod oranına sahip LDPC kodunun bir eşlik denetim matrisinin eşleşmesinin kaldırılmasından sonraki veriden elde edilen LDPC kod sözcüğünün kodunun çözülmesi için yapılandırılan bir kod çözme ünitesidir (166);
- 30 burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,
- burada iç dairenin ve dış dairenin bir çap oranı 3,50'dir,
- burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir,

- burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matrisi kısmını içerir, burada $M=7560$ ve $K=8640$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan sütunlarda 2 olduğu bir basamak yapısına sahiptir,
- burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 24$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir
- ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 24$, dayalı olarak, bilgi matrisi kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirilerek belirlenir ve aşağıdaki gibi oluşturulur:
- | | |
|----|---|
| 5 | 32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999 |
| 10 | 5174 5700 6969 7115 7138 7189 |
| 15 | 1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994 |
| | 7074 7100 7277 7399 7476 7480 7537 |
| | 2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029 |
| | 6244 6645 6962 7203 7302 7454 7534 |
| 20 | 574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762 |
| | 6786 6859 7043 7418 7431 7554 |
| | 14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208 |
| | 7218 7298 7454 7457 7462 |
| | 4075 4188 7313 7553 |
| 25 | 5145 6018 7148 7507 |
| | 3198 4858 6983 7033 |
| | 3170 5126 5625 6901 |
| | 2839 6093 7071 7450 |
| | 11 3735 5413 |
| 30 | 2497 5400 7238 |
| | 2067 5172 5714 |
| | 1889 7173 7329 |
| | 1795 2773 3499 |
| | 2695 2944 6735 |
| 35 | 3221 4625 5897 |

1690 6122 6816
 5013 6839 7358
 1601 6849 7415
 2180 7389 7543
 5 2121 6838 7054
 1948 3109 5046
 272 1015 7464.

8. Aşağıdakileri içeren bir veri işleme yöntemidir:
- 10 bir iletim aygıtından iletilen verinin eşlenmesinin kaldırılmasının bir eşleşme kaldırma adımı (S111) olup, burada 16APSK'da yazılı 16 sinyal noktasından birinin eşlenmesi, bir adet sembol olarak 16200 bitlik kod uzunluğuna ve 8/15'lik kod oranına sahip LDPC kodunun bir LDPC kod sözcüğünün dört kod bitiyle, ilgili bir sembole kaldırılır; ve
- 15 16200 bitlik kod uzunluğuna ve 8/15'lik kod oranına sahip LDPC kodunun bir eşlik denetim matrisinin eşleşmesinin kaldırılmasından sonraki veriden elde edilen LDPC kod sözcüğünün kodunun çözülmesi bir kod çözme adımıdır (S113);
- 20 burada 16APSK'da yazılı 16 sinyal noktası IQ düzleminin I eksenine $\pi/4$ 'lük bir sapmayla eşit açılarda bir iç daire üzerindeki dört sinyal noktasıdır ve IQ düzleminin I eksenine $\pi/12$ 'lik bir sapmayla eşit açılarda bir dış daire üzerindeki 12 sinyal noktasıdır,
- burada iç dairenin ve dış dairenin bir çap oranı 3,50'dir,
- burada LDPC kod sözcüğü bitleri ve eşlik bitlerini içerir,
- burada eşlik denetimi matrisi bilgi bitlerine karşılık gelen $M \times K$ boyutunun bir bilgi
- 25 matrisi kısmını ve eşlik bitlerine karşılık gelen $M \times M$ boyutunun bir eşlik matrisi kısmını içerir, burada $M=7560$ ve $K=8640$ 'tır ve söz konusu eşlik matris kısmı, "1" öğelerinin adım adım bir şekilde düzenlendiği, sıra ağırlığının bir birinci sırada 1 ve geri kalan sıralarda 2 olduğu ve sütun ağırlığının son sütunda 1 ve geri kalan sütunlarda 2 olduğu bir basamak yapısına sahiptir,
- 30 burada bilgi matrisi kısmı, j -nci sırasında, $1 \leq j \leq 24$, "1" öğelerinin konumlarını bilgi matrisi kısmının $(1+360 \times (j-1))$ -nci sütununda gösteren bir eşlik denetim matrisi başlangıç değeri tablosuyla temsil edilir ve burada her bir $(1+360 \times (j-1))$ -nci sütuna, $1 \leq j \leq 24$, dayalı olarak, bilgi matrisi kısmının $360 \times j$ 'si üzerinden sütunlar, $2+360 \times (j-1)$, ilgili önceki sütunu $M/360$ ile aşağı doğru bir yönde döngüsel olarak değiştirerek
- 35 belirlenir ve aşağıdaki gibi oluşturulur:

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999
 5174 5700 6969 7115 7138 7189
 1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994
 7074 7100 7277 7399 7476 7480 7537
 5 2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029
 6244 6645 6962 7203 7302 7454 7534
 574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762
 6786 6859 7043 7418 7431 7554
 14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208
 10 7218 7298 7454 7457 7462
 4075 4188 7313 7553
 5145 6018 7148 7507
 3198 4858 6983 7033
 3170 5126 5625 6901
 15 2839 6093 7071 7450
 11 3735 5413
 2497 5400 7238
 2067 5172 5714
 1889 7173 7329
 20 1795 2773 3499
 2695 2944 6735
 3221 4625 5897
 1690 6122 6816
 5013 6839 7358
 25 1601 6849 7415
 2180 7389 7543
 2121 6838 7054
 1948 3109 5046
 272 1015 7464.
 30

TARİFNAME
7/15 İLE 8/15 HIZLARININ 16APSK VE LDPC KODLARINA YÖNELİK OPTİMİZE
KÜMELENME ÇAP ORANLARI

5 Teknik Saha

Mevcut buluş, bir veri işleme aygıtıyla ve bir veri işleme yöntemiyle ve özellikle, örneğin, bir LDPC kodu kullanılarak veri iletiminde iyi iletişim kalitesini güvenceye alabilen bir veri işleme aygıtıyla ve bir veri işleme yöntemiyle ilgilidir.

10

Tekniğin Alt Yapısı

Bir düşük yoğunluklu eşlik denetimi (LDPC) kodu yüksek bir hata düzeltme yetisine sahiptir ve, örneğin, son yıllarda Avrupa'da kullanılan dijital video yayını (DVB)-S.2 ve benzerleri gibi uygun dijital yayını dahil olmak üzere bir iletim düzeninde yaygın olarak benimsenmiştir (örneğin, bakınız NPL 1). Dahası, LDPC kodu ayrıca, DVB-T.2 gibi gelecek nesil karasal dijital yayında da kullanılmaktadır.

Son çalışmalar, LDPC kodunun, kod uzunluğunda bir artışla Shannon sınırına yakın, turbo kodlara veya benzerlerine benzer bir performansa sahip olduğunu göstermektedir. Ek olarak, LDPC kodu kod uzunluğuna orantılı olan bir minimum mesafe özelliklerine sahip olduğundan, LDPC kodu, bir blok hata olasılığı karakteristiğinin iyi olduğu ve turbo kodun veya benzerlerinin bir kod çözme özelliği olarak gözlemlenen bir hata zemin olgusu denilen bir olgunun az bir olasılıkla meydana geldiği özellikler şeklinde bir avantaja sahiptir.

Alıntı Listesi

Patent-Olmayan Literatür

30

NPL 1: DVB-S.2: ETSI EN 302 307 V1.2.1 (2009-08)

Diğer önceki teknikler aşağıdaki belgelerde bulunabilir:

WO 2012/173061 A1, 16200 uzunluğundaki LDPC kodlarını ve 7/15 ila 8/15 hızlarını açıklamaktadır.

Aşağıdaki belgeler, kod oranına bağlı olarak 16APSK ve 32APSK kümelenmeler için

5 kümelenme çapı oranlarının optimizasyonu ile ilgilidir:

YOICHI SUZUKI ET AL, "Design of LDPC codes for the Advanced Satellite Broadcasting System", EIZO JOHO MEDIA GARKAISHI – THE JOURNAL OF THE INSTITUTE OF IMAGE INFORMATION AND TELEVISION ENGINEERS, JP, (20080101), vol. 62, no. 12, doi:10.3169/itej.62.1997, ISSN 1342-6907, pages 1997 - 10 2004;

RICCARDO DE GAUDENZI ET AL, "Turbo-coded APSK modulations design for satellite broadband communications", INTERNATIONAL JOURNAL OF SATELLITE COMMUNICATIONS AND NETWORKING, JOHN WILEY & SONS, CHICHESTER, GB, vol. 24, no. 4, doi:10.1002/SAT.841, ISSN 1542-0973, (20060701), pages 261 - 15 281;

RICCARDO DE GAUDENZI ET AL, "Performance analysis of turbo-coded APSK modulations over Nonlinear Satellite Channels", IEEE TRANSACTIONS ON WIRELESS COMMUNICATIONS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, (20060906), vol. 5, no. 9, doi:10.1109/TWC.2006.1687763, ISSN 1536-1276, pages 20 2396 - 2407;

DVB ORGANIZATION, "dvbs2x_hughes_presentation.pdf", DVB, DIGITAL VIDEO BROADCASTING, C/O EBU - 17A ANCIENNE ROUTE - CH-1218 GRAND SACCONNEX, GENEVA - SWITZERLAND; JP 2009-081821; ve

25 SORAPONG THUAKAEW ET AL, "The optimum ring ratio of 16-APSK in LTE uplink over nonlinear system", PROC. 15TH INT. CONFERENCE ON ADVANCED COMMUNICATION TECHNOLOGY (ICACT) 2013, (20130127), ISBN 978-1-4673-3148-7, pages 805 - 809.

30 **Buluşun Kısa Açıklaması**

Teknik Sorun

Bir LDPC kodu kullanan DVB-S.2, DVB-T.2, DVB-C.2 ve benzerlerinde, LDPC kodu, 35 dörtlü faz kaydırmalı anahtarlama (QPSK) (sembolize edilmiştir) gibi dörtlü

modülasyonun (dijital modülasyon) bir sembolü olarak oluşturulur ve sembol dörtlü modülasyonun sinyal noktasına eşlenerek iletilir.

5 DVB-S.2 gibi LDPC kodu kullanan bu tip veri iletiminde, iyi iletişim kalitesini güvenceye almak talep edilmiştir.

Mevcut teknoloji bu koşullar göz önünde tutularak yapılmıştır ve bir amacı, bir LDPC kodu kullanan veri iletiminde iyi iletişim kalitesini güvenceye almaktır.

10 Sorunun Çözümü

Mevcut teknolojinin veri işleme aygıtı ve veri işleme yöntemleri bağımsız istemlerde tanımlanmaktadır.

15 Ek olarak, veri işleme aygıtı bağımsız bir aygıt olabilir veya bir aygıtı yapılandıran dahili bir blok olabilir.

Buluşun Avantajlı Etkileri

20 Mevcut buluşa göre, bir LDPC kodu kullanan veri iletiminde iyi iletişim kalitesinin güvenceye alınması mümkündür.

Ek olarak, burada tarif edilen etkiler yalnızca örnekleyicidir, mevcut buluşun etkileri burada tarif edilen etkilerle sınırlı olma amacıyla değildir ve ek etkiler olabilir.

25

Şekillerin Kısa Açıklaması

[Şekil 1] Şekil 1, bir LDPC kodunun bir eşlik denetimi matrisini (H) resmeden bir diyagramdır.

30

[Şekil 2] Şekil 2, LDPC kodunun bir kod çözme prosedürünü resmeden bir akış şemasıdır.

[Şekil 3] Şekil 3, LDPC kodunun bir eşlik denetimi matrisinin bir örneğini resmeden bir diyagramdır.

35

[Şekil 4] Şekil 4, eşlik denetimi matrisinin bir Tanner grafiğini resmeden bir diyagramdır.

[Şekil 5] Şekil 5, bir değişken resmeden bir diyagramdır.

5

[Şekil 6] Şekil 6, bir denetim düğümünü resmeden bir diyagramdır.

[Şekil 7] Şekil 7, mevcut teknolojinin uygulandığı bir iletim sisteminin bir uygulamasının bir yapılandırma örneğini resmeden bir diyagramdır.

10

[Şekil 8] Şekil 8, bir iletim aygıtının (11) bir yapılandırma örneğini resmeden bir diyagramdır.

[Şekil 9] Şekil 9, bir bit serpiştiricinin (116) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

15

[Şekil 10] Şekil 10, bir eşlik denetimi matrisini resmeden bir diyagramdır.

[Şekil 11] Şekil 11, bir eşlik matrisini resmeden bir diyagramdır.

20

[Şekil 12] Şekil 12, LDPC kodunun, DVB-S.2 standardında tanımlanan bir eşlik denetim matrisini resmeden bir diyagramdır.

[Şekil 13] Şekil 13, LDPC kodunun, DVB-S.2 standardında tanımlanan eşlik denetim matrisini resmeden bir diyagramdır.

25

[Şekil 14] Şekil 14, 16QAM'nin bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

[Şekil 15] Şekil 15, 64QAM'nin bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

30

[Şekil 16] Şekil 16, 64QAM'nin bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

35

[Şekil 17] Şekil 17, 64QAM'nin bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

5 [Şekil 18] Şekil 18, DVB-S.2 standardında tanımlanan bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

[Şekil 19] Şekil 19, DVB-S.2 standardında tanımlanan bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

10 [Şekil 20] Şekil 20, DVB-S.2 standardında tanımlanan bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

[Şekil 21] Şekil 21, DVB-S.2 standardında tanımlanan bir sinyal noktası düzenlemesini resmeden bir diyagramdır.

15

[Şekil 22] Şekil 22, bir çoğullama çözücünün (25) bir işlemini resmeden bir diyagramdır.

[Şekil 23] Şekil 23, bir çoğullama çözücünün (25) bir işlemini resmeden bir diyagramdır.

20 [Şekil 24] Şekil 24, LDPC kodunun kod çözülmesi için bir Tanner grafiğini resmeden bir diyagramdır.

[Şekil 25] Şekil 25, bir merdiven yapısına ve eşlik matrisine (H_T) karşılık gelen bir Tanner grafiğine sahip bir eşlik matrisini (H_T) resmeden bir diyagramdır.

25

[Şekil 26] Şekil 26, eşlik serpiştirmeden sonra bir LDPC koduna karşılık gelen bir eşlik denetimi matrisinin (H) bir eşlik matrisini (H_T) resmeden bir diyagramdır.

[Şekil 27] Şekil 27, bir dönüştürme eşlik denetimi matrisini resmeden bir diyagramdır.

30

[Şekil 28] Şekil 28, bir sütun döndürme serpiştiricinin (24) bir işlemini resmeden bir diyagramdır.

35 [Şekil 29] Şekil 29, sütun döndürme serpiştirme için gereken sütunların sayısını ve bir belleğin (31) bir yazma başlama konumunun bir adresini resmeden bir diyagramdır.

[Şekil 30] Şekil 30, sütun döndürme serpiştirme için gereken sütunların sayısını ve bir belleğin (31) bir yazma başlama konumunun bir adresini resmeden bir diyagramdır.

- 5 [Şekil 31] Şekil 31, bir bit serpiştiricide (116) ve bir eşleyicide (117) gerçekleştirilen bir işlemi resmeden bir akış şemasıdır.

[Şekil 32] Şekil 32, bir simülasyonda kullanılan bir iletişim yolu modelini resmeden bir diyagramdır.

10

[Şekil 33] Şekil 33, simülasyon tarafından elde edilen bir hata oranıyla bir flaterin bir Doppler frekansı (f_d) arasındaki bir ilişkiyi resmeden bir diyagramdır.

- 15 [Şekil 34] Şekil 34, simülasyon tarafından elde edilen bir hata oranıyla bir flaterin bir Doppler frekansı (f_d) arasındaki bir ilişkiyi resmeden bir diyagramdır.

[Şekil 35] Şekil 35, bir LDPC kodlayıcının (115) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

- 20 [Şekil 36] Şekil 36, LDPC kodlayıcının (115) bir işlemini resmeden bir akış şemasıdır.

[Şekil 37] Şekil 37, bir kod oranının $1/4$ ve bir kod uzunluğunun 16200 olduğu bir eşlik denetimi matrisi başlangıç değeri tablosunun bir örneğini resmeden bir diyagramdır.

- 25 [Şekil 38] Şekil 38, eşlik denetimi matrisi başlangıç değeri tablosundan bir eşlik denetimi matrisinin (H) elde edilmesini bir yöntemini resmeden bir diyagramdır.

[Şekil 39] Şekil 39, $r=7/15$ 'lik bir S_x için 16k-kodun bir eşlik denetimi matrisi başlangıç değeri tablosunu resmeden bir diyagramdır.

30

[Şekil 40] Şekil 40, $r=8/15$ 'lik bir S_x için 16k-kodun bir eşlik denetimi matrisi başlangıç değeri tablosunu resmeden bir diyagramdır.

- 35 [Şekil 41] Şekil 41, bir 3 sütun ağırlığına ve bir 6 sıra ağırlığına sahip bir derece dizgesinin bir topluluğunun Tanner grafiğinin bir örneğini resmeden bir diyagramdır.

[Şekil 42] Şekil 42, çoklu-ayrıt tipi bir topluluğun bir Tanner grafiğinin bir örneğini resmeden bir diyagramdır.

- 5 [Şekil 43] Şekil 43, Sx için 16k-kodun eşlik denetimi matrisinin bir minimum döngü uzunluğunu ve bir performans eşiğini resmeden bir diyagramdır.

[Şekil 44] Şekil 44, Sx için 16k-kodun bir eşlik denetimi matrisini resmeden bir diyagramdır.

10

[Şekil 45] Şekil 45, Sx için 16k-kodun bir eşlik denetimi matrisini resmeden bir diyagramdır.

15

[Şekil 46] Şekil 46, mevcut yöneme göre bir değiştirme işlemini resmeden bir diyagramdır.

[Şekil 47] Şekil 47, mevcut yöneme göre değiştirme işlemini resmeden bir diyagramdır.

20

[Şekil 48] Şekil 48, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 8PSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir birinci örneğini resmeden bir diyagramdır.

25

[Şekil 49] Şekil 49, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 8PSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir ikinci örneğini resmeden bir diyagramdır.

[Şekil 50] Şekil 50, BER/FER ölçmenin simülasyonunun bir sonucunu resmeden bir diyagramdır.

30

[Şekil 51] Şekil 51, BER/FER ölçmenin simülasyonunun bir sonucunu resmeden bir diyagramdır.

[Şekil 52] Şekil 52, bir simülasyonda kullanılan bir iletim sisteminin bir iletim sistemi modelini resmeden bir sütunlu diyagramdır.

35

[Şekil 53] Şekil 53, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir birinci örneğini resmeden bir diyagramdır.

- 5 [Şekil 54] Şekil 54, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir ikinci örneğini resmeden bir diyagramdır.

- 10 [Şekil 55] Şekil 55, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir üçüncü örneğini resmeden bir diyagramdır.

- 15 [Şekil 56] Şekil 56, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir dördüncü örneğini resmeden bir diyagramdır.

- 20 [Şekil 57] Şekil 57, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir beşinci örneğini resmeden bir diyagramdır.

[Şekil 58] Şekil 58, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir altıncı örneğini resmeden bir diyagramdır.

- 25 [Şekil 59] Şekil 59, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir yedinci örneğini resmeden bir diyagramdır.

- 30 [Şekil 60] Şekil 60, Sx için 16k-kod kullanan veri iletiminde bir modülasyon düzeni 16APSK ve çoklu b 1 olduğunda, Sx için bir değiştirme yöntemine göre bir değiştirme işleminin bir sekizinci örneğini resmeden bir diyagramdır.

[Şekil 61] Şekil 61, BER/FER ölçmenin simülasyonunun bir sonucunu resmeden bir diyagramdır.

[Şekil 62] Şekil 62, BER/FER ölçmenin simülasyonunun bir sonucunu resmeden bir diyagramdır.

5 [Şekil 63] Şekil 63, modülasyon düzeni olarak 16APSK kullanılması durumunda 16APSK'nın sinyal noktalarının ve çap oranının (γ) düzenlenmesinin bir örneğini resmeden bir diyagramdır.

10 [Şekil 64] Şekil 64, modülasyon düzeni olarak 16APSK kullanılması durumunda 16APSK'nın sinyal noktalarının ve çap oranının (γ) düzenlenmesinin bir örneğini resmeden bir diyagramdır.

[Şekil 65] Şekil 65, bir alım aygıtının (12) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

15 [Şekil 66] Şekil 66, bir bit serpiştirme kaldırıcının (165) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

20 [Şekil 67] Şekil 67, bir eşleme kaldırıcı (164), bir bit serpiştirme kaldırıcı (165) ve bir LDPC kod çözücü (166) tarafından gerçekleştirilen bir işlemi resmeden bir akış şemasıdır.

[Şekil 68] Şekil 68, bir LDPC kodunun bir eşlik denetimi matrisinin bir örneğini resmeden bir diyagramdır.

25 [Şekil 69] Şekil 69, bir eşlik denetimi matrisi üzerinde sıra permütasyonu ve sütun permütasyonu gerçekleştirilerek elde edilen bir matrisi (dönüştürme eşlik denetimi matrisi) resmeden bir diyagramdır.

30 [Şekil 70] Şekil 70, 5x5 birime bölünen bir dönüştürme eşlik denetimi matrisini resmeden bir diyagramdır.

[Şekil 71] Şekil 71, P grupları halinde düğüm hesaplamasını gerçekleştiren bir kod çözme cihazının bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

[Şekil 72] Şekil 72, LDPC kod çözücünün (166) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

5 [Şekil 73] Şekil 73, bit serpiştirme kaldırıcıyı (165) yapılandıran bir çoğullayıcının (54) bir işlemini resmeden bir diyagramdır.

[Şekil 74] Şekil 74, bir sütun döndürme serpiştirme kaldırıcının (55) bir işlemini resmeden bir diyagramdır.

10 [Şekil 75] Şekil 75, bit serpiştirme kaldırıcının (165) bir başka yapılandırma örneğini resmeden bir sütunlu diyagramdır.

[Şekil 76] Şekil 76, alma aygıtının (12) uygulanabildiği bir alım sisteminin bir birinci yapılandırma örneğini resmeden bir sütunlu diyagramdır.

15

[Şekil 77] Şekil 77, alma aygıtının (12) uygulanabildiği bir alım sisteminin bir ikinci yapılandırma örneğini resmeden bir sütunlu diyagramdır.

20 [Şekil 78] Şekil 78, alma aygıtının (12) uygulanabildiği bir alım sisteminin bir üçüncü yapılandırma örneğini resmeden bir sütunlu diyagramdır.

[Şekil 79] Şekil 79, mevcut teknolojinin uygulandığı bir bilgisayarın bir uygulamasının bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

25 **Uygulamaların Açıklaması**

Bundan sonra, bir LDPC kodu, mevcut teknolojinin uygulamalarının bir tarifinden önce tarif edilecektir.

30 **<LDPC kodu>**

Dahası, LDPC kodu bir doğrusal koddur ve ikili olması gerekmez, ancak burada, LDPC kodunun ikili olduğu varsayılarak bir tarifname verilecektir.

LDPC kodunun en kayda değer özelliği, LDPC kodunu tanımlayan bir eşlik denetimi matrisinin bir seyrek matris olmasıdır. Burada, seyrek matris, matrisin “1” öğelerinin sayısının çok düşük olduğu bir matristir (matristeki birçok öge 0’dır).

- 5 Şekil 1, LDPC kodunun bir eşlik denetim matrisini (H) resmeden bir diyagramdır.

Şekil 1’deki eşlik denetimi matrisinde (H), her bir sütunun bir ağırlığı (bir sütun ağırlığı) (“1” sayısı) (bir ağırlık) “3” olarak ayarlıdır ve her bir sıranın bir ağırlığı (bir sıra ağırlığı) “6” olarak ayarlıdır.

10

LDPC kod kullanan kodlamada (LDPC kodlama), örneğin, bir üretim matrisi (G) eşlik denetimi matrisine (H) dayalı olarak üretilir ve bir kod sözcüğü (LDPC kodu) üretim matrisinin (G) bir ikili bilgi bitiyle çarpılmasıyla üretilir.

- 15 Spesifik olarak, LDPC kodlamayı gerçekleştiren bir kodlama cihazı ilk olarak, eşlik denetim matrisiyle (H) bunun devrik matrisi (H^T) arasında bir $GH^T=0$ denkleminin oluşturulduğu bir üretim matrisi (G) hesaplar. Burada, üretim matrisi (G) bir $K \times N$ matrisi olduğunda, kodlama cihazı K bitlerinden oluşan bir bilgi bitinin bir bit dizgesini (vektör (u)), N bitlerinden oluşan bir kodlu sözcük (c) ($=uG$) üretmek amacıyla üretim
- 20 matrisiyle (G) çarpar. Kodlama cihazı tarafından üretilen kodlu sözcük (LDPC kodu), önceden belirlenmiş bir iletişim yolu üzerinden alma tarafında alınır.

- LDPC kodunun kod çözülmesi, Gallager tarafından önerilen ve olasılıksal kod çözme olarak ifade edilen bir algoritmadır ve algoritma, (bir mesaj düğümü olarak da ifade
- 25 edilen) bir değişken devreyle ve bir denetim düğümüyle yapılandırılan Tanner grafiği adlı bir grafik üzerinde kanı yayılmayla bir mesaj geçirme algoritması tarafından gerçekleştirilebilir. Burada, bundan böyle, uygun olduğu şekilde, değişken düğüm ve denetim düğümü basitçe bir düğüm olarak ifade edilecektir.

- 30 Şekil 2, LDPC kodunun bir kod çözme prosedürünü resmeden bir akış şemasıdır.

Ayrıca, bundan böyle, uygun olduğu şekilde, alım tarafında bir log olabilirlik oranı olarak alınan LDPC kodunun (1 kodlu sözcük) i-nci kod bitinin bir değerinin “0” olabilirliğinin temsil edilmesiyle elde edilen bir reel sayı (alınan LLR), bir alınan değer

(u_{0i}) olarak ifade edilecektir. Ayrıca, denetim düğümünden mesaj çıkışının u_j olduğu varsayılmaktadır ve değişken düğümünden mesaj çıkışının v_i olduğu varsayılmaktadır.

İlk olarak, LDPC kodunun kod çözülmesinde, Şekil 2'de resmedildiği üzere, S11
5 adımında, LDPC kodu alınır, mesaja (denetim düğümü mesajı) (u_j) "0" değeri atanır, bir yinelemeli işlemin bir sayacının bir tamsayısı olan bir değişkene (k) "0" değeri atanır ve işlem S12 adımına devam eder. S12 adımında, mesaj (değişken düğüm mesajı) (v_i), LDPC kodunun alınmasıyla elde edilen alınan değere (u_{0i}) dayalı olarak Denklemde (1) resmedilen hesaplama (değişken düğüm hesaplaması) gerçekleştirilerek elde edilir ve
10 mesaj (u_j), mesaja (v_i) dayalı olarak Denklemde (2) resmedilen hesaplama (denetim düğümü hesaplaması) gerçekleştirilerek elde edilir.

[Denklem 1]

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j \quad \dots(1)$$

[Denklem 2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots(2)$$

20

Burada, denklem (1) ve denklemdeki (2) d_v ve d_c sırasıyla, isteğe göre seçilebilen, eşlik denetim matrisinin (H) dikey yönündeki (sütun) ve yatay yönündeki (sıra) "1" sayısını gösteren parametrelerdir. Örneğin, Şekil 1'de resmedilen ve sütun ağırlığının 3 ve sıra ağırlığının 6 olduğu LDPC kodu ((3, 6) LDPC kodu) durumunda, $d_v=3$ ve $d_c=6$ olarak
25 belirlenir.

Ek olarak, denklemin (1) değişken düğüm hesaplamasında ve denklemin (2) denetim düğümü hesaplamasında, bir mesajın çıkarılacağı bir ayrıttan (değişken devreyle denetim düğümünü bağlayan bir çizgi) girdi olan bir mesaj hesaplamasının bir hedefi
30 olarak kullanılmaz ve böylece bir hesaplama aralığı 1 ila d_v-1 veya 1 ila d_c-1 'dir. Dahası, denklemin (2) denetim düğümü hesaplaması fiilen, iki girdi (v_1 ve v_2) için bir çıktı olarak tanımlanan ve kesintisiz olarak (yinelemeli) denklemde (4) resmedildiği

üzere tablo kullanılarak denklemde (3) resmedilen bir fonksiyonun ($R(v_1, v_2)$) bir tablosunun önceden yaratılmasıyla gerçekleştirilir.

[Denklem 3]

5

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \dots (3)$$

[Denklem 4]

10

$$u_j = R(v_1, R(v_2, R(v_3, \dots, R(v_{d_i-2}, v_{d_i-1}))) \dots (4)$$

15

S12 adımımda, değişken (k) "1" arttırılır ve işlem S13 adımımda ilerler. S13 adımımda, değişkenin (k) sayımın kodunu çözen önceden belirlenmiş bir yinelemeden (C) büyük olup olmadığı belirlenir. S13 adımımda, değişkenin (k) C'den büyük olmadığı belirlenirse, işlem S12 adımımda geri döner ve aynı işlem tekrarlanır.

20

Ayrıca, S13 adımımda, değişkenin (k) C'den büyük olduğu belirlenirse, işlem S14 adımımda devam eder, nihayet çıkarılacak bir kod çözme sonucu olarak bir mesaj (v_i) elde edilir ve denklemde (5) resmedilen hesaplama gerçekleştirilerek çıkarılır ve LDPC kodunun kod çözme işlemi sona erer.

[Denklem 5]

25

$$v_i = u_{0i} + \sum_{j=1}^{d_i} u_j \dots (5)$$

Burada, denklemin (5) hesaplanması denklemin (1) değişken düğüm hesaplamasından farklıdır ve değişken düğüme bağlantılı tüm ayrıtlardan gelen mesaj (u_j) kullanılarak gerçekleştirilir.

30

Şekil 3, (3, 6) LDPC kodunun (kod oranı 1/2, kod uzunluğu 12) bir eşlik denetim matrisinin (H) bir örneğini resmeden bir diyagramdır.

Şekil 3'teki eşlik denetim matrisinde (H), Şekil 1'e benzer şekilde bir sütun ağırlığı 3'e ve bir sıra ağırlığı 6'ya ayarlanır.

5 Şekil 4, Şekil 3'teki eşlik denetim matrisinin (H) bir Tanner grafiğini resmeden bir diyagramdır.

Burada, Şekil 4'te, denetim düğümleri artı ile "+" gösterilir ve değişken düğümler eşit ile "=" gösterilir. Denetim düğümleri ve değişken düğümler sırasıyla, eşlik denetim matrisinin (H) sıralarına ve sütunlarına karşılık gelir. Denetim düğümleriyle değişken düğümler arasındaki bağlantı çizgileri ayrıtlardır ve ayrıtlar eşlik denetim matrisindeki "1" öğelerine karşılık gelir.

Diğer bir deyişle, Şekil 4'te, eşlik denetim matrisinin j-nci sırasındaki ve i-nci sütunundaki öğe 1 ise, üstten i-nci değişken düğüm ("=" düğümü) ve üstten j-nci ve denetim düğümü ("+" düğümü) bir ayrıtla bağlantılanır. Ayrıt, değişken düğüme karşılık gelen kod bitinin denetim düğümüne karşılık gelen kısıtlara sahip olduğunu temsil eder.

LDPC kodunun bir kod çözme yöntemi olan bir toplam ürün algoritmasında, değişken düğüm hesaplaması ve denetim düğümü hesaplaması tekrarlanarak gerçekleştirilir.

20 Şekil 5, bir değişken düğümde gerçekleştirilen bir değişken düğüm hesaplamasını resmeden bir diyagramdır.

Değişken düğümde, hesaplanacak bir ayrıta karşılık bir mesaj (v_i), değişken düğüme ve alınan bir değere (u_{0i}) bağlı kalan ayrıtlardan mesajlar (u_1 ve u_2) kullanılarak denklemin (1) değişken düğüm hesaplamasıyla elde edilir. Diğer ayrıtlara karşılık gelen mesajlar aynı şekilde elde edilir.

30 Şekil 6, denetim düğümünde gerçekleştirilen bir denetim düğümü hesaplamasını resmeden bir diyagramdır.

Burada, denklemin (2) denetim düğümü hesaplaması, bir $a \times b = \exp \{ \ln(|a|) + \ln(|b|) \}$ x işaret (a) x işaret (b) denkleminin bir ilişkisi kullanılarak bir denklem (6) içine yeniden yazılabilir. Burada işaret (x), $x \geq 0$ olduğunda 1'dir ve işaret (x), $x < 0$ olduğunda -1'dir.

[Denklem 6]

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{işaret} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\left| \tanh \left(\frac{|v_i|}{2} \right) \right| \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{işaret} (v_i) \right] \dots(6)
 \end{aligned}$$

- 5 $x \geq 0$ olduğunda, bir fonksiyon ($\phi(x)$) bir $\phi(x) = \ln(\tanh(x/2))$ denklemi olarak tanımlanırsa, denklemin (6) denkleme (7) deforme edilebileceği şekilde bir $\phi^{-1}(x) = 2 \tanh^{-1}(e^x)$ denklemi oluşturulur.

[Denklem 7]

10

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{işaret}(v_i) \dots(7)$$

Denetim düğümünde, denklemin (2) denetim düğümü hesaplaması denkleme (7) göre gerçekleştirilir.

15

Diğer bir deyişle, denetim düğümünde, Şekil 6'da resmedildiği üzere, hesaplanacak olan bir ayrıta karşılık gelen bir mesaj (U_i), denetim düğümüne bağlı olan kalan ayrıtlardan mesajlar (v_1, v_2, v_3, v_4 ve v_5) kullanılarak denklemin (7) denetim düğümü hesaplamasıyla elde edilir. Diğer ayrıtlara karşılık gelen mesajlar aynı şekilde elde edilir.

20

Ek olarak, denklemin (7) bir fonksiyonu ($\phi(x)$), $x > 0$, $\phi(x) = \phi^{-1}(x)$ olduğunda bir $\phi(x) = \ln((e^x + 1) / (e^x - 1))$ denklemi olarak temsil edilebilir. $\phi(x)$ ve $\phi^{-1}(x)$ fonksiyonları donanımda uygulandığında, fonksiyonlar bazı durumlarda taramalı tablolar (LUT'ler) kullanılarak uygulanabilir, ancak LUT'ler ayındır.

25

<Mevcut teknolojinin uygulandığı iletim sisteminin yapılandırma örneği>

Şekil 7, mevcut teknolojinin uygulandığı bir iletim sisteminin bir uygulamasının bir yapılandırma örneğini resmeden bir diyagramdır (sistem, birden fazla cihazın mantıksal olarak bir araya getirilenleri ifade etmektedir ve bileşen cihazların aynı yuvada olup olmaması önemli değildir).

Şekil 7'de, iletim sistemi bir iletim aygıtı (11) ve bir alım aygıtı (12) içerir.

İletim aygıtı (11), örneğin, televizyon yayını programlarının ve benzerlerinin iletimini (yayınlanmasını) (gönderilmesini) gerçekleştirir. Diğer bir deyişle, iletim aygıtı (11), örneğin, iletimin bir hedefi olan görüntü verisi ve ses verisi gibi hedef verisini bir program olarak bir LDPC kodunun içine kodlar ve kodlanmış hedef veriyi, örneğin, uydu hatları, karasal dalgalar, kablolar (kablolu hatlar) gibi bir iletişim yolu (13) üzerinden iletir.

Alım aygıtı (12), iletim yolu (13) üzerinden iletim aygıtından (11) iletilen LDPC kodunu alır, LDPC kodunun kodunu hedef verinin içine çözer ve veriyi çıkarır.

Burada, Şekil 7'deki iletim sisteminde kullanılan LDPC kodunun, bir Toplamalı Beyaz Gaussian Gürültüsü (AWGN) iletişim yolunda kayda değer bir şekilde yüksek bir kapasite harcar.

Aynı esnada, iletişim yolu (13) bir çoğuşma hatası veya silinti üretebilir. Örneğin, özellikle, iletişim yolu (13) karasal dalgalar olduğunda, bir Dikey Frekans Bölmeli Çoğullama (OFDM) sisteminde, bir İstenenin İstenmeyene Oranının (D/U) 0 dB olduğu (İstenmeyen=ekonun kuvveti İstenen=ana yolun kuvvetine eşittir) bir çok-yollu ortamda, belirli bir sembolün kuvveti, ekonun gecikmesine (ana yolun dışında bir yol) göre 0 (silinti) haline gelir.

Ayrıca, flaterde (gecikmenin 0 olduğu ve bir Doppler frekansı nedeniyle bir ekonun eklendiği bir iletişim yolu) bile, D/U 0 dB ise, tüm OFDM sembollerinin belirli bir zamandaki kuvveti Doppler frekansı nedeniyle 0 (silinti) haline gelebilir.

Ayrıca, alım aygıtı (12) üzerindeki iletim aygıtından (11) sinyalleri alan bir anten gibi bir alım ünitesinden (gösterilmemiştir) alım aparatına (12) kablolamanın durumu ve alım aparatının (12) enerji kararsızlığı nedeniyle bir çoğuşma hatası meydana gelebilir.

- 5 Aynı esnada, LDPC kodunun kod çözülmesinde, Şekil 5'te resmedildiği üzere eşlik denetim matrisinin (H) sütununda ve LDPC kodunun kod bitine karşılık gelen değişken düğümde, denklemin (1) değişken düğüm hesaplaması LDPC kodunun kod bitinin (bunun alınan değeri (u_{0i})) eklenmesiyle gerçekleştirildiğinden, değişken düğüm hesaplamasında kullanılan kod bitinde bir hata meydana gelirse, alınan mesajın
- 10 kesinliği azalır.

- Daha sonra, LDPC kodunun kod çözülmesinde, denetim düğümündeki denklemin (7) denetim düğümü hesaplaması denetim düğümüne bağlı değişken düğümde elde edilen mesaj kullanılarak gerçekleştirildiğinden, kendisine (kendisine karşılık gelen LDPC
- 15 kodunun kod biti) bağlı birden fazla değişken düğümün eşzamanlı olarak (silinti dahil olmak üzere) hata durumuna geldiği denetim düğümlerinin sayısı artarsa, kod çözmenin performansı azalır.

- Diğer bir deyişle, örneğin, denetim düğümüne bağlı iki veya daha fazla değişken
- 20 düğüm eşzamanı olarak silinirse, denetim düğümü, bir 0 değerine sahip olma olasılığının ve bir 1 değerine sahip olma olasılığının tüm değişken düğümlerde aynı olduğu bir mesaj geri gönderir. Bu durumda, eşit olasılık mesajını geri gönderen denetim düğümü bir adet kod çözme işlemine (bir değişken düğüm hesaplaması ve denetim düğümü hesaplaması grubu) katkıda bulunmaz, bunun bir sonucu olarak, kod
- 25 çözme işleminin yinelemelerinin bir lot sayısı gerekir, kod çözme performansı bozunmaya uğrar ve LDPC kodunun kodunu çözen alım aygıtının (12) enerji tüketimi artar.

- Böylelikle, Şekil 7'deki iletim sistemi çoğuşma hatası ve silintiye dirençte gelişme
- 30 sağlarken AWGN iletişim yolundaki (AWGN kanalı) performansı da muhafaza eder.

<İletim aygıtının (11) yapılandırma örneği>

- Şekil 8, Şekil 7'deki iletim aygıtının (11) bir yapılandırma örneğini resmeden bir sütunlu
- 35 diyagramdır.

İletim aygıtında (11), hedef veri olarak bir veya daha fazlasının girdi akışları bir mod uyarlamaya/çoğullayıcıya (111) sağlanır.

- 5 Mod uyarlama/çoğullayıcı (111), gerektiği şekilde, kendisine tedarik edilen bir veya daha fazla girdi akışının mod seçimi ve çoğullanması gibi bir işlemi gerçekleştirir ve oluşan veriyi bir dolgulayıcıya (112) sağlar.

- 10 Dolgulayıcı (112) mod uyarlama/çoğullayıcıdan (111) gelen veri üzerinde sıfır dolgulamayı (sıfır ekleme) gerçekleştirir ve oluşan veriyi bir BB çarpıcıya (113) sağlar.

BB çarpıcı (113) dolgulayıcıdan (112) gelen veri üzerinde Temel-Bant Karıştırmayı (BB karıştırma) gerçekleştirir ve oluşan veriyi bir BCH kodlayıcıya (114) sağlar.

- 15 BCH kodlayıcı (114) BB çarpıcıdan (113) veri üzerinde BCH kodlamayı gerçekleştirir ve oluşan veriyi, LDPC kodlamanın hedefi olan LDPC hedef verisi olarak bir LDPC kodlayıcıya (115) sağlar.

- 20 LDPC kodlayıcı (115), LDPC kodunun eşlik bitlerine karşılık gelen bir kısım olan eşlik matrisinin basamaklı bir yapıya sahip olduğu eşlik denetim matrisine göre, BCH kodlayıcıdan (114) gelen LDPC hedef verisi üzerinde LDPC kodlamayı gerçekleştirir ve LDPC hedef verisine sahip LDPC kodunu bir bilgi biti olarak çıkarır.

- 25 Diğer bir deyişle, LDPC kodlayıcı (115), örneğin, DVB-S.2, DVB-T.2 ve DVB-C.2 gibi önceden belirlenmiş standartlarda tanımlanan (eşlik denetim matrisine karşılık gelen) bir LDPC kodunun içine veya önceden belirlenen (eşlik denetim matrisine karşılık gelen) bir LDPC kodunun içine LDPC hedef verisini kodlayan LDPC kodlamayı gerçekleştirir ve oluşan LDPC kodunu çıkarır.

- 30 Burada, DVB-S.2, DVB-T.2 ve DVB-C.2 gibi standartlarda tanımlanan LDPC kodu bir Düzensiz Yineleme Biriktirme (IRA) kodudur ve LDPC kodunun eşlik denetim matrisindeki eşlik matrisi basamaklı bir yapıya sahiptir. Eşlik matrisi ve basamak yapısı daha sonra tarif edilecektir. Ayrıca, IRA kodu, örneğin, "Irregular Repeat-accumulate Codes," H. Jin, A. Khandekar and R. J. McEliece, in Proceedings of 2nd International

Symposium on Turbo codes and Related Topics, pp. 1-8, Sept. 2000 yayınında tarif edilmektedir.

LDPC kodlayıcıdan (115) LDPC kod çıkışı bir bit serpiştiriciye (116) sağlanır.

5

Bit serpiştirici (116), LDPC kodlayıcıdan (115) gelen LDPC kodu üzerinde, daha sonra tarif edilecek olan bir bit serpiştirme gerçekleştirir ve bit serpiştirmeden sonra LDPC kodunu bir eşleyiciye (117) sağlar.

10 Eşleyici (117), dörtlü modülasyonunun bir sembolünü temsil eden bir sinyal noktasına bit serpiştiriciden (116), bir bit veya daha fazla LDPC kodunun bir kod biti ünitesinde (sembol ünitesi) LDPC kodunu eşleyerek bir dörtlü modülasyonu (çok düzeyli modülasyon) gerçekleştirir.

15 Diğer bir deyişle, eşleyici (117) dörtlü modülasyonu, bir taşıyıcı dalgasıyla uyum-içinde olan bir I bileşenini temsil eden bir I eksen ve taşıyıcı dalgaya dikey bir Q bileşenini temsil eden bir Q eksen olarak tanımlanan bir IQ düzlemi (IQ kümelenmesi) üzerinde, bit serpiştiriciden (116) gelen LDPC kodunu LDPC kodunun dörtlü modülasyonunu gerçekleştiren bir modülasyon düzeninde belirlenen sinyal noktalarına eşleyerek
20 gerçekleştirir.

Burada, eşleyicide (117) gerçekleştirilen dörtlü modülasyonun bir modülasyon düzeninin bir örneği örneğin, DVB-S.2, DVB-T.2 ve DVB-C.2 gibi standartlarda tanımlanan bir modülasyon düzenini, diğer modülasyon düzenlerini, diğer bir deyişle,
25 örneğin, ikili faz kaydırmalı anahtarlama (BPSK), dörtlü faz kaydırmalı anahtarlama QPSK), 8 fazlı kaydırmalı anahtarlama (PSK), 16 Genlik Faz-Kaydırmalı Anahtarlama (APSK), 32 APSK, 16 dörtlü genlik modülasyonu (QAM), 64QAM, 256QAM, 1024QAM, 4096QAM ve 4 Vurum Genlik Modülasyonu (PAM) içerir. Eşleyicide (117), dörtlü modülasyonun gerçekleştirildiği bir modülasyon düzeni, örneğin, bir operatörün iletim
30 aygıtını (11) çalıştırmasına göre önceden ayarlanır.

Eşleyicideki (117) bir işlemle elde edilen veri (bir sembolün bir sinyal noktasının içine eşlenmesiyle elde edilen bir eşleme sonucu) bir zaman serpiştiriciye (118) sağlanır.

Zaman serpiştirici (118), eşleyiciden (117) gelen veri üzerinde, bir sembol ünitesinde zaman serpiştirmeyi (bir zaman yönünde serpiştirme) gerçekleştirir ve oluşan veriyi bir Tek Girdili Tek Çıktılı/Çok Girdili Tek Çıktılı (SISO/MISO) kodlayıcıya (119) sağlar.

- 5 SISO/MISO kodlayıcı (119) zaman serpiştiriciden (118) gelen veri üzerinde uzay-zaman kodlamasını gerçekleştirir ve oluşan veriyi bir frekans serpiştiriciye (120) sağlar.

- Frekans serpiştirici (120), SISO/MISO kodlayıcıdan (119) gelen veri üzerinde, bir sembol ünitesinde frekans serpiştirmeyi (bir frekans yönünde serpiştirme) gerçekleştirir ve oluşan veriyi bir çerçeve oluşturucu/kaynak ayırma ünitesine (131) sağlar.

Aynı esnada, örneğin, iletim kontrolü için Temel Bant Sinyalleme (BB sinyalleme) gibi kontrol verisi (sinyalleme) (BB Başlığı), bir BCH kodlayıcıya (121) sağlanır.

- 15 BCH kodlayıcı (121), BCH kodlayıcıya (114) benzer şekilde, kendisine tedarik edilen kontrol verisi üzerinde BCH kodlamayı gerçekleştirir ve oluşan veriyi bir LDPC kodlayıcıya (122) sağlar.

- LDPC kodlayıcı (122), LDPC kodlayıcıya (115) benzer şekilde, BCH kodlayıcıdan (121) gelen veri üzerinde LDPC hedef verisi olarak LDPC kodlamayı gerçekleştirir ve oluşan LDPC kodunu bir eşleyiciye (123) sağlar.

- Eşleyici (123), eşleyiciye (117) benzer şekilde, LDPC kodunun bir veya daha fazla bitinin bir kod biriminde (sembol birim), LDPC kodlayıcıdan (122) gelen LDPC kodunu 25 dördü modülasyonun bir sembolünü temsil eden bir sinyal noktasına eşleyerek bir dördü modülasyon gerçekleştirir ve oluşan veriyi bir frekans serpiştiriciye (124) sağlar.

- Frekans serpiştirici (124), frekans serpiştiriciye (120) benzer şekilde, eşleyiciden (123) gelen veri üzerinde bir sembol biriminde bir frekans serpiştirme gerçekleştirir ve oluşan 30 veriyi çerçeve oluşturucu/kaynak ayırma ünitesine (131) sağlar.

Çerçeve oluşturucu/kaynak ayırma ünitesi (131), frekans serpiştiricilerden (120 ve 124) gelen verinin (sembol) gerekli bir konumuna bir pilot sembol sokar, oluşan veriden (sembol) önceden belirlenmiş sayıda sembollerden oluşan bir çerçeve (örneğin, bir

fiziksel katman (PL) çerçevesi, bir T2 çerçevesi, bir C2 çerçevesi ve benzerleri) yapar ve çerçeveyi bir OFDM üretme ünitesine (132) sağlar.

5 OFDM üretme ünitesi (132), çerçeve oluşturucu/kaynak ayırma ünitesinden (131) gelen çerçeveden, çerçeveye karşılık gelen bir OFDM sinyali üretir ve OFDM sinyali iletişim yolu (13) üzerinden iletir (Şekil 7).

Ek olarak, iletim aygıtı (11), örneğin, zaman serpiştirici (118), SISO/MISO kodlayıcı (119), frekans serpiştirici (120) ve frekans serpiştirici (124) gibi, Şekil 8'de resmedilen
10 blokları bazıları sağlanmadan yapılandırılabilir.

Şekil 9, Şekil 8'deki bir bit serpiştiricinin (116) bir yapılandırma örneğini resmetmektedir.

15 Bit serpiştirici (116) bir veri serpiştirme fonksiyonuna sahiptir ve bir eşlik serpiştiriciyle (23), bir sütun döndürme serpiştiriciyle (24) ve bir çoğullama çözücüsü (DEMUX) (25) yapılandırılır. Ek olarak, bit serpiştirici (116), eşlik serpiştiricinin (23) ve sütun döndürme serpiştiricinin (24) biri veya her ikisi sağlanmadan yapılandırılabilir.

20 Eşlik serpiştirici (23), bir başka eşlik bitinin konumundaki LDPC kodlayıcıdan (115) gelen LDPC kodunun eşlik bitini serpiştiren eşlik serpiştirmeyi gerçekleştirir ve eşlik serpiştirmeden sonra LDPC kodunu sütun döndürme serpiştiriciye (24) sağlar.

Sütun döndürme serpiştirici (24) eşlik serpiştiriciden (23) gelen LDPC kodu üzerinde
25 sütun döndürme serpiştirmeyi gerçekleştirir ve sütun döndürme serpiştirmesinden sonra LDPC kodunu çoğullama çözücüsüne (25) sağlar.

Diğer bir deyişle, LDPC kodunun bir veya daha fazla bitinin kod bitleri Şekil 8'deki eşleyici (117) tarafından dörtlü modülasyonun bir sembolünü temsil eden bir sinyal
30 noktasına eşlenirken LDPC kodu iletilir.

Sütun döndürme serpiştiricide (24) örneğin, daha sonra tarif edilecek olan bir sütun döndürme serpiştirme, eşlik serpiştiriciden (23) gelen LDPC kodunun kod bitlerinin, bir LDPC kodunun, LDPC kodlayıcıda (115) kullanılan eşlik denetim matrisinin herhangi

bir sırasındaki 1'e karşılık gelen birden fazla kod bitinin tek bir sembolde içerilmediği şekilde yeniden düzenlendiği bir yeniden düzenleme işlemi olarak gerçekleştirilir.

5 Çoğullama çözücü (25), sütun döndürme serpiştiriciden (24) gelen LDPC kodu üzerinde bir sembol olan LDPC kodunun iki veya daha fazla kod bitinin konumunun değiştirildiği bir değiştirme işlemi gerçekleştirerek, AWGN ve benzerlerine güçlendirilmiş dirence sahip bir LDPC kodu elde eder. Daha sonra, çoğullama çözücü (25), değiştirme işlemiyle elde edilen LDPC kodunun iki veya daha fazla kod bitini, bir sembol olarak, eşleyiciye (117) sağlar (Şekil 8).

10

Şekil 10, Şekil 8'deki LDPC kodlayıcıdaki (115) LDPC kodlamada kullanılan eşlik denetim matrisini (H) resmeden bir diyagramdır.

15 Eşlik denetim matrisi (H) bir düşük-yoğunluklu üretim matrisi (LDGM) yapısına sahiptir ve LDPC kodunun kod bitlerinden, bilgi bitine karşılık gelen parçaların bilgi matrisiyle (H_A) ve eşlik bitine karşılık gelen parçaların eşlik matrisiyle (H_T), bir $H=[H_A|H_T]$ denklemiyle (bir bilgi matrisinin (H_A) öğelerinin soldaki öğeler ve bir eşlik matrisinin (H_T) öğelerinin sağdaki öğeler olduğu bir matris) temsil edilebilir.

20 Burada, bir adet LDPC kodunun (1 kod sözcüğü) kod bitlerinden bilgi bitinin bitlerinin adedi ve eşlik bitinin bitlerinin adedi sırasıyla, bir bilgi uzunluğu (K) ve bir eşlik uzunluğu (M) olarak ifade edilir ve bir adet LDPC kodunun kod bitlerinin adedi bir kod uzunluğu ($N=(K+M)$) olarak ifade edilir.

25 Belirli bir kod uzunluğundaki (N) LDPC kodu için bilgi uzunluğu (K) ve eşlik uzunluğu (M) bir kod oranıyla belirlenir. Ayrıca, eşlik denetim matrisi (H), bir sıra x sütun ($M \times N$) matrisidir. Bu durumda, bilgi matrisi (H_A) bir $M \times K$ matrisidir ve eşlik matrisi (H_T) bir $M \times M$ matrisidir.

30 Şekil 11, DVB-S.2, DVB-T.2 ve DVB-C.2 standartlarında tanımlanan LDPC kodunun eşlik denetim matrisinin (H) eşlik matrisini (H_T) göstermektedir.

35 Şekil 11'de resmedildiği üzere, DVB-T.2 gibi bir standartta tanımlanan LDPC kodunun eşlik denetim matrisinin (H) eşlik matrisi (H_T), 1 öğelerinin bir basamak şeklinde düzenlendiği basamaklı bir yapıdaki bir matristir (alt çift-köşegen matris). Eşlik

matrisinin (H_T) sıra ağırlığı bir birinci sırada 1'dir ve kalan tüm sıralarda 2'dir. Ayrıca, sütun ağırlığı bir son sütunda 1'dir ve kalan tüm sütunlarda 2'dir.

5 Yukarıda tarif edildiği üzere, eşlik matrisi (H_T) basamaklı bir yapıya sahip eşlik denetim matrisinin (H) LDPC kodunu, eşlik denetimi matrisi (H) kullanılarak kolaylıkla üretmek mümkündür.

Diğer bir deyişle, LDPC kodu (bir adet kod sözcüğü) bir sıra vektörüyle (c) ve c^T ile simgelenen sıra vektörünün aktarılmasıyla elde edilen bir sütun vektörüyle temsil edilir. 10 Ayrıca, bilgi biti parçası bir sıra vektörüyle (c) temsil edilir ve eşlik biti parçası, LDPC kodu olan sıra vektöründe (c), bir sıra vektörüyle (T) temsil edilir.

Bu durumda, sıra vektörü (c), sıra vektörü A 'yı bilgi biti olarak ve sıra vektörü T 'yi eşlik 15 biti olarak kullanarak, (sıra vektörü A 'nın öğelerinin soldaki öğeler ve sıra vektörü T 'nin öğelerinin sağdaki öğeler olduğu) bir $c=[A|T]$ denklemiyle temsil edilebilir.

Eşlik denetim matrisinin (H) ve sıra vektörünün ($c=[A|T]$) LDPC kodu olarak bir $Hc^T=0$ 20 denklemini yerine getirmesi gereklidir ve eşlik denetimi matrisinin ($H=[H_A|H_T]$) eşlik matrisi (H_T) Şekil 11'de resmedilen basamaklı yapıya sahipse, $Hc^T=0$ denklemini yerine getiren sıra vektörünü ($c=[A|T]$) yapılandıran eşlik bitleri olarak sıra vektörü (T), sütun vektörünün (Hc^T) birinci sırasındaki öğeden her bir sıranın (0) öğesini $Hc^T=0$ denkleminde sıraya koyarak sıralı şekilde (sırayla) elde edilebilir.

Şekil 12, DVB-T.2 standardında tanımlanan LDPC kodunun eşlik denetim matrisini (H) 25 resmeden bir diyagramdır.

DVB-T.2 standardında tanımlanan LDPC kodunun eşlik denetim matrisinde (H), sütun 30 ağırlığı X bir KX -nci sütunun birinci sütununa verilir ve sütun ağırlığı 3 müteakip $K3$ sütunlarında verilir, sütun ağırlığı 2 müteakip $M-1$ sütunlarına verilir ve sütun ağırlığı 1 son sütuna verilir.

Burada, $KX+K3+M-1+1$, kod uzunluğuna (N) eşittir.

Şekil 13, KX, K3 ve M sütunlarının sayısını ve DVB-T.2 standardında ve benzerlerinde tanımlanan LDPC kodunun her bir kod oranı için bir sütun ağırlığını (X) resmeden bir diyagramdır.

- 5 DVB-T.2 ve benzeri standartlarda, 64800 bit ve 16200 bit uzunluğundaki (N) LDPC kodları tanımlanmaktadır.

Bu durumda, 64800 bit kod uzunluğundaki (N) LDPC kodu için 11 adet kod oranı (nominal hızlar) olmak üzere $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ ve $9/10$ tanımlanır ve 16200 bit kod uzunluğundaki (N) LDPC kodu için 10 adet kod oranı olmak üzere $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$ ve $8/9$ tanımlanır.

Burada, 64800 bitlik kod uzunluğu (N) 64 kbit olarak ifade edilir ve 16200 bitlik kod uzunluğu (N) 16 kbit olarak ifade edilir.

15

LDPC kodu için, eşlik denetim matrisinin (H) büyük bir sütun ağırlığına sahip sütuna karşılık gelen kod biti büyük olasılıkla düşük bir hata oranına sahiptir.

DVB-T.2 standardında ve benzerlerinde tanımlanan, Şekil 12 ve Şekil 13'teki eşlik denetim matrisinde (H), sütun birinci tarafa (sol taraf) ne kadar yakınsa, sütun ağırlığı olasılıkla daha yüksektir, bu nedenle, eşlik denetim matrisine (H) karşılık gelen LDPC kodu için, başlangıç tarafındaki kod biti büyük olasılıkla hatada güçlüdür (hataya bir dirence sahiptir) ve son taraftaki kod bit büyük olasılıkla hatada zayıftır.

- 25 Şekil 14, 16QAM Şekil 8'deki eşleyici (117) tarafından gerçekleştirildiğinde IQ düzlemi üzerindeki 16 sembolün (kendisine karşılık gelen sinyal noktaları) bir düzenleme örneğini resmetmektedir.

Diğer bir deyişle, Şekil 14'teki A, DVB-T.2'nin 16QAM'inin sembollerini (kendisine karşılık gelen sinyal noktaları) göstermektedir.

30

16QAM'de, bir adet sembol dört bit tarafından temsil edilmektedir ve $16 (=2^4)$ sembol bulunmaktadır. Bu durumda, 16 sembol, bir merkez olarak IQ düzleminin bir orijiniyle, I yönü x Q yönünde 4×4 'lük bir çerçeve oluşturmak amacıyla düzenlenir.

35

Şimdi, bir tek sembol tarafından temsil edilen bir bit dizindeki en kayda değer bitten $(i+1)$ -nci bit bir y_i biti olarak temsil edilirse, 16QAM'nin bir adet bitini temsil eden dört bit, sıradaki en kayda değer bitten y_0, y_1, y_2 ve y_3 bitleri olarak temsil edilebilir. Bir modülasyon düzeni 16QAM ise, LDPC kodunun kod bitlerinin dört biti, y_0 ile y_3 arasındaki dört bitin bir sembolü (sembol değerleri) haline gelir (sembolize edilir).

Şekil 14'teki B, 16QAM'nin sembolleri tarafından temsil edilen y_0 ile y_3 arasındaki dört bitin (bundan böyle bir sembol biti olarak ifade edilecektir) sembol biti y_i için bit sınırlarını göstermektedir.

10

Burada, sembol biti y_i için bit sınırı (Şekil 14'te $i=0, 1, 2$ ve 3), sembol biti y_i 'nin 0 olduğu bir sembolle sembol biti y_i 'nin 1 olduğu bir sembol arasındaki bir sınır anlamına gelmektedir.

15 Şekil 14'teki B'de resmedildiği üzere, 16QAM'nin sembolleri tarafından temsil edilen y_0 ile y_3 arasındaki dört sembol bitinden üst sembol biti y_0 için, IQ düzlemindeki Q-ekseni üzerindeki bir yer bir bit sınırıdır ve ikinci (en kayda değer bitten ikincisi) sembol biti y_1 için, IQ düzlemindeki I-ekseni üzerindeki sadece tek bir yer bir bit sınırıdır.

20 Ayrıca, üçüncü sembol biti y_2 için bit sınırları, 4x4 sembolden, soldan birinci sütunla ikinci sütun arasında ve üçüncü sütunla dördüncü sütun arasında yer alır.

Ayrıca, dördüncü sembol biti y_3 için bit sınırları, 4x4 sembolden, üstten birinci sırayla ikinci sıra arasında ve üçüncü sırayla dördüncü sıra arasında yer alır.

25

Semboller tarafından temsil edilen sembol biti y_i ile ilgili olarak, bit sınırından ne kadar fazla sembol uzak olursa, daha az hata meydana gelir (hata olasılığı düşüktür) ve sembol biti sınırına ne kadar fazla sembol yakın olursa, daha çok hata meydana gelir (hata olasılığı yüksektir).

30

Şimdi, hatanın az bir olasılıkla meydana geldiği (hata durumunda güçlü) bir bit "kuvvetli bit" olarak ifade edilirse ve hatanın kolayca meydana geldiği (hata durumunda zayıf) bir bit "zayıf bit" olarak ifade edilirse, 16QAM'nin bir sembolünün y_0 ile y_3 arasındaki dört sembol biti için, üst sembol biti y_0 ve ikinci sembol biti y_1 kuvvetli bitlerdir ve üçüncü sembol y_2 ve dördüncü sembol biti y_3 zayıf bitlerdir.

35

Şekil 15 ile Şekil 17, 64 sembolün (kendisine karşılık gelen sinyal noktalarının), diğer bir deyişle 64QAM Şekil 8'deki eşleyici (117) tarafından gerçekleştirildiğinde IQ düzlemi üzerinde DVB-T.2'nin 16QAM'inin sembollerinin bir düzenleme örneğini resmetmektedir.

64QAM'de, bir tek sembol altı bit tarafından temsil edilir ve 64 ($=2^6$) sembol vardır. Bu durumda, 64 sembol, bir merkez olarak IQ düzleminin bir orijiniyle, I yönü x Q yönünde 8 x 8'lik bir çerçeve oluşturmak amacıyla düzenlenir.

10

64QAM'nin bir sembolünün sembol bitleri, sıradaki en kayda değer bitten y_0 , y_1 , y_2 , y_3 , y_4 ve y_5 bitleri olarak temsil edilebilir. Bir modülasyon düzeni 64QAM ise, LDPC kodunun kod bitlerinin altı biti, y_0 ile y_5 arasındaki altı bitin bir sembolüdür.

15 Burada, 64QAM'nin sembolünün y_0 ile y_5 arasındaki sembol bitleri arasından, Şekil 15 üst sembol biti y_0 'ın ve ikinci sembol biti y_1 'in her biri için bit sınırını resmetmektedir, Şekil 16 üçüncü sembol biti y_2 'nin ve dördüncü sembol biti y_3 'ün her biri için bit sınırını resmetmektedir ve Şekil 17 beşinci sembol biti y_4 'ün ve altıncı sembol biti y_5 'in her biri için bit sınırını resmetmektedir.

20

Şekil 15'te resmedildiği üzere, üst sembol biti y_0 'ın ve ikinci sembol biti y_1 'in her biri için bit sınırlarının sayısı birdir. Ayrıca, Şekil 16'da resmedildiği üzere, üçüncü sembol biti y_2 'nin ve dördüncü sembol biti y_3 'ün her biri için bit sınırlarının sayısı ikidir ve Şekil 17'de resmedildiği üzere, beşinci sembol biti y_4 'ün ve altıncı sembol biti y_5 'in her biri için bit sınırlarının sayısı dördür.

25

Bu nedenle, 64QAM'nin sembolünün y_0 ile y_5 arasındaki sembol bitleri için, üst sembol biti y_0 ve ikinci sembol biti y_1 en kuvvetli bitlerdir ve üçüncü sembol biti y_2 ve dördüncü sembol biti y_3 ikinci en kuvvetli bitlerdir. Bu durumda, beşinci sembol biti y_4 ve altıncı sembol biti y_5 zayıf bitlerdir.

30

Şekil 14'te ve Şekil 15 ile Şekil 17'de, dörtlü modülasyonun sembolünün sembol bitleri için bir daha yukarıdaki bir bitin büyük olasılıkla kuvvetli bir bit olduğu ve daha alttaki bir bitin büyük olasılıkla bir zayıf bit olduğu görülebilir.

35

Şekil 18, bir IQ düzlemi üzerindeki dört sembolün (kendisine karşılık gelen sinyal noktalarının), diğer bir deyişle, iletişim yolu (13) olarak bir uydu hattı kullanıldığında (Şekil 7) ve QPSK Şekil 8'deki eşleyici (117) tarafından gerçekleştirildiğinde, DVB-S.2'nin QPSK'sinin sinyal noktası düzenlemesinin bir düzenleme örneğini resmetmektedir.

DVB-S.2'nin QPSK'sinde, sembol, bir merkez olarak IQ düzleminin bir orijiniyle 1'lik bir çapa (p) sahip bir daire üzerindeki dört sinyal noktasının birine eşlenir.

Şekil 19, bir IQ düzlemi üzerindeki sekiz sembolün, diğer bir deyişle, iletişim yolu (13) olarak bir uydu hattı kullanıldığında (Şekil 7) ve 8PSK Şekil 8'deki eşleyici (117) tarafından gerçekleştirildiğinde, DVB-S.2'nin 8PSK'sinin sinyal noktası düzenlemesinin bir düzenleme örneğini resmetmektedir.

DVB-S.2'nin 8PSK'sinde, sembol, bir merkez olarak IQ düzleminin bir orijiniyle 1'lik bir çapa (p) sahip bir daire üzerindeki sekiz sinyal noktasının birine eşlenir.

Şekil 20, bir IQ düzlemi üzerindeki 16 sembolün, diğer bir deyişle, iletişim yolu (13) olarak bir uydu hattı kullanıldığında (Şekil 7) ve 16APSK Şekil 8'deki eşleyici (117) tarafından gerçekleştirildiğinde, DVB-S.2'nin 16APSK'sinin sinyal noktası düzenlemesinin bir düzenleme örneğini resmetmektedir.

Şekil 20'deki A, DVB-S.2'nin 16APSK'sinin kümelenmesini göstermektedir.

DVB-S.2'nin 16APSK'sinde, sembol, bir merkez olarak IQ düzleminin bir orijiniyle, bir R_1 çapına sahip bir daire üzerindeki dört sinyal noktasını ve bir R_2 çapına ($>R_1$) sahip bir daire üzerindeki 12 sinyal noktasını içeren toplam 16 sinyal noktasının birine eşlenir.

Şekil 20'deki B, DVB-S.2'nin 16APSK'sinin kümelenmesindeki R_2 çapının R_1 çapına $\gamma=R_2/R_1$ 'lik bir oranını göstermektedir.

R_2 çapının R_1 çapına oranı (γ), DVB-S.2'nin 16APSK'sinin kümelenmesinde, kod oranına bağlı olarak değişir.

Şekil 21, bir IQ düzlemi üzerindeki 32 sembolün, diğer bir deyişle, iletişim yolu (13) olarak bir uydu hattı kullanıldığında (Şekil 7) ve 32APSK Şekil 8'deki eşleyici (117) tarafından gerçekleştirildiğinde, DVB-S.2'nin 32APSK'sinin sinyal noktası düzenlemesinin bir düzenleme örneğini resmetmektedir.

5

Şekil 21'deki A, DVB-S.2'nin 32APSK'sinin kümelenmesini göstermektedir.

DVB-S.2'nin 32APSK'sinde, sembol, bir merkez olarak IQ düzleminin bir orijiniyle, bir R1 çapına sahip bir daire üzerindeki dört sinyal noktasını, bir R2 çapına ($>R1$) sahip bir daire üzerindeki 12 sinyal noktasını ve bir R3 çapına ($>R2$) sahip bir daire üzerindeki 16 sinyal noktasını içeren toplam 32 sinyal noktasının birine eşlenir.

10

15

Şekil 21'deki B, DVB-S.2'nin 32APSK'sinin kümelenmesindeki R2 çapının R1 çapına $\gamma_1=R2/R1$ 'lik bir oranını ve R3 çapının R1 çapına $\gamma_2=R3/R1$ 'lik bir oranını göstermektedir.

R2 çapının R1 çapına oranı (γ_1) ve R3 çapının R1 çapına oranı (γ_2), DVB-S.2'nin 32APSK'sinin kümelenmesinde, kod oranına bağlı olarak değişir.

20

Şekil 14 ile Şekil 17'deki duruma benzer şekilde, Şekil 18 ile Şekil 21'de kümelenmeleri resmedilen DVB-S.2'nin dörtlü modülasyonlarının ilgili tiplerinin (QPSK, 8PSK, 16APSK, 32APSK) sembollerinin sembol bitleri için bile kuvvetli bitler ve zayıf bitler bulunmaktadır.

25

Burada, Şekil 12 ve Şekil 13'te resmedildiği üzere, LDPC kodlayıcının (115) (Şekil 8) çıkardığı LDPC kodu için, hata durumunda zayıf olan kod bitleri ve hata durumunda kuvvetli olan kod bitleri vardır.

30

Ayrıca, Şekil 14 ile Şekil 21'de resmedildiği üzere, eşleyici (117) tarafından gerçekleştirilen dörtlü modülasyonun bir sembolünün sembol bitleri için kuvvetli bitler ve zayıf bitler vardır.

35

Bu nedenle, LDPC kodunun hatası durumunda zayıf olan bir kod biti bir dörtlü modülasyon sembolünün bir zayıf sembolüne, bir bütün olarak, ayrılırsa, hataya direnç azalır.

Böylelikle, LDPC kodunun, hata durumunda zayıf olan kod bitinin bir dörtlü modülasyon sembolünün bir kuvvetli bitine (sembol biti) ayrılmasının bir eğilimi olarak, LDPC kodunun kod bitinin serpiştirilmesinin bir serpiştiricisi önerilir.

5

Şekil 9'daki çoğullama çözücü (25) serpiştiricinin işlemini gerçekleştirebilir.

Şekil 22, Şekil 9'daki çoğullama çözücünün (25) işlemini resmeden bir diyagramdır.

- 10 Diğer bir deyişle, Şekil 22'deki A, çoğullama çözücünün (25) bir fonksiyonel yapılandırma örneğini göstermektedir.

Çoğullama çözücü (25) bir bellekle (31) ve bir değiştirme ünitesiyle (32) yapılandırılır.

- 15 LDPC kodlayıcıdan (115) gelen LDPC kodu belleğe (31) sağlanır.

Bellek (31), mb bitlerini bir sıra (yatay) yönünde ve $N/(mb)$ bitlerini bir sütun (dikey) yönünde depolamak için bir depolama kapasitesine sahiptir ve (32), kod bitini sütun yönünde yazarak ve kod bitini sıra yönünde okuyarak, değiştirme ünitesine kendisine

20 sağlanan LDPC kodunun kod bitini sağlar.

Burada, N (=bilgi uzunluğu (K) + eşlik uzunluğu (M)), yukarıda tarif edildiği üzere LDPC kodunun kod uzunluğunu temsil etmektedir.

- 25 Ayrıca, m LDPC kodunun kod bitinin bitlerinin sayısını bir tek sembol olarak temsil etmektedir, b önceden belirlenmiş bir pozitif tamsayıyı temsil etmektedir ve m tamsayı çarpımı için kullanılan bir katsayıdır. Çoğullama çözücü (25) LDPC kodunun kod bitini, bitlerin önceden belirlenmiş sayısının (m) bir biriminde oluşturur (sembolize eder) ve b katsayısı, çoğullama çözücü (25) tarafından sembolize etmenin tek seferinde elde
- 30 edilen sembollerin sayısını temsil eder.

Şekil 22'deki A, çoğullama çözücünün (25), bir modülasyon düzeninin 64 sinyal noktasından herhangi birine bir sembol eşleyen 64QAM olduğu ve bu nedenle, bir sembolün altı bit olduğu LDPC kodunun kod bitinin m bit sayısının bir konfigürasyon

35 örneğini gösterir.

Ayrıca, Şekil 22'deki A'da, b katsayısı 1'dir, bu nedenle, bellek (31) sütun yönü x sıra yönünde $N/(6 \times 1) \times (6 \times 1)$ 'lik bir depolama kapasitesine sahiptir.

- 5 Burada, belleğin (31) sıra yönünde bir adet bite sahip olduğu ve sütun yönünde uzandığı bir depolama alanı, uygun olduğu şekilde, bir sütun olarak ifade edilmektedir. Şekil 22'deki A'da, bellek (31) 6 ($=6 \times 1$) sütunla yapılandırılır.

- 10 Çoğullama çözücünde (25), LDPC kodunun kod bitinin, belleği (31) yapılandıran sütunların tepesinden altına bir yönde (sütun yönünde) yazılması, sütuna doğru soldan-sağa yönde gerçekleştirilir.

- 15 Bu durumda, kod bitinin yazılması en sağdaki sütunun dibinde sona erdirilirse, kod bitleri, altı bitlik (mb bitleri) bir ünite, belleği (31) yapılandıran tüm sütunların birinci sütunundan, sıra yönünde okunur ve değiştirme ünitesine (32) sağlanır.

- 20 Değiştirme ünitesi (32) bellekten (31) altı bitin kod bitlerinin konumlarının değiştirilmesinin bir değiştirme işlemini gerçekleştirir 64QAM'nin bir adet sembolünü temsil eden altı sembol biti (y_0, y_1, y_2, y_3, y_4 ve y_5) olarak oluşan altı biti çıkarır.

- 25 Diğer bir deyişle, mb bitlerinin kod bitleri (burada altı bit) bellekten (31) sıra yönünde okunur, ancak bellekten (31) okunan mb bitlerinin kod bitlerinin en kayda değer bitinden i-nci bit ($i=0, 1, \dots, mb-1$) bir b_i biti olarak temsil edilirse, bellekten (31) sıra yönünde okunan altı bitin kod bitleri, sıradaki en kayda değer bitten b_0, b_1, b_2, b_3, b_4 ve b_5 olarak temsil edilebilir.

- 30 Şekil 12 ve Şekil 13'te tarif edilen sütun ağırlıklarının ilişkisinden, bir b_0 bitinin yönünde yer alan kod biti hata durumunda kuvvetli olan bir kod bitidir ve bir b_5 bitinin yönünde yer alan kod biti hata durumunda zayıf olan bir kod bitidir.

- 35 Değiştirme ünitesi (32) bellekten (31) gelen altı bitin b_0 ile b_5 arasındaki kod bitlerinin konumlarının, bellekten (31) gelen altı bitin b_0 ile b_5 arasındaki kod bitleri arasından hata durumunda zayıf olan kod bitinin, 64QAM'den bir adet sembolün y_0 ile y_5 arasındaki sembol bitleri arasından hata durumunda kuvvetli bitlere ayrıldığı şekilde değiştirilmesinin bir değiştirme işlemini gerçekleştirebilir.

Burada, bellekten (31) gelen altı belleğin b_0 ile b_5 arasındaki kod bitlerini değiştiren ve bunları 64AQM'nin bir adet sembolünü temsil eden y_0 ile y_5 arasındaki altı sembol bitinin her birine ayıran çeşitli değiştirme yöntemleri birçok firmadan önerilmiştir.

5

Şekil 22'deki B, Şekil 22'deki C ve Şekil 22'deki D sırasıyla, bir birinci değiştirme yöntemini, bir ikinci değiştirme yöntemini ve bir üçüncü değiştirme yöntemini göstermektedir.

10 Şekil 22'deki B ile Şekil 22'deki D arasında (daha sonra tarif edilecek olan Şekil 23'te bile benzer şekilde), b_i bitini ve y_i bitini bağlayan bir çizgi, b_i kod bitinin, sembolün y_i sembol bitine ayrılması (bunu y_i sembol bitinin konumunda değiştirilmesi) anlamına gelmektedir.

15 Şekil 22'deki B'nin birinci değiştirme yöntemi olarak, üç değiştirme yöntemi tipinin herhangi birinin benimsenmesi önerilmiştir ve Şekil 22'deki C'nin ikinci değiştirme yöntemi olarak, iki değiştirme yöntemi tipinin herhangi birinin benimsenmesi önerilmiştir.

20 Şekil 22'deki D'nin üçüncü değiştirme yöntemi olarak, sıralı haldeki altı değiştirme yöntemi tipinin seçilmesi ve kullanılması önerilmiştir.

Şekil 23, çoğullama çözücünün (25), bir modülasyon düzeninin bir sembolü 64 sinyal noktasının herhangi birine eşleyen 64QAM, (bu nedenle, bir adet sembole eşlenen
25 LDPC kodunun kod bitinin bitlerinin sayısının (m), Şekil 22'ye benzer şekilde altı bit) ve b katsayısının 2 olduğu bir yapılandırma örneğini ve dördüncü değiştirme yöntemini resmetmektedir.

Katsayı b 2 olduğunda, bellek (31) sütun yönü x sıra yönünde $N/(6 \times 2) \times (6 \times 2)$ 'lik bir
30 depolama kapasitesi içerir ve 12 ($=6 \times 2$) sütunla yapılandırılır.

Şekil 23'teki A, LDPC kodunun belleğe (31) bir yazılma sırasını resmetmektedir.

Şekil 22'de tarif edildiği üzere, çoğullama çözücünde (25), LDPC kodunun kod bitinin, belleği (31) yapılandıran sütunların tepesinden dibine bir yönde (sütun yönünde) yazılması, sütuna doğru soldan-sağa yönde gerçekleştirilir.

- 5 Bu durumda, kod bitinin yazılması (bir kod sözcüğünün yazılması sona erdirildiğinde) en sağdaki sütunun dibinde sona erdirilirse, kod bitleri, 12 bitlik (mb bitleri) bir ünite, belleği (31) yapılandıran tüm sütunların birinci sütunundan, sıra yönünde okunur ve değiştirme ünitesine (32) sağlanır.
- 10 Değiştirme ünitesi (32) bellekten (31) 12 bitin kod bitlerinin konumlarının, dördüncü değiştirme yöntemi kullanılarak değiştirilmesinin bir değiştirme işlemini gerçekleştirir 64QAM'nin iki adet sembolünü (b sembolleri) temsil eden 12 sembol biti olarak oluşan 12 biti, diğer bir deyişle 64QAM'nin bir adet sembolünü temsil eden altı sembol bitini (y_0, y_1, y_2, y_3, y_4 ve y_5) ve bir sonraki sembolü temsil eden altı sembol bitini ($y_0, y_1, y_2,$
- 15 y_3, y_4 ve y_5) çıkarır.

Burada, Şekil 23'teki B, Şekil 23'teki A'nın değiştirme ünitesi (32) tarafından değiştirme işleminin dördüncü değiştirme yöntemini resmetmektedir.

- 20 Ek olarak, değiştirme işleminde, b katsayısı 2 olduğunda (aynısı 3 veya daha fazlası durumunda da geçerlidir), mb bitlerinin kod bitleri, b ardışık sembollerinin mb bitlerinin sembol bitlerine ayrılır. Şekil 23 dahil olmak üzere, aşağıda, açıklama kolaylığı için, b ardışık sembollerinin mb bitlerinin sembol bitinin en kayda değer bitinden ($i+1$)-ncisi bit y_i (sembol biti) olarak temsil edilir.
- 25 Hangi kod bit değiştirme yönteminin uygun olduğu, diğer bir deyişle, AWGN iletişim yolundaki ve benzerlerindeki hata oranını daha da geliştirdiği, LDPC kodunun kod oranına ve kod uzunluğuna, modülasyon düzenine ve benzerlerine bağlı olarak değişir.

<Eşlik serpiştirme>

30

Şimdi, Şekil 9'daki eşlik serpiştirici (23) tarafından eşlik serpiştirme, Şekil 24 ila Şekil 26'ya istinaden tarif edilecektir.

- 35 Şekil 24, LDPC kodunun eşlik denetim matrisinin bir Tanner grafiğini (bunun bir parçasını) resmetmektedir.

Şekil 24'te resmedildiği üzere, denetim düğümüne bağlı birden fazla (2 veya benzeri) değişken düğüm (kendisine karşılık gelen bitler) eşzamanlı olarak silinti gibi hata düğümleri haline gelirse, denetim düğümü, bir 0 değerine sahip olmanın bir olasılığının ve bir 1 değerine sahip olmanın bir olasılığının eşit olduğu bir mesajı, denetim düğümüne bağlı tüm değişken düğümlere geri gönderir. Bu nedenle, aynı denetim düğümüne bağlı birden fazla değişken düğüm eşzamanlı olarak silintiler haline gelirse, kod çözme performansı bozulur.

- 10 Burada, DVB-S.2 standardında tanımlanan LDPC kodu ve Şekil 8'deki LDPC kodlayıcı (115) tarafından çıktı bir IRA kodudur ve eşlik denetim matrisinin (H_T) eşlik matrisi (H_T), Şekil 11'de resmedildiği üzere basamaklı bir yapıya sahiptir.

- 15 Şekil 25, basamaklı bir yapıya sahip bir eşlik matrisini (H_T) ve eşlik matrisine (H_T) karşılık gelen bir Tanner grafiğini resmeden bir diyagramdır.

- Diğer bir deyişle, Şekil 25'teki A, basamaklı bir yapıya sahip bir eşlik matrisini (H_T) göstermektedir ve Şekil 25'teki B, Şekil 25'teki A'daki eşlik denetim matrisine (H_T) karşılık gelen bir Tanner grafiğini göstermektedir.

- 20 Basamaklı yapıya sahip eşlik matrisinde (H_T), 1 ögeleri (birinci sıra hariç) her bir sırada bitişiktir. Bu nedenle, eşlik matrisinin (H_T) Tanner grafiğinde, eşlik matrisindeki (H_T) değerleri 1 olan iki bitişik ögenin sütunlarına karşılık gelen iki bitişik değişken düğüm aynı denetim düğümüne bağlıdır.

- 25 Bu nedenle, yukarıda tarif edilen iki bitişik değişken düğüme karşılık gelen iki parite biti eşzamanlı olarak bir çöğuşma hatası veya bir silinti nedeniyle hata bitleri haline gelirse, hata bitleri olan iki eşlik bitine karşılık gelen iki değişken düğüme (eşlik biti kullanılarak bir mesaj elde etmek için değişken düğümler) bağlı denetim düğümü, bir 0 değerine sahip olma olasılığının ve bir 1 değerine sahip olma olasılığının eşit olduğu bir mesajı, kod çözme performansının bozulduğu şekilde, denetim düğümüne bağlı değişken düğüme geri gönderir. Bu durumda, çöğuşma uzunluğu (seri halindeki hata bitleri haline gelen eşlik bitlerinin bit sayısı) artarsa, eşit olasılıkları gösteren mesajı geri gönderen denetim düğümlerinin sayısı artar ve kod çözme performansı daha da
- 30 bozulur.
- 35

Böylelikle, yukarıda tarif edilen kod çözme performansının bozulmasını engellemek amacıyla, eşlik serpiştirici (23) (Şekil 9), LDPC kodlayıcıdan (115) gelen LDPC kodunun eşlik bitini bir başka eşlik bitinin konumuna serpiştirme işleminin serpiştirilmesini gerçekleştirir.

Şekil 26, eşlik serpiştirme Şekil 9'daki eşlik serpiştirici (23) tarafından gerçekleştirildikten sonra bir LDPC koduna karşılık gelen eşlik denetimi matrisinin (H) bir eşlik matrisi (H_T) resmeden bir diyagramdır.

10

Burada, LDPC kodlayıcı (115) tarafından çıkarılan LDPC koduna karşılık gelen ve DVB-S.2 standardında tanımlanan eşlik denetimi matrisinin (H) bilgi matrisi (H_A) çevrimsel bir yapıya sahiptir.

15 Çevrimsel yapı, belirli bir sütunun bir başka sütuna çevrimsel olarak kaydırılmasıyla elde edildiği bir yapıyı ifade etmektedir ve örneğin, her P sütunu için, P sütunundaki her bir sıradaki 1 konumunun P sütununun birinci sütununu, eşlik uzunluğunu (M) bölerek elde edilen bir q değerine orantılı bir değerle, sütun yönünde çevrimsel olarak kaydırılmasından elde edilen konum olduğu bir yapı içerir. Bundan böyle, uygun olduğu durumlarda, çevrimsel yapıdaki P sütunu, bir çevrimsel yapının bir ünitesinin 20 sütunlarının sayısı olarak ifade edilecektir.

DVB-S.2 standardında tanımlanan LDPC kodunun bir örneği, kod uzunluğunun (N) Şekil 12 ve Şekil 13'te tarif edildiği üzere, LDPC kodlarının her iki tipi için 64800 bit ve 25 16200 bit olduğu iki tip LDPC kodu içerir, bir çevrimsel yapının bir ünitesinin sütunlarının sayısı (P), eşlik uzunluğuna (M) sahip bölenler arasından 1 ve M hariç bölenlerin biri olan 360 olarak tanımlanır.

Ayrıca, eşlik uzunluğu (M), bir asal sayı dışında kod oranına bağlı olarak değişen bir q 30 değeri kullanılarak bir $M=q \times P=q \times 360$ denklemiyle temsil edilen bir değerdir. Bu nedenle, çevrimsel bir yapının bir ünitesinin sütunlarının sayısına (P) benzer şekilde, q değeri de, eşlik uzunluğunun (M) bölenleri arasında 1 ve M hariç bölenlerin bir başkasıdır ve eşlik uzunluğunun (M) bir çevrimsel yapının bir ünitesinin sütunlarının sayısına (P) bölünmesiyle elde edilir (eşlik uzunluğunun (M) bölenleri olan P ve q'nun 35 ürünü eşlik uzunluğudur (M)).

Yukarıda tarif edildiği üzere, bilgi uzunluğu K olduğunda ve x 0 veya P 'den daha çok veya az bir tamsayı olduğunda, y 0'ın veya q 'den daha çok veya az bir tamsayıysa, eşlik denetimi (23), eşlik serpiştirmesi olarak, $(K+Py+x+1)$ -nci kod bitinin konumundaki
 5 N bitlerinin LDPC kodunun kod bitleri arasında $(K+qx+y+1)$ -nci kodu serpiştirir.

Hem $(K+qx+y+1)$ -nci kod biti hem $(K+Py+x+1)$ -nci kod biti, eşlik denetimine göre, $(K+1)$ -nci ve müteakip kod bitleri olduğundan, LDPC kodunun eşlik bitinin konumu taşınır.

10

Bu tip bir eşlik serpiştirmeye göre, aynı denetim düğümüne bağlı değişken düğümler (kendisine karşılık gelen eşlik biti), çoğuşma uzunluğu 360 bitten az olduğunda, aynı denetim düğümüne bağlı birden fazla değişken düğümün eşzamanlı olarak hata düğümleri olduğu bir durumun önlenmesinin ve böylelikle çoğuşma hatasına bir
 15 direncin geliştirilmesinin mümkün olduğu şekilde, çevrimsel bir yapının bir ünitesinin sütunlarının sayısı ile (P), diğer bir deyişle, burada, 360 bitle ayrılır.

Ek olarak, $(K+qx+y+1)$ -nci kod bitinin $(K+Py+x+1)$ -nci kod bitinin konumuna serpiştirilmesi işleminin eşlik serpiştirmesinden sonra LDPC kodu, özgün eşlik denetimi
 20 matrisinin (H) $(K+qx+y+1)$ -nci sütununun $(K+Py+x+1)$ -nci sütunla değiştirilmesinin sütun permütasyonu ile elde edilen eşlik denetim matrisinin (bundan böyle, bir dönüştürme eşlik denetimi matrisi olarak ifade edilecektir) LDPC koduyla örtüşür.

Ayrıca, bir ünite olarak P sütunlarına (Şekil 26'da, 360 sütun) sahip bir yarı-çevrimsel yapı, Şekil 26'da resmedildiği üzere dönüştürme eşlik denetimi matrisinin eşlik
 25 matrisinde resmedilmektedir.

Burada, yarı-çevrimsel yapı, diğer parçalar dışında, bazı parçaların çevrimsel yapıya sahip olduğu bir yapı anlamına gelmektedir. Eşlik denetimine karşılık gelen sütun
 30 permütasyonunun gerçekleştirilmesiyle elde edilen dönüştürme eşlik denetimi matrisinde, DVB-S.2 standardında tanımlanan LDPC kodunun eşlik denetimi matrisi üzerinde, sağ köşe kısmında (daha sonra tarif edilecek olan bir kaydırma matrisi) 360 sıra x 360 sütunluk bir kısımda hiç 1 ögesi yoktur (bir 0 ögesi haline gelir) ve bu noktadan sonra, eşlik denetimi matrisi bir (tam) çevrimsel yapıya sahip olmaz ancak
 35 yarı-çevrimsel yapı olarak adlandırılan bir yapıya sahip olur.

Ek olarak, Şekil 26'daki dönüştürme eşlik denetimi matrisi, özgün eşlik denetimi matrisi (H) üzerinde, daha sonra tarif edilecek olan bir yapılandırma matrisinin yapılandırılması amacıyla sıraların permütasyonunun (bir sıra permütasyonu) yanı sıra, eşlik serpiştirmesine karşılık gelen sütun permütasyonunun gerçekleştirilmesiyle elde edilen bir matristir.

<Sütun döndürme serpiştirme>

Şimdi, Şekil 27 ila Şekil 30'a istinaden, Şekil 9'daki sütun döndürme serpiştirici (24) tarafından bir yeniden düzenleme işlemi olarak bir sütun döndürme serpiştirme tarif edilecektir.

Şekil 8'deki iletim aygıtı (11), LDPC kodunun bir bitini veya daha fazla kod bitini bir adet sembol olarak iletir. Diğer bir deyişle, örneğin, kod bitinin iki biti bir adet sembol olduğunda, örneğin, QPSK bir modülasyon düzeni olarak kullanılır ve kod bitinin dört biti bir adet sembol olduğunda, örneğin, 16APSK veya 16QAM bir modülasyon düzeni olarak kullanılır.

Kod bitinin iki veya daha fazla biti tek bir sembol olarak iletildiğinde, herhangi bir sembolde bir silinti veya benzeri meydana gelirse, sembolün tüm kod bitleri hatalar (silintiler) haline gelir.

Bu nedenle, aynı denetim düğümüne (kendisine karşılık gelen kod biti) bağlı birden fazla değişken düğümün aynı anda silintiler haline gelmesi olasılığını azaltmak için, kod çözme performansının geliştirilmesi amacıyla, bir adet sembolün kod bitlerine karşılık gelen değişken düğümün aynı değişken düğüme bağlanmasının önlenmesi gereklidir.

Aynı zamanda, yukarıda tarif edildiği üzere, LDPC kodlayıcı (115) tarafından çıkarılan ve DVB-S.2 standardında tanımlanan LDPC kodunun eşlik denetim matrisinde (H), bilgi matrisi (H_A) çevrimsel bir yapıya sahiptir ve eşlik matrisi (H_T) basamaklı bir yapıya sahiptir. Bu durumda, Şekil 26'da tarif edildiği üzere, eşlik serpiştirmeden sonra LDPC kodunun eşlik denetim matrisi olan dönüştürme eşlik denetim matrisinde, bir çevrimsel yapı (kesin olarak, yukarıda tarif edildiği üzere, bir yarı-çevrimsel yapı) eşlik matrisinde resmedilmektedir.

Şekil 27, bir dönüştürme eşlik denetimi matrisini resmetmektedir.

- 5 Diğer bir deyişle, Şekil 27'deki A, kod uzunluğunun (N) 64800 bir ve kod oranının (r) 3/4 olduğu LDPC kodunun eşlik denetim matrisinin (H) bir dönüştürme eşlik denetimi matrisini resmetmektedir.

Şekil 27'deki A'da, dönüştürme eşlik denetim matrisinde, değerleri 1'e ayarlanan öğelerin konumu noktalarla (.) temsil edilmektedir.

10

Şekil 27'deki B, Şekil 27'deki A'nın dönüştürme eşlik denetim matrisinin bir LDPC koduyla, diğer bir deyişle, bir hedef olarak eşlik serpiştirmeden sonraki LDPC koduyla çoğullama çözücü (25) (Şekil 9) tarafından gerçekleştirilen bir işlemi resmetmektedir.

- 15 Şekil 27'deki B'de, sembolü 16APSK veya 16QAM gibi 16 sinyal noktasına eşlemenin bir düzeni olarak bir modülasyon düzeniyle, eşlik serpiştirmeden sonra LDPC kodunun kod bitleri, çoğullama çözücünün (25) belleğini (31) yapılandıran dört sütunda, sütun yönünde yazılır.

- 20 Belleği (31) yapılandıran dört sütunda, sütun yönünde yazılan kod bitleri, bir adet sembol olması amacıyla, bir dört bitlik üniteye, sıra yönünde okunur.

Bu durumda, dört bitin kod bitleri (B_0 , B_1 , B_2 ve B_3) bir adet sembol olarak, Şekil 27'deki A'nın dönüştürme eşlik denetimi matrisinin herhangi bir sırasındaki 1'e karşılık gelen kod bitleri olabilir ve bu durumda, sırasıyla B_0 , B_1 , B_2 ve B_3 kodlarına karşılık gelen değişken düğümler aynı denetim düğümüne bağlanır.

25

Bu nedenle, bir adet sembolün dört bitinin kod bitleri (B_0 , B_1 , B_2 ve B_3) dönüştürme eşlik denetim matrisinin herhangi bir sırasındaki 1'e karşılık gelen kod bitleri olduğunda, sembolde bir silinti meydana gelirse, sırasıyla B_0 , B_1 , B_2 ve B_3 kod bitlerine karşılık gelen değişken düğümlere bağlı aynı denetim düğümünden uygun bir mesajın elde edilmesi mümkün değildir ve böylelikle kod çözme performansı bozulur.

30

3/4'lük kod oranından başka bir kod oranında bile, benzer şekilde, aynı denetim düğümüne bağlı birden fazla değişken düğüme karşılık gelen birden fazla kod biti, 16APSK veya 16QAM'nin bir adet sembolü olabilir.

- 5 Böylelikle, sütun döndürme serpiştirici (24), dönüştürme eşlik denetimi matrisinin herhangi bir sırasındaki 1'e karşılık gelen birden fazla kod bitinin bir adet sembolde içerilmediği şekilde, eşlik serpiştirmeden (23) gelen eşlik serpiştirmeden sonra LDPC kodunun kod bitinin serpiştirilmesinin sütun döndürme serpiştirmesini gerçekleştir.
- 10 Şekil 28, sütun döndürme serpiştirmesini resmeden bir diyagramdır.

Diğer bir deyişle, Şekil 28, çoğullama çözücünün (25) belleğini (31) (Şekil 22 ve Şekil 23) resmetmektedir.

- 15 Şekil 22'de tarif edildiği üzere, bellek (31) mb bitlerini sütun (dikey) yönünde ve N/(mb) bitlerini sıra (yatay) yönünde depolama için bir depolama kapasitesine sahiptir ve mb sütunlarıyla yapılandırılır. Daha sonra, sütun döndürme serpiştirici (24), LDPC kodunun kod biti sütun yönünde yazılırken ve kod biti sıra yönünde okunurken, bellek (31) için yazma başlama konumunu kontrol ederek sütun döndürme serpiştirmeyi gerçekleştir.

20

- Diğer bir deyişle, sütun döndürme serpiştirici (24) uygun şekilde, kod bitinin yazılmasının başladığı bir yazma başlama konumu, birden fazla sütunun her biri için, bir adet sembolü yapılandıran ve sıra yönünde okunan birden fazla kod bitinin, dönüştürme eşlik denetimi matrisinin belirli bir sırasında yer alan 1'e karşılık gelen kod bitleri haline gelmediği şekilde değiştirir (LDPC kodunun kod bitleri, dönüştürme eşlik matrisinin belirli bir sırasında yer alan 1'e karşılık gelen birden fazla kod bitinin aynı sembolde içerilmediği şekilde yeniden düzenlenir).
- 25

- Burada, Şekil 28, bir modülasyon düzeni 16APSK veya 16QAM olduğunda ve Şekil 22'de tarif edilen b katsayısı 1 olduğunda, belleğin (31) bir yapılandırma örneğini resmetmektedir. Bu nedenle, LDPC kodunun kod bitinin bir adet sembolde yapılandırılan bitlerinin sayısı (m) dört bittir ve bellek (31) dört (=mb) sütunla yapılandırılır.
- 30

Sütun döndürme serpiştirici (24) (Şekil 22'deki çoğullama çözücü (25) adına), LDPC kodunun kod bitinin yazılmasını, belleği (31) yapılandıran dört sütunun üstünden altına (sütun yönünde), sütuna doğru soldan-sağa yönde gerçekleştirir.

- 5 Daha sonra, kod bitinin yazılması en sağdaki sütunda bitirilirse, sütun döndürme serpiştirici (24) kod biti belleği (31) yapılandıran tüm sütunların birinci sırasından, sıra yönünde, dört bitlik (mb biti) bir birimde okur ve kod bitini sütun döndürme serpiştirmeden sonra LDPC kodu olarak, çoğullama çözücünün (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) çıkartır.

10

Ancak, her bir sütunun birinci (üst) konumunun adresinin 0 olduğu ve sütun yönündeki her bir konumun adresinin azalan sıralamayla tamsayılarla temsil edildiği varsayılırsa, sütun döndürme serpiştiricide (24), en soldaki sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, (soldan) ikinci sütunun yazma başlama konumunun bir 2
15 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu ve dördüncü sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

20

Ek olarak, yazma başlama konumlarının bir 0 adresinin konumundan farklı olduğu sütunlarla ilgili olarak, kod bitleri alt konuma kadar yazıldıktan sonra, geri yukarı (0 adresinin konumu), kod bitleri yazma başlama konumundan hemen önceki konuma kadar yazılır. Daha sonra, sonraki (sağ) sütuna yazma gerçekleştirilir.

25

Yukarıda tarif edilen sütun döndürme serpiştirmenin gerçekleştirilmesiyle, DVB-T.2 standardında tanımlanan LDPC kodu için, aynı denetim düğümüne bağlı birden fazla değişken düğüme karşılık gelen birden fazla kod bitinin, 16APSK'nın veya 16QAM'nin bir adet sembolü olarak oluşturulmasını (aynı sembolde içerilmesini) önlemek mümkündür, bunun bir sonucu olarak, iletişim yolundaki kod çözme performansını bir silintiyle geliştirmek mümkündür.

30

Şekil 29, her bir modülasyon düzeni için, DVB-T.2 standardında tanımlanan 64800 kod uzunluğundaki (N) ve 11 kod oranındaki ilgili LDPC kodları için, sütun döndürme serpiştirme için belleğin (31) sütunlarının gereken sayısını ve bir yazma başlama konumun adresini resmetmektedir.

35

Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak QPSK'nın kullanılmasıyla iki bitse, Şekil 29'a göre, bellek (31) sıra yönünde 2×1 ($=mb$) bit depolayan iki sütuna sahiptir ve sütun yönünde $64800 / (2 \times 1)$ bit depolar.

5

Bu durumda, belleğin (31) iki sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu ve ikinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu varsayılır.

- 10 Ek olarak, örneğin, Şekil 22'deki birinciyle üçüncü arasındaki değiştirme yöntemlerin herhangi birisi çoğullama çözücünün (25) (Şekil 9) değiştirme işleminin değiştirme yöntemi olarak benimsendiğinde, b katsayısı 1'dir.

- 15 Katsayı $b = 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak QPSK'nın kullanılmasıyla iki bitse, Şekil 29'a göre, bellek (31) sıra yönünde 2×2 bit depolayan dört sütuna sahiptir ve sütun yönünde $64800 / (2 \times 2)$ bit depolar.

- 20 Bu durumda, belleğin (31) dört sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu ve dördüncü sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

- 25 Ek olarak, örneğin, Şekil 23'teki dördüncü değiştirme yöntemi çoğullama çözücünün (25) (Şekil 9) değiştirme işleminin değiştirme yöntemi olarak benimsendiğinde, b katsayısı 2'dir.

- 30 Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 16QAM'nin kullanılmasıyla dört bitse, Şekil 29'a göre, bellek (31) sıra yönünde 4×1 bit depolayan dört sütuna sahiptir ve sütun yönünde $64800 / (4 \times 1)$ bit depolar.

- 35 Bu durumda, belleğin (31) dört sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun

bir 2 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu ve dördüncü sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

- 5 Katsayı $b \geq 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 16QAM'nin kullanılmasıyla dört bitse, Şekil 29'a göre, bellek (31) sıra yönünde 4×2 bit depolayan sekiz sütuna sahiptir ve sütun yönünde $64800 / (4 \times 2)$ bit depolar.
- 10 Bu durumda, belleğin (31) sekiz sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu ve sekizinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.
- 15
- 20 Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 64QAM'nin kullanılmasıyla altı bitse, Şekil 29'a göre, bellek (31) sıra yönünde 6×1 bit depolayan altı sütuna sahiptir ve sütun yönünde $64800 / (6 \times 1)$ bit depolar.
- 25 Bu durumda, belleğin (31) altı sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 9 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu ve altıncı sütunun yazma başlama konumunun bir 13 adresinin konumu olduğu varsayılır.
- 30

Katsayı $b \geq 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 64QAM'nin kullanılmasıyla altı bitse, Şekil 29'a göre, bellek (31) sıra

yönünde 6×2 bit depolayan 12 sütuna sahiptir ve sütun yönünde $64800 / (6 \times 2)$ bit depolar.

Bu durumda, belleğin (31) 12 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu ve 12nci sütunun yazma başlama konumunun bir 9 adresinin konumu olduğu varsayılır.

Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 256QAM'nin kullanılmasıyla 8 bitse, Şekil 29'a göre, bellek (31) sıra yönünde 8×1 bit depolayan 8 sütuna sahiptir ve sütun yönünde $64800 / (8 \times 1)$ bit depolar.

Bu durumda, belleğin (31) 8 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu ve sekizinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

Katsayı $b = 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 256QAM'nin kullanılmasıyla 8 bitse, Şekil 29'a göre, bellek (31) sıra yönünde 8×2 bit depolayan 16 sütuna sahiptir ve sütun yönünde $64800 / (8 \times 2)$ bit depolar.

Bu durumda, belleğin (31) 16 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 2
5 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 15 adresinin konumu olduğu,
10 dokuzuncu sütunun yazma başlama konumunun bir 16 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 20 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 22 adresinin konumu olduğu, 12nci sütunun yazma başlama konumunun bir 22 adresinin konumu olduğu, 13ncü sütunun yazma başlama konumunun bir 27 adresinin konumu olduğu, 14ncü sütunun yazma başlama
15 konumunun bir 27 adresinin konumu olduğu, 15nci sütunun yazma başlama konumunun bir 28 adresinin konumu olduğu ve 16ncı sütunun yazma başlama konumunun bir 32 adresinin konumu olduğu varsayılır.

Katsayı $b \geq 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon
20 düzeni olarak 1024QAM'nin kullanılmasıyla 10 bitse, Şekil 29'a göre, bellek (31) sıra yönünde 10×1 bit depolayan 10 sütuna sahiptir ve sütun yönünde $64800 / (10 \times 1)$ bit depolar.

Bu durumda, belleğin (31) 10 sütunu arasından, birinci sütunun yazma başlama
25 konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 6 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 11 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 13 adresinin konumu
30 olduğu, yedinci sütunun yazma başlama konumunun bir 15 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 17 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 18 adresinin konumu olduğu ve onuncu sütunun yazma başlama konumunun bir 20 adresinin konumu olduğu varsayılır.

Katsayı $b = 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 1024QAM'nin kullanılmasıyla 10 bitse, Şekil 29'a göre, bellek (31) sıra yönünde 10×2 bit depolayan 20 sütuna sahiptir ve sütun yönünde $64800 / (10 \times 2)$ bit depolar.

5

Bu durumda, belleğin (31) 20 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 1 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 6 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 6 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 9 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 13 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 14 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 14 adresinin konumu olduğu, 12nci sütunun yazma başlama konumunun bir 16 adresinin konumu olduğu, 13ncü sütunun yazma başlama konumunun bir 21 adresinin konumu olduğu, 14ncü sütunun yazma başlama konumunun bir 21 adresinin konumu olduğu, 15nci sütunun yazma başlama konumunun bir 23 adresinin konumu olduğu, 16nci sütunun yazma başlama konumunun bir 25 adresinin konumu olduğu, 17nci sütunun yazma başlama konumunun bir 25 adresinin konumu olduğu, 18nci sütunun yazma başlama konumunun bir 26 adresinin konumu olduğu, 19ncü sütunun yazma başlama konumunun bir 28 adresinin konumu olduğu ve 20nci sütunun yazma başlama konumunun bir 30 adresinin konumu olduğu varsayılır.

Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 4096QAM'nin kullanılmasıyla 12 bitse, Şekil 29'a göre, bellek (31) sıra yönünde 12×1 bit depolayan 12 sütuna sahiptir ve sütun yönünde $64800 / (12 \times 1)$ bit depolar.

30

Bu durumda, belleğin (31) 12 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 2

35

- adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu ve 12nci sütunun yazma başlama konumunun bir 9 adresinin konumu olduğu varsayılır.
- 10 Katsayı $b \geq 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 4096QAM'nin kullanılmasıyla 12 bitse, Şekil 29'a göre, bellek (31) sıra yönünde 12×2 bit depolayan 24 sütuna sahiptir ve sütun yönünde $64800 / (12 \times 2)$ bit depolar.
- 15 Bu durumda, belleğin (31) 24 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 12 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 13 adresinin konumu olduğu, 12nci sütunun yazma başlama konumunun bir 16 adresinin konumu olduğu, 13ncü sütunun yazma başlama konumunun bir 17 adresinin konumu olduğu, 14ncü sütunun yazma başlama konumunun bir 19 adresinin konumu olduğu, 15nci sütunun yazma başlama konumunun bir 21 adresinin konumu olduğu, 16nci sütunun yazma başlama konumunun bir 22 adresinin konumu olduğu, 17nci sütunun yazma başlama konumunun bir 23 adresinin konumu olduğu, 18nci sütunun yazma başlama konumunun bir 26 adresinin konumu olduğu, 19ncü sütunun yazma başlama konumunun bir 37 adresinin konumu olduğu, 20nci sütunun yazma başlama konumunun bir 39 adresinin konumu olduğu, 21nci sütunun yazma başlama konumunun bir 40 adresinin konumu olduğu, 22nci sütunun yazma başlama

konumunun bir 41 adresinin konumu olduğu, 23ncü sütunun yazma başlama konumunun bir 41 adresinin konumu olduğu ve 24ncü sütunun yazma başlama konumunun bir 41 adresinin konumu olduğu varsayılır.

- 5 Şekil 30, her bir modülasyon düzeni için, DVB-T.2 standardında tanımlanan 16200 kod uzunluğundaki (N) ve 10 kod oranındaki ilgili LDPC kodları için, sütun döndürme serpiştirme için belleğin (31) sütunlarının gereken sayısını ve bir yazma başlama konumun adresini resmetmektedir.
- 10 Katsayı b 1 ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak QPSK'nın kullanılmasıyla 2 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 2x1 bit depolayan iki sütuna sahiptir ve sütun yönünde $16200 / (2 \times 1)$ bit depolar.
- 15 Bu durumda, belleğin (31) iki sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu ve ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu varsayılır.

- 20 Katsayı b 2 ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak QPSK'nın kullanılmasıyla 2 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 2x2 bit depolayan 4 sütuna sahiptir ve sütun yönünde $16200 / (2 \times 2)$ bit depolar.

- 25 Bu durumda, belleğin (31) dört sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu ve dördüncü sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu varsayılır.

- 30 Katsayı b 1 ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 16QAM'nin kullanılmasıyla 4 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 4x1 bit depolayan 4 sütuna sahiptir ve sütun yönünde $16200 / (4 \times 1)$ bit depolar.

Bu durumda, belleğin (31) dört sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu ve dördüncü sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu varsayılır.

Katsayı $b \geq 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 16QAM'nin kullanılmasıyla 4 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 4×2 bit depolayan 8 sütuna sahiptir ve sütun yönünde $16200 / (4 \times 2)$ bit depolar.

Bu durumda, belleğin (31) sekiz sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 1 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 20 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 20 adresinin konumu olduğu ve sekizinci sütunun yazma başlama konumunun bir 21 adresinin konumu olduğu varsayılır.

Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 64QAM'nin kullanılmasıyla 6 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 6×1 bit depolayan 6 sütuna sahiptir ve sütun yönünde $16200 / (6 \times 1)$ bit depolar.

Bu durumda, belleğin (31) altı sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu ve altıncı sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

Katsayı $b = 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 64QAM'nin kullanılmasıyla 6 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 6×2 bit depolayan 12 sütuna sahiptir ve sütun yönünde $16200 / (6 \times 2)$ bit depolar.

5

Bu durumda, belleğin (31) 12 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 6 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu ve 12nci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 256QAM'nin kullanılmasıyla 8 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 8×1 bit depolayan 8 sütuna sahiptir ve sütun yönünde $16200 / (8 \times 1)$ bit depolar.

Bu durumda, belleğin (31) 8 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 1 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 20 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 20 adresinin konumu olduğu ve sekizinci sütunun yazma başlama konumunun bir 21 adresinin konumu olduğu varsayılır.

Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 1024QAM'nin kullanılmasıyla 10 bitse, Şekil 30'a göre, bellek (31) sıra

35

yönünde 10x1 bit depolayan 10 sütuna sahiptir ve sütun yönünde 16200/ (10x1) bit depolar.

Bu durumda, belleğin (31) on sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 1 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 4 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu ve onuncu sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

Katsayı b 2 ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 1024QAM'nin kullanılmasıyla 10 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 10x2 bit depolayan 20 sütuna sahiptir ve sütun yönünde 16200/ (10x2) bit depolar.

Bu durumda, belleğin (31) 20 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, 12nci sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, 13ncü sütunun yazma başlama konumunun bir 5 adresinin konumu olduğu, 14ncü sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, 15nci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, 16nci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, 17nci sütunun yazma başlama konumunun bir 7 adresinin

konumu olduğu, 18nci sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu, 19ncu sütunun yazma başlama konumunun bir 8 adresinin konumu olduğu ve 20nci sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu varsayılır.

- 5 Katsayı $b = 1$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 4096QAM'nin kullanılmasıyla 12 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 12×1 bit depolayan 12 sütuna sahiptir ve sütun yönünde $16200 / (12 \times 1)$ bit depolar.
- 10 Bu durumda, belleğin (31) 12 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 2 adresinin
- 15 konumu olduğu, altıncı sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, dokuzuncu sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 6 adresinin konumu olduğu, 11nci
- 20 sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu ve 12nci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu varsayılır.

- Katsayı $b = 2$ ise ve bir adet sembolün bitlerinin sayısı (m), örneğin, bir modülasyon düzeni olarak 4096QAM'nin kullanılmasıyla 12 bitse, Şekil 30'a göre, bellek (31) sıra yönünde 12×2 bit depolayan 24 sütuna sahiptir ve sütun yönünde $16200 / (12 \times 2)$ bit depolar.
- 25

- Bu durumda, belleğin (31) 24 sütunu arasından, birinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, ikinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, üçüncü sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, dördüncü sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, beşinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, altıncı sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, yedinci sütunun yazma başlama konumunun bir 0 adresinin konumu olduğu, sekizinci sütunun yazma başlama konumunun bir 1 adresinin konumu olduğu,
- 30
- 35

dokuzuncu sütunun yazma başlama konumunun bir 1 adresinin konumu olduğu, onuncu sütunun yazma başlama konumunun bir 1 adresinin konumu olduğu, 11nci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, 12nci sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, 13ncü sütunun yazma başlama konumunun bir 2 adresinin konumu olduğu, 14ncü sütunun yazma başlama konumunun bir 3 adresinin konumu olduğu, 15nci sütunun yazma başlama konumunun bir 7 adresinin konumu olduğu, 16nci sütunun yazma başlama konumunun bir 9 adresinin konumu olduğu, 17nci sütunun yazma başlama konumunun bir 9 adresinin konumu olduğu, 18nci sütunun yazma başlama konumunun bir 9 adresinin konumu olduğu, 19ncü sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu, 20nci sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu, 21nci sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu, 22nci sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu, 23ncü sütunun yazma başlama konumunun bir 10 adresinin konumu olduğu ve 24ncü sütunun yazma başlama konumunun bir 11 adresinin konumu olduğu varsayılır.

Şekil 31, Şekil 8'deki LDPC kodlayıcı (115), bit serpiştirici (116) ve eşleyici (117) tarafından gerçekleştirilen bir işlemi resmeden bir akış şemasıdır.

LDPC kodlayıcı (115), BCH kodlayıcıdan (114) sağlanan LDPC hedef verisini alır, LDPC hedef verisini S101 adımıyla LDPC koduna LDPC-kodlar, LDPC kodunu bit serpiştiriciye (116) sağlar ve işlem S102 adımıyla ilerler.

S102 adımıyla, bit serpiştirici (116), LDPC kodlayıcıdan (115) gelen LDPC kodu üzerinde bit serpiştirme gerçekleştirir, bit serpiştirmeden sonra LDPC kodunun sembolize edilmesiyle elde edilen bir sembolü eşleyiciye (117) sağlar ve işlem S103'e ilerler.

Diğer bir deyişle, S102 adımıyla, bit serpiştiricide (116) (Şekil 9), eşlik serpiştirici (23) LDPC kodlayıcıdan (115) gelen LDPC kodu üzerinde bir eşlik serpiştirme gerçekleştirir ve eşlik serpiştirmeden sonra LDPC kodunu sütun döndürme serpiştiriciye (24) sağlar.

Sütun döndürme serpiştirici (24), eşlik serpiştiriciden (23) gelen LDPC kodu üzerinde sütun döndürme serpiştirme gerçekleştirir ve bunu çoğullama çözücüyü (25) sağlar.

Çoğullama çözücü (25), sütun döndürme serpiştirici (24) tarafından sütun döndürme serpiştirmeden sonra LDPC kodunun kod bitinin değiştirilmesinin bir değiştirme işlemini ve değiştirmeden sonra kod bitinin sembolün sembol biti (sembolü temsil eden bit) olarak ayarlanmasını gerçekleştirir.

5

Burada, çoğullama çözücü (25) tarafından değiştirme işlemi, Şekil 22 ve Şekil 23'te resmedilen birinciyle dördüncü arasındaki değiştirme yöntemlerine göre gerçekleştirilebilir ve bir başka değiştirme yöntemine göre gerçekleştirilebilir.

- 10 Çoğullama çözücü (25) tarafından yapılan değiştirme işlemiyle elde edilen sembol, çoğullama çözücünden (25) eşleyiciye (117) sağlanır.

- S103 adımı, eşleyici (117) çoğullama çözücünden (25) gelen sembolü, dörtlü modülasyonun gerçekleştirilmesi amacıyla eşleyici (117) tarafından gerçekleştirilen
15 dörtlü modülasyonun modülasyon düzeni tarafından belirlenen sinyal noktasına eşler oluşan veriyi zaman serpiştiriciye (118) sağlar.

- LDPC kodunun birden fazla kod biti bir adet sembol olarak iletilirken bir silinti veya bir
çoğuşma hatasına direncin geliştirilmesi, yukarıda tarif edildiği üzere, eşlik serpiştirme
20 ve sütun döndürme serpiştirme gerçekleştirilerek mümkündür.

- Burada, Şekil 9'da, açıklama kolaylığı için, eşlik serpiştirmeyi gerçekleştiren bir blok olan eşlik serpiştirici (23) ve sütun döndürme serpiştirmeyi gerçekleştiren bir blok olan
sütun döndürme serpiştirici (24) ayrı ayrı yapılandırılır, ancak eşlik serpiştirici (23) ve
25 sütun döndürme serpiştirici (24) bütünsel olarak yapılandırılabilir.

- Diğer bir deyişle, hem eşlik serpiştirme hem sütun döndürme serpiştirme, kod bitlerinin okunmasıyla ve belleğe yazılmasıyla gerçekleştirilebilir ve kod bitlerinin yazılması için
adresi (yazma adresi) kod bitlerinin okunması için adrese (okuma adresi) dönüştüren
30 bir matrisle temsil edilebilir.

- Bu nedenle, eşlik serpiştirmeyi temsil eden matris ve sütun döndürme serpiştirmeyi temsil eden matris, bir matris elde etmek amacıyla çarpılırsa ve bir kod biti matris kullanılarak dönüştürülürse, LDPC kodu üzerinde eşlik serpiştirmenin
35 gerçekleştirilmesiyle ve eşlik serpiştirmeye tabi tutulmuş olan LDPC kodu üzerinde

sütun döndürme serpiştirmenin gerçekleştirilmesiyle, oluşan bir LDPC kodunun elde edilmesi mümkündür.

Ayrıca, eşlik serpiştiriciye (23) ve sütun döndürme serpiştiriciye (24) ek olarak
5 çoğullama çözücüyü (25) toplu olarak yapılandırmak da mümkündür.

Diğer bir deyişle, çoğullama çözücünde (25) gerçekleştirilen değiştirme işlemini, LDPC kodunu depolayan belleğin (31) bir yazma adresini bir okuma adresine dönüştürerek elde edilen bir matrisle temsil etmek mümkündür.

10

Bu nedenle, bir matris, eşlik serpiştirmeyi temsil eden matrisin, sütun döndürme serpiştirmeyi temsil eden matrisin ve bir değiştirme işlemini temsil eden matrisin çoğullanmasıyla elde edilirse, eşlik serpiştirmeyi, sütun döndürme serpiştirmeyi ve değiştirme işlemini matrisi kullanarak toplu olarak gerçekleştirmek mümkündür.

15

Ek olarak, eşlik serpiştirmenin ve sütun döndürme serpiştirmesinin sadece birini gerçekleştirmek veya hiçbirini gerçekleştirmemek mümkündür. Örneğin, iletişim hattı (13) (Şekil 7), AWGN dışında, DVB-S.2 gibi, çoğuşma hatasının ve flaterin göz önüne alınmasının gerekmediği bir uydu hattı veya benzeri olduğunda, eşlik serpiştirmenin ve
20 sütun döndürme serpiştirmenin gerçekleştirilmesine gerek yoktur.

Şimdi, bir hata oranının (bit hatası oranı), Şekil 8'deki iletim aygıtı (11) için gerçekleştirilen ölçümünün bir simülasyonu, Şekil 32 ila Şekil 34'e istinaden tarif edilecektir.

25

Simülasyon, 0 dB'lik D/U'ya sahip bir flatere sahip bir iletişim hattı kullanılarak gerçekleştirilir.

Şekil 32, bir simülasyonda kullanılan bir iletişim yolu modelini resmeden bir
30 diyagramdır.

Diğer bir deyişle, Şekil 32'deki A, simülasyonda kullanılan bir flaterin bir modelini resmetmektedir.

Ayrıca, Şekil 32'deki B, Şekil 32'deki A'daki model tarafından temsil edilen flatere sahip bir iletişim yolunun bir modelini resmetmektedir.

Ek olarak, Şekil 32'deki B'de, H, Şekil 32'deki flaterin bir modelini temsil etmektedir.

- 5 Ayrıca, Şekil 32'deki B'de, N, Taşıyıcı Arası Karışmayı (ICI) temsil etmektedir ve simülasyonda, kuvvetin beklenen bir $E[N^2]$ değeri AWGN'ye yaklaştırılır.

Şekil 33 ve Şekil 34, simülasyonla elde edilen hata oranıyla flaterin Doppler frekansı (f_d) arasındaki bir ilişkiyi göstermektedir.

10

Ek olarak, Şekil 33, modülasyon düzeni 16QAM ve kod oranı (r) ($3/4$) olduğunda ve değiştirme yöntemi birinci değiştirme yöntemi olduğunda, hata oranıyla Doppler frekansı (f_d) arasındaki bir ilişkiyi göstermektedir. Ayrıca, Şekil 34, modülasyon düzeni 64QAM ve kod oranı (r) ($5/6$) olduğunda ve değiştirme yöntemi birinci değiştirme yöntemi olduğunda, hata oranıyla Doppler frekansı (f_d) arasındaki bir ilişkiyi göstermektedir.

15

Ayrıca, Şekil 33 ve Şekil 34'te, bir kalın çizgi, eşlik serpiştirmenin, sütun döndürme serpiştirmenin ve değiştirme işleminin tümünün gerçekleştirildiği durumda hata oranıyla Doppler frekansı (f_d) arasındaki ilişkiyi göstermektedir ve bir ince çizgi, eşlik serpiştirme, sütun döndürme serpiştirme ve değiştirme işlemi arasından sadece değiştirme işleminin gerçekleştirildiği durumda hata oranıyla Doppler frekansı (f_d) arasındaki ilişkiyi göstermektedir.

20

Hem Şekil 33'te hem Şekil 34'te, eşlik serpiştirmenin, sütun döndürme serpiştirmenin ve değiştirme işleminin tümünün gerçekleştirildiği durumda hata oranının, sadece değiştirme işleminin gerçekleştirildiği durumdan daha gelişmiş (azalmış) olduğu onaylanır.

25

30 <LDPC kodlayıcının (115) yapılandırma örneği>

Şekil 35, Şekil 8'deki LDPC kodlayıcının (115) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

- 35 Ek olarak, Şekil 8'deki LDPC kodlayıcı (122) benzer şekilde yapılandırılır.

Şekil 12 ve Şekil 13'te tarif edildiği üzere, DVB-S.2 ve benzeri standartlarda, 64800 bitlik ve 16200 bitlik kod uzunluğunda (N) iki tip LDPC kodu tanımlanmaktadır.

- 5 64800 bitlik kod uzunluğundaki (N) LDPC kodu için 11 kod oranı (1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 ve 9/10) tanımlanır ve 16200 bitlik kod uzunluğundaki (N) LDPC kodu için 10 kod oranı (1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 ve 8/9) tanımlanır (Şekil 12 ve Şekil 13).
- 10 LDPC kodlayıcı (115) kodlamayı (hata düzeltme kodlaması), her bir kod uzunluğu (N) için, her bir kod oranı için hazırlanan eşlik denetim matrisine (H) göre 64800 bitlik ve 16200 bitlik kod uzunluğundaki (N) her bir kod oranının LDPC koduyla gerçekleştirilebilir.
- 15 LDPC kodlayıcı (115), bir kodlama işleme ünitesiyle (601) ve bir depolama ünitesiyle (602) yapılandırılır.

- 20 Kodlama işleme ünitesi (601) bir kod oranı ayarlama ünitesiyle (611), bir başlangıç değeri tablosu okuma ünitesiyle (612), bir eşlik denetimi matrisi üretme ünitesiyle (613), bir bilgi biti okuma ünitesiyle (614), bir kodlama eşliği hesaplama ünitesiyle (615) ve bir kontrol ünitesiyle (616) yapılandırılır, LDPC kodlayıcıya (115) sağlanan LDPC hedef verisi üzerinde LDPC kodlamayı gerçekleştirir ve oluşan LDPC kodunu bit serpiştiriciye (116) sağlar (Şekil 8).

- 25 Diğer bir deyişle, kod oranı ayarlama ünitesi (611), örneğin, bir operatörün işlemlerine veya benzerine yanıt olarak LDPC kodunun kod uzunluğunu (N) ve kod oranını ayarlar.

- 30 Başlangıç değeri tablosu okuma ünitesi (612) depolama ünitesinden (602), kod oranı ayarlama ünitesi (611) tarafından ayarlanan kod uzunluğuna (N) ve kod oranına karşılık gelen, daha sonra tarif edilecek olan bir eşlik denetimi matrisi başlangıç değeri tablosunu okur.

- 35 Eşlik denetimi matrisi üretme ünitesi (613), kod oranı ayarlama ünitesi (611) tarafından ayarlanan kod uzunluğuna (N) ve kod oranına göre bilgi uzunluğuna (K) (=kod uzunluğu (N) - eşlik uzunluğu (M)) karşılık bilgi matrisindeki (H_A) 1 öğelerini, başlangıç

değeri tablosu okuma ünitesi (612) tarafından okunan eşlik denetimi matrisi başlangıç değeri tablosuna dayalı olarak, sütun yönünde, 360 sütunluk (bir çevrimsel yapının bir ünitesinin sütunlarının sayısı (p)) bir periyotta düzenleyerek, bir eşlik denetimi matrisi (H) üretir ve matrisi (H) depolama ünitesinde (602) depolar.

5

Bilgi biti okuma ünitesi (614) LDPC kodlayıcıya (115) sağlanan LDPC hedef verisinden, bilgi uzunluğunun (K) bilgi bitini okur (çıkartır).

10

Kodlama eşliği hesaplama ünitesi (615), depolama ünitesinden (602) eşlik denetimi matrisi üretme ünitesi (613) tarafından üretilen eşlik denetimi matrisini (H) okuyarak ve önceden belirlenen bir denkleme dayalı olarak bilgi biti okuma ünitesi (614) tarafından okunan bilgi biti için eşlik bitini, eşlik denetimi matrisini (H) kullanarak hesaplayarak bir kod sözcüğü (LDPC kodu) üretir.

15

Kontrol ünitesi (616), kodlama işleme ünitesini (601) yapılandıran ilgili blokları kontrol eder.

20

Depolama ünitesi (602), örneğin, 64800 bitlik ve 16200 bitlik her bir kod uzunluğu (N) için, Şekil 12 ve Şekil 13'te resmedilen birden fazla kod oranına karşılık gelen birden fazla parite denetimi matrisi başlangıç değeri tablosunu depolar. Ayrıca, depolama ünitesi (602), kodlama işleme ünitesi (601) tarafından işlem için gerek duyulan veriyi geçici olarak depolar.

25

Şekil 36, Şekil 35'teki LDPC kodlayıcının (115) bir işlemini resmeden bir akış şemasıdır.

S201 adımı, kod oranı ayarlama ünitesi (611), LDPC kodlamanın gerçekleştirilmesi için kod uzunluğunu (N) ve kod oranını (r) belirler (ayarlar).

30

S202 adımı, başlangıç değeri tablosu okuma ünitesi (612) depolama ünitesinden (602), önceden ayarlanan, kod oranı ayarlama ünitesi (611) tarafından belirlenen kod uzunluğuna (N) ve kod oranına (r) karşılık gelen bir eşlik denetimi matrisi başlangıç değeri tablosunu okur.

S203 adımımda, eşlik denetimi matrisi üretme ünitesi (613), kod oranı ayarlama ünitesi (611) tarafından belirlenen kod uzunluğuna (N) ve kod oranına (r) sahip LDPC kodunun eşlik denetimi matrisini (H), depolama ünitesinden (602) başlangıç değeri tablosu okuma ünitesi (612) tarafından okunan eşlik denetimi matrisi başlangıç değerini kullanarak elde eder (üretir) ve eşlik denetim matrisini (H) depolama ünitesinde (602) depolar.

S204 adımımda, bilgi biti okuma ünitesi (614), LDPC kodlayıcıya (115) sağlanan LDPC hedef verisinden kod oranı ayarlama ünitesi (611) tarafından belirlenen kod uzunluğuna (N) ve kod oranına (r) karşılık bilgi uzunluğunun (K) ($=Nxr$) bilgi bitini okur, depolama ünitesinden (602) eşlik denetimi matrisi üretme ünitesi (613) tarafından elde edilen eşlik denetimi matrisini (H) okur ve bilgi bitiyle eşlik denetimi matrisini (H) kodla eşliği hesaplama ünitesine (615) sağlar.

S205 adımımda, kodlama eşliği hesaplama ünitesi (615) sıralı olarak, denklemi (8) yerine getiren kod sözcüğünün (c) eşlik bitini, bilgi biti okuma ünitesinden (614) gelen bilgi bitini ve eşlik denetimi matrisini (H) kullanarak hesaplar.

$$Hc^T=0 \dots (8)$$

20

Denklemden (8), c, bir kod sözcüğü (LDPC kodu) olarak bir sıra vektörünü temsil etmektedir ve c^T , sıra vektörünün (c) aktarılmasıyla elde edilen bir vektörü temsil etmektedir.

Burada, yukarıda tarif edildiği üzere, bilgi bitinin parçası bir A sıra vektörüyle temsil edildiğinde ve bilgi bitinin parçası bir T sıra vektörüyle temsil edildiğinde, LDPC kodu (1 kod sözcüğü) olan c sıra vektöründe, c sıra vektörü, A sıra vektörünün bilgi biti ve T sıra vektörünün eşlik biti olduğu şekilde, $c=[A|T]$ denklemiyle temsil edilebilir.

Eşlik denetimi matrisinin (H) ve LDPC kodu olarak $c=[A|T]$ sıra vektörünün, bir $Hc^T=0$ denklemini yerine getirmesi gerekir ve eşlik denetimi matrisinin ($H=[H_A|H_T]$) eşlik matrisi (H_T) Şekil 11'de resmedilen basamaklı yapıya sahip olduğunda, $Hc^T=0$ denklemini yerine getiren $c=[A|T]$ sıra vektörünü yapılandıran bir eşlik biti olarak T sıra vektörü, $Hc^T=0$ denklemindeki sütun vektörünün (Hc^T) birinci sırasındaki öğeden sırayla her bir sıranın öğelerini 0 yaparak, sıralı olarak elde edilebilir.

Kodlama eşliği hesaplama ünitesi (615) bilgi biti okuma ünitesinden (614) A bilgi biti için T eşlik bitini elde eder ve A bilgi biti ve T eşlik biti tarafından temsil edilen kod sözcüğünü ($c=[A|T]$), A bilgi bitinin LDPC kodlama kodu sonucu olarak çıkarır.

5

Daha sonra, S206 adımıyla, kontrol ünitesi (616) LDPC kodlamanın sona erip ermediğini belirler. S206 adımıyla, LDPC kodlamanın tamamlanmamış olduğu belirlendiğinde, diğer bir deyişle, örneğin, hala LDPC kodlamaya tabi olacak olan bir LDPC hedef verisi olduğunda, işlem S201 adımıyla (veya S204 adımıyla) geri döner ve daha sonra, S201 adımıyla (veya S204 adımıyla) S206 arasındaki işlem tekrarlanır.

10

Ayrıca, S206 adımıyla, LDPC kodlamanın sona erdiği belirlendiğinde, diğer bir deyişle, örneğin, LDPC kodlamaya tabi tutulacak hiç LDPC hedef verisi olmadığında, LDPC kodlayıcı (115) işlemi sona erdirir.

15

Yukarıda tarif edildiği üzere, her bir kod uzunluğuna (N) ve her bir kod oranına (r) karşılık gelen bir eşlik denetimi matrisi başlangıç değeri hazırlanır, LDPC kodlayıcı (115), önceden belirlenmiş kod uzunluğuna (N) ve önceden belirlenmiş kod oranına (r) karşılık gelen eşlik denetimi matrisi başlangıç değeri tablosundan üretilen eşlik denetimi matrisini (H) kullanarak önceden belirlenmiş bir kod oranında (r) ve önceden belirlenmiş bir kod uzunluğunda (N) LDPC kodlamayı gerçekleştirir.

20

<Eşlik denetimi matrisi başlangıç değeri tablosunun örneği>

Eşlik denetimi matrisi başlangıç değeri tablosu, 360 sütunluk bir aralıkta (çevrimsel yapının birimlerindeki sütun sayısı (P)) eşlik denetimi matrisinin (H) LDPC kodunun (eşlik denetimi matrisi (H) tarafından tanımlanan LDPC kodu) kod uzunluğuna (N) ve kod oranına (r) karşılık gelen bilgi uzunluğuna (K) karşılık gelen bir bilgi matrisinin (H_A) (Şekil 10) 1 öğelerinin konumlarını temsil eden bir tablodur ve her bir kod uzunluğundaki (N) ve her bir kod oranındaki (r) her bir eşlik denetim matrisi (H) için önceden oluşturulur.

30

Şekil 37, eşlik denetimi matrisi başlangıç değeri tablosunun bir örneğini resmeden bir diyagramdır.

35

Diğer bir deyişle, Şekil 37, DVB-T.2 standardında tanımlanan ve kod uzunluğu (N) 16200 bit ve kod oranı (r) (DVB-T.2'nin temsilinde kod oranı) 1/4 olan eşlik denetimi matrisi (H) için bir eşlik denetimi matrisi başlangıç değeri tablosunu göstermektedir.

- 5 Eşlik denetimi matrisi üretme ünitesi (613) (Şekil 35), eşlik denetimi matrisi başlangıç değeri tablosunu aşağıdaki şekilde kullanarak eşlik denetimi matrisini (H) elde eder.

Şekil 38, eşlik denetimi matrisi başlangıç değeri tablosundan eşlik denetimi matrisinin (H) elde edilmesinin bir yöntemini resmeden bir diyagramdır.

10

Diğer bir deyişle, Şekil 38, DVB-T.2 standardında tanımlanan ve kod uzunluğu (N) 16200 bit ve kod oranı (r) 2/3 olan eşlik denetimi matrisi (H) için bir eşlik denetimi matrisi başlangıç değeri tablosunu göstermektedir.

- 15 Yukarıda tarif edildiği üzere, eşlik denetimi matrisi başlangıç değeri tablosu, 360 sütunluk bir aralıkta (çevrimsel yapının birimlerindeki sütun sayısı (P)) LDPC kodunun kod uzunluğuna (N) ve kod oranına (r) göre bilgi uzunluğuna (K) karşılık gelen bir bilgi matrisindeki (H_A) (Şekil 10) 1 öğelerinin konumlarını temsil eden bir tablodur ve eşlik denetimi matrisinin (H) $(1+360 \times (i-1))$ -nci sütunundaki 1 öğelerinin sıra sayıları (eşlik denetimi matrisinin (H) birinci sırasının sıra sayısının 0 olduğu varsayılarak sıra sayıları), i-nci sırada, $(1+360 \times (i-1))$ -nci sütunun sütun ağırlığının sayısı ile düzenlenir.
- 20

- Burada, eşlik denetimi matrisinin (H), eşlik uzunluğuna (M) karşılık gelen eşlik matrisi (H_T) (Şekil 10) Şekil 25'te resmedildiği şekilde belirlendiğinden, eşlik denetimi matrisi başlangıç değeri tablosuna göre, eşlik denetimi matrisinin (H), bilgi uzunluğuna (K) karşılık gelen bilgi matrisi (H_A) (Şekil 10) elde edilir.
- 25

- Eşlik denetimi başlangıç değeri tablosunun sıralarının sayısı (k+1), bilgi uzunluğuna (K) bağlı olarak değişir.
- 30

Denklemin (9) ilişkisi, bilgi uzunluğuyla (K) eşlik denetimi matrisi başlangıç değeri tablosunun sıralarının sayısı (k+1) arasında oluşturulur.

$$K=(k+1) \times 360 \dots (9)$$

35

Burada, denklemdeki (9) 360, Şekil 26'da tarif edilen çevrimsel yapının bir biriminin sütunlarının sayısıdır (P).

Şekil 38'deki eşlik denetimi matrisi başlangıç değeri tablosunda, birinci sıradan üçüncü
5 sıraya kadar 13 sayı düzenlenir ve dördüncü sıradan $(k+1)$ -nci sıraya kadar (Şekil 38'de 30ncu sıraya kadar) üç sayı düzenlenir.

Bu nedenle, Şekil 38'deki eşlik denetimi matrisi başlangıç değeri tablosundan elde edilen eşlik denetimi matrisinin (H) sütun ağırlığı birinci sıradan $\{1+360x(3-1)-1\}$ -nci
10 sıraya kadar 13'tür ve $(1+360x(3-1))$ -nci sıradan K-nci sıraya kadar 3'tür.

0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 ve 2622, eşlik denetimi matrisinin (H) birinci sütunundaki 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 ve 2622 sıra numaralarının sıralarının öğelerinin 1
15 olduğunu (diğer öğeler 0'dır) gösteren, Şekil 38'deki eşlik denetimi matrisi başlangıç değeri tablosunun birinci sırasındadır.

Ayrıca, 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 ve 3108, eşlik denetimi matrisinin (H) 361 $(=1+360x(2-1))$ -nci sütunundaki 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 ve 3108 sıra numaralarının sıralarının öğelerinin 1 olduğunu gösteren, Şekil 38'deki eşlik denetimi matrisi başlangıç değeri tablosunun ikinci sırasındadır.

Yukarıda tarif edildiği üzere, eşlik denetimi matrisi (H) başlangıç değeri tablosu, 360
25 sütunluk bir aralıkta, eşlik denetimi matrisinin bilgi matrisindeki (H_A) 1 öğelerinin konumlarını temsil etmektedir.

Eşlik denetim matrisindeki (H) $(1+360x(i-1))$ -nci sütunların dışındaki sütunlar, diğer bir deyişle, $(2+360x(i-1))$ -nci sütunla $(360xi)$ -nci sütun arasındaki ilgili sütunlar, eşlik
30 uzunluğuna (M) göre, eşlik denetimi matrisi başlangıç değeri tablosu tarafından belirlenen $(1+360x(i-1))$ -nci sütundaki 1 öğelerini, aşağı yönde (bir sütunun aşağı yönü) periyodik şekilde çevrimsel olarak kaydırmayla düzenlenir.

Diğer bir deyişle, örneğin, $(2+360x(i-1))$ -nci sütun, $(1+360x(i-1))$ -nci sütunun aşağı
35 yönde $M/360(=q)$ oranında çevrimsel olarak kaydırılmasıyla elde edilir ve sonraki

$(3+360x(i-1))$ -nci sütun, $(1+360x(i-1))$ -nci sütunun aşağı yönde $2xM/360(2x=q)$ oranında çevrimsel olarak kaydırılmasıyla elde edilen $(2+360x(i-1))$ -nci sütunun aşağı yönde $M/360(=q)$ oranında çevrimsel olarak kaydırılmasıyla elde edilir.

- 5 Burada, eşlik denetimi matrisi başlangıç değeri tablosunun i -nci sırasındaki (üstten i -nci) j -nci sütunun (soldan j -nci) sayısal değerinin $h_{i,j}$ ile temsil edildiği ve eşlik denetimi matrisinin (H) w -nci sırasındaki j -nci 1 ögesinin sıra sayısının H_{w-j} ile temsil edildiği varsayılırsa, eşlik denetimi matrisinin (H) $(1+360x(i-1))$ -nci sütunundan başka bir sütun olan w -nci sütunundaki 1 ögesinin sıra sayısı H_{w-j} , denklemlerle (10) elde edilebilir.

10

$$H_{w-j} = \text{mod}\{h_{i,j} + \text{mod}((w-1), P) \times q, M\} \dots (10)$$

Burada, $\text{mod}(x, y)$, x, y ile bölünürken kalan anlamına gelmektedir.

- 15 Ayrıca, P , yukarıda tarif edilen çevrimsel yapının bir biriminin sütunlarının sayısıdır (P) ve yukarıda tarif edildiği üzere, örneğin, DVB-S.2, DVB-T.2 ve DVB-C.2 standartlarında 360'tır. Ayrıca, q , eşlik uzunluğunun (M), çevrimsel yapının bir ünitesinin sütunlarının sayısına (P) ($=360$) bölünmesiyle elde edilen bir $M/360$ değeridir.

- 20 Eşlik denetimi matrisi üretme ünitesi (613) (Şekil 35), eşlik denetimi matrisi başlangıç değeri tablosunca eşlik denetimi matrisinin (H) $(1+360x(i-1))$ -nci sütunundaki 1 ögesinin sıra sayısını belirtir.

- Ayrıca, eşlik denetimi matrisi üretme ünitesi (613) (Şekil 35), denklemlerle (10) eşlik denetimi matrisinin (H) $(1+360x(i-1))$ -nci sütunundan başka bir sütun olan w -nci sütunundaki 1 ögesinin sıra sayısını (H_{w-j}) elde eder ve yukarıda tarif edildiği şekilde elde edilen sıra sayısının ögesinin 1 olduğu eşlik denetimi matrisini (H) üretir.

30

<DVB-Sx'in LDPC kodu>

Ancak, DVB-S.2'nin DVB-Sx veya DVB-S.2 evo olarak ifade edilen gelişmiş bir standardı geliştirilmektedir.

Böylelikle, DVB-Sx ve diğer veri iletimi için kullanılabilen, 16 kbitlik bir kod uzunluğuna (N) sahip bir LDPC koduyla (bundan böyle, Sx için bir 16k-kod olarak ifade edilecektir) ilgili bir tarif yapılacaktır.

- 5 Ek olarak, Sx için 16k-kod ile ilgili olarak, eşlik denetimi matrisinin (H) eşlik matrisi (H_T), DVB-S.2 ile yakınlığın (uyumluluğun) mümkün olduğunca muhafaza edilmesi açısından, DVB-S.2'de tanımlanan LDPC koduna benzer şekilde basamaklı bir yapıya sahiptir (Şekil 11).
- 10 Ayrıca, Sx için 16k-kod ile ilgili olarak, eşlik denetimi matrisinin (H) bilgi matrisi (H_A) basamaklı bir yapıya sahiptir ve çevrimsel yapının bir ünitesinin sütunlarının sayısı (P), DVB-S.2'de tanımlanan LDPC koduna benzer olarak 360'tır.

Şekil 39 ve Şekil 40, Sx için 16k-kodun eşlik denetimi matrisi başlangıç değeri
15 tablosunun bir örneğini resmeden diyagramlardır.

Şekil 39, 7/15'lik bir kod hızına (r) sahip Sx için 16k-kodun (bundan böyle, Sx için bir $r=7/15$ 'lik 16k-kod olarak ifade edilecektir) eşlik denetimi matrisi (H) için bir eşlik denetimi matrisi başlangıç değerini resmeden bir diyagramdır.

20

Şekil 40, 8/15'lik bir kod hızına (r) sahip Sx için 16k-kodun (bundan böyle, Sx için bir $r=8/15$ 'lik 16k-kod olarak ifade edilecektir) eşlik denetimi matrisi (H) için bir eşlik denetimi matrisi başlangıç değerini resmeden bir diyagramdır.

- 25 LDPC kodlayıcı (115) (Şekil 8, Şekil 35), Şekil 39 ve Şekil 40'ta resmedilen eşlik denetimi matrisi başlangıç değeri tablosundan elde edilen eşlik denetimi matrisini (H) kullanarak, kod uzunluğu (N) 16 kbit ve kod oranı (r) 7/15 ve 8/15'lik iki tipten biri herhangi biri olan Sx için 16k-koda LDPC kodlamayı gerçekleştirebilir.

- 30 Bu durumda, Şekil 39 ve Şekil 40'ta resmedilen eşlik denetimi matrisi başlangıç değeri tablosu, LDPC kodlayıcının (115) (Şekil 8) depolama ünitesinde (602) depolanır.

Şekil 39 ve Şekil 40'ta resmedilen eşlik denetimi matrisi başlangıç değeri tablosundan eşlik denetimi matrisinin (H) kullanılmasıyla elde edilen Sx için 16k-kod, bir yüksek
35 performanslı-LDPC kodudur.

Burada, yüksek performanslı-LDPC kodu, uygun bir eşlik denetimi matrisinden (H) elde edilen LDPC kodudur.

- 5 Ayrıca, uygun eşlik denetimi matrisi (H), eşlik denetimi matrisinden (H) elde edilen LDPC kodu düşük bir E_s/N_o veya E_b/N_o 'da (bir bit başına sinyal gücünün gürültü gücüne oranı) iletildiğinde BER'in (ve FER'in) indirgendiği önceden belirlenmiş bir koşulu yerine getiren bir eşlik denetimi matrisidir (H).
- 10 Uygun eşlik denetimi matrisi (H), örneğin, önceden belirlen koşulu yerine getiren çeşitli matrislerden elde edilen LDPC kodu düşük bir E_s/N_o 'da iletildiğinde BER'in ölçülmesinin bir simülasyonu gerçekleştirilerek elde edilebilir.

- 15 Uygun bir eşlik denetimi matrisi (H) tarafından yerine getirilecek önceden belirlenmiş bir koşul, bir kod performansının analiz edilmesinin Yoğunluk Evrimi adlı bir yöntemiyle elde edilen bir analiz sonucunun iyi olması ve 1 ögelerinin, bir çevrim 4 olarak adlandırılan hiç döngüsünün olmamasıdır.

- 20 Burada, bilgi matrisinde (H_A), 1 ögeleri bir çevrim 4 olarak yoğunsa, LDPC kodunun kod çözme performansının bozulduğu bilinmektedir, bu nedenle, uygun bir eşlik denetim matrisi (H) tarafından yerine getirilecek önceden belirlenmiş bir koşul olarak hiç çevrim 4 olmaması gereklidir.

- 25 Ek olarak, LDPC kodunun kod çözme performansının geliştirilmesi ve LDPC kodunun bir kod çözme işleminin kolaylaştırılması (basitleştirilmesi) açısından, uygun bir eşlik denetim matrisi (H) tarafından yerine getirilecek olan önceden belirlenmiş bir koşulun uygun bir şekilde belirlenmesi mümkündür.

- 30 Şekil 41 ve Şekil 42, bir analiz sonucunun uygun eşlik denetim matrisi (H) tarafından yerine getirilecek önceden belirlenmiş bir koşul olarak elde edildiği yoğunluk evrimini resmeden diyagramlardır.

- 35 Yoğunluk evrimi, sonradan tarif edilecek olan bir derece dizisiyle karakterize kod uzunluğunun (N) ∞ olduğu tüm bir LDPC kodu (topluluk) için bir hata olasılığının beklenen bir değerinin hesaplanmasının bir kod analizi yöntemidir.

Örneğin, belirli bir topluluğun hata olasılığının beklenen değeri AWGN kanalında ilk olarak 0'dır, ancak gürültü varyansı kademeli olarak 0'dan artıyorsa ve gürültü varyansı belirli bir eşiğe veya daha fazlasına giderse, beklenen değer 0 değildir.

5

Yoğunluk evrimine göre, hata olasılığının beklenen değerinin 0 olmadığı gürültü varyansının eşiğinin (bundan böyle, bir performans eşiği olarak da ifade edilecektir) karşılaştırılmasıyla topluluğun performansının yeterliliğinin (bir eşlik denetimi matrisinin yeterliği) belirlenmesi mümkündür.

10

Ek olarak, spesifik bir LDPC kodunun ait olduğu bir topluluk LDPC kodu için belirlenirse ve yoğunluk evrimi topluluk için belirlenirse, LDPC kodunun yaklaşık bir performansını öngörmek mümkündür.

15

Bu nedenle, bir yüksek performanslı-topluluk bulunursa, yüksek performanslı-LDPC kodu, topluluğa ait LDPC kodları arasında bulunabilir.

Burada, yukarıda tarif edilen derece dizisi, LDPC kodunun kod uzunluğu (N) için, değişken düğümünün ve denetim düğümünün her bir ağırlığıyla mevcut olduğu bir yüzdeyi temsil etmektedir.

20

Örneğin, bir kod oranının $1/2$ olduğu düzenli (3, 6) LDPC kodu, tüm değişken düğümlerin ağırlığının (sütun ağırlığı) 3 ve tüm denetim düğümlerinin ağırlığının (sıra ağırlığı) 6 olduğu bir derece dizisiyle karakterize bir topluluğa aittir.

25

Şekil 41, bu tip bir topluluğun bir Tanner grafiğini resmetmektedir.

Şekil 41'deki Tanner grafiğinde, halka işaretleriyle (O işareti) simgelenen değişken düğümlerin sayısı, kod uzunluğuna (N) eşit olan N 'dir ve kare işaretleriyle ($\square$ işareti) simgelenen denetim düğümlerinin sayısı, kod uzunluğunun (N) $1/2$ 'lik bir kod oranıyla çarpılmasıyla elde edilen $N/2$ 'dir.

30

Eşit sütun ağırlığına sahip üç ayrıt her bir değişken düğüme bağlantılıdır, bu nedenle, toplamda, sadece $3N$ ayrıt N değişken düğüme bağlantılıdır.

35

Eşit sütun ağırlığına sahip altı ayrıt her bir denetim düğümüne bağlantılıdır, bu nedenle, toplamda, sadece $3N$ ayrıt $N/2$ denetim düğümüne bağlantılıdır.

Ayrıca, Şekil 41'deki Tanner grafiğinde, bir serpiştirici mevcuttur.

5

Serpiştirici N değişken düğüme bağlantılı $3N$ ayrıtı rastgele düzenler ve her bir yeniden düzenlenmiş ayrıtı $N/2$ denetim düğümüne bağlantılı $3N$ ayrıtın herhangi birine bağlar.

10 Serpiştiricide, N değişken düğümlere bağlantılı $3N$ ayrıtın yeniden düzenlenmesi için bir yeniden düzenleme örüntüsü $(3N) ! (=3N) \times (3N-1) \times \dots \times 1$ şeklindedir. Bu nedenle, tüm değişken düğümlerinin ağırlığının 3 ve tüm denetim düğümlerinin ağırlığının 6 olduğu bir derece dizisiyle karakterize topluluk, $(3N) !$ LDPC kodlarının bir yığınıdır.

15 Bir yüksek performanslı-LDPC kodunun elde edilmesinin simülasyonunda (uygun eşlik denetim matrisi), yoğunluk evriminde çok-ayrıtli bir tip bir topluluk kullanılır.

Çok-ayrıtli tipte, üzerinden değişken düğüme bağlantılı ayrıtın ve değişken düğüme bağlantılı ayrıtın geçtiği serpiştirici, topluluğun karakterize edilmesinin çok daha sıkı gerçekleştirildiği şekilde birden fazla ayrıta bölünür.

20

Şekil 42, çok-ayrıtli bir tipte bir topluluğun bir Tanner grafiğinin bir örneğini resmetmektedir.

25 Şekil 42'deki Tanner grafiğinde, bir birinci serpiştirici ve bir ikinci serpiştirici olarak iki serpiştirici mevcuttur.

Ayrıca, Şekil 42'deki Tanner grafiğinde, sadece birinci serpiştiriciye bağlı ayrıtların sayısının 1 ve ikinci serpiştiriciye bağlı ayrıtların sayısının 0 olduğu v_1 değişken düğümleri mevcuttur, sadece birinci serpiştiriciye bağlı ayrıtların sayısının 1 ve ikinci serpiştiriciye bağlı ayrıtların sayısının 2 olduğu v_2 değişken düğümleri mevcuttur ve sadece birinci serpiştiriciye bağlı ayrıtların sayısının 0 ve ikinci serpiştiriciye bağlı ayrıtların sayısının 2 olduğu v_3 değişken düğümleri mevcuttur.

35 Ayrıca, Şekil 42'deki Tanner grafiğinde, sadece birinci serpiştiriciye bağlı ayrıtların sayısının 2 ve ikinci serpiştiriciye bağlı ayrıtların sayısının 0 olduğu c_1 denetim

düğümüleri mevcuttur, sadece birinci serpiştiriciye bağlı ayırtların sayısının 2 ve ikinci serpiştiriciye bağlı ayırtların sayısının 2 olduğu c2 denetim düğümleri mevcuttur ve sadece birinci serpiştiriciye bağlı ayırtların sayısının 0 ve ikinci serpiştiriciye bağlı ayırtların sayısının 3 olduğu c3 denetim düğümleri mevcuttur.

5

Burada, yoğunluk evrimi ve uygulaması, örneğin, "On the Design of Low-Density Parity-Check Codes within 0.0045 dB of the Shannon Limit", S.Y.Chung, G.D.Forney, T.J.Richardson, R.Urbanke, IEEE Communications Letters, VOL.5, NO.2, Feb 2001 yayınında tarif edilmektedir.

10

Bir S_x için 16k-kodunun (bunun bir eşlik denetimi matrisi başlangıç değeri tablosu) elde edilmesinin bir simülasyonunda, bir performans eşiğinin çok-ayırtlı tipte bir yoğunluk evrimi kullanılarak önceden belirlenmiş bir değer veya daha azı olduğu bir topluluk bulunur ve topluluğa ait LDPC kodları arasında QPSK gibi bir veya daha fazla dörtlü modülasyonun kullanılması durumunda BER'inin indirgendiği LDPC kodu bir yüksek performanslı-LDPC kodu olarak seçilir, burada, performans eşiği, BER'in düşmeye başladığı (daha küçük hale geldiği) E_b/N_0 'dur (bir bit başına sinyal gücünün gürültü gücüne oranı).

15

20 Yukarıda tarif edilen S_x için 16k-kodunun eşlik denetimi matrisi başlangıç değeri tablosu, kod uzunluğunun (N) 16 kbit ve kod oranının (r) 7/15 ve 8/15 olduğu ilgili LDPC kodlarının eşlik denetimi matrisi başlangıç değeri tablosudur.

25 Bu nedenle, eşlik denetimi matrisi başlangıç değeri tablosundan elde edilen S_x için 16k-koda göre, veri iletiminde iyi iletişim kalitesinin güvenceye alınması mümkündür.

Şekil 43, Şekil 39 ve Şekil 40'taki eşlik denetim matrisinin (H), $r=7/15$ ve $8/15$ 'lik S_x için 16k-kodun eşlik denetimi matrisi başlangıç değeri tablosundan elde edilen bir minimum çevrim uzunluğunu ve bir performans eşiğini resmeden bir diyagramdır.

30

Burada, minimum çevrim uzunluğu (daire çevresi), 1 ögesiyle yapılandırılan bir döngünün uzunluğunun (döngü uzunluğu) bir minimum değeri anlamına gelmektedir.

Bir 4 çevrimi (1 ögeleriyle yapılandırılan, 4 döngü uzunluğuna sahip bir döngü), Sx için 16k-kodun eşlik denetimi matrisi başlangıç değeri tablosundan elde edilen eşlik denetimi matrisinde (H) mevcut değildir.

- 5 Ayrıca, kod oranı (r) ne kadar küçük olursa, LDPC kodunun artıklığı o kadar büyük olduğundan, performans eşiği kod oranından (r) bir azalmayla iyileşme eğilimindedir (azalır).

- 10 Şekil 44, Şekil 39 ve Şekil 40'taki (eşlik denetimi matrisi başlangıç değeri tablosundan elde edilen) bir eşlik denetimi matrisini (H) (bundan böyle, Sx için 16k-kodun bir eşlik denetimi matrisi (H) olarak ifade edilecektir) resmeden bir diyagramdır.

- 15 Sx için 16k-kodun eşlik denetimi matrisinde (H), sütun ağırlığı (X) bir KX sütununa birinci sütuna verilir ve sütun ağırlığı Y1 sonraki KY1 sütunlarına verilir, sütun ağırlığı Y2 sonraki KY2 sütunlarına verilir, sütun ağırlığı 2 sonraki M-1 sütunlarına verilir ve sütun ağırlığı 1 son bir sütuna verilir.

Burada, $KX+KY1+KY2+M-1+1$, $N=16200$ bitlik kod uzunluğuna eşittir.

- 20 Şekil 45, Sx için 16k-kodun her bir kod oranı (r) için, Şekil 44'teki sütunların sayısını (KX, KY1, KY2 ve M) ve sütun ağırlıklarını (X, Y1 ve Y2) resmeden bir diyagramdır.

- 25 $r=7/15$ ve $8/15$ 'lik Sx için 16k ilgili kodlarının eşlik denetimi matrisinde (H), Şekil 12 ve Şekil 13'te tarif edilen eşlik denetimi matrisine benzer şekilde, sütun birinci tarafa (sol taraf) ne kadar yakınsa, sütun ağırlığını büyük olasılıkla o kadar büyük olur, bu nedenle, Sx için 16k-kodun birinci tarafındaki kod biti büyük olasılıkla hata durumunda kuvvetlidir (hataya karşı bir dirence sahiptir).

< $r=7/15$ ve $8/15$ 'lik Sx için ilgili 16k-kodların değiştirme işlemi >

30

Sx için 16k-kod kullanan veri iletiminde, daha iyi bir iletişim kalitesinin temin edilmesi amacıyla hatalara direnci geliştirmek için önlemler almak arzu edilebilir.

- 35 Hatalara direnci geliştirmek için önlemler olarak, örneğin, nispeten ufak sinyal noktalarına sahip 8PSK ve 16APSK gibi bir modülasyon düzeninin kullanılmasının bir

yöntemi veya çoğullama çözücü (25) (Şekil 9) tarafından gerçekleştirilen bir değiştirme işlemi bulunmaktadır.

Değiştirme işleminde, DVB-T.2 gibi standartlarda saptanmış bir LDPC kodunun kod
5 bitinin değiştirilmesi için bir değiştirme yönteminin örneklerine, birinciyle dördüncü arasındaki değiştirme yöntemleri ve DVB-T.2 gibi standartlarda saptanmış değiştirme yöntemi dahildir.

Ancak, Sx için 16k-kodu kullanan veri iletiminde, Sx için 16k-koduna uygun bir
10 değiştirme işlemi kullanmak arzu edilebilir.

Diğer bir deyişle, Sx için 16k-kodu için, Sx için 16k-kodunun hatalara direncinin geliştirilmesine olanak sağlayan bir Sx için 16k-koduna adanmış değiştirme yönteminin (Sx için bir değiştirme yöntemi olarak da ifade edilmektedir) bir değiştirme işlemini
15 kullanmak arzu edilebilir.

Aşağıdaki tarif, Sx için değiştirme yöntemine göre değiştirme işlemiyle ilgili olarak yapılacaktır, ancak tarif öncesinde, çoktan önerilmiş olan değiştirme yöntemine (bundan böyle, bir güncel yöntem olarak da ifade edilecektir) göre bir değiştirme işlemi
20 tarif edilecektir.

Çoğullama çözücünün (25), DVB-T.2'de ve benzerlerinde saptanmış bir LDPC kodu (bundan böyle, saptanmış kod olarak ifade edilecektir) üzerinde güncel yöntemle göre değiştirme işlemini gerçekleştirdiği bir durumda bir değiştirme işlemi, Şekil 46 ve Şekil
25 47'ye istinaden tarif edilecektir.

Şekil 46, LDPC kodu, DVB-T.2'de saptanmış, 64800 bitlik bir kod uzunluğuna (N) ve 3/5'lik bir kod oranına sahip bir LDPC kodu olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

30

Diğer bir deyişle, Şekil 46A, LDPC kodu 64800 bitlik bir kod uzunluğuna (N) ve 3/5'lik bir kod oranına sahip bir saptanmış kod, bir modülasyon düzeni 16QAM ve b katsayısı 2 olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

Modülasyon düzeni 16QAM olduğunda, kod bitlerinin 4(=m) bitleri bir adet sembol olarak, 16QAM'de tanımlanan 16 sinyal noktasının herhangi birine eşlenir.

5 Kod uzunluğu (N) 64800 bit ve b katsayısı 2 olduğunda, çoğullama çözücünün (25) belleği (31) (Şekil 22 ve Şekil 23), bir sıra yönünde 4x2 (=mb) bit depolayan sekiz sütuna sahiptir ve bir sütun yönünde 64800/ (4x2) bit depolar.

10 Çoğullama çözücüde (25), LDPC kodunun kod bitleri belleğe (31) sütun yönünde yazılır ve 64800 bitin kod bitlerinin (bir kod sözcüğü) yazılması sona ererse, belleğe (31) yazılan kod bitleri sıra yönünde 4x2 (=mb) bitlik birimler halinde okunur ve değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

15 Değiştirme ünitesi (32) b_0 ila b_7 arasındaki 4x2 (=mb) bitlik kod bitlerini, bellekten (31) okunan 4x2 (=mb) bitlik kod bitlerinin ($b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7$), örneğin, Şekil 46A'da resmedildiği üzere, iki (=b) ardışık sembolün 4x2 (=mb) bitlik sembol bitlerine ($y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7$) ayrıldığı şekilde değiştirir.

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

20 b_0 kod bitini y_7 sembol bitine,
 b_1 kod bitini y_1 sembol bitine,
 b_2 kod bitini y_4 sembol bitine,
 b_3 kod bitini y_2 sembol bitine,
 b_4 kod bitini y_5 sembol bitine,
 b_5 kod bitini y_3 sembol bitine,
25 b_6 kod bitini y_6 sembol bitine ve
 b_7 kod bitini y_0 sembol bitine ayırmak amacıyla gerçekleştirir.

30 Şekil 46B, LDPC kodu 64800 bitlik bir kod uzunluğuna (N) ve 3/5'lik bir kod oranına sahip bir saptanmış kod, bir modülasyon düzeni 64QAM ve b katsayısı 2 olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

Modülasyon düzeni 64QAM olduğunda, kod bitlerinin 6(=m) bitleri bir adet sembol olarak, 64QAM'de tanımlanan 64 sinyal noktasının herhangi birine eşlenir.

Ayrıca, kod uzunluğu (N) 64800 bit ve b katsayısı 2 olduğunda, çoğullama çözücünün (25) belleği (31) (Şekil 22 ve Şekil 23), bir sıra yönünde 6×2 (=mb) bit depolayan 12 sütuna sahiptir ve bir sütun yönünde $64800 / (6 \times 2)$ bit depolar.

- 5 Çoğullama çözücüde (25), LDPC kodunun kod bitleri belleğe (31) sütun yönünde yazılır ve 64800 bitin kod bitlerinin (bir kod sözcüğü) yazılması sona ererse, belleğe (31) yazılan kod bitleri sıra yönünde 6×2 (=mb) bitlik birimler halinde okunur ve değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.
- 10 Değiştirme ünitesi (32) b_0 ila b_{11} arasındaki 6×2 (=mb) bitlik kod bitlerini, bellekten (31) okunan 6×2 (=mb) bitlik kod bitlerinin ($b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}$), Şekil 46B'de resmedildiği üzere, iki (=b) ardışık sembolün 6×2 (=mb) bitlik sembol bitlerine ($y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}$) ayrıldığı şekilde değiştirir.
- 15 Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla
 - b_0 kod bitini y_{11} sembol bitine,
 - b_1 kod bitini y_7 sembol bitine,
 - b_2 kod bitini y_3 sembol bitine,
 - b_3 kod bitini y_{10} sembol bitine,
 - 20 b_4 kod bitini y_6 sembol bitine,
 - b_5 kod bitini y_2 sembol bitine,
 - b_6 kod bitini y_9 sembol bitine,
 - b_7 kod bitini y_5 sembol bitine,
 - b_8 kod bitini y_1 sembol bitine,
 - 25 b_9 kod bitini y_8 sembol bitine,
 - b_{10} kod bitini y_4 sembol bitine ve
 - b_{11} kod bitini y_0 sembol bitine ayırmak amacıyla gerçekleştirir.

- Şekil 46C, LDPC kodu 64800 bitlik bir kod uzunluğuna (N) ve 3/5'lik bir kod oranına sahip bir saptanmış kod, bir modülasyon düzeni 256 QAM ve b katsayısı 2 olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

Modülasyon düzeni 256QAM olduğunda, kod bitlerinin $8(=m)$ bitleri bir adet sembol olarak, 256QAM'de tanımlanan 256 sinyal noktasının herhangi birine eşlenir.

Ayrıca, kod uzunluğu (N) 64800 bit ve b katsayısı 2 olduğunda, çoğullama çözücünün (25) belleği (31) (Şekil 22 ve Şekil 23), bir sıra yönünde 8×2 (=mb) bit depolayan 16 sütuna sahiptir ve bir sütun yönünde $64800 / (8 \times 2)$ bit depolar.

- 5 Çoğullama çözücüde (25), LDPC kodunun kod bitleri belleğe (31) sütun yönünde yazılır ve 64800 bitin kod bitlerinin (bir kod sözcüğü) yazılması sona ererse, belleğe (31) yazılan kod bitleri sıra yönünde 8×2 (=mb) bitlik birimler halinde okunur ve değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.
- 10 Değiştirme ünitesi (32) b_0 ila b_{15} arasındaki 8×2 (=mb) bitlik kod bitlerini, bellekten (31) okunan 8×2 (=mb) bitlik kod bitlerinin ($b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}, b_{12}, b_{13}, b_{14}, b_{15}$), Şekil 46C'de resmedildiği üzere, iki (=b) ardışık sembolün 8×2 (=mb) bitlik sembol bitlerine ($y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}, y_{12}, y_{13}, y_{14}, y_{15}$) ayrıldığı şekilde değiştirir.

15

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

- b_0 kod bitini y_{15} sembol bitine,
- b_1 kod bitini y_1 sembol bitine,
- b_2 kod bitini y_{13} sembol bitine,
- 20 b_3 kod bitini y_3 sembol bitine,
- b_4 kod bitini y_8 sembol bitine,
- b_5 kod bitini y_{11} sembol bitine,
- b_6 kod bitini y_9 sembol bitine,
- b_7 kod bitini y_5 sembol bitine,
- 25 b_8 kod bitini y_{10} sembol bitine,
- b_9 kod bitini y_6 sembol bitine,
- b_{10} kod bitini y_4 sembol bitine,
- b_{11} kod bitini y_7 sembol bitine,
- b_{12} kod bitini y_{12} sembol bitine,
- 30 b_{13} kod bitini y_2 sembol bitine,
- b_{14} kod bitini y_{14} sembol bitine ve
- b_{15} kod bitini y_0 sembol bitine ayırmak amacıyla gerçekleştirir.

Şekil 47, LDPC kodu, 16200 bitlik bir kod uzunluğuna (N) ve 3/5'lik bir kod oranına sahip saptanmış bir LDPC kodu olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

- 5 Diğer bir deyişle, Şekil 47A, LDPC kodu 16200 bitlik bir kod uzunluğuna (N) ve 3/5'lik bir kod oranına sahip bir saptanmış kod, bir modülasyon düzeni 16QAM ve b katsayısı 2 olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

Modülasyon düzeni 16QAM olduğunda, kod bitlerinin 4(=m) bitleri bir adet sembol olarak, 16QAM'de tanımlanan 16 sinyal noktasının herhangi birine eşlenir.

Kod uzunluğu (N) 16200 bit ve b katsayısı 2 olduğunda, çoğullama çözücünün (25) belleği (31) (Şekil 22 ve Şekil 23), bir sıra yönünde 4x2 (=mb) bit depolayan 8 sütuna sahiptir ve bir sütun yönünde 16200/ (4x2) bit depolar.

15 Çoğullama çözücüde (25), LDPC kodunun kod bitleri belleğe (31) sütun yönünde yazılır ve 16200 bitin kod bitlerinin (bir kod sözcüğü) yazılması sona ererse, belleğe (31) yazılan kod bitleri sıra yönünde 4x2 (=mb) bitlik birimler halinde okunur ve değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

20 Değiştirme ünitesi (32) b_0 ile b_7 arasındaki 4x2 (=mb) bitlik kod bitlerini, bellekten (31) okunan 4x2 (=mb) bitlik kod bitlerinin ($b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7$), örneğin, Şekil 47A'da resmedildiği üzere, iki (=b) ardışık sembolün 4x2 (=mb) bitlik sembol bitlerine ($y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7$) ayrıldığı şekilde değiştirir.

25 Diğer bir deyişle, yukarıda tarif edilen Şekil 46A'daki duruma benzer şekilde, değiştirme ünitesi (32) değiştirmeyi b_0 ile b_7 arasındaki kod bitlerini y_0 ile y_7 arasındaki sembol bitlerine ayırmak amacıyla gerçekleştirir.

30 Diğer bir deyişle, Şekil 47B, LDPC kodu 16200 bitlik bir kod uzunluğuna (N) ve 3/5'lik bir kod oranına sahip bir saptanmış kod, bir modülasyon düzeni 64QAM ve b katsayısı 2 olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

Modülasyon düzeni 64QAM olduğunda, kod bitlerinin 6(=m) bitleri bir adet sembol olarak, 64QAM'de tanımlanan 64 sinyal noktasının herhangi birine eşlenir.

Ayrıca, kod uzunluğu (N) 16200 bit ve b katsayısı 2 olduğunda, çoğullama çözücünün (25) belleği (31) (Şekil 22 ve Şekil 23), bir sıra yönünde 6×2 ($=mb$) bit depolayan 12 sütuna sahiptir ve bir sütun yönünde $16200 / (6 \times 2)$ bit depolar.

5

Çoğullama çözücüde (25), LDPC kodunun kod bitleri belleğe (31) sütun yönünde yazılır ve 16200 bitin kod bitlerinin (bir kod sözcüğü) yazılması sona ererse, belleğe (31) yazılan kod bitleri sıra yönünde 6×2 ($=mb$) bitlik birimler halinde okunur ve değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

10

Değiştirme ünitesi (32) b_0 ile b_{11} arasındaki 6×2 ($=mb$) bitlik kod bitlerini, bellekten (31) okunan 6×2 ($=mb$) bitlik kod bitlerinin ($b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}$), Şekil 47B'de resmedildiği üzere, örneğin, iki ($=b$) ardışık sembolün 6×2 ($=mb$) bitlik sembol bitlerine ($y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}$) ayrıldığı şekilde değiştirir.

15

Diğer bir deyişle, yukarıda tarif edilen Şekil 46B'deki duruma benzer şekilde, değiştirme ünitesi (32) değiştirmeyi b_0 ile b_{11} arasındaki kod bitlerini y_0 ile y_{11} arasındaki sembol bitlerine ayırmak amacıyla gerçekleştirir.

20

Diğer bir deyişle, Şekil 47C, LDPC kodu 16200 bitlik bir kod uzunluğuna (N) ve $3/5$ 'lik bir kod oranına sahip bir saptanmış kod, bir modülasyon düzeni 256QAM ve b katsayısı 1 olduğunda güncel yöntemle göre değiştirme işleminin bir örneğini resmetmektedir.

25

Modülasyon düzeni 256QAM olduğunda, kod bitlerinin $8(=m)$ bitleri bir adet sembol olarak, 256QAM'de tanımlanan 256 sinyal noktasının herhangi birine eşlenir.

Ayrıca, kod uzunluğu (N) 16200 bit ve b katsayısı 1 olduğunda, çoğullama çözücünün (25) belleği (31) (Şekil 22 ve Şekil 23), bir sıra yönünde 8×1 ($=mb$) bit depolayan 8

30

Çoğullama çözücüde (25), LDPC kodunun kod bitleri belleğe (31) sütun yönünde yazılır ve 16200 bitin kod bitlerinin (bir kod sözcüğü) yazılması sona ererse, belleğe (31) yazılan kod bitleri sıra yönünde 8×1 ($=mb$) bitlik birimler halinde okunur ve değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

35

- Değiştirme ünitesi (32) b_0 ila b_7 arasındaki 8×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan 8×1 (=mb) bitlik kod bitlerinin ($b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7$), Şekil 47C'de resmedildiği üzere, iki (=b) ardışık sembolün 8×1 (=mb) bitlik sembol bitlerine ($y_0, y_1, y_2,$
5 y_3, y_4, y_5, y_6, y_7) ayrıldığı şekilde değiştirir.

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

- b_0 kod bitini y_7 sembol bitine,
- b_1 kod bitini y_3 sembol bitine,
- 10 b_2 kod bitini y_1 sembol bitine,
- b_3 kod bitini y_5 sembol bitine,
- b_4 kod bitini y_2 sembol bitine,
- b_5 kod bitini y_6 sembol bitine,
- b_6 kod bitini y_4 sembol bitine ve
- 15 b_7 kod bitini y_0 sembol bitine ayırmak amacıyla gerçekleştirir.

Aşağıdaki tarifname, S_x için değiştirme yöntemine göre bir değiştirme işlemiyle ilgili olarak yapılacaktır.

- 20 Ek olarak, aşağıdaki tarifiede, bellekten (31) sıra yönünde okunan mb bitlerinin kod bitlerindeki en kayda değer bittin ($\#i+1$)-nci bit bir bit $b_{\#i}$ ile temsil edilmektedir ve b ardışık sembollerin mb bitlerinin sembol bitlerindeki en kayda değer bittin ($\#i+1$)-nci bit bir bit $y_{\#i}$ ile temsil edilmektedir.
- 25 Şekil 48, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kod kullanan veri iletimindeki modülasyon düzeni 8PSK ve b katsayısı 1 olduğunda S_x için güncel yöntemle göre değiştirme işleminin bir birinci örneğini resmetmektedir.

- 30 $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kod kullanan veri iletimindeki modülasyon düzeni 8PSK ve b katsayısı 1 olduğunda, sütun yönü x sıra yönünün $(16200/(3 \times 1)) \times (3 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 3×1 (=mb) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

Değiştirme ünitesi (32) b_0 ile b_2 arasındaki 3×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b_0 ile b_2 arasındaki 3×1 (=mb) bitlik kod bitlerinin, Şekil 48'de resmedildiği üzere, bir (=b) sembolün 3×1 (=mb) bitlik y_0 ile y_2 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

5

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

b_0 kod bitini y_1 sembol bitine,

b_1 kod bitini y_0 sembol bitine ve

b_2 kod bitini y_2 sembol bitine ayırmak amacıyla gerçekleştirir.

10

Şekil 49, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kod kullanan veri iletimindeki modülasyon düzeni 8PSK ve b katsayısı 1 olduğunda S_x için güncel yöntemle göre değiştirme işleminin bir ikinci örneğini resmetmektedir.

15 Bu durumda, Şekil 48'de resmedildiği üzere, sütun yönü x sıra yönünün $(16200/(3 \times 1)) \times (3 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 3×1 (=mb) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

20 Değiştirme ünitesi (32) b_0 ile b_2 arasındaki 3×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b_0 ile b_2 arasındaki 3×1 (=mb) bitlik kod bitlerinin, Şekil 49'da resmedildiği üzere, bir (=b) sembolün 3×1 (=mb) bitlik y_0 ile y_2 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

25 Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

b_0 kod bitini y_1 sembol bitine,

b_1 kod bitini y_2 sembol bitine ve

b_2 kod bitini y_0 sembol bitine ayırmak amacıyla gerçekleştirir.

30 Burada, değiştirme ünitesi (32) tarafından değiştirme işlemindeki LDPC kodunun kod bitlerinin değiştirme yöntemi olarak, $r=7/15$ ve $8/15$ 'lik kod oranlarına sahip S_x için 16k-kodlarının her biri için atanmış bir bit ayırma örüntüsü, diğer bir deyişle, LDPC kodunun kod bitiyle bir sembolü temsil eden sembol biti arasındaki bir ayırma örüntüsü (bundan böyle, bir bit ayırma örüntüsü olarak da ifade edilecektir) kullanmak mümkündür.

35

Ancak, $r=7/15$ ve $8/15$ 'lik kod oranlarına sahip S_x için 16k-kodlarının her biri için atanmış bit ayırma örüntüsü ise, iletim aygıtında (11) ilgili bit ayırma örüntülerini uygulamak ve bit ayırma örüntüsünü farklı kod oranlarına (r) sahip ayrı S_x için 16k-kodları için değiştirmek (geçirmek) gereklidir.

5

Böylelikle, $r=7/15$ ve $8/15$ 'lik kod oranlarına sahip S_x için 16k-kodlarının her biri için, modülasyon düzeni 8PSK ve b katsayısı 1 olduğunda, iletim aygıtında (11) Şekil 48 ve Şekil 49'a istinaden tarif edilen değiştirme yöntemlerinin sadece birini uygulamak mümkündür. Daha sonra tarif edilecek olan şekilde modülasyon düzeni 16APSK ve b

10

Şekil 50, $r=7/15$ 'lik kod oranına sahip S_x için 16k-kodu için, modülasyon düzeni olarak 8PSK kullanıldığında ve değiştirme yöntemi olarak Şekil 48'deki S_x için değiştirme yönteminin birinci örneği kullanıldığında, BER/FER ölçümünün simülasyonunun bir sonucunu resmeden bir diyagramdır.

15

Şekil 51, $r=8/15$ 'lik kod oranına sahip S_x için 16k-kodu için, modülasyon düzeni olarak 8PSK kullanıldığında ve değiştirme yöntemi olarak Şekil 48'deki S_x için değiştirme yönteminin birinci örneği kullanıldığında, BER/FER ölçümünün simülasyonunun bir sonunu resmeden bir diyagramdır.

20

Şekil 50 ve Şekil 51'de, yatay eksen E_s/N_0 'yu temsil etmektedir ve dikey eksen BER/FER'i temsil etmektedir. Ek olarak, kesintisiz çizgi BER'i temsil etmektedir ve noktalı çizgi FER'i temsil etmektedir.

25

Şekil 50 ve Şekil 51'e göre, iyi bir BER/FER, $r=7/15$ ve $8/15$ 'lik kod oranlarına sahip S_x için 16k-kodlarının her biri için elde edilir ve bu nedenle, S_x için 16k-kodu kullanan veri iletiminde iyi iletişim kalitesinin güvenceye alındığını kontrol etmek mümkündür.

30

Simülasyonda, değiştirme yöntemi olarak Şekil 49'daki S_x için ikinci değiştirme yöntemi kullanıldığında bile, Şekil 48'deki S_x için birinci değiştirme yönteminin kullanılması durumunda olduğu gibi yaklaşık olarak aynı BER/FER ölçülür.

35

Burada, simülasyonda, BER/FER, S_x için 16k-kodun kodu çözülürken yinelemeli kod çözme sayacı (C) (it) olarak 50 katı kullanılarak ve iletişim yolu (13) (Şekil 7) olarak

doğrusal-olmayan (NL) bir kanal varsayılarak, üç bitlik kod bitlerinin üç bitlik sembol bitlerine atanması için çeşitli bit ayırma örüntüleri için ölçülür.

5 Daha sonra, iyi bir BER/FER elde etmenin bit ayırma örüntüsü, Sx için değiştirme yöntemi olarak kullanılır.

Dolayısıyla, Şekil 48'deki ve Şekil 49'daki Sx için değiştirme yöntemi, Sx için 16k-kodu kullanan 8PSK'daki iletim verisi NL kanalı üzerinden gerçekleştirildiğinde, uygun değiştirme yöntemi olarak ifade edilebilir.

10

Ayrıca, bir modülasyon düzeni olarak 8PSK kullanan simülasyonda, örneğin, DVB-S.2'deki 8PSK'da kullanılan kümelenme (Şekil 19) 8PSK'nin kümelenmesi olarak kullanılır.

15 Ek olarak, NL kanalında Şekil 48 ve Şekil 49'daki Sx için değiştirme yönteminin kullanılması durumunda, bunun yanı sıra, NL kanalının dışında, örneğin, bir doğrusal kanalda veya AWGN'nin doğrusal kanala eklenmesiyle elde edilen bir AWGN kanalında, Sx için değiştirme yönteminin kullanılması durumunda iyi iletişim kalitesinin güvenceye alınması mümkündür.

20

Şekil 52, bir simülasyonda kullanılan bir iletim sisteminin bir modelini (iletim sistemi modeli) resmeden bir sütunlu diyagramdır.

İletim sistemi modeli bir Tx ünitesi (210), bir Rx ünitesi (220) ve bir kanal (Kanal) ünitesi (230) içerir.

25

Tx ünitesi (210), iletim tarafındaki bir modeldir ve bir göndermede hata düzeltimi (FEC) ünitesi (211), bir eşleme ünitesi (Eşleme) (212), bir yukarı-örnekleme ünitesi (Yukarı-örnekleme) (213) ve bir nyquist filtre ünitesi (Nyquist filtresi) (214) içerir.

30

FEC ünitesi (211), örneğin, bir BCH koduyla ve bir LDPC ile, hata düzeltimi kodlamasını gerçekleştirir ve hata düzeltimi kodlamasıyla elde edilen LDPC kodunu eşleme ünitesine (212) sağlar.

Eşleme ünitesi (212), FEC ünitesinden (211) LDPC kodunun önceden belirlenmiş bitlerini bir sembol olarak alarak ve sembolü 8PSK veya 16APSK gibi önceden belirlenmiş bir dörtlü modülasyonun bir modülasyon düzeninde tanımlanan sinyal noktasına eşleyerek dörtlü modülasyonu gerçekleştirir ve dörtlü modülasyondaki
5 sonraki veriyi yukarı-örnekleme ünitesine (213) sağlar.

Yukarı-örnekleme ünitesi (213), eşleme ünitesinden (212) gelen veri üzerinde yukarı-örneklemeyi gerçekleştirir ve bir sonuç olarak elde edilen veriyi nyquist filtre ünitesine (214) sağlar.

10

Nyquist filtre ünitesi (214) yukarı-örnekleme ünitesinden (213) gelen veriyi filtre eder ve bir sonuç olarak elde edilen iletim sinyalini kanal ünitesine (230) sağlar.

Rx ünitesi (220), alım tarafındaki bir modeldir ve bir otomatik kazanç kontrolü (AGC) ünitesi (221), bir çoğaltıcı (222), bir azalma filtre ünitesi (Azalma Filtresi) (223), bir
15 aşağı-örnekleme ünitesi (Aşağı örnekleme) (224), bir kanal durumu bilgisi (CSI) ünitesi (225), bir eşleme kaldırma ünitesi (Eşleme kaldırma) (226) ve bir FEC ünitesi (227) içerir.

AGC ünitesi (221), kanal ünitesinden (230) çıkarılmış olan iletim sinyalinin kuvvetlendirilmesi için bir AGC parametresi ayarlar ve AGC parametresini çoğaltıcıya (222) sağlar.

AGC ünitesinden (221) AGC parametresi ve kanal ünitesinden (230) çıkarılan iletim
25 sinyali çoğaltıcıya (222) sağlanır.

Çoğaltıcı (222) kanal ünitesinden (230) iletilen sinyali, AGC ünitesinden (221) gelen AGC parametresine bağlı olarak kuvvetlendirir ve kuvvetlendirilmiş sinyali azalma filtre ünitesine (223) sağlar.

30

Azalma filtre ünitesi (223) çoğaltıcıdan (222) iletilen sinyali filtre eder ve filtrelenen sinyali aşağı-örnekleme ünitesine (224) sağlar.

Aşağı-örnekleme ünitesi (224) azalma filtre ünitesinden (223) iletilen sinyal üzerinde aşağı-örnekleme gerçekleştirir ve bir sonuç olarak elde edilen veriyi (eşleme sonrası veri) eşleme kaldırma ünitesine (226) sağlar.

- 5 CSI ünitesi (225), bir kanalın (kanal ünitesi (230)) durumunu gösteren kanal bilgisini ayarlar ve kanal bilgisini eşleme kaldırma ünitesine (226) sağlar.

- Eşleme kaldırma ünitesi (226) aşağı-örnekleme ünitesinden (224) gelen verinin eşlemesini kaldırır (sinyal noktası düzenlemesi kod çözümü) ve CSI ünitesinden (225) 10 gelen kanal bilgisini kullanarak veriyi dörtlü-kip çözer ve bir sonuç olarak elde edilen veriyi (LDPC kodunun olabilirliği) FEC ünitesine (227) sağlar.

- FEC ünitesi (227) bir hata düzeltimi kodunun kod çözülmesi, örneğin, LDPC kodunun kod çözülmesi ve BCH kodunun kod çözülmesi için, eşleme kaldırma ünitesinden (226) 15 gelen veri üzerinde hata düzeltimi kod çözmeyi gerçekleştirir.

- Kanal ünitesi (230) NL kanalının bir modelidir ve bir girdi geri-çekme (IBO) ünitesi (231), bir çoğaltıcı (232), bir yürüyen dalga tüp yükseltici (TWTA) ünitesi (233), bir AWGN ünitesi (234) ve bir toplayıcı (235) içerir.

20

IBO ünitesi (231), Tx ünitesinden (210) çıkarılan iletim sinyalinin gücünün ayarlanması için bir IBO parametresi ayarlar ve IBO parametresini çoğaltıcıya (232) sağlar.

- IBO ünitesinden (231) IBO parametresi ve Tx ünitesinden (210) çıkarılan iletim sinyali, 25 çoğaltıcıya (232) sağlanır.

- Çoğaltıcı (232), Tx ünitesinden (210) iletilen sinyali, IBO ünitesinden (231) IBO parametresine bağlı olarak kuvvetlendirir ve kuvvetlendirilmiş IBO parametresini TWTA ünitesine (233) sağlar.

30

- TWTA ünitesi (233), örneğin, doğrusal-olmayan karakteristiklere sahip bir kuvvetlendiriciden (doğrusal-olmayan kuvvetlendirici) oluşur, önceden belirlenmiş bir değerden daha az bir güce sahip, bu Şekliyle, iletim sinyalini çıkarır ve gücü önceden belirlenmiş değere tutturarak önceden belirlenmiş değere eşit veya bundan daha büyük 35 güce sahip iletim sinyalini, çoğaltıcıdan (232) gelen iletim sinyallerinden dışarı çıkarır.

AWGN ünitesi (234) AWGN'yi üretir ve çıkarır.

- 5 TWTA ünitesinden (233) çıkarılan iletim sinyali ve AWGN ünitesinden (234) çıkarılan AWGN toplayıcıya (235) sağlanır.

Toplayıcı (235) TWTA ünitesinden (233) iletilen sinyali ve AWGN ünitesinden (234) gelen AWGN'yi toplar ve bunun kanal ünitesinin (230) bir çıktısı olarak çıkarır.

- 10 Yukarıda tarif edildiği şekilde yapılandırılan iletim sistemi modelinde, Tx ünitesinde (210), FEC ünitesi (211) hata düzeltimi kodlamayı gerçekleştirir ve hata düzeltimi kodlaması tarafından elde edilen LDPC kodu eşleme ünitesine (212) sağlanır.

- 15 Eşleme ünitesi (212), FEC ünitesinden (211) LDPC kodunu önceden belirlenmiş bir dörtlü modülasyonun modülasyon düzeninde tanımlanan sinyal noktasına eşleyerek dörtlü modülasyonu gerçekleştirir. Eşleme ünitesi (212) tarafından elde edilen veri kanal ünitesine (230), Tx ünitesinden (210) çıkarılan iletim sinyali olarak, yukarı-örnekleme ünitesi (213) ve nyquist filtre ünitesi (214) üzerinden sağlar.

- 20 Kanal ünitesinde (230), Tx ünitesinden (210) iletilen sinyal uygun şekilde, çoğaltıcı (232) ve TWTA ünitesi (233) üzerinden geçerek doğrusal-olmayan bozulmanın alınmasının bir durumundadır ve toplayıcıya (235) sağlanır.

- 25 Toplayıcıda (235), çoğaltıcıdan (232) ve TWTA ünitesinden (233) sağlanan iletim sinyali AWGN ünitesinden (234) gelen AWGN ile toplanır ve Rx ünitesine (220) sağlanır.

- 30 Rx ünitesinde (220), kanal ünitesinden (230) iletilen sinyal, çoğaltıcı (222), azalma filtresi ünitesi (223) ve aşağı-örnekleme ünitesi (224) üzerinden eşleme kaldırma ünitesine (226) sağlanır.

- 35 Eşleme kaldırma ünitesinde (226), çoğaltıcı (222), azalma filtresi ünitesi (223) ve aşağı-örnekleme ünitesi (224) üzerinden sağlanan verinin eşlemesi kaldırılır ve CSI ünitesinden (225) gelen kanal bilgisi kullanılarak dörtlü kip-çözülür ve FEC ünitesine (227) sağlanır.

FEC ünitesinde (227), eşleme kaldırma ünitesinden (226) gelen verinin LDPC kod çözülmesi gibi hata düzeltimi kod çözülmesi gerçekleştirilir. Simülasyonda, BER/FER, hata düzeltimi kod çözülmesinin sonucu kullanılarak ölçülür (hesaplanır).

5

Ek olarak, Şekil 52'deki kanal ünitesi (230) IBO ünitesinin (231), çoğaltıcının (232) ve TWTA ünitesinin (233) sağlanmamasıyla sadece AWGN ünitesiyle (234) ve toplayıcıyla (235) yapılandırılırsa, kanal ünitesi (230) AWGN kanalının bir modelidir.

- 10 Şekil 53, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kodu kullanan veri iletiminde modülasyon düzeni 16APSK ve b katsayısı 1 olduğunda S_x için değiştirme yöntemine göre bir değiştirme işleminin bir birinci örneğini resmeden bir diyagramdır.

- 15 $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kod kullanan veri iletimindeki modülasyon düzeni 16APSK ve b katsayısı 1 olduğunda, sütun yönü x sıra yönünün $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 4×1 ($=mb$) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

- 20 Değiştirme ünitesi (32) b_0 ile b_3 arasındaki 4×1 ($=mb$) bitlik kod bitlerini, bellekten (31) okunan b_0 ile b_3 arasındaki 4×1 ($=mb$) bitlik kod bitlerinin, Şekil 53'te resmedildiği üzere, bir ($=b$) sembolün 4×1 ($=mb$) bitlik y_0 ile y_3 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

- 25 Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla
 b_0 kod bitini y_1 sembol bitine,
 b_1 kod bitini y_2 sembol bitine,
 b_2 kod bitini y_0 sembol bitine ve
 b_3 kod bitini y_3 sembol bitine ayırmak amacıyla gerçekleştirir.

30

Şekil 54, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kodu kullanan veri iletiminde modülasyon düzeni 16APSK ve b katsayısı 1 olduğunda S_x için değiştirme yöntemine göre bir değiştirme işleminin bir ikinci örneğini resmeden bir diyagramdır.

Bu durumda, Şekil 53'te resmedildiği üzere, sütun yönü x sıra yönünün $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 4×1 (=mb) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

5

Değiştirme ünitesi (32) b0 ile b3 arasındaki 4×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b0 ile b3 arasındaki 4×1 (=mb) bitlik kod bitlerinin, Şekil 54'te resmedildiği üzere, bir (=b) sembolün 4×1 (=mb) bitlik y0 ile y3 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

10

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

b0 kod bitini y1 sembol bitine,

b1 kod bitini y3 sembol bitine,

b2 kod bitini y0 sembol bitine ve

15

b3 kod bitini y2 sembol bitine ayırmak amacıyla gerçekleştirir.

Şekil 55, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kodu kullanan veri iletiminde modülasyon düzeni 16APSK ve b katsayısı 1 olduğunda S_x için değiştirme yöntemine göre bir değiştirme işleminin bir üçüncü örneğini resmeden bir diyagramdır.

20

Bu durumda, Şekil 53'te resmedildiği üzere, sütun yönü x sıra yönünün $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 4×1 (=mb) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

25

Değiştirme ünitesi (32) b0 ile b3 arasındaki 4×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b0 ile b3 arasındaki 4×1 (=mb) bitlik kod bitlerinin, Şekil 55'te resmedildiği üzere, bir (=b) sembolün 4×1 (=mb) bitlik y0 ile y3 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

30

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

b0 kod bitini y2 sembol bitine,

b1 kod bitini y1 sembol bitine,

b2 kod bitini y0 sembol bitine ve

35

b3 kod bitini y3 sembol bitine ayırmak amacıyla gerçekleştirir.

Şekil 56, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kodu kullanan veri iletiminde modülasyon düzeni 16APSK ve b katsayısı 1 olduğunda S_x için değiştirme yöntemine göre bir değiştirme işleminin bir dördüncü örneğini resmeden bir diyagramdır.

5

Bu durumda, Şekil 53'te resmedildiği üzere, sütun yönü x sıra yönünün $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 4×1 (=mb) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

10

Değiştirme ünitesi (32) b_0 ile b_3 arasındaki 4×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b_0 ile b_3 arasındaki 4×1 (=mb) bitlik kod bitlerinin, Şekil 56'da resmedildiği üzere, bir (=b) sembolün 4×1 (=mb) bitlik y_0 ile y_3 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

15

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

b_0 kod bitini y_3 sembol bitine,

b_1 kod bitini y_1 sembol bitine,

b_2 kod bitini y_0 sembol bitine ve

20

b_3 kod bitini y_2 sembol bitine ayırmak amacıyla gerçekleştirir.

Şekil 57, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kodu kullanan veri iletiminde modülasyon düzeni 16APSK ve b katsayısı 1 olduğunda S_x için değiştirme yöntemine göre bir değiştirme işleminin bir beşinci örneğini resmeden bir diyagramdır.

25

Bu durumda, Şekil 53'te resmedildiği üzere, sütun yönü x sıra yönünün $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 4×1 (=mb) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

30

Değiştirme ünitesi (32) b_0 ile b_3 arasındaki 4×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b_0 ile b_3 arasındaki 4×1 (=mb) bitlik kod bitlerinin, Şekil 57'de resmedildiği üzere, bir (=b) sembolün 4×1 (=mb) bitlik y_0 ile y_3 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

35

Diğer bir deyişle, deęiřtirme ünitesi (32) deęiřtirmeyi, sırasıyla

b0 kod bitini y1 sembol bitine,

b1 kod bitini y2 sembol bitine,

b2 kod bitini y3 sembol bitine ve

5 b3 kod bitini y0 sembol bitine ayırmak amacıyla gerekleřtirir.

řekil 58, $r=7/15$ veya $8/15$ 'e sahip S_x iin 16k-kodu kullanan veri iletiminde modlasyon dzeni 16APSK ve b katsayısı 1 olduęunda S_x iin deęiřtirme yntemine gre bir deęiřtirme iřleminin bir altıncı rneęini resmeden bir diyagramdır.

10

Bu durumda, řekil 53'te resmedildięi zere, stun yn x sıra ynnn $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduęu belleęe (31) yazılan kod bitleri sıra ynnde 4×1 (=mb) bitlik birimler halinde okunur ve oęullama zcdeki (25) deęiřtirme nitesine (32) (řekil 22 ve řekil 23) saęlanır.

15

Deęiřtirme nitesi (32) b0 ila b3 arasındaki 4×1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b0 ila b3 arasındaki 4×1 (=mb) bitlik kod bitlerinin, řekil 58'de resmedildięi zere, bir (=b) semboln 4×1 (=mb) bitlik y0 ila y3 arasındaki sembol bitlerine ayırmak amacıyla deęiřtirir.

20

Diğer bir deyişle, deęiřtirme ünitesi (32) deęiřtirmeyi, sırasıyla

b0 kod bitini y1 sembol bitine,

b1 kod bitini y3 sembol bitine,

b2 kod bitini y2 sembol bitine ve

25 b3 kod bitini y0 sembol bitine ayırmak amacıyla gerekleřtirir.

řekil 59, $r=7/15$ veya $8/15$ 'e sahip S_x iin 16k-kodu kullanan veri iletiminde modlasyon dzeni 16APSK ve b katsayısı 1 olduęunda S_x iin deęiřtirme yntemine gre bir deęiřtirme iřleminin bir yedinci rneęini resmeden bir diyagramdır.

30

Bu durumda, řekil 53'te resmedildięi zere, stun yn x sıra ynnn $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduęu belleęe (31) yazılan kod bitleri sıra ynnde 4×1 (=mb) bitlik birimler halinde okunur ve oęullama zcdeki (25) deęiřtirme nitesine (32) (řekil 22 ve řekil 23) saęlanır.

35

Değiştirme ünitesi (32) b0 ila b3 arasındaki 4x1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b0 ila b3 arasındaki 4x1 (=mb) bitlik kod bitlerinin, Şekil 59'da resmedildiği üzere, bir (=b) sembolün 4x1 (=mb) bitlik y0 ila y3 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

5

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

b0 kod bitini y2 sembol bitine,

b1 kod bitini y1 sembol bitine,

b2 kod bitini y3 sembol bitine ve

10

b3 kod bitini y0 sembol bitine ayırmak amacıyla gerçekleştirir.

Şekil 60, $r=7/15$ veya $8/15$ 'e sahip S_x için 16k-kodu kullanan veri iletiminde modülasyon düzeni 16APSK ve b katsayısı 1 olduğunda S_x için değiştirme yöntemine göre bir değiştirme işleminin bir sekizinci örneğini resmeden bir diyagramdır.

15

Bu durumda, Şekil 53'te resmedildiği üzere, sütun yönü x sıra yönünün $(16200/(4 \times 1)) \times (4 \times 1)$ bit olduğu belleğe (31) yazılan kod bitleri sıra yönünde 4x1 (=mb) bitlik birimler halinde okunur ve çoğullama çözücündeki (25) değiştirme ünitesine (32) (Şekil 22 ve Şekil 23) sağlanır.

20

Değiştirme ünitesi (32) b0 ila b3 arasındaki 4x1 (=mb) bitlik kod bitlerini, bellekten (31) okunan b0 ila b3 arasındaki 4x1 (=mb) bitlik kod bitlerinin, Şekil 60'ta resmedildiği üzere, bir (=b) sembolün 4x1 (=mb) bitlik y0 ila y3 arasındaki sembol bitlerine ayırmak amacıyla değiştirir.

25

Diğer bir deyişle, değiştirme ünitesi (32) değiştirmeyi, sırasıyla

b0 kod bitini y3 sembol bitine,

b1 kod bitini y1 sembol bitine,

b2 kod bitini y2 sembol bitine ve

30

b3 kod bitini y0 sembol bitine ayırmak amacıyla gerçekleştirir.

Şekil 61, $r=7/15$ kod oranına sahip S_x için 16k-kodu için, modülasyon düzeni olarak 16APSK kullanıldığında ve değiştirme yöntemi olarak Şekil 55'teki S_x için değiştirme yönteminin üçüncü örneği kullanıldığında BER/FER ölçümünün simülasyonunun bir sonunu resmeden bir diyagramdır.

35

Şekil 62, $r=8/15$ kod oranına sahip Sx için 16k-kodu için, modülasyon düzeni olarak 16APSK kullanıldığında ve değiştirme yöntemi olarak Şekil 55'teki Sx için değiştirme yönteminin üçüncü örneği kullanıldığında BER/FER ölçümünün simülasyonunun bir sonunu resmeden bir diyagramdır.

Şekil 61 ve Şekil 62'de, yatay eksen E_s/N_0 'yu temsil etmektedir ve dikey eksen BER/FER'i temsil etmektedir. Ek olarak, kesintisiz çizgi BER'i temsil etmektedir ve noktalı çizgi FER'i resmetmektedir.

10

Şekil 61 ve Şekil 62'ye göre, $r=7/15$ ve $8/15$ 'lik kod oranlarına sahip Sx için 16k-kodlarının her biri için iyi bir BER/FER elde edilir ve bu nedenle, Sx için 16k-kodu kullanan veri iletiminde iyi iletişim kalitesinin güvenceye alındığını denetlemek mümkündür.

15

Simülasyonda, değiştirme yöntemi olarak Şekil 53'teki Sx için değiştirme yönteminin birinci örneğinin, Şekil 54'teki Sx için değiştirme yönteminin ikinci örneğinin ve Şekil 56'daki Sx için değiştirme yönteminin birinci örneğiyle Şekil 60'daki Sx için değiştirme yönteminin sekizinci örneği arasındaki örneklerin kullanılması durumunda bile, Şekil 55'teki Sx için değiştirme yönteminin üçüncü örneğinin kullanılması durumunda olduğu gibi yaklaşık olarak aynı BER/FER ölçülür.

20

Burada, modülasyon düzeni olarak 8PSK'yı kullanan simülasyon durumuna benzer olarak (Şekil 50 ve Şekil 51), modülasyon düzeni olarak 16APSK'yı kullanan simülasyonda, BER/FER, dört bitlik kod bitlerinin dört bitlik sembol bitlerine atanması için çeşitli bit ayırma örüntüleri için, Sx için 16k-kodun kodu çözülürken yinelemeli kod çözme sayacı (C) (it) olarak 50 katı kullanılarak ve iletişim yolu (13) (Şekil 7) olarak doğrusal-olmayan (NL) bir kanal varsayılarak ölçülür.

25

Daha sonra, iyi bir BER/FER elde etmenin bit ayırma örüntüsü, Sx için değiştirme yöntemi olarak kullanılır.

30

Dolayısıyla, Şekil 53 ila Şekil 60'daki Sx için değiştirme yöntemleri, Sx için 16k-kodu kullanan 16APSK'deki veri iletimi NL kanalı üzerinden gerçekleştirildiğinde uygun değiştirme yöntemi olarak ifade edilebilir.

35

Ayrıca, bir modülasyon düzeni olarak 16APSK kullanan simülasyonda, örneğin, γ oranının (y) DVB-S.2'nin 16APSK'sinde kullanılan kümelenme (Şekil 20) için optimize edildiği kümelenme, 16APSK'nin kümelenmesi olarak kullanılır.

5

Diğer bir deyişle, modülasyon düzeni olarak 16APSK kullanan simülasyonda, Şekil 20'de resmedilen kümelenmeye benzer şekilde, IQ düzlemi üzerindeki orijin çevresinde bir R_1 çapına sahip bir halka (iç halka) üzerindeki dört sinyal noktası ve bir R_2 ($>R_1$) çapına sahip bir halka (dış halka) üzerindeki 12 sinyal noktası dahil olmak üzere toplamda 16 sinyal noktasına sahip kümelenme burada sağlanır.

10

Ancak, bir modülasyon düzeni olarak 16APSK kullanan simülasyonda, NL kanalı üzerinden veri iletiminde minimize edilmiş bir FER'e sahip bir değer, dış halkayla iç halka arasındaki γ oranı ($\gamma=R_2/R_1$) olarak kullanılır.

15

Spesifik olarak, $r=7/15$ 'lik kod oranına sahip S_x için 16k-kod için, bir modülasyon düzeni olarak 16APSK kullanan simülasyonda γ olarak 5,25 kullanılır ve $r=7/15$ 'lik kod oranına sahip S_x için 16k-kod için, bir modülasyon düzeni olarak 16APSK kullanan simülasyonda γ olarak 4,85 kullanılır.

20

Ek olarak, NL kanalında Şekil 53 ile Şekil 60'daki S_x için değiştirme yönteminin kullanılması durumunda ve bunun yanı sıra, örneğin, NL kanalı dışında, doğrusal bir kanalda veya AWGN'nin doğrusal kanala eklenmesiyle elde edilen bir AWGN kanalında S_x için değiştirme yönteminin kullanılması durumunda iyi iletişim kalitesinin güvenceye alınması mümkündür.

25

Ayrıca, Şekil 61 ve Şekil 62'deki (yukarıda tarif edilen Şekil 50 ve Şekil 51'deki BER/FER ölçümünün simülasyonuna benzer şekilde) BER/FER ölçümünün simülasyonunda, bir azalma oranı olarak %10 kullanılır. Azalma oranı, Şekil 52'deki iletim sistemi modelinin nyquist filtre ünitesiyle (214) ve azalma filtresi ünitesiyle (223) ilgili bir parametredir.

30

<Eşleme>

Şekil 63 ve Şekil 64, 16APSK'nin sinyal noktalarının ve S_x için 16k-kod kullanan veri iletimindeki modülasyon düzeni olarak 16APSK kullanılması durumundaki çap oranının (γ) düzenlemesinin örneklerini resmeden diyagramlardır.

- 5 Şekil 63 ve Şekil 64'te, 16APSK'nin 16 sinyal noktası, R_1 çapındaki bir iç halka ve R_1 çapından daha büyük bir R_2 çapına sahip bir dış halka üzerinde düzenlenir.

Spesifik olarak, dört sinyal noktası R_1 çapındaki iç halka üzerinde eşit açılarla düzenlenir ve 12 sinyal noktası R_2 çapındaki dış halka üzerinde eşit açılarla düzenlenir.

10

Ayrıca, 16APSK'nin kümelenmesi (16 sinyal noktası) için, dış halkanın R_2 çapıyla iç halkanın R_1 çapı arasındaki bir çap oranı (iç halkanın R_1 çapının kaç katının dış halkanın R_2 çapı olduğunu gösteren bir değer) ($\gamma=R_2/R_1$), sinyal noktasına eşlenecek olan S_x için 16k-kodun her bir kod oranı (r) için optimal bir değer olarak belirlenir.

15

Optimal çap oranı (γ) olarak, önceden belirlenmiş bir kestirim değerinin geliştirilmesi için bir değer (çap oranı) birinci ve ikinci simülasyonlar vasıtasıyla elde edilir.

20

Şekil 63, birinci simülasyon vasıtasıyla elde edilen bir çap oranını (γ) resmetmektedir ve Şekil 64, ikinci simülasyon vasıtasıyla elde edilen bir çap oranını (γ) resmetmektedir.

Birinci simülasyonda, Şekil 63'te resmedildiği üzere, $r=7/15$ 'e sahip S_x için 16k-kod için optimal çap oranı olarak $\gamma=5,25$ elde edilir ve $r=8/15$ 'e sahip S_x için 16k-kod için optimal çap oranı olarak $\gamma=4,85$ elde edilir.

25

İkinci simülasyonda, Şekil 64'te resmedildiği üzere, $r=7/15$ 'e sahip S_x için 16k-kod için optimal çap oranı olarak $\gamma=3,32$ elde edilir ve $r=8/15$ 'e sahip S_x için 16k-kod için optimal çap oranı olarak $\gamma=3,50$ elde edilir.

30

Burada, birinci simülasyonda, bir NL kanalı iletişim yolu (13) (Şekil 7) olarak varsayılır, FER'in 10^{-1} ila 10^{-2} aralığında bir değer olduğu iletim sinyalinin sinyal/gürültü oranının (SNR) bir değeri belirlenir ve FER'in minimize edildiği çap oranı bu değerdeki SNR'nin iletim sinyali için optimal bir çap oranı (γ) olarak elde edilir.

Dolayısıyla, birinci simülasyon vasıtasıyla elde edilen γ , NL kanalı üzerinden veri iletiminin gerçekleştirilmesi durumunda optimize edilen bir γ olarak ifade edilebilir.

- 5 Aynı zamanda, ikinci simülasyonda, bir AWGN kanalı iletişim yolu (13) olarak varsayılır ve optimal γ , bit serpiştirme kodlu modülasyon kapasitesinin (BICM kapasitesi), kümelenmenin ve iletim sinyalinin SNR'sindeki sinyal noktalarının yerleştirilmesiyle belirlenen iletim kapasitesinin (kanal kapasitesi) üst sınırı olan şekilde maksimize edildiği γ olarak elde edilir.

10

Dolayısıyla, ikinci simülasyon vasıtasıyla elde edilen γ , AWGN kanalı üzerinden veri iletiminin gerçekleştirilmesi durumunda optimize edilen bir γ olarak ifade edilebilir.

- 15 Ek olarak, modülasyon düzeni olarak 16APSK'nin ve $r=7/15$ 'e sahip S_x için 16k-kod için NL kanalı için uygun olarak $\gamma=5,25$ γ oranının kullanılması durumunda, BER/FER yukarıda tarif edilen Şekil 61'de resmedilenle aynıdır.

- 20 Ek olarak, modülasyon düzeni olarak 16APSK'nin ve $r=8/15$ 'e sahip S_x için 16k-kod için NL kanalı için uygun olarak $\gamma=4,85$ γ oranının kullanılması durumunda, BER/FER yukarıda tarif edilen Şekil 62'de resmedilenle aynıdır.

- 25 Dolayısıyla, Şekil 61'de resmedildiği üzere, $r=7/15$ 'e sahip S_x için 16k-kod için $\gamma=5,25$ γ oranının kullanılmasıyla, iyi BER/FER elde edilmesi ve iyi iletişim kalitesinin güvenceye alınması mümkündür.

- Benzer şekilde, Şekil 62'de resmedildiği üzere, $r=8/15$ 'e sahip S_x için 16k-kod için $\gamma=4,85$ γ oranının kullanılmasıyla, iyi BER/FER elde edilmesi ve iyi iletişim kalitesinin güvenceye alınması mümkündür.

30

Ek olarak, NL kanalının kullanılması durumunun yanı sıra AWGN kanalının ve bir başka kanalın kullanılması durumunda birinci simülasyon vasıtasıyla elde edilen γ 16APSK kümelenmesinde BER/FER'in iyi olması göz önüne alındığında, iyi iletişim kalitesini güvenceye almak mümkündür.

35

Ek olarak, ikinci simülasyon vasıtasıyla elde edilen γ 16APSK kümelenmesinde BICM kapasitesinin iyi olması göz önüne alındığında, iyi iletişim kalitesini güvenceye almak mümkündür.

5 <Alım aygıtının (12) yapılandırma örneği>

Şekil 65, Şekil 7'deki alım aygıtının (12) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

- 10 OFDM işleme ünitesi (OFDM çalışması) (151) iletim aygıtından (11) (Şekil 7) bir OFDM sinyalini alır ve OFDM sinyali üzerinde bir sinyal işleme gerçekleştirir. Sinyal işlemeyi gerçekleştiren OFDM işleme ünitesi (151) tarafından veri, çerçeve yönetimi ünitesine (152) sağlanır.
- 15 Çerçeve yönetimi ünitesi (152), OFDM işleme ünitesinden (151) sağlanan veriyle yapılandırılan bir çerçeve üzerinde bir işlem (çerçeve analizi) gerçekleştirir ve oluşan hedef veri sinyalini bir kontrol verisi sinyalini, sırasıyla 161 ve 153 numaralı frekans serpiştirme kaldırıcılara sağlar.
- 20 Frekans serpiştirme kaldırıcı (153), çerçeve yönetimi ünitesinden (152) gelen veri üzerindeki sembol birimlerinde frekans serpiştirme kaldırmayı gerçekleştirir ve oluşan veriyi eşleme kaldırıcıya (154) sağlar.
- 25 Eşleme kaldırıcı (154), iletim aygıtı (11) tarafında gerçekleştirilen dörtlü modülasyonla tanımlandığı üzere bir sinyal noktasının düzenlenmesine (kümelenme) dayalı olarak, frekans serpiştirme kaldırıcıdan (153) gelen verinin (kümelenme üzerindeki veri) eşleme kaldırmasını (sinyal noktası düzenlemesi kod çözme) ve dörtlü kip çözmesini gerçekleştirir ve oluşan veriyi (LPCD kodu (olabilirlik)) LDPC kod çözücüyü (155) sağlar.
- 30 LDPC kod çözücü (155) eşleme kaldırıcıdan (154) gelen LDPC kodu üzerinde LDPC kod çözme gerçekleştirir ve oluşan LDPC hedef verisini (burada, BCH kodu) BCH kod çözücüyü (BCH kod çözücü) (156) sağlar.

BCH kod çözücü (156) LDPC kod çözücünden (155) gelen LDPC hedef verisi üzerinde BCH kod çözmeyi gerçekleştirir ve oluşan kontrol verisini (sinyalleme) çıkarır.

5 Aynı esnada, frekans serpiştirme kaldırıcı (161), çerçeve yönetimi ünitesinden (152) gelen veri üzerindeki sembol birimlerinde frekans serpiştirme kaldırmayı gerçekleştirir ve oluşan veriyi SISO/MISO kod çözücüyeye (162) sağlar.

10 SISO/MISO kod çözücü (162), frekans serpiştirme kaldırıcıdan (161) gelen verinin uzay-zaman kod çözümünü gerçekleştirir ve oluşan veriyi zaman serpiştirme kaldırıcıya (163) sağlar.

15 Zaman serpiştirme kaldırıcı (163), SISO/MISO kod çözücünden (162) gelen veri üzerindeki sembol birimlerinde zaman serpiştirme kaldırmayı gerçekleştirir ve oluşan veriyi eşleme kaldırıcıya (164) sağlar.

20 Eşleme kaldırıcı (164), iletim aygıtı (11) tarafında gerçekleştirilen dörtlü modülasyonla tanımlandığı üzere sinyal noktasının düzenlenmesine (kümelenme) dayalı olarak, zaman serpiştirme kaldırıcıdan (163) gelen verinin (kümelenme üzerindeki veri) eşleme kaldırmasını (sinyal noktası düzenlemesi kod çözme) ve dörtlü kip çözmesini gerçekleştirir ve oluşan veriyi bit serpiştirme kaldırıcıya (165) sağlar.

25 Bit serpiştirme kaldırıcı (165) eşleme kaldırıcıdan (164) gelen verinin bir serpiştirme kaldırmasını gerçekleştirir ve bit serpiştirme kaldırmaya tabi tutulan veri olan ve oluşan LDPC kodunu (olabilirlik) LDPC kod çözücüyeye (166) sağlar.

LDPC kod çözücü (166) bit serpiştirme kaldırıcıdan (165) gelen LDPC kodu üzerinde LDPC kod çözmeyi gerçekleştirir ve oluşan LDPC hedef verisini (burada, BCH kodu) BCH kod çözücüyeye (167) sağlar.

30 BCH kod çözücü (167) LDPC kod çözücünden (155) gelen LDPC hedef verisi üzerinde BCH kod çözmeyi gerçekleştirir ve oluşan veriyi BB çarpma çözücüyeye (168) çıkarır.

35 BB çarpma çözücü (168) BCH kod çözücünden (167) gelen veri üzerinde BB çarpma çözmeyi gerçekleştirir ve oluşan veriyi bir sıfır silme ünitesine (Sıfır Silme) (169) sağlar.

Sıfır silme ünitesi (169) BB çırpma çözücünden (168) gelen veriden, Şekil 8'deki dolgulayıcı (112) tarafından sokulan Sıfırı siler ve sonucu çoğullama çözücüyeye (170) sağlar.

- 5 Çoğullama çözücü (170), sıfır silme ünitesinden (169) gelen verinin çoğullanmasıyla elde edilen bir veya daha fazla akışı (nesne veri) her bir akışa ayırır, gerekli işlemleri gerçekleştirir ve sonucu bir çıktı akışı olarak çıkarır.

- 10 Ek olarak, alım aygıtı (12), Şekil 65'te resmedilen blokların bazıları sağlanmadan yapılandırılabilir. Diğer bir deyişle, örneğin, iletim aygıtı (11) (Şekil 8) zaman serpiştirici (118), SISO/MISO kodlayıcı (119), frekans serpiştirici (120) ve frekans serpiştirici (124) sağlanmadan yapılandırılırsa, alım aygıtı (12), sırasıyla iletim aygıtının (11) zaman serpiştiricisine (118), SISO/MISO kodlayıcısına (119), frekans serpiştiricisine (120) ve frekans serpiştiricisine (124) karşılık gelen zaman serpiştirici kaldırıcı (163),
15 SISO/MISO kod çözücü (162), frekans serpiştirici kaldırıcı (161) ve frekans serpiştirici kaldırıcı (153) sağlanmadan yapılandırılabilir.

Şekil 66, Şekil 65'teki bir bit serpiştirme kaldırıcının (165) bir yapılandırma örneğini resmeden bir sütunlu diyagramdır.

20

Bit serpiştirme kaldırıcı (165) bir çoğullayıcı (MUX) (54) ve bir sütun döndürme serpiştirme kaldırıcıyla (55) yapılandırılır ve eşleme kaldırıcıdan (164) (Şekil 65) gelen veri olan bir sembolün sembol biti üzerinde (bit) serpiştirme kaldırmayı gerçekleştirir.

- 25 Diğer bir deyişle, çoğullayıcı (54), eşleme kaldırıcıdan 164) gelen sembolün sembol biti üzerinde, Şekil 9'daki çoğullama çözücü (25) tarafından gerçekleştirilen değiştirme işlemine karşılık gelen bir ters değiştirme işlemi (değiştirme işleminin zıttı olan bir işlem), diğer bir deyişle, LDPC kodunun değiştirme işlemi tarafından özgün konumuna değiştirme işlemiyle değiştirilen kod bitinin (olabilirlik) konumunu geri döndürmenin ters
30 değiştirme işlemi gerçekleştirir ve oluşan LDPC kodunu sütun döndürme serpiştirme kaldırıcıya (55) sağlar.

- 35 Sütun döndürme serpiştirme kaldırıcı (55), çoğullayıcıdan (54) gelen LDPC kodu üzerinde, Şekil 9'daki sütun döndürme serpiştirici (24) tarafından gerçekleştirilen yeniden düzenleme işlemi olarak sütun döndürme serpiştirmeye karşılık gelen bir sütun

döndürme serpiştirme kaldırma (sütun döndürme serpiştirmenin zıttı olan bir işlem), diğer bir deyişle, örneğin, dizisi özgün dizisine değiştirme işlemi olarak sütun döndürme serpiştirmeyle değiştirilen LDPC kodunun kod bitini geri döndürmenin ters değiştirme işlemi olarak bir sütun döndürme serpiştirme kaldırma gerçekleştirir.

5

Spesifik olarak, sütun döndürme serpiştirme kaldırıcı (55), LDPC kodunun kod bitini, Şekil 28'deki belleğe (31) benzer şekilde yapılandırılan serpiştirme kaldırma belleğine yazarak ve okuyarak sütun döndürme serpiştirme kaldırmayı gerçekleştirir.

- 10 Burada, sütun döndürme serpiştirme kaldırıcıda (55), kod bitinin yazılması, serpiştirme kaldırma belleğinin sıra yönünde, bellekten (31) gelen kod bitinin okuması esnasındaki okuma adresinin yazma adresi olarak kullanılmasıyla gerçekleştirilir. Ayrıca, kod bitinin okunması, kod bitinin belleğe (31) yazılması esnasındaki yazma adresinin okuma adresi olarak kullanılmasıyla gerçekleştirilir.

15

Sütun döndürme serpiştirme kaldırmasından elde edilen LDPC kodu, sütun döndürme serpiştiriciden (55) LDPC kod çözücüyeye (166) sağlanır.

- 20 Burada, eşlik serpiştirme, sütun döndürme serpiştirme ve değiştirme işlemi, bit serpiştirme kaldırıcıda (165) eşleme kaldırıcıdan (164) bit serpiştirme kaldırıcıya (165) sağlanan LDPC kodu üzerinde gerçekleştirildiğinde, eşlik serpiştirmeye karşılık gelen bir eşlik serpiştirme kaldırmayı (eşlik serpiştirmenin zıttı olan bir işlem, diğer bir deyişle, dizisi özgün dizisine eşlik serpiştirmeyle değiştirilen LDPC kodunun kod bitinin geri döndürmesinin eşlik serpiştirme kaldırılması), değiştirme işlemine karşılık gelen ters
- 25 değiştirme işlemini ve sütun döndürme serpiştirmeye karşılık gelen sütun döndürme serpiştirme kaldırmayı gerçekleştirmek mümkündür.

- Ancak, Şekil 66'daki bit serpiştirme kaldırıcıda (165), değiştirme işlemine karşılık gelen ters değiştirme işleminin gerçekleştirilmesinin çoğullayıcısı (54) ve sütun döndürme
- 30 serpiştirmeye karşılık gelen sütun döndürme serpiştirme kaldırmayı gerçekleştiren sütun döndürme serpiştirme kaldırıcı (55) sağlanır, ancak eşlik serpiştirmeye karşılık gelen eşlik serpiştirme kaldırmayı gerçekleştiren bir blok sağlanmaz ve eşlik serpiştirme kaldırma gerçekleştirilmez.

Bu nedenle, bit serpiştirme kaldırıcı (165) (bunun sütun döndürme serpiştirme kaldırıcı (55)), LDPC kod çözücü (166) üzerinde ters deęiştirme işlemini ve sütun döndürme serpiştirme kaldırmayı gerçekleştirir ve eşlik serpiştirme kaldırmaya tabi tutulmayan LDPC kodunu LDPC kod çözücüye (166) sağlar.

5

LDPC kod çözücü (166), bit serpiştirme kaldırıcıdan (165) gelen LDPC kodu üzerinde, en azından ŞEKİL 8'deki LDPC kodlayıcı (115) tarafından LDPC kodlaması için kullanılan eşlik denetimi matrisi (H) üzerinde eşlik serpiştirmeye karşılık gelen sütun deęiştirme gerçekleştirilerek elde edilen bir dönüştürme eşlik denetimi matrisi kullanarak LDPC kodlamayı gerçekleştirir, ve LDPC hedef verisinin bir kod çözme sonucu olarak oluşan veriyi çıkartır.

10

Şekil 67, Şekil 66'daki eşleme kaldırıcı (164), bit serpiştirme kaldırıcı (165) ve LDPC kod çözücü (166) tarafından gerçekleştirilen bir işlemi resmeden bir akış şemasıdır.

15

S111 adımımda, eşleme kaldırıcı (164), zaman serpiştirme kaldırıcıdan (163) gelen veri (bir sinyal noktasına eşlenen kümelenme üzerindeki veri) üzerinde eşleme kaldırma ve dörtlü kip çözmeyi gerçekleştirir ve sonucu bit serpiştirme kaldırıcıya (165) sağlar ve işlem S112 adımımda ilerler.

20

Bit serpiştirme kaldırıcı (165), S112 adımımda eşleme kaldırıcıdan (164) gelen veri üzerinde serpiştirme kaldırmayı (bit serpiştirme kaldırma) gerçekleştirir ve işlem S113 adımımda ilerler.

25

Diğer bir deyişle, S112 adımımda, bit serpiştirme kaldırıcıdaki (165) çoğullayıcı (54), eşleme kaldırıcıdan (164) gelen (sembolün sembol bitine karşılık gelen) veri üzerinde ters deęiştirme işlemini gerçekleştirir ve oluşan LDPC kodunun kod bitini sütun döndürme serpiştirme kaldırıcıya (55) sağlar.

30

Sütun döndürme serpiştirme kaldırıcı (55), çoğullayıcıdan (54) gelen LDPC kodu üzerinde sütun döndürme serpiştirme kaldırmayı gerçekleştirir ve oluşan LDPC kodunu (olabilirlik) LDPC kod çözücüye (166) sağlar.

35

S113 adımımda, LDPC kod çözücü (166) sütun döndürme serpiştirme kaldırıcıdan (55) gelen LDPC kodu üzerinde, Şekil 8'de LDPC kodlayıcı (115) tarafından LDPC

5 kodlaması için kullanılan eşlik denetimi matrisini (H) kullanarak, diğer bir deyişle, en azından eşlik denetimi matrisi (H) üzerindeki eşlik serpiştirmeye karşılık gelen sütun değiştirme gerçekleştirilerek elde edilen dönüştürme eşlik denetimi matrisini (H) kullanarak LDPC kod çözmeyi gerçekleştirir ve oluşan veriyi LDPC hedef verisinin bir kod çözme sonucu olarak BCH kod çözücüyeye (167) çıkarır.

10 Ek olarak, Şekil 66'da bile, Şekil 9'daki duruma benzer şekilde, açıklama kolaylığı amacıyla, ters değiştirme işlemini gerçekleştiren çoğullayıcı (54) ve sütun döndürme serpiştirme kaldırmayı gerçekleştiren sütun döndürme serpiştirme kaldırıcı (55) ayrı ayrı yapılandırılır, ancak çoğullayıcı (54) ve sütun döndürme serpiştirme kaldırıcı (55) bütünsel olarak da yapılandırılabilir.

15 Ayrıca, Şekil 9'daki bit serpiştirici (116) sütun döndürme serpiştirmeyi gerçekleştirmediğinde, sütun döndürme serpiştirme kaldırıcının (55) Şekil 66'daki bit serpiştirme kaldırıcıda (165) sağlanması gerekmez.

Şimdi, Şekil 65'teki LDPC kod çözücü (166) tarafından gerçekleştirilen LDPC kod çözümü ayrıntılı olarak tarif edilecektir.

20 Şekil 65'teki LDPC kod çözücü (165), sütun döndürme serpiştirme kaldırıcıdan (55) gelen, yukarıda tarif edildiği şekilde, Şekil 8'deki LDPC kodlayıcı (115) tarafından LDPC kodlama için kullanılan eşlik denetimi matrisi (H) üzerinde, en azından eşlik serpiştirmeye karşılık gelen sütun değiştirmenin gerçekleştirilmesiyle elde edilen dönüştürme eşlik denetimi matrisi kullanılarak ters değiştirme işleminin ve sütun döndürme serpiştirme kaldırılmasının gerçekleştirildiği ve eşlik serpiştirme kaldırılmasının gerçekleştirilmediği LDPC kodu üzerinde LDPC kod çözümünü gerçekleştirir.

30 Burada, LDPC kod çözümünü dönüştürme eşlik denetimi matrisinin kullanarak gerçekleştirerek devre ölçeğini baskımlarken bir işletim frekansını yeterince makul bir aralığa baskılayabilen bir LDPC kod çözümü önceden önerilmiştir (örneğin, bakınız 4224777 Numaralı Japon Patenti).

35 Böylelikle, ilk olarak, önceden önerilmiş olan, dönüştürme eşlik denetimi matrisi kullanılarak LDPC kod çözücümü Şekil 68 ila Şekil 71'e istinaden tarif edilecektir.

Şekil 68, kod uzunluğu (N) 90 ve kod oranı 2/3 olan bir LDPC kodunun eşlik denetimi matrisinin (H) bir örneğini resmetmektedir.

- 5 Ek olarak, Şekil 68'de (daha sonra tarif edilecek olan Şekil 69 ve Şekil 70'e benzer şekilde), 0, nokta (.) olarak ifade edilmektedir.

Şekil 68'deki eşlik denetimi matrisinde (H), eşlik matrisi basamaklı bir yapıya sahiptir.

- 10 Şekil 69, Şekil 68'deki eşlik denetimi matrisi (H) üzerinde denkleminin (11) sıra permütasyonu ve denkleminin (12) sütun permütasyonu gerçekleştirilerek elde edilen bir eşlik denetimi matrisini (H') resmetmektedir.

Sıra permütasyonu: $6s+t+1$ sıra-nci $\rightarrow 5t+s+1$ sıra-nci ... (11)

15

Sütun permütasyonu: $6x+y+61$ sütun-nci $\rightarrow 5y+x+61$ sütuna-nci ... (12)

Burada, denklemlerde (11) ve (12), s, t, x ve y, ilgili $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$ $0 \leq t < 6$ aralıklarındaki tamsayılardır.

20

Denklemin (11) sıra permütasyonuna göre, permütasyon, bunlar 6 ile bölündüğünde 1 kalanlara sahip birinci, yedinci, 13ncü, 19ncü ve 25nci sıralarının birinci, ikinci, üçüncü, dördüncü ve beşinci sıralarla değiştirildiği ve bunlar 6 ile bölündüğünde 2 kalanlara sahip ikinci, sekizin, 14ncü, 20nci ve 26nci sıralarının altıncı, yedinci, sekizinci, dokuzuncu ve onuncu sıralarla değiştirildiği şekilde gerçekleştirilir.

25

Ayrıca, denklemin (12) sütun permütasyonuna göre, permütasyon, 61nci sütundan (eşlik matrisi) sonra bunlar 6 ile bölündüğünde 1 kalanlara sahip 61nci, 67nci, 73ncü, 79ncü ve 85nci sütunların 61nci, 62nci, 63ncü, 64ncü ve 65nci sütunlarla değiştirildiği ve bunlar 6 ile bölündüğünde 2 kalanlara sahip 62nci, 68nci, 74ncü, 80nci ve 86nci sütunların 66nci, 67nci, 68nci, 69ncü ve 70nci sütunlarla değiştirildiği şekilde gerçekleştirilir.

30

Böylelikle, Şekil 68'deki eşlik denetimi matrisi (H) üzerinde sıra ve sütun permütasyonunun gerçekleştirilmesiyle elde edilen matris, Şekil 69'daki eşlik denetimi matrisidir (H').

- 5 Burada, sıra permütasyonu eşlik denetimi matrisi (H) üzerinde gerçekleştirilse bile, LDPC kodunun kod bitinin dizisini etkilemez.

Ayrıca, denklemin (12) sütun permütasyonu, sırasıyla bilgi uzunluğu (K) 60'a, çevrimsel bir yapının bir biriminin sütunlarının sayısı (p) 5'e ve eşlik uzunluğunun (M) (burada, 10 30) bölünü (q (=M/P)) 6'ya ayarlandığında (K+Py+x+1)-nci kod biti konumundaki, yukarıda tarif edilen (K+qx+y+1)-nci kod bitini serpiştiren bir eşlik serpiştirmeye karşılık gelir.

Bu nedenle, Şekil 69'daki eşlik denetimi matrisi (H'), en azından, Şekil 68'deki eşlik denetimi matrisinin (bundan böyle, uygun olduğu durumlarda, bir özgün eşlik denetimi matrisi olarak ifade edilecektir) (H) (K+qx+y+1)-nci sütununun, (K+qx+y+1)-nci sütunla değiştirilmesinin bir sütun permütasyonunun gerçekleştirilmesiyle elde edilen bir dönüştürme eşlik denetimi matrisidir.

20 Şekil 68'deki özgün eşlik denetimi matrisinin (H) LDPC kodu denkleme (12) benzer şekilde değiştirilirse ve Şekil 69'daki dönüştürme eşlik denetimi matrisiyle (H') çarpılırsa, 0 vektörü çıkarılır. Diğer bir deyişle, özgün eşlik denetimi matrisinin (H) LDPC kodu (1 kod sözcüğü) olarak c sıra vektörü üzerinde denklemin (12) bir sütun permütasyonunun gerçekleştirilmesiyle elde edilen c sıra vektörü c' olarak ifade 25 edilirse, Hc^T , eşlik denetimi matrisinin (H) özelliği nedeniyle 0 vektörü olur ve böylelikle $H'c'^T$ kesinlikle 0 vektörü olur.

Yukarıdan anlaşılan, Şekil 69'daki dönüştürme eşlik denetimi matrisi (H'), denklemin (12) sütun permütasyonunun özgün eşlik denetimi matrisinin (H) LDPC kodu (c) 30 üzerinde gerçekleştirilmesiyle elde edilen LDPC kodunun (c') eşlik denetimi matrisidir.

Bu nedenle, özgün eşlik denetimi matrisinin (H) LDPC kodunun (c) eşlik denetimi matrisi (H) kullanılarak kodunun çözülmesi durumunda olduğu gibi, aynı kod çözme sonucunu, Şekil 69'daki dönüştürme eşlik denetimi matrisinin (H') kullanılmasıyla 35 özgün eşlik denetimi matrisinin (H) LDPC kodu üzerinde denklemin (12) sütun

permütasyonuna tabi tutulan LDPC kodunun (c') kod çözülmesiyle (LDPC kod çözümü) ve kod çözme sonucu üzerinde denklemin (12) sütun permütasyonuna ters permütasyonun gerçekleştirilmesiyle elde edilmesi mümkündür.

- 5 Şekil 70, bir 5x5 matrisin bir ünitesinde aralıklı olmayla Şekil 69'daki bir dönüştürme eşlik denetimi matrisini (H') resmetmektedir.

- Şekil 70'de, dönüştürme eşlik denetimi matrisi (H'), bir 5x5 (=PxP) birimlik matrisin, birim matrisindeki 1 öğelerinin biri veya daha fazlası için 0'a sahip bir matrisin (bundan
10 böyle, uygun olduğu yerlerde, bir yarı-birim matrisi olarak ifade edilecektir) veya birim matrisin veya yarı-birim matrisin çevrimsel olarak kaydırılmasıyla elde edilen bir matrisin (bundan böyle, uygun olduğu yerlerde, bir kaydırma matrisi olarak ifade edilecektir), birim matrisinden iki veya daha fazla matrisin bir toplamının, yarı-ünite matrisin ve kaydırma matrisinin (bundan böyle, uygun olduğu yerlerde, bir toplam
15 matrisi olarak ifade edilecektir) ve bir 5x5 sıfır matrisin birleştirilmesiyle temsil edilmektedir.

- Şekil 70'deki dönüştürme eşlik denetimi matrisi (H'), 5x5 birim matrisiyle, yarı-ünite matrisiyle, kaydırma matrisiyle, toplam matrisiyle ve sıfır matrisiyle yapılandırılabilir.
20 Böylelikle, dönüştürme eşlik denetimi matrisini (H') yapılandıran 5x5 matrisler (birim matrisi, yarı-ünite matrisi, kaydırma matrisi, toplam matrisi ve sıfır matrisi), bundan böyle, uygun olan yerlerde, yapılandırma matrisleri olarak ifade edilecektir.

- PxP yapılandırma matrisleri tarafından ifade edilen eşlik denetimi matrisinin LDPC
25 kodunun kod çözücü için, eşzamanlı olarak denetim düğümü hesaplamalarını ve değişken düğüm hesaplamalarını P kez gerçekleştiren bir mimari kullanmak mümkündür.

- Şekil 71, bu tip bir kod çözmeyi gerçekleştiren bir kod çözme cihazının bir yapılandırma
30 örneğini resmeden bir sütunlu diyagramdır.

Diğer bir deyişle, Şekil 71, Şekil 68'deki özgün eşlik denetimi matrisi (H) üzerinde en azından denklemin (12) sütun permütasyonunun gerçekleştirilmesiyle elde edilen Şekil 70'deki dönüştürme eşlik denetimi matrisinin (H') kullanılmasıyla LDPC kodunun kod

çözümünü gerçekleştiren bir kod çözme cihazının bir yapılandırma örneğini resmetmektedir.

Şekil 71'deki kod çözme cihazı, 300_1 ila 300_6 arasındaki altı FIFO ile yapılandırılan bir
5 ayrıt verisi depolama belleğiyle (300), 300_1 ila 300_6 arasındaki FIFO'ları seçen bir seçiciyle (301), bir denetim düğümü hesaplama ünitesiyle (302), iki adet çevrimsel kaydırma devresiyle (303 ve 308), 304_1 ila 304_{18} arasındaki 18 FIFO ile yapılandırılan bir ayrıt verisi depolama belleğiyle (304), 304_1 ila 304_{18} arasındaki FIFO'ları seçen bir
10 selektörle (305), alım verisini depolayan bir alım verisi belleğiyle (306), bir değişken düğüm hesaplama ünitesi (307) bir kod çözme sözcüğü hesaplama ünitesiyle (309), bir alım verisi yeniden düzenleme ünitesiyle (310) ve bir kod çözme verisi yeniden düzenleme ünitesiyle (311) yapılandırılır.

İlk olarak, ayrıt verisi depolama belleklerine (300 ve 304) veri depolamanın bir yöntemi
15 tarif edilecektir.

Ayrıt verisi depolama belleği (300), 300_1 ila 300_6 arasındaki altı FIFO ile yapılandırılır, burada, altı, Şekil 70'deki dönüştürme eşlik denetimi matrisinin (H') sütunlarının sayısı olan 30'un, yapılandırma matrisinin sıralarının sayısı olan 5'e (bir çevrimsel yapının bir
20 biriminin sütunlarının sayısı (P)) bölünmesiyle elde edilen sayıdır. FIFO 300_y ($y=1, 2, \dots, 6$), birden fazla sayıdaki aşamanın depolama alanlarıyla yapılandırılır ve beş ayrıta karşılık gelen mesajı eşzamanlı olarak okumak ve yazmak mümkündür, burada, beş, yapılandırma matrisinin sıralarının ve sütunlarının her bir aşamanın depolama alanına sayıdır (bir çevrimsel yapıdaki bir birimin sütunlarının sayısı (P)). Ayrıca, FIFO
25 300_y 'deki depolama alanının aşamalarının sayısı, Şekil 70'deki dönüştürme eşlik denetimi matrisinin (H') sıra yönündeki 1'in (Hamming ağırlığı) maksimum sayısı olan 9'dur.

Şekil 70'deki dönüştürme eşlik denetimi matrisinin (H') birinci sırasıyla beşinci sırası
30 arasındaki 1 konumlarına karşılık gelen veri parçaları (değişken düğümden bir mesaj (v_i)), FIFO 300_1 'de, her bir sıranın yatay yönde dolgulanması biçiminde (0'ın yok sayılması biçiminde) depolanır. Diğer bir deyişle, j-nci sıra ve i-nci sütun (j, i) olarak ifade edilirse, dönüştürme eşlik denetimi matrisinin (H') ($1, 1$) ila ($5, 5$) arasındaki bir 5×5 birim matrisindeki 1 konumlarına karşılık gelen veri parçaları, FIFO 300_1 'in birinci
35 aşamasının depolama alanında depolanır. Dönüştürme eşlik denetimi matrisinin (H') ($1,$

21) ila (5, 25) arası değerdeki bir kaydırma matrisindeki (5x5 birim matrisinin sağ yönde üç değerle çevrimsel olarak kaydırılmasıyla elde edilen bir kaydırma matrisi) 1 konumlarına karşılık gelen veri parçaları, ikinci aşamanın depolama alanında depolanır. Benzer şekilde, veri, dönüştürme eşlik denetimi matrisiyle (H') ilişkili, 5 üçüncüyle sekizinci arasındaki aşamaların depolama alanlarında depolanır. Daha sonra, dönüştürme eşlik denetimi matrisinin (H') (1, 86) ila (5, 90) arası değerdeki bir kaydırma matrisindeki (0 ile değiştirilen ve sol yönde bir değerle çevrimsel-kaydırılan 5x5 birim matrisinin birinci sırasında 1 tarafından elde edilen bir kaydırma matrisi) 1 konumlarına karşılık gelen veri parçaları, dokuzuncu aşamanın depolama alanında 10 depolanır.

Şekil 70'deki dönüştürme eşlik denetimi matrisinin (H') altıncı sırasıyla onuncu sırası arasındaki 1 konumlarına karşılık gelen veri parçaları, FIFO 300₂'de depolanır. Diğer bir deyişle, dönüştürme eşlik denetimi matrisinin (H') (6, 1) ila (10, 5) arası değerdeki 15 toplam matrisini (sırasıyla 5x5 birim matrisinin sağ yönde bir ve iki değerle çevrimsel-kaydırılmasıyla elde edilen bir birinci kaydırma matrisinin ve bir ikinci kaydırma matrisinin bir toplamı olarak bir toplama matrisi) yapılandıran bir birinci kaydırma matrisindeki 1 konumlarına karşılık gelen veri parçaları, FIFO 300₂'nin birinci aşamasının depolama alanında depolanır. Dönüştürme eşlik denetimi matrisinin (H') (6, 20 1) ila (10, 5) arası değerdeki toplam matrisini yapılandıran bir ikinci kaydırma matrisindeki 1 konumlarına karşılık gelen veri parçaları, ikinci aşamanın depolama alanında depolanır.

Diğer bir deyişle, 2 veya daha büyük bir ağırlığa sahip yapılandırma matrisiyle ilgili 25 olarak, yapılandırma matrisi, bir 1 ağırlığına sahip bir PxP birim matrisinden birden fazla matrisin, birim matrisindeki 1 öğelerinin biri veya daha fazlası için 0'a sahip bir yarı-birim matrisinin veya birim matrisin veya yarı-birim matrisinin çevrimsel olarak kaydırılmasıyla elde edilen bir kaydırma matrisinin bir toplamı olarak temsil edildiğinde, 1 ağırlığına sahip birim matrisindeki, yarı-birim matrisindeki veya kaydırma matrisindeki 30 1 konumlarında karşılık gelen veri parçaları (birim matrisine, yarı-birim matrisine veya kaydırma matrisine ait ayrıtlara karşılık gelen mesajlar), aynı adreste (300₁ ila 300₆ arasındaki FIFO'lar arasından aynı FIFO) depolanır.

Bundan böyle, veri, üçüncüyle dokuzuncu arasındaki aşamaların depolama alanlarında 35 bile, dönüştürme eşlik denetimi matrisiyle (H') ilişkili olarak depolanır.

300₃ ile 300₆ arasındaki FIFO'lara benzer şekilde, veri dönüştürme eşlik denetimi matrisiyle (H') ilişkili olarak depolanır.

- 5 Ayırıt verisi depolama belleği (304), 304₁ ile 304₁₈ arasındaki 18 FIFO ile yapılandırılır, burada, 18, dönüştürme eşlik denetimi matrisinin (H') sütunlarının sayısı olan 90'ın, yapılandırma matrisinin sıralarının sayısı olan 5'e (çevrimsel yapının bir biriminin sütunlarının sayısı (P)) bölünmesiyle elde edilir. FIFO 304_x (x=1, 2, ..., 18), birden fazla sayıdaki aşamanın depolama alanlarıyla yapılandırılır ve beş ayrıta karşılık gelen
- 10 mesajı eşzamanlı olarak okumak ve yazmak mümkündür, burada, beş, yapılandırma matrisinin sıralarının ve sütunlarının her bir aşamanın depolama alanına sayısıdır (bir çevrimsel yapıdaki bir birimin sütunlarının sayısı (P)).

- Şekil 70'deki dönüştürme eşlik denetimi matrisinin (H') birinci sütunuyla beşinci sütunu
- 15 arasındaki 1 konumlarına karşılık gelen veri parçaları (denetim düğümünden bir mesaj (u_j)), FIFO 304₁'de, her bir sütunun dikey yönde dolgulanması biçiminde (0'ın yok sayılması biçiminde) depolanır. Diğer bir deyişle, dönüştürme eşlik denetimi matrisinin (H') (1, 1) ile (5, 5) arasındaki bir 5x5 birim matrisindeki 1 konumlarına karşılık gelen veri parçaları, FIFO 304₁'in birinci aşamasının depolama alanında depolanır.
- 20 Dönüştürme eşlik denetimi matrisinin (H') (6, 1) ile (10, 5) arası değerdeki toplam matrisini (sırasıyla 5x5 birim matrisinin sağ yönde bir ve iki değerle çevrimsel-kaydırılmasıyla elde edilen bir birinci kaydırma matrisinin ve bir ikinci kaydırma matrisinin bir toplamı olarak bir toplama matrisi) yapılandıran bir birinci kaydırma matrisindeki 1 konumlarına karşılık gelen veri parçaları, ikinci aşamanın depolama
- 25 alanında depolanır. Dönüştürme eşlik denetimi matrisinin (H') (6, 1) ile (10, 5) arası değerdeki toplam matrisini yapılandıran bir ikinci kaydırma matrisindeki 1 konumlarına karşılık gelen veri parçaları, üçüncü aşamanın depolama alanında depolanır.

- Diğer bir deyişle, 2 veya daha büyük bir ağırlığa sahip yapılandırma matrisiyle ilgili
- 30 olarak, yapılandırma matrisi, bir 1 ağırlığına sahip bir PxP birim matrisinden birden fazla matrisin, birim matrisindeki 1 öğelerinin biri veya daha fazlası için 0'a sahip bir yarı-birim matrisinin veya birim matrisin veya yarı-birim matrisinin çevrimsel olarak kaydırılmasıyla elde edilen bir kaydırma matrisinin bir toplamı olarak temsil edildiğinde, 1 ağırlığına sahip birim matrisindeki, yarı-birim matrisindeki veya kaydırma matrisindeki
- 35 1 konumlarında karşılık gelen veri parçaları (birim matrisine, yarı-birim matrisine veya

kaydırma matrisine ait ayrıtlara karşılık gelen mesajlar), aynı adreste (304_1 ila 304_{18} arasındaki FIFO'lar arasından aynı FIFO) depolanır.

Bundan böyle, veri, dördüncüyle beşinci aşamaların depolama alanlarında bile, dönüştürme eşlik denetimi matrisiyle (H') ilişkili olarak depolanır. FIFO 304_1 'deki depolama alanının aşamalarının sayısı, dönüştürme eşlik denetimi matrisinin (H') birinci sütunuyla beşinci sütunu arasındaki sıra yönündeki 1'in (Hamming ağırlığı) maksimum sayısı olan 5'tir.

Veri, her birinin uzunluğu (aşamaların sayısı) 5 olan FIFO'lar 304_2 ve 304_3 'te bile, dönüştürme eşlik denetimi matrisiyle (H') ilişkili olarak depolanır. Benzer şekilde, veri, her birinin uzunluğu 3 olan 304_4 ila 304_{12} arasındaki FIFO'larda bile, dönüştürme eşlik denetimi matrisiyle (H') ilişkili olarak depolanır. Benzer şekilde, veri, her birinin uzunluğu 2 olan 304_{12} ila 304_{13} arasındaki FIFO'larda bile, dönüştürme eşlik denetimi matrisiyle (H') ilişkili olarak depolanır.

Şimdi, Şekil 71'deki kod çözme cihazının işleyişi tarif edilecektir.

Ayrıtlar verisi depolama belleği (300), 300_1 ila 300_6 arasındaki altı FIFO ile yapılandırılır ve önceki aşamada çevrimsel kaydırma devresinden (308) sağlanan beş mesajın ($D311$), Şekil 70'deki dönüştürme eşlik denetimi matrisinin (H') hangi sırasına ait olduğuyla ilgili bilgiye (Matris verisi) ($D312$) göre, 300_1 ila 300_6 arasındaki FIFO'lardan veriyi depolayan bir FIFO'yu seçer ve mesajları ($D311$) seçilen FIFO'da sıralı olarak beş mesajlık gruplar halinde depolar. Ayrıca, veri okunması esnasında, ayrıtlar verisi depolama belleği (300) beş mesajı ($D300_1$) sırayla FIFO 300_1 'den okur ve bunları sonraki aşamada seçiciye (301) sağlar. Mesajların FIFO 300_1 'den okunması sona erdikten sonra, ayrıtlar verisi depolama belleği (300) mesajları sıralı olarak 300_2 ila 300_6 arasındaki FIFO'lardan okur ve mesajları seçiciye (301) sağlar.

Seçici (301), seçim sinyaline ($D301$) yanıt olarak FIFO 300_1 ila 300_6 arasından, halihazırda verinin okunduğu FIFO'dan beş mesajı seçer ve mesajları bir mesaj ($D302$) olarak denetim düğümü hesaplama ünitesine (302) sağlar.

Denetim düğümü hesaplama ünitesi (302), 302_1 ila 302_5 arasındaki beş denetim düğümü hesaplayıcısıyla yapılandırılır, seçiciden (301) ($D303_1$ ila $D303_3$ arası)

sağlanan mesajı (D302) (denklemdaki (7) mesaj (v_i)) kullanarak denkleme (7) göre denetim düğümü hesaplamasını gerçekleştirir ve denetim düğümü hesaplamasından elde edilen beş mesajı (D303) ($D303_1$ ila $D303_3$ arası) (denklemdaki (7) mesaj (U_j)) çevrimsel kaydırma devresine (303) sağlar.

5

Çevrimsel kaydırma devresi (303), denetim düğümü hesaplama ünitesi (302) tarafından elde edilen beş mesajı ($D303_1$ ila $D303_3$ arası), birim matrisinin (veya yarı-birim matrisinin) çevrimsel kaydırmasının sayısı olan, karşılık gelen ayrıtta gerçekleştirilen dönüştürme eşlik denetimi matrisinin (H') bir temel olan sayısı ile ilgili olarak bilgiye (Matris verisi) (D305) dayalı olarak, çevrimsel olarak kaydırır ve sonucu bir mesaj (D304) olarak ayrıt verisi depolama belleğine (304) sağlar.

10

Ayrıt verisi depolama belleği (304), 304_1 ila 304_{18} arasındaki 18 FIFO ile yapılandırılır ve önceki aşamada çevrimsel kaydırma devresinden (303) sağlanan beş mesajın (D304), eşlik denetimi matrisinin (H') hangi sıraya ait olduğuyla ilgili bilgiye (D305) göre, 304_1 ila 304_{18} arasındaki FIFO'lardan veriyi depolayan bir FIFO'yu seçer ve mesajları (D304) seçilen FIFO'da sıralı olarak beş mesajlık gruplar halinde düzenler ve depolar. Ayrıca, veri okunması esnasında, ayrıt verisi depolama belleği (304) beş mesajı ($D306_1$) sırayla FIFO 304_1 'den okur ve bunları sonraki aşamada seçiciye (305) sağlar. Mesajların FIFO 304_1 'den okunması sona erdikten sonra, ayrıt verisi depolama belleği (304) mesajları sıralı olarak 304_2 ila 300_{18} arasındaki FIFO'lardan okur ve mesajları seçiciye (305) sağlar.

15

20

Seçici (305), seçim sinyaline (D307) yanıt olarak FIFO 304_1 ila 304_{18} arasından, halihazırda verinin okunduğu FIFO'dan beş mesajı seçer ve mesajları bir mesaj (D308) olarak değişken düğüm hesaplama ünitesine (307) ve kod çözme sözcüğü hesaplama ünitesine (309) sağlar.

25

Aynı esnada, alım verisi yeniden düzenleme ünitesi (310) Şekil 68'deki eşlik denetimi matrisine (H) karşılık gelen denklemin (12) sütun permütasyonunun gerçekleştirilmesiyle iletişim yolu (13) vasıtasıyla alından LDPC kodunu (D313) yeniden düzenler ve yeniden düzenlenmiş LDPC kodunu alım verisi (D314) olarak alım verisi belleğine (306) sağlar. Alım verisi belleği (306), alım verisi yeniden düzenleme ünitesinden (310) sağlanan alım verisinden (D314) alım kaydı olabilirlik oranını (LLR) hesaplar ve depolar ve alım LLR'sini beşli gruplar halinde, alınan değer (D309) olarak,

30

35

değişken düğüm hesaplama ünitesine (307) ve kod çözme sözcüğü hesaplama ünitesine (309) sağlar.

Değişken düğüm hesaplama ünitesi (307), 307_1 ila 307_5 arasındaki beş değişken düğüm hesaplayıcıyla yapılandırılır, seçici (305) üzerinden sağlanan mesajı (D308) (D308₁ ila D308₅ arasındaki) (denklemin (1) mesajı (u_j)) ve alım verisi belleğinden (306) sağlanan beş adet alınan değeri (D309) (denklemin (1) alınan değeri (u_{0i})) kullanarak denkleme (1) göre değişken düğüm hesaplamasını gerçekleştirir ve hesaplama ile elde edilen mesajı (D310) (D310₁ ila D310₅ arasındaki) (denklemin (1) mesajı (v_i)) çevrimsel kaydırma devresine (308) sağlar.

Çevrimsel kaydırma devresi (308), değişken düğüm hesaplama ünitesi (307) tarafından elde edilen beş mesajı (D310₁ ila D310₅ arası), birim matrisinin (veya yarı-birim matrisinin) çevrimsel kaydırmasının sayısı olan, karşılık gelen ayrıta gerçekleştirilen dönüştürme eşlik denetimi matrisinin (H') bir temel olan sayısı ile ilgili olarak bilgiye dayalı olarak, çevrimsel olarak kaydırır ve sonucu bir mesaj (D311) olarak ayrıt verisi depolama belleğine (300) sağlar.

Yukarıdaki işlemlerin bir turunun gerçekleştirilmesiyle, LDPC kodlarının bir kod çözümünün (değişken düğüm hesaplaması ve denetim düğümü hesaplaması) gerçekleştirilmesi mümkündür. Sonra, Şekil 71'deki kod çözme aygıtı LDPC kodunun kodunu önceden belirlenmiş sayıda çözer ve nihayetinde elde edilen bir kod çözme sonucunu kod çözme sözcüğü hesaplama ünitesine (309) ve kod çözme verisi yeniden düzenleme ünitesine (311) sağlar.

25

Diğer bir deyişle, kod çözme sözcüğü hesaplama ünitesi (309), beş adet kod çözme sözcüğü hesaplayıcıyla (309_1 ila 309_5 arasında) yapılandırılır, seçici (305) tarafından çıkarılan beş mesajı (D308) (D308₁ ila D308₅ arasında) (denklemin (5) mesajı (u_j)) ve alım verisi belleğinden (306) sağlanan beş adet alınan değeri (D309) (denklemin (5) alınan değeri (u_{0i})) kullanarak, birçok defa kod çözmenin nihai aşaması olarak, denkleme (5) dayalı olarak bir kod çözme sonucunu (kod çözme sözcüğü) hesaplar ve oluşan kod çözme verisini (D315) kod çözme verisi yeniden düzenleme ünitesine (311) sağlar.

Kod çözme verisi yeniden düzenleme ünitesi (311), kod çözme sözcüğü hesaplama ünitesinden (309) sağlanan kod çözme verisi (D315) üzerinde denklemin (12) sütun permütasyonuna ters permütasyonu gerçekleştirerek, sırayı nihai kod çözme sonucu (D316) olarak yeniden düzenler ve çıkarır.

5

Eşlik denetimi matrisi, LDPC kodunun kod çözümü için, bir $P \times P$ birim matrisinin, 1 öğelerini biri veya daha fazlası için 0'a sahip bir yarı-birim matrisinin veya birim matrisinin veya yarı-birim matrisinin çevrimsel olarak kaydırılmasıyla elde edilen bir kaydırma matrisinin, birim matrisinin, yarı-birim matrisinin veya kaydırma matrisinin, bir $P \times P$ sıfır matrisinin birden fazla matrisinin bir toplamı olan bir toplam matrisinin bir kombinasyonu, diğer bir deyişle, yukarıda tarif edildiği üzere eşlik denetimi matrisi (özgün eşlik denetim matrisi) üzerinde sıra permütasyonunun ve sütun permütasyonunun birinin veya her ikisinin gerçekleştirilmesiyle yapılandırma matrislerinin bir kombinasyonu ile ifade edilebilen bir eşlik denetimi matrisine (dönüştürme eşlik denetimi matrisi), denetim düğümü hesaplamalarının ve değişken düğüm hesaplamalarının (P) kez eşzamanlı olarak gerçekleştirilmesinin bir mimarisinin benimsenmesinin mümkün olduğu şekilde dönüştürülür, burada, P , eşlik denetimi matrisinin sıralarının sayısından ve sütunlarının sayısından daha ufak bir sayıdır. Düğüm hesaplamalarının (denetim düğümü hesaplamaları ve değişken düğüm hesaplamaları) eşzamanlı olarak P kez, burada, P , eşlik denetimi matrisinin sıralarının sayısından ve sütunlarının sayısından daha ufak bir sayıdır, gerçekleştirilmesinin bir mimarisinin benimsenmesi durumunda, düğüm hesaplamalarını eşlik denetim matrisinin sıralarının sayısına ve sütunlarının sayısına eşit olan sayıda tekrarlayarak eşzamanlı olarak gerçekleştirme durumuna kıyasla, çalışma frekansını makul bir aralığa baskılamak ve bir dizi yinelemeli kod çözme gerçekleştirmek mümkündür.

Şekil 65'teki alım aygıtını (12) yapılandıran LDPC kod çözücünün (166) LDPC kod çözümünü, örneğin, Şekil 71'deki kod çözme aygıtına benzer şekilde, denetim düğümü hesaplamalarını ve değişken düğüm hesaplamalarını P kez eşzamanlı olarak gerçekleştirerek gerçekleştirdiği varsayılmaktadır.

Diğer bir deyişle, açıklamayı basitleştirmek amacıyla, Şekil 8'deki iletim aygıtını (11) yapılandıran LDPC kodlayıcı (115) tarafından çıkarılan LDPC kodunun eşlik denetimi matrisinin, örneğin, eşlik matrisinin Şekil 68'de resmedilen basamaklı yapıya sahip olduğu eşlik denetimi matrisi (H) olduğu, iletim aygıtının (11) eşlik serpiştiricisinde (23),

35

$(K+qx+y+1)$ -nci kod bitini $(K+Py+x+1)$ -nci kod bitinin konumuna serpiştiren bir eşlik denetimi serpiştirmenin, bilgi uzunluğunu (K) 60'a, bir çevrimsel yapının bir biriminin sütunlarının sayısını (p) 5'e ve eşlik uzunluğunun (M) $(=M/P)$ bölenini (q) 6'ya ayarlayarak gerçekleştirildiği varsayılmaktadır.

5

Eşlik serpiştirme, yukarıda tarif edildiği üzere, denklemin (12) sütun permütasyonuna karşılık geldiğinden, LDPC kod çözücünün (166) denklemin (12) sütun permütasyonunu gerçekleştirmesi gerekli değildir.

- 10 Bu nedenle, Şekil 65'teki alım aygıtında (12), yukarıda tarif edildiği üzere, eşlik serpiştirme kaldırmaya tabi tutulmayan LDPC kodu, diğer bir deyişle, gerçekleştirilmekte olan denklemin (12) sütun permütasyonu durumundaki LDPC kodu, sütun döndürme serpiştirme kaldırıcıdan (55) LDPC kod çözücüyü (166) sağlar ve LDPC kod çözücü (166), denklemin (12) sütun permütasyonunun gerçekleştirilmemesi
- 15 haricinde Şekil 71'deki kod çözme cihazıyla aynı işlemi gerçekleştirir.

Diğer bir deyişle, Şekil 72, Şekil 65'teki LDPC kod çözücünün (166) bir yapılandırma örneğini resmetmektedir.

- 20 Şekil 72'de, LDPC kod çözücü (166), Şekil 71'deki alım verisi yeniden düzenleme ünitesinin (310) sağlanmaması haricinde Şekil 71'deki kod çözme cihazına benzer şekilde yapılandırıldığından ve denklemin (12) sütun permütasyonunun gerçekleştirilmemesi haricinde Şekil 71'deki kod çözme cihazıyla aynı işlemi gerçekleştirdiğinden, bunun tarifi atlanacaktır.

25

Yukarıda tarif edildiği üzere, LDPC kod çözücü (166), boyutun, Şekil 71'deki kod çözme cihazının boyutundan daha fazla azaltılmasının mümkün olduğu şekilde, alım verisi yeniden düzenleme ünitesi (310) sağlanmadan yapılandırılabilir.

- 30 Ek olarak, Şekil 68 ila Şekil 71'de, açıklamayı basitleştirmek amacıyla, LDPC kodunun kod uzunluğunun (N) 90, bilgi uzunluğunun (K) 60, bir çevrimsel yapının bir biriminin sütunlarının sayısının (p) (yapılandırma matrisinin sıralarının sayısı ve sütunlarının sayısı) 5 ve eşlik uzunluğunun (M) $(=M/P)$ böleninin (q) 6 olduğu varsayılmaktadır, ancak, kod uzunluğu (N) , bilgi uzunluğu (K) , bir çevrimsel yapının bir biriminin
- 35 sütunlarının sayısı (p) ve bölen (q) $(=M/P)$ sırasıyla yukarıdaki değerlerle sınırlı değildir.

Diğer bir deyişle, Şekil 8'deki iletim aygıtında (11), LDPC kodlayıcı (115), örneğin, kod uzunluğunun (N) 64800, 16200 veya benzeri, bilgi uzunluğunun (K) $N-Pq$ ($=N/M$), bir çevrimsel yapının bir biriminin sütunlarının sayısının (p) 360 ve bölenin (q) M/P olduğu LDPC kodunu çıkarır, ancak Şekil 72'deki LDPC kod çözücü (166), denetim düğümü hesaplamalarını ve değişken düğüm hesaplamalarını LDPC kodu üzerinde P kez eşzamanlı olarak gerçekleştirir ve böylelikle LDPC kod çözmenin gerçekleştirilmesi durumu için uygun olabilir.

10 Şekil 73, Şekil 66'daki bit serpiştirme kaldırıcının (165) çoğullayıcısının (54) bir işlemini resmeden bir diyagramdır.

Diğer bir deyişle, Şekil 73'teki A, çoğullayıcının (54) bir fonksiyonel yapılandırma örneğini resmetmektedir.

15

Çoğullayıcı (54), bir ters yerleştirme ünitesiyle (1001) ve bir bellekle (1002) yapılandırılır.

Çoğullayıcı (54), önceki aşamada eşleme kaldırıcıdan (164) gelen sembolün sembol biti üzerinde iletim aygıtının (11) çoğullayıcısı (25) tarafından gerçekleştirilen değiştirme işlemine karşılık gelen bir ters değiştirme işlemi (değiştirme işleminin zıttı olan bir işlem), diğer bir deyişle, LDPC kodunun değiştirme işlemi tarafından özgün konumuna değiştirilen kod bitinin (sembol biti) konumunun geri gönderilmesinin ters değiştirme işlemini gerçekleştirir ve oluşan LDPC kodunu, müteakip aşamada sütun döndürme serpiştirme kaldırıcıya (55) sağlar.

25

Diğer bir deyişle, (ardışık) b sembollerinin bir biriminde, b sembollerinin mb bitlerinin sembol bitleri ($y_0, y_1, \dots, y_{mb-1}$), çoğullayıcıda (54) ters değiştirme ünitesine (1001) sağlanır.

30

Ters değiştirme ünitesi (1001), mb bitlerinin sembol bitlerinin ($y_0, y_1, \dots, y_{mb-1}$) dizisinin m bitlerinin özgün kod bitlerinin ($b_0, b_1, \dots, b_{mb-1}$) düzenlenmesine geri döndürülmesinin bir ters değiştirmesini gerçekleştirir (değiştirmeden önce b_0 , ila b_{mb-1} arasındaki kod bitlerinin dizisi, iletim aygıtının (11) çoğullama çözücüsünü (25) yapılandıran değiştirme

ünitesi (32) tarafından gerçekleştirilir ve m_b bitlerinin oluşan b_0 , ila b_{m_b-1} arasındaki kod bitlerini çıkarır.

5 Bellek (1002), iletim aygıtı (11) tarafında çoğullama çözücüyü (25) yapılandıran belleğe (31) benzer şekilde, m_b bitlerini sıra (yatay) yönünde ve $N/ (m_b)$ bitlerini sütun (dikey) yönünde depolamak için bir depolama kapasitesine sahiptir. Diğer bir deyişle, bellek (1002), $N/ (m_b)$ bitlerinin depolanması için m_b sütunlarıyla yapılandırılır.

10 Burada, ters değiştirme ünitesi (1001) tarafından belleğe (1002) çıkarılan LDPC kodunun kod bitinin yazılması, iletim aygıtının (11) çoğullama çözücüsünün (25) belleğinden (31) kod bitinin okunması yönünde gerçekleştirilir ve belleğe (1002) yazılan kod bitinin okunması, kod bitinin belleğe (31) yazılması yönünde gerçekleştirilir.

15 Diğer bir deyişle, Şekil 73'teki A'da resmedildiği üzere, alım aygıtının (12) çoğullayıcısı (54) sıralı olarak, ters değiştirme ünitesi (1001) tarafından çıkarılan LDPC kodunun kod bitinin yazılmasını, belleğin (1002) birinci sırasından alt sıraya doğru gerçekleştirir.

20 Daha sonra, bir adet kod uzunluğundaki kod bitinin yazılması sona ererse, çoğullayıcı (54) kod bitini bellekten (1002) sütun yönünde okur ve bunu müteakip aşamada sütun döndürme serpiştirme kaldırıcıya (55) sağlar.

Burada, Şekil 73'teki B, bellekten (1002) bir kod bitinin okunmasını resmeden bir diyagramdır.

25 Çoğullayıcıda (54), LDPC kodunun kod bitinin belleği (1002) yapılandıran sütunların tepesinden altına bir yönde (sütun yönünde) okunması, sütuna doğru soldan-sağa yönde gerçekleştirilir.

30 Şekil 74, Şekil 66'daki bit serpiştirme kaldırıcıyı (165) yapılandıran sütun döndürme serpiştirme kaldırıcının (55) bir işlemini resmeden bir diyagramdır.

Diğer bir deyişle, Şekil 74, çoğullayıcının (54) bir belleğinin (1002) bir yapılandırma örneğini resmetmektedir.

Bellek (1002), mb bitlerini sütun (dikey) yönünde ve N/ (mb) bitlerini sıra (yatay) yönünde depolamak için bir depolama kapasitesine sahiptir ve mb sütunlarıyla yapılandırılır.

- 5 Sütun döndürme serpiştirme kaldırıcı (55) sütun döndürme serpiştirme kaldırmayı, LDPC kodunun kod biti belleğe (1002) sıra yönünde yazılırken ve kod biti bellekten (1002) sütun yönünde okunurken okuma başlama konumunun kontrol edilmesiyle gerçekleştirir.

- 10 Diğer bir deyişle, sütun döndürme serpiştirme kaldırıcı (55), kod bitinin, sütun döndürme serpiştirme kaldırmasıyla özgün bir diziye yeniden düzenlenen dizisini geri döndürmenin bir ters yeniden düzenleme işlemini, kod bitinin okumasının başlatıldığı okuma başlama konumu, birden fazla sütunun her biri için uygun şekilde değiştirerek gerçekleştirir.

15

Burada, Şekil 74, Şekil 28'de tarif edilen modülasyon düzeni 16APSK, 16QAM veya benzeri olduğunda ve b katsayısı 1 olduğunda, belleğin (1002) bir yapılandırma örneğini resmetmektedir. Bu durumda, bir adet sembolün bitlerinin sayısı (m) dördttür ve bellek (1002), 4 (=mb) sütunla yapılandırılır.

20

Sütun döndürme serpiştirme kaldırıcı (55) sıralı olarak, değiştirme ünitesi (1001) tarafından çıkarılan LDPC kodunun kod bitinin yazılmasını, çoğullayıcı (54) yerine, belleğin (1002) birinci sırasından alt sırasına doğru gerçekleştirir.

- 25 Daha sonra, bir adet kod uzunluğundaki kod bitinin yazılması sona ererse, sütun döndürme serpiştirme kaldırıcı (55) kod bitinin okunmasını, belleğin (1002) üstten alta yönünde (sütun yönünde), sütuna doğru soldan-sağa yönde gerçekleştirir.

- 30 Burada, sütun döndürme serpiştirme kaldırıcı (55) bellekten (1002) kod bitinin okunmasını, iletim aygıtının (11) sütun döndürme serpiştiricisinin (24) bir kod bitini yazdığı yazma başlama konumu kod bitinin okuma başlama konumu olarak kullanarak gerçekleştirir.

- 35 Diğer bir deyişle, her bir sütunun birinci (tepe) konumunun adresinin 0 olduğu ve sütun yönündeki her bir konumun adresinin azalan sıradaki tamsayılarla temsil edildiği

varsayılırsa, bir modülasyon düzeni 16APSK veya 16QAM ve b katsayısı 1 olduğunda, sütun döndürme serpiştirme kaldırıcıda (55), en soldaki sütunun okuma başlama konumu, bir 0 adresindeki konumdur, (soldan) ikinci sütun için okuma başlama konumu, bir 2 adresinin konumudur, üçüncü sütun için okuma başlama konumu bir 4 adresinin konumudur ve dördüncü sütun için okuma başlama konumu, bir 7 adresinin konumudur.

Ek olarak, okuma başlama konumlarının bir 0 adresinin konumundan farklı olduğu sütunlarla ilgili olarak, kod bitleri alt konuma kadar, üste geri (0 adresinin konumu) okunduktan sonra, kod bitleri okuma başlama konumundan hemen önceki konuma kadar okunur. Daha sonra, sonraki (sağ) sütundan okuma gerçekleştirilir.

Yukarıda tarif edildiği üzere sütun döndürme serpiştirme kaldırmanın gerçekleştirilmesiyle, sütun döndürme serpiştirme tarafından yeniden düzenlenen kod bitinin dizisi, özgün diziye geri döndürülür.

Şekil 75, Şekil 65'teki bit serpiştirme kaldırıcının (165) bir başka yapılandırma örneğini resmeden bir sütunlu diyagramdır.

Ek olarak, Şekil 75'te, Şekil 66'dakilere karşılık gelen parçalar, aynı referans numaralarıyla simgelenmektedir ve bunların tarifi uygun şekilde atlanacaktır.

Diğer bir deyişle, Şekil 75'teki bit serpiştirme kaldırıcı (165), bir eşlik serpiştirme kaldırıcının (1011) yeni olarak sağlanması haricinde, Şekil 66'daki duruma benzer şekilde yapılandırılır.

Şekil 75'te, bit serpiştirme kaldırıcı (165), bir çoğullayıcıyla (MUX) (54), bir sütun döndürme serpiştirme kaldırıcıyla (55) ve bir eşlik serpiştirme kaldırıcıyla (1011) yapılandırılır ve eşleme kaldırıcıdan (164) gelen LDPC kodunun kod biti üzerinde bit serpiştirme kaldırmayı gerçekleştirir.

Diğer bir deyişle, çoğullayıcı (54), iletim aygıtının (11) çoğullama çözücüsü (25) tarafından gerçekleştirilen değiştirme işlemine karşılık gelen bir ters yerleştirme işlemi (değiştirme işleminin zıttı olan bir işlemi), diğer bir deyişle, kod bitinin değiştirme işlemi tarafından özgün konumuna değiştirilen konumunun geri döndürülmesinin ters

değiştirme işlemini, eşleme kaldırıcıdan (164) gelen LDPC kodu üzerinde gerçekleştirir ve oluşan LDPC kodunu sütun döndürme serpiştirme kaldırıcıya (55) sağlar.

5 Sütun döndürme serpiştirme kaldırıcı (55), iletim aygıtının (11) sütun döndürme serpiştiricisi (24) tarafından çoğullayıcıdan (54) gelen LDPC kodu üzerinde gerçekleştirilen yeniden düzenleme işlemi olarak, sütun döndürme serpiştirmeye karşılık gelen bir sütun döndürme serpiştirme kaldırma gerçekleştirir.

10 Sütun döndürme serpiştirme kaldırma tarafından elde edilen LDPC kodu sütun döndürme serpiştirme kaldırıcıdan (55) eşlik serpiştirme kaldırıcıya (1001) sağlanır.

15 Eşlik serpiştirme kaldırıcı (1011), iletim aygıtının (11) eşlik serpiştiricisi (23) tarafından gerçekleştirilen eşlik serpiştirmeye karşılık gelen bir eşlik serpiştirme kaldırmayı (eşlik serpiştirmenin bir ters işlemi), diğer bir deyişle, dizisi eşlik serpiştirme tarafından özgün dizisine değiştirilen LDPC kodunun kod bitinin geri döndürülmesinin bir eşlik serpiştirme kaldırmasını, sütun döndürme serpiştirme kaldırıcı (55) tarafından sütun döndürme serpiştirme kaldırmaya tabi tutulan kod biti üzerinde gerçekleştirir.

20 Eşlik serpiştirme kaldırma tarafından elde edilen LDPC kodu, eşlik serpiştirme kaldırıcıdan (1011) LDPC kod çözücüye (166) sağlanır.

25 Bu nedenle, Şekil 75'teki bit serpiştirme kaldırıcıda (165), ters değiştirme işlemine, sütun döndürme serpiştirme kaldırmaya ve eşlik serpiştirme kaldırmaya tabi tutulan LDPC kodu, diğer bir deyişle, eşlik denetimi matrisine (H) göre LDPC kodlama tarafından elde edilen LDPC kodu, LDPC kod çözücüye (166) sağlanır.

30 LDPC kod çözücü (166) bit serpiştirme kaldırıcıdan (165) gelen LDPC kodunun LDPC kod çözümünü, iletim aygıtının (11) LDPC kodlayıcısı (115) tarafından LDPC kodlama kullanılan eşlik denetimi matrisini (H) kullanarak gerçekleştirir. Diğer bir deyişle, LDPC kod çözücü (166) bit serpiştirme kaldırıcıdan (165) gelen LDPC kodunun LDPC kod çözümünü, iletim aygıtının (11) LDPC kodlayıcısı (115) tarafından LDPC kodlama kullanılan eşlik denetimi matrisini (H) kullanarak veya eşlik denetimi matrisi (H) üzerinde en azından eşlik serpiştirmeye karşılık gelen sütun permütasyonu gerçekleştirilerek elde edilen bir dönüştürme eşlik denetimi matrisini kullanarak
35 gerçekleştirir.

Burada, Şekil 75'te, eşlik denetimi matrisine (H) göre LDPC kodlamayla elde edilen LDPC kodu bit serpiştirme kaldırıcıdan (165) (bunun eşlik serpiştirme kaldırıcısı (1011)) LDPC kod çözücüyü (166) sağlandığı için, iletim aygıtının (11) LDPC kodlayıcısı (115)

5 LDPC kodunun LDPC kod çözümünü LDPC kodlamada kullanılan eşlik denetimi matrisi (H) kullanılarak gerçekleştirir, LDPC kod çözücü (166), örneğin, bir mesajın (bir denetim düğümü mesajı, bir değişken düğüm mesajı) her seferinde bir adet düğüm olarak hesaplanmasını sıralı olarak gerçekleştirmenin bir tam seri kod çözme düzenine göre LDPC kod çözümünü gerçekleştiren bir kod çözme cihazı veya tüm düğümler için

10 bir mesajın hesaplanmasını eşzamanlı (paralel olarak) gerçekleştirmenin bir tam paralel kod çözümü düzenine göre LDPC kod çözümünü gerçekleştiren bir kod çözücümü cihazı olabilir.

Ayrıca, LDPC kod çözücü (166), iletim aygıtının (11) LDPC kodlayıcısı (115) tarafından

15 LDPC kodlamada kullanılan eşlik denetimi matrisi (H) üzerinde LDPC kodunun LDPC kod çözümünü, en azından eşlik serpiştirmeye karşılık gelen sütun permütasyonunu gerçekleştirerek elde edilen dönüştürme eşlik denetimi matrisini kullanarak gerçekleştirdiğinde, LDPC kod çözücü (166), denetim düğümü hesaplamalarını ve değişken düğüm hesaplamalarını P (veya P'nin bir böleni, bölen 1'den farklıdır) kez

20 eşzamanlı olarak gerçekleştirmenin bir mimarisinin bir kod çözme cihazıdır ve LDPC kodunun kod bitini, LDPC kodu üzerinde dönüştürme eşlik denetimi matrisinin elde edilmesi için sütun permütasyonu ile aynı sütun permütasyonunun gerçekleştirilmesiyle yeniden düzenleyen alım verisi yeniden düzenleme ünitesini (310) içeren kod çözücümü cihazıyla (Şekil 71) yapılandırılır.

25

Ek olarak, Şekil 75'te, açıklamanın kolaylığı açısından, ters değiştirme işlemini gerçekleştiren çoğullayıcı (54), sütun döndürme serpiştirme kaldırmayı gerçekleştiren sütun döndürme serpiştirme kaldırıcı (55) ve eşlik serpiştirme kaldırmayı gerçekleştiren eşlik serpiştirme kaldırıcı (1011) sırasıyla ve ayrı ayrı yapılandırılır, ancak

30 çoğullayıcının (54), sütun döndürme serpiştirme kaldırıcının (55) ve eşlik serpiştirme kaldırıcının (1011) ikisi veya daha fazlası, iletim aygıtının (11) eşlik serpiştiricisine (23) sütun döndürme serpiştiricisine (24) ve çoğullama çözücüsüne (25) benzer şekilde bütünsel olarak yapılandırılır.

Ayrıca, iletim aygıtının (11) bit serpiştiricisi (116) (Şekil 8), Şekil 75'te, eşlik serpiştirici (23) ve sütun döndürme serpiştirici (24) sağlanmadan yapılandırıldığında, bit serpiştirme kaldırıcı (165), sütun döndürme serpiştirme kaldırıcı (55) ve eşlik serpiştirme kaldırıcı (1011) sağlanmadan yapılandırılabilir.

5

Bu durumda bile, LDPC kod çözücü (166), LDPC kod çözümünü eşlik denetimi matrisinin (H) kullanarak gerçekleştiren bir tam seri kod çözme düzenine sahip kod çözme cihazıyla, LDPC kod çözümünü eşlik denetimi matrisinin (H) kullanarak gerçekleştiren bir tam paralel kod çözme düzenine sahip kod çözme cihazıyla veya

10 LDPC kod çözümünü dönüştürme eşlik denetimi matrisini (H') kullanarak P eşzamanlı denetim düğümü hesaplamalarıyla ve değişken düğüm hesaplamalarıyla gerçekleştiren alım verisi yeniden düzenleme ünitesini (310) içeren kod çözümü cihazıyla (Şekil 71) yapılandırılabilir.

15 <Alım sisteminin yapılandırma örneği>

Şekil 76, bir alım aygıtının (12) uygulanabildiği bir alım sisteminin bir birinci yapılandırma örneğini resmeden bir sütunlu diyagramdır.

20 Şekil 76'da, alım sistemi bir edinim ünitesiyle (1101), bir kanal kod çözümü işleme ünitesiyle (1102) ve bir bilgi kaynağı kod çözümü işleme ünitesiyle (1103) yapılandırılır.

Edinim ünitesi (1101), en azından, bir programın görüntü verisi ve ses verisi gibi LDPC-kodlama LDPC hedef verisiyle elde edilen LDPC kodunu içeren sinyalleri, örneğin,

25 karasal dijital yayın, uydu dijital yayın, bir CATV ağı, internet ve diğer ağlar gibi, burada gösterilmemiş olan bir kanal (iletişim yolu) üzerinden edinir ve sinyalleri, kanal kod çözümü işleme ünitesine (1102) sağlar.

Burada, edinim ünitesi (1101) tarafından edinilen sinyaller, örneğin, karasal dalgalar,

30 uydu dalgaları, kablolu televizyon (CATV) ağları ve benzerleri üzerinden bir yayın istasyonundan yayınlandığında, edinim ünitesi (1101) bir ayarlayıcıyla, bir Set Üstü Kutusuyla (STB) veya benzerleriyle yapılandırılır. Ayrıca, edinim ünitesi (1101) tarafından edinilen sinyaller, örneğin, bir İnternet Protokolü Televizyonu (IPTV) gibi bir web sunucusundan çoklu-yayınlandığında, edinim ünitesi (1101), örneğin, bir Ağ

35 Arayüz Kartı (NIC) gibi bir ağ arabirimiyle (IF) yapılandırılır.

Kanal kod çözümü işleme ünitesi (1102), alım aygıtına (12) karşılık gelmektedir. Kanal kod çözümü işleme ünitesi (1102), edinim ünitesi (1101) tarafından kanal üzerinden edinilen sinyaller üzerinde, en azından bir kanalda meydana gelen bir hatanın düzeltilmesinin bir işlemini içeren bir kanal kod çözümü işlemini gerçekleştirir ve oluşan sinyali bilgi kaynağı kod çözümü işleme ünitesine (1103) sağlar.

Diğer bir deyişle, edinim ünitesi (1101) tarafından kanal üzerinden edinilen sinyaller, en azından, kanalda meydana gelen hataların düzeltimi için hata düzeltimi kodlamanın gerçekleştirilmesiyle elde edilen sinyallerdir ve kanal kod çözümü işleme ünitesi (1102), örneğin, bu tip sinyaller üzerinde, bir hata düzeltimi işlemi gibi kanal kod çözümü işlemi gerçekleştirir.

Burada, hata düzeltimi kodlama örneklerine, LDPC kodlama ve BCH kodlama dahildir. Burada, en azından, LDPC kodlama hata düzeltimi kodlama olarak gerçekleştirilir.

Ayrıca, kanal kod çözümü işlemi, bir modülasyon sinyalinin kip çözümünü ve benzerini içerebilir.

Bilgi kaynağı kod çözümü işleme ünitesi (1103), en azından, kanal kod çözümü işlemine tabi tutulan sinyal üzerindeki sıkıştırılmış bilginin özgün bilgiye açılmasının bir işlemini içeren bilgi kaynağı kod çözümü işlemini gerçekleştirir.

Diğer bir deyişle, edinim ünitesi (1101) tarafından kanal üzerinden edinilen sinyaller, bilgi olarak bir görüntü ve ses gibi veri miktarını indirmek amacıyla, bilginin sıkıştırılması için bir sıkıştırma kodlamaya tabi tutulabilir, bu durumda, bilgi kaynağı kod çözümü işleme ünitesi (1103), kanal kod çözümü işlemine tabi tutulan sinyal üzerindeki sıkıştırılmış bilgiyi özgün bilgiye açmanın (açma işlemi) bir işlemi gibi bilgi kaynağı kod çözümü işlemini gerçekleştirir.

30

Ek olarak, edinim ünitesi (1101) tarafından kanal üzerinden edinilen sinyaller sıkıştırma kodlamaya tabi tutulmadığında, bilgi kaynağı kod çözümü işleme ünitesi (1103), sıkıştırılmış bilginin özgün bilgiye açılması işlemini gerçekleştirmez.

Burada, sıkıştırma işleminin örneğine, MPEG kod çözümü dahildir. Ayrıca, kanal kod çözümü işlemi, açma işlemine ek olarak çırpma-çözmeyi ve benzerlerini içerebilir.

5 Yukarıda tarif edilen alım sisteminde, edinim ünitesi (1101), örneğin, bir görüntü ve ses gibi veri üzerinde MPEG kodlama gibi sıkıştırma kodlama ve LDPC kodlama gibi hata düzeltimi kodlama gerçekleştirilerek elde edilen sinyalleri, kanal üzerinden edinir ve bunları kanal kod çözümü işleme ünitesine (1102) sağlar.

10 Kanal kod çözümü işleme ünitesinde (1102), örneğin, alım aygıtı (12) tarafından gerçekleştirilenle aynı işlem, edinim ünitesinden (1101) gelen sinyal üzerinde bir kanal kod çözümü işlemi olarak gerçekleştirilir ve oluşan sinyal bilgi kaynağı kod çözümü işleme ünitesine (1103) sağlanır.

15 Bilgi kaynağı kod çözümü işleme ünitesinde (1103), MPEG kod çözümü gibi bilgi kaynağı kod çözümü işlemi, kanal kod çözümü işleme ünitesinden (1102) gelen sinyal üzerinde gerçekleştirilir ve oluşan görüntü veya ses çıkarılır.

20 Şekil 76'daki yukarıda tarif edilen alım sistemi, örneğin, televizyon yayını dijital yayın olarak alan bir televizyon ayarlayıcısına uygulanabilir.

Ek olarak, edinim ünitesi (1101), kanal kod çözümü işleme ünitesi (1102) ve bilgi kaynağı kod çözümü işleme ünitesi (1103) sırasıyla, bir adet bağımsız aygıt (donanım (Entegre Devre (IC) veya benzeri) veya bir yazılım modülü) olarak yapılandırılabilir.

25 Ayrıca, edinim ünitesiyle (1101), kanal kod çözümü işleme ünitesiyle (1102) ve bilgi kaynağı kod çözümü işleme ünitesiyle (1103) ilgili olarak, edinim ünitesiyle (1101) kanal kod çözümü işleme ünitesinin (1102) bir seti, kanal kod çözümü işleme ünitesiyle (1102) bilgi kaynağı kod çözümü işleme ünitesinin (1103) bir seti ve edinim ünitesi (1101), kanal kod çözümü işleme ünitesi (1102) ve bilgi kaynağı kod çözümü işleme
30 ünitesinin (1103) bir seti, sırasıyla, bir adet bağımsız aygıt olarak yapılandırılır.

Şekil 77, alım aygıtının (12) uygulanabildiği bir alım sisteminin bir ikinci yapılandırma örneğini resmeden bir sütunlu diyagramdır.

Ek olarak, Şekil 77’de, Şekil 76’dakilere karşılık gelen kısımlar aynı referans sayılarıyla simgelenir ve böylelikle, bunların tarifi aşağıda uygun şekilde atlanacaktır.

5 Şekil 77’deki alım sistemi, edinim ünitesine (1101), kanal kod çözümü işleme ünitesine (1102) ve bilgi kaynağı kod çözümü işleme ünitesine (1103) sahip olma açısından Şekil 76’daki duruma benzerdir ve bir çıktı ünitesinin (1111) yeni sağlanması açısından Şekil 76’daki durumdan farklıdır.

10 Örneğin, çıktı ünitesi (1111), bir görüntüyü gösteren bir görüntüleme cihazı veya sesi çıkaran bir hoparlördür ve görüntü ve sesi veya benzerini, bilgi kaynağı kod çözümü işleme ünitesinden (1103) bir sinyal çıktısı olarak çıkarır. Diğer bir deyişle, çıktı ünitesi (1111) görüntüyü görüntüler veya sesi çıkarır.

15 Şekil 77’deki yukarıda tarif edilen alım sistemi, örneğin, televizyon yayını dijital yayın olarak alan bir televizyon alıcısına (TV), radyo yayını alan bir radyo alıcısına veya benzerlerine uygulanabilir.

20 Ek olarak, edinim ünitesi (1101) tarafından elde edilen sinyale sıkıştırma kodlaması uygulanmadığında, kanal kod çözümü işleme ünitesi (1102) tarafından çıkarılan sinyal, çıktı ünitesine (1111) çıkarılır.

Şekil 78, alım aygıtının (12) uygulanabildiği bir alım sisteminin bir üçüncü yapılandırma örneğini resmeden bir sütunlu diyagramdır.

25 Ek olarak, Şekil 78’de, Şekil 76’dakilere karşılık gelen kısımlar aynı referans sayılarıyla simgelenir ve böylelikle, bunların tarifi aşağıda uygun şekilde atlanacaktır.

30 Şekil 78’deki alım sistemi, edinim ünitesine (1101) ve kanal kod çözümü işleme ünitesine (1102) sahip olma açısından Şekil 76’daki duruma benzerdir.

Ancak, Şekil 78’deki alım sistemi, bilgi kaynağı kod çözümü işleme ünitesinin (1103) sağlanmaması ve bir kayıt ünitesinin (1121) yeni sağlanması açısından, Şekil 76’daki durumdan farklıdır.

Kayıt ünitesi (1121), kanal kod çözümü işleme ünitesi (1102) tarafından çıkarılan sinyalleri (örneğin, MPEG'sin TS'sinin TS paketleri), bir optik disk, bir hard disk (manyetik disk) ve bir flaş bellek gibi bir kayıt (depolama) ortamı üzerine kaydeder.

- 5 Şekil 78'deki yukarıda tarif edilen alım sistemi, televizyon yayını kaydeden bir kaydediciye uygulanabilir.

- Ek olarak, Şekil 78'de, alım sistemi, bir bilgi kaynağı kod çözümü işleme ünitesi (1103) sağlanarak yapılandırılabilir ve bilgi kaynağı kod çözümü işleme ünitesi (1103) tarafından bir bilgi kaynağı kod çözümü işlemine tabi tutulan bir sinyali, diğer bir deyişle, kayıt ünitesinde (1121) kod çözümünden ortaya çıkan bir görüntü ve sesi kaydedebilir.

<Bilgisayar uygulaması>

15

Şimdi, yukarıda tarif edilen bir seri işlem, ya donanımla veya yazılımla gerçekleştirilebilir. İşlem serileri yazılım tarafından gerçekleştirildiğinde, yazılımı oluşturan bir program, bir genel-amaçlı bilgisayara veya benzerine yüklenir.

- 20 Böylelikle, Şekil 79, yukarıda tarif edilen işlem serilerini yürüten bir programın yüklendiği bir bilgisayarın bir uygulamasının bir yapılandırma örneğini resmetmektedir.

Program önceden, bilgisayarda yerleşik bir kayıt ortamı olarak, bir hard diske (705) veya bir ROM'a (703) kaydedilebilir.

25

Alternatif olarak, programın, bir disket, bir Kompakt Disk Salt Okunur Bellek (CD-ROM), bir Manyeto Optik (MO) disk, bir Dijital Çok Yönlü Disk (DVD), bir manyetik disk ve bir yarıiletken bellek gibi çıkarılabilir bir kayıt ortamına (711) geçici veya kalıcı olarak depolanması (kaydedilmesi) mümkündür. Bu tip bir çıkarılabilir kayıt ortamı (711), paket yazılım olarak adlandırılan bir yazılım olarak sağlanabilir.

30

Ek olarak, yukarıda tarif edilen çıkarılabilir kayıt ortamından (711) bilgisayara yüklenmeye ek olarak, program bilgisayara, dijital uydu yayını için bir yapay uydu vasıtasıyla indirme sitesinden kablosuz olarak aktarılabilir veya bilgisayara, bir Yerel Alan Ağı (LAN) veya İnternet gibi bir ağ üzerinden kablolu bir şekilde aktarılabilir ve

35

bilgisayar yukarıda tarif edilen şekilde aktarılan programı iletişim ünitesiyle (708) alabilir ve programı bir yerleşik hard diske (705) yükleyebilir.

Bilgisayar, bir yerleşik Merkezi İşleme Birimine (CPU) (702) sahiptir. Bir girdi ve çıktı arabirimi (710) CPU'ya (702) bir veri yolu (701) üzerinden bağlanır ve bir komut bir kullanıcı tarafından kullanılmakta olan bir klavye, bir fare, bir mikrofon veya benzerleri gibi bir girdi ünitesiyle (707), girdi ve çıktı arabirimi (710) üzerinden girildiğinde, CPU (702) Salt Okunur Bellekte (ROM) (703) depolanmış programı, komuta yanıt olarak yürütür. Alternatif olarak, CPU (702) hard diskte (705) yüklü bir programı, bir uygu veya ağdan aktarılan, iletişim ünitesi (708) tarafından alınan ve hard diskte (705) yüklü bir programı veya sürücüyü (709) takılı çıkarılabilir kayıt belleğinden (711) okunan ve hard diskte (705), Rastgele Erişim Belleğinde (RAM) (704) yüklü olan bir programı yükler ve programları yürütür. Böylelikle, CPU (702), yukarıda tarif edilen akış şemasına göre işlemi veya yukarıda tarif edilen sütunlu diyagramın yapılandırılmasıyla gerçekleştirilen işlemi yürütür. Daha sonra, CPU (702), gerektiği şekilde, örneğin, girdi ve çıktı arabirimi (710) üzerinden, işlem sonucunun, bir Likit Kristal Ekranla (LCD), bir hoparlörle ve benzerleriyle yapılandırılan bir çıktı ünitesinden (706) çıkarılmasına veya iletişim ünitesinden (708) iletilmesine veya hard diskte (705) kaydedilmesine neden olur.

Burada, bu spesifikasyon, bir bilgisayarın çeşitli işlemleri yürütmesine neden olan bir programın tarif edilmesinin işlem adımlarının, akış şemasında tarif edilen sıraya göre zaman serilerinde işlenmesi şart değildir ve işlem adımları, paralel veya bireysel olarak (örneğin, bir paralel işlem veya bir nesneleri kullanan bir işlem) işlenecek işlemleri içerir.

25

Ayrıca, bir program bir tek bilgisayar tarafından işlenebilir veya birden fazla bilgisayar tarafından dağıtılabılır ve işlenebilir. Ek olarak, bir program bir uzak bilgisayara aktarılabilir ve yürütülebilir.

Ek olarak, mevcut teknolojinin uygulamaları yukarıda-tarif edilen uygulamalarla sınırlı değildir ve mevcut teknolojinin kapsamından uzaklaşmadan çeşitli modifikasyonlar yapılabilir.

Ayrıca, örneğin, yukarıda tarif edilen Sx için 16k kod için (bunun eşlik denetimi matrisi başlangıç değeri tablosu), iletişim yolu (13) (Şekil 7) olarak uydu hatlarının, karasal

35

dalgaların, kabloların (kablolu hatların) ve diğerlerinin kullanılması mümkündür. Ayrıca, Sx için 16k kodunu, dijital yayın dışındaki veri iletimi için kullanmak mümkündür.

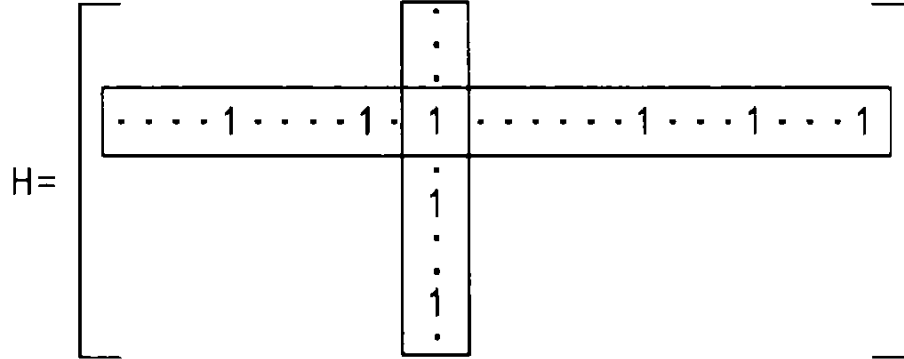
Referans İşaretleri Listesi

5		
	11	İLETİM AYGITI
	12	ALIM AYGITI
	23	EŞLİK SERPİŞTİRİCİ
	24	SÜTUN DÖNDÜRME SERPİŞTİRİCİ
10	25	ÇOĞULLAMA ÇÖZÜCÜ
	31	BELLEK
	32	DEĞİŞTİRME ÜNİTESİ
	54	ÇOĞULLAYICI
	55	SÜTUN DÖNDÜRME SERPİŞTİRME KALDIRICI
15	111	MOD UYARLAMA/ÇOĞULLAYICI
	112	DOLGULAYICI
	112	BB ÇIRPICI
	114	BCH KODLAYICI
	115	LDPC KODLAYICI
20	116	BİT SERPİŞTİRİCİ
	117	EŞLEYİCİ
	118	ZAMAN SERPİŞTİRİCİ
	119	SISO/MISO KODLAYICI
	120	FREKANS SERPİŞTİRİCİ
25	121	BCH KODLAYICI
	122	LDPC KODLAYICI
	123	EŞLEYİCİ
	124	FREKANS SERPİŞTİRİCİ
	131	ÇERÇEVE OLUŞTURUCU/KAYNAK AYIRMA ÜNİTESİ
30	132	OFDM ÜRETME ÜNİTESİ
	151	OFDM İŞLEME ÜNİTESİ
	152	ÇERÇEVE YÖNETİM ÜNİTESİ
	153	FREKANS SERPİŞTİRME KALDIRICI
	154	EŞLEME KALDIRICI
35	155	LDPC KOD ÇÖZÜCÜ

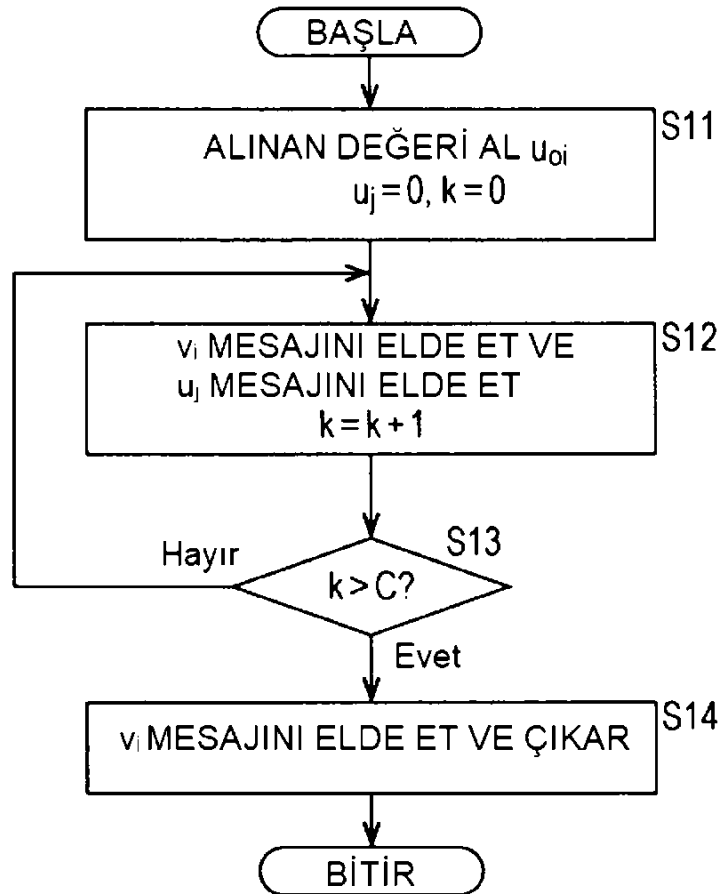
	156	BCH KOD ÇÖZÜCÜ
	161	FREKANS SERPİŞTİRME KALDIRICI
	162	SISO/MISO KOD ÇÖZÜCÜ
	163	ZAMAN SERPİŞTİRME KALDIRICI
5	164	EŞLEME KALDIRICI
	165	BİT SERPİŞTİRME KALDIRICI
	166	LDPC KOD ÇÖZÜCÜ
	167	BCH KOD ÇÖZÜCÜ
	168	BB ÇIRPMA KALDIRICI
10	169	SIFIR SİLME ÜNİTESİ
	170	ÇOĞULLAMA ÇÖZÜCÜ
	210	Tx ÜNİTESİ
	211	FEC ÜNİTESİ
	212	EŞLEME ÜNİTESİ
15	213	YUKARI-ÖRNEKLEME ÜNİTESİ
	214	NYQUIST FİLTRE ÜNİTESİ
	220	Rx ÜNİTESİ
	221	AGC ÜNİTESİ
	222	ÇOĞALTICI
20	223	AZALMA FİLTRESİ ÜNİTESİ
	224	AŞAĞI-ÖRNEKLEME ÜNİTESİ
	225	CSI ÜNİTESİ
	226	EŞLEME KALDIRMA ÜNİTESİ
	227	FEC ÜNİTESİ
25	230	KANAL ÜNİTESİ
	231	IBO ÜNİTESİ
	232	ÇOĞALTICI
	233	TWTA ÜNİTESİ
	234	AWGN ÜNİTESİ
30	235	TOPLAYICI
	300	AYRIT VERİSİ DEPOLAMA BELLEĞİ
	301	SEÇİCİ
	302	DENETİM DÜĞÜMÜ HESAPLAMA ÜNİTESİ
	303	ÇEVİRİMSSEL KAYDIRMA DEVRESİ
35	304	AYRIT VERİSİ DEPOLAMA BELLEĞİ

	305	SEÇİCİ
	306	ALIM VERİSİ BELLEĞİ
	307	DEĞİŞKEN DÜĞÜM HESAPLAMA ÜNİTESİ
	308	ÇEVİRİMSSEL KAYDIRMA DEVRESİ
5	309	KOD ÇÖZME SÖZCÜĞÜ HESAPLAMA ÜNİTESİ
	310	ALIM VERİSİ YENİDEN DÜZENLEME ÜNİTESİ
	311	KOD ÇÖZME VERİSİ YENİDEN DÜZENLEME ÜNİTESİ
	601	KODLAMA İŞLEME ÜNİTESİ
	602	DEPOLAMA ÜNİTESİ
10	611	KOD ORANI AYARLAMA ÜNİTESİ
	612	BAŞLANGIÇ DEĞERİ TABLOSU OKUMA ÜNİTESİ
	613	EŞLİK DENETİMİ MATRİSİ ÜRETME ÜNİTESİ
	614	BİLGİ BİTİ OKUMA ÜNİTESİ
	615	KODLAMA EŞLİĞİ HESAPLAMA ÜNİTESİ
15	616	KONTROL ÜNİTESİ
	701	VERİ YOLU
	702	CPU
	703	ROM
	704	RAM
20	705	HARD DİSK
	706	ÇIKTI ÜNİTESİ
	707	GİRDİ ÜNİTESİ
	708	İLETİŞİM ÜNİTESİ
	709	SÜRÜCÜ
25	710	GİRDİ VE ÇIKTI ARABİRİMİ
	711	ÇIKARILABİLİR KAYIT ORTAMI
	1001	TERS DEĞİŞTİRME ÜNİTESİ
	1002	BELLEK
	1011	EŞLİK SERPİŞTİRME KALDIRICI
30	1101	EDİNİM ÜNİTESİ
	1101	KANAL KOD ÇÖZÜMÜ İŞLEME ÜNİTESİ
	1103	BİLGİ KAYNAĞI KOD ÇÖZÜMÜ İŞLEME ÜNİTESİ
	1111	ÇIKTI ÜNİTESİ
	1121	KAYIT ÜNİTESİ

ŞEKİL 1



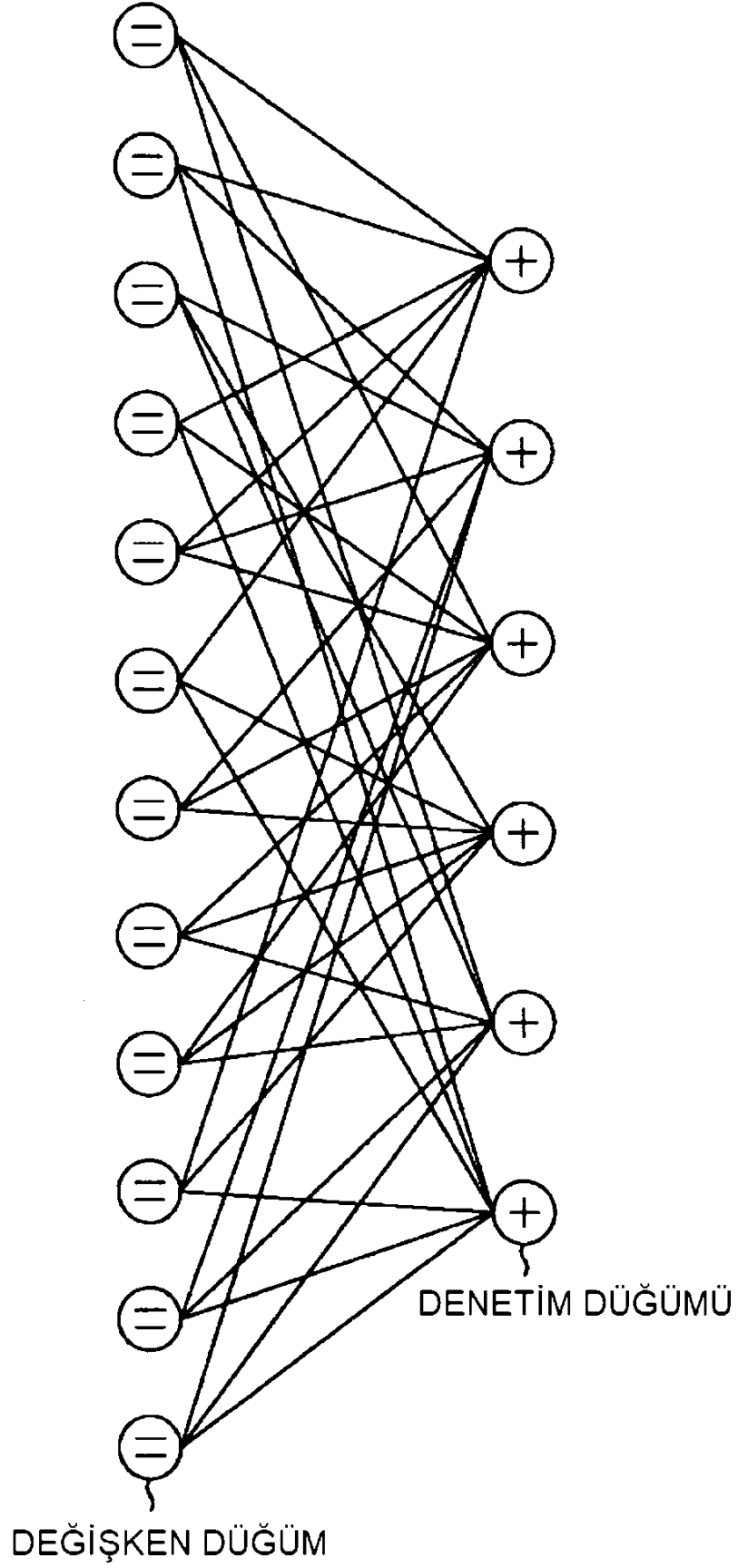
ŞEKİL 2



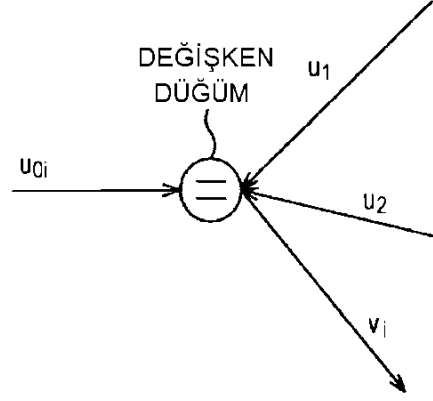
ŞEKİL 3

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

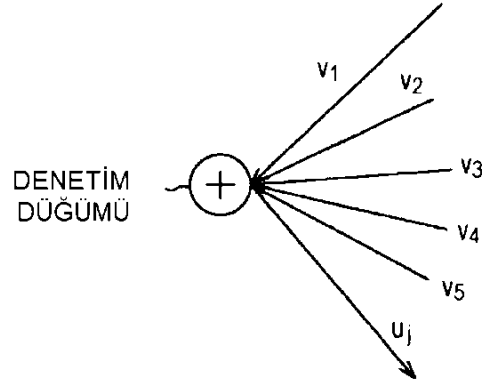
ŞEKİL 4



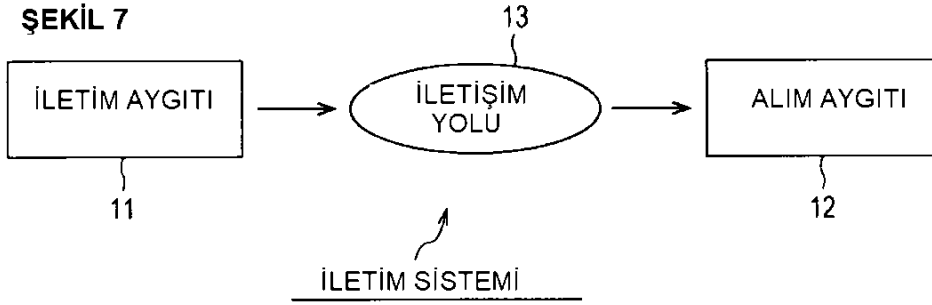
ŞEKİL 5



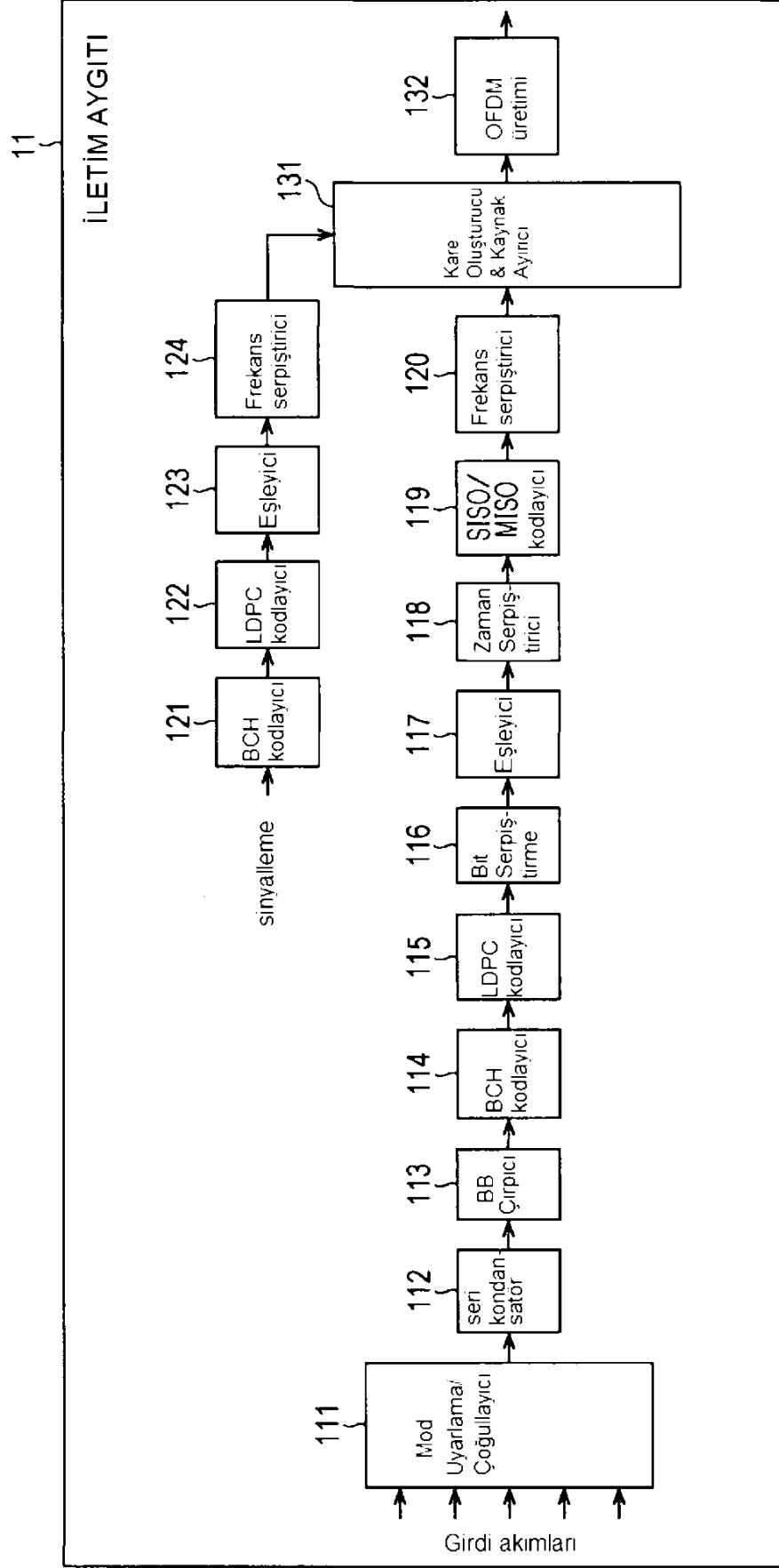
ŞEKİL 6



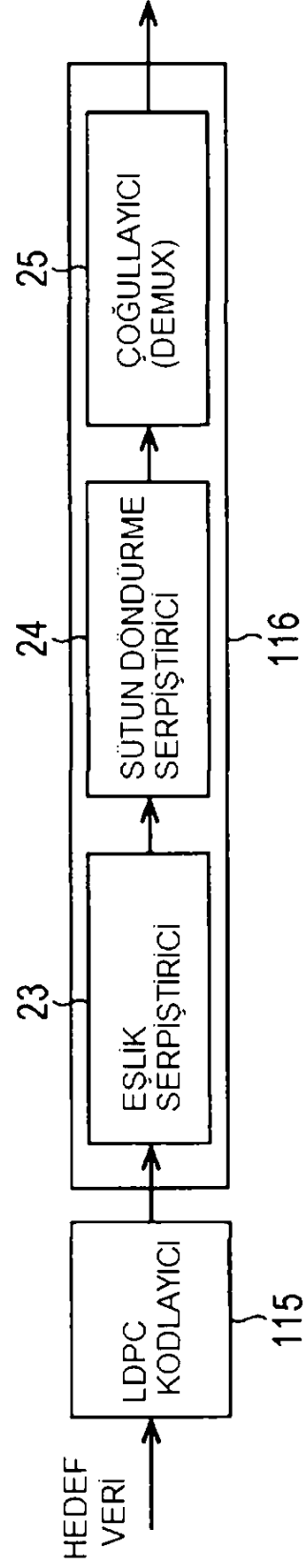
ŞEKİL 7



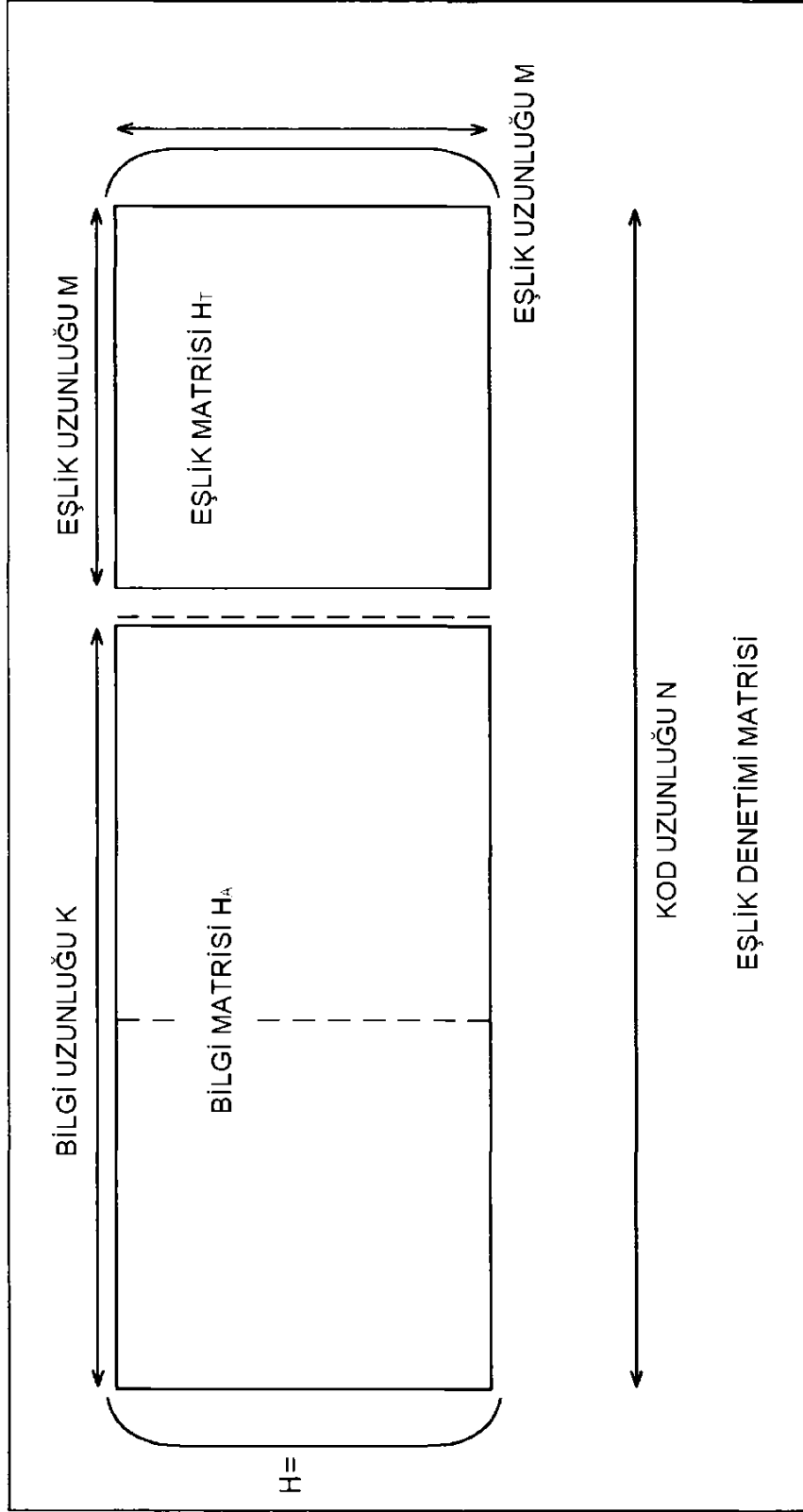
ŞEKİL 8



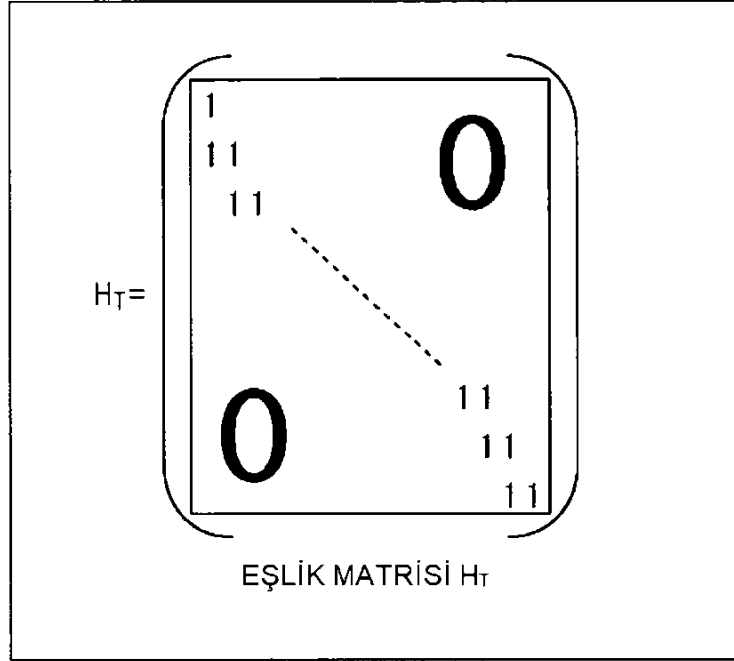
ŞEKİL 9



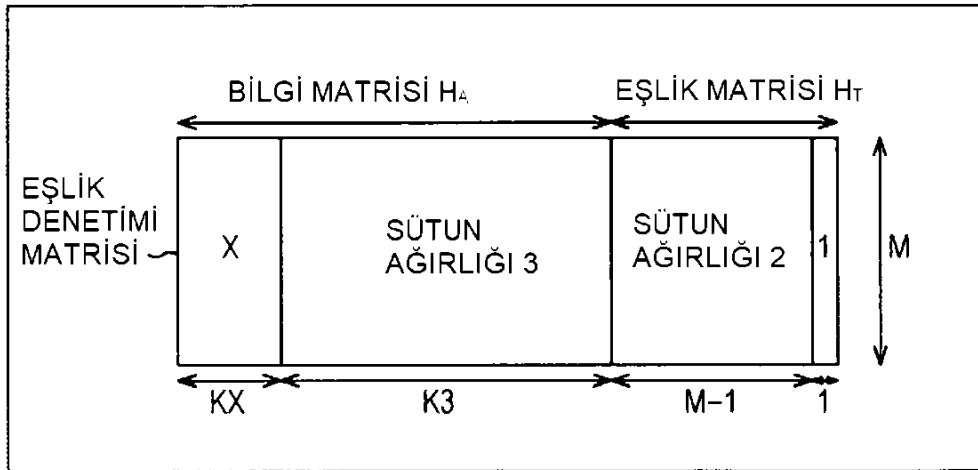
ŞEKİL 10



ŞEKİL 11



ŞEKİL 12

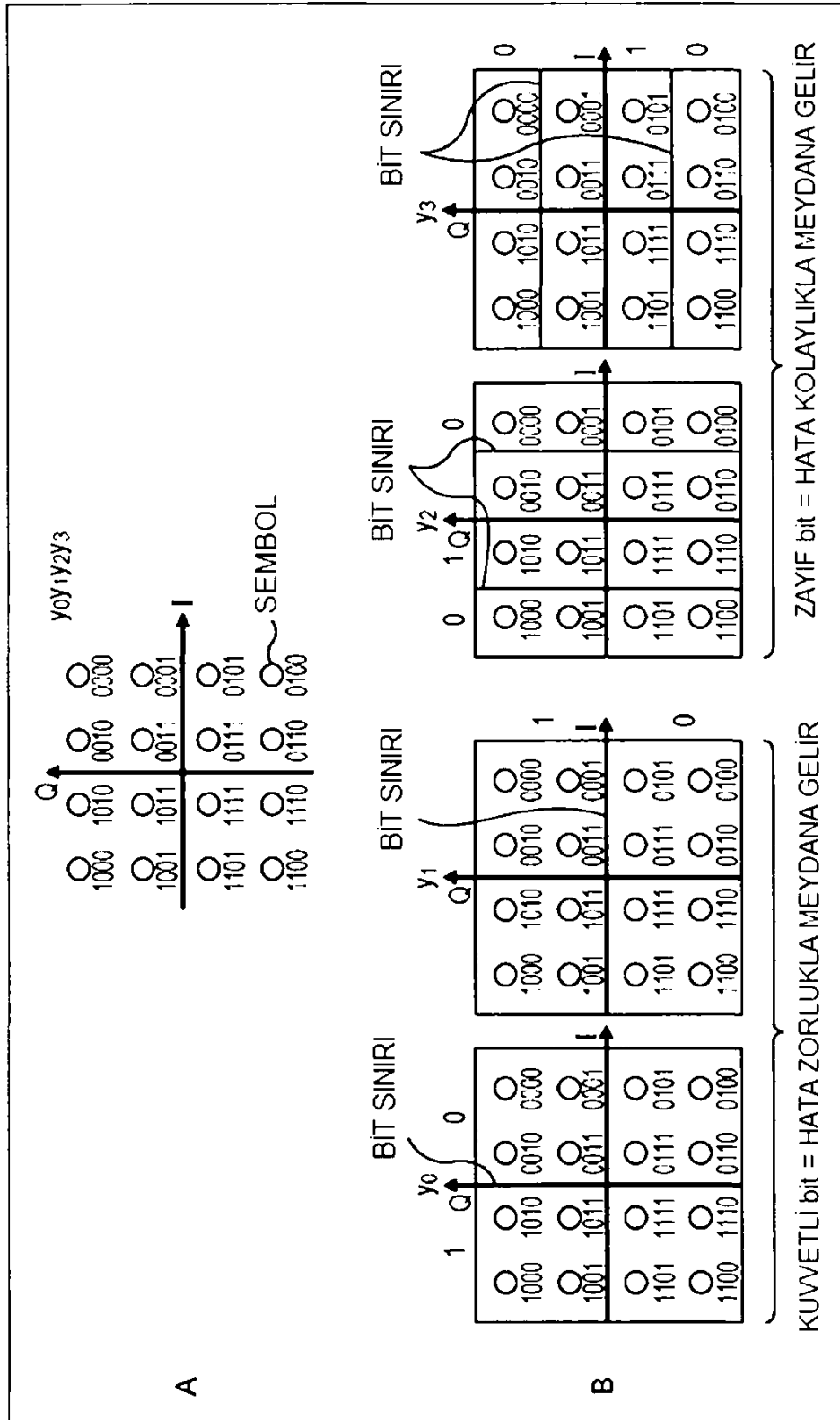


ŞEKİL 13

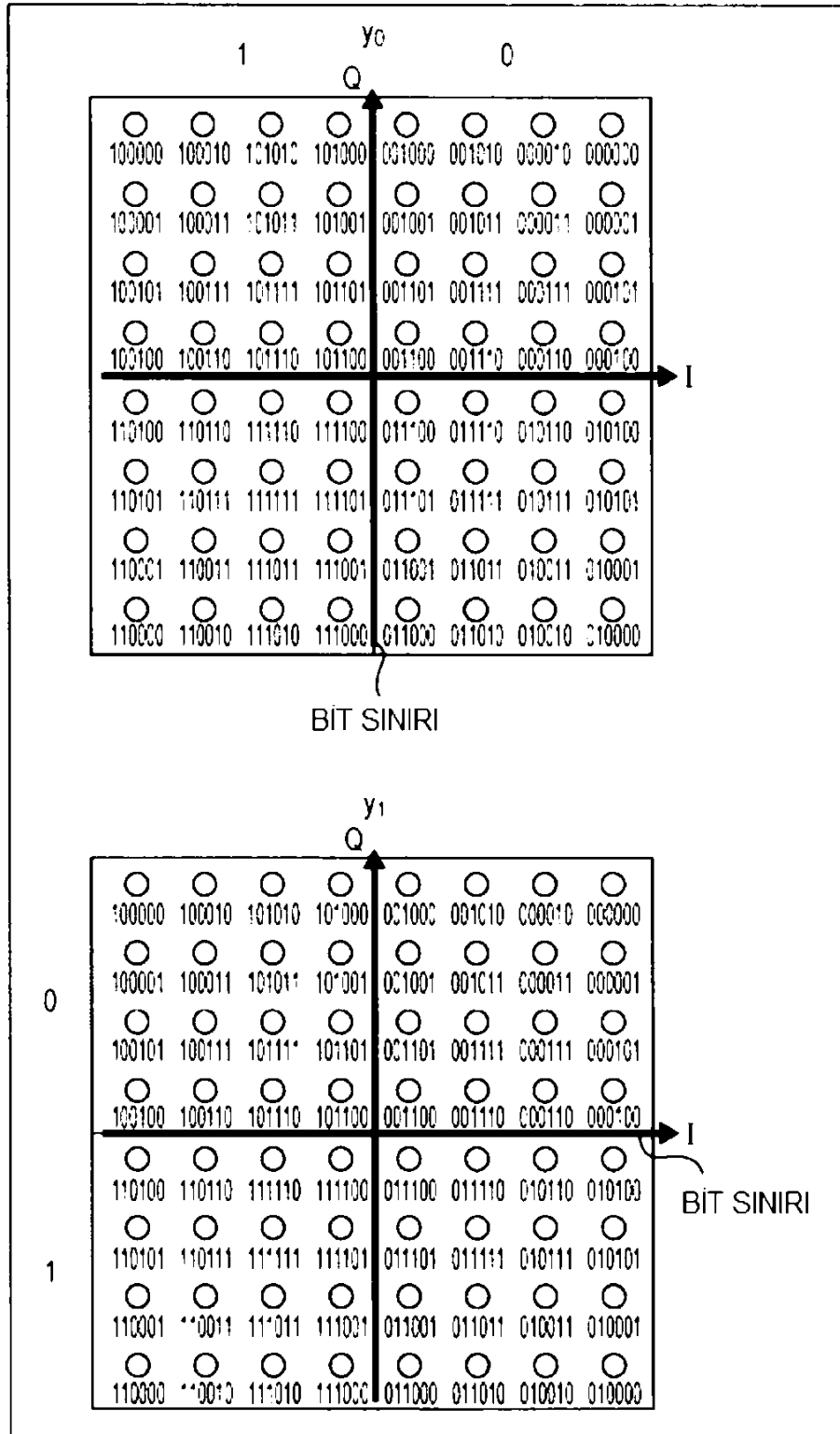
Nominal KOD ORANI	N = 64800					N = 16200				
	X	KX	K3	M		X	KX	K3	M	
1/4	12	5400	10800	48600		12	1440	1800	12960	
1/3	12	7200	14400	43200		12	1800	3600	10800	
2/5	12	8640	17280	38880		12	2160	4320	9720	
1/2	8	12960	19440	32400		8	1800	5400	9000	
3/5	12	12960	25920	25920		12	3240	6480	6480	
2/3	13	4320	38880	21600		13	1080	9720	5400	
3/4	12	5400	43200	16200		12	360	11520	4320	
4/5	11	6480	45360	12960		-	0	12600	3600	
5/6	13	5400	48600	10800		13	360	12960	2880	
8/9	4	7200	50400	7200		4	1800	12600	1800	
9/10	4	6480	51840	6480		---	---	---	---	

HER BİR
SÜTUN AĞIRLIĞI İÇİN
SÜTUNLARIN SAYISI

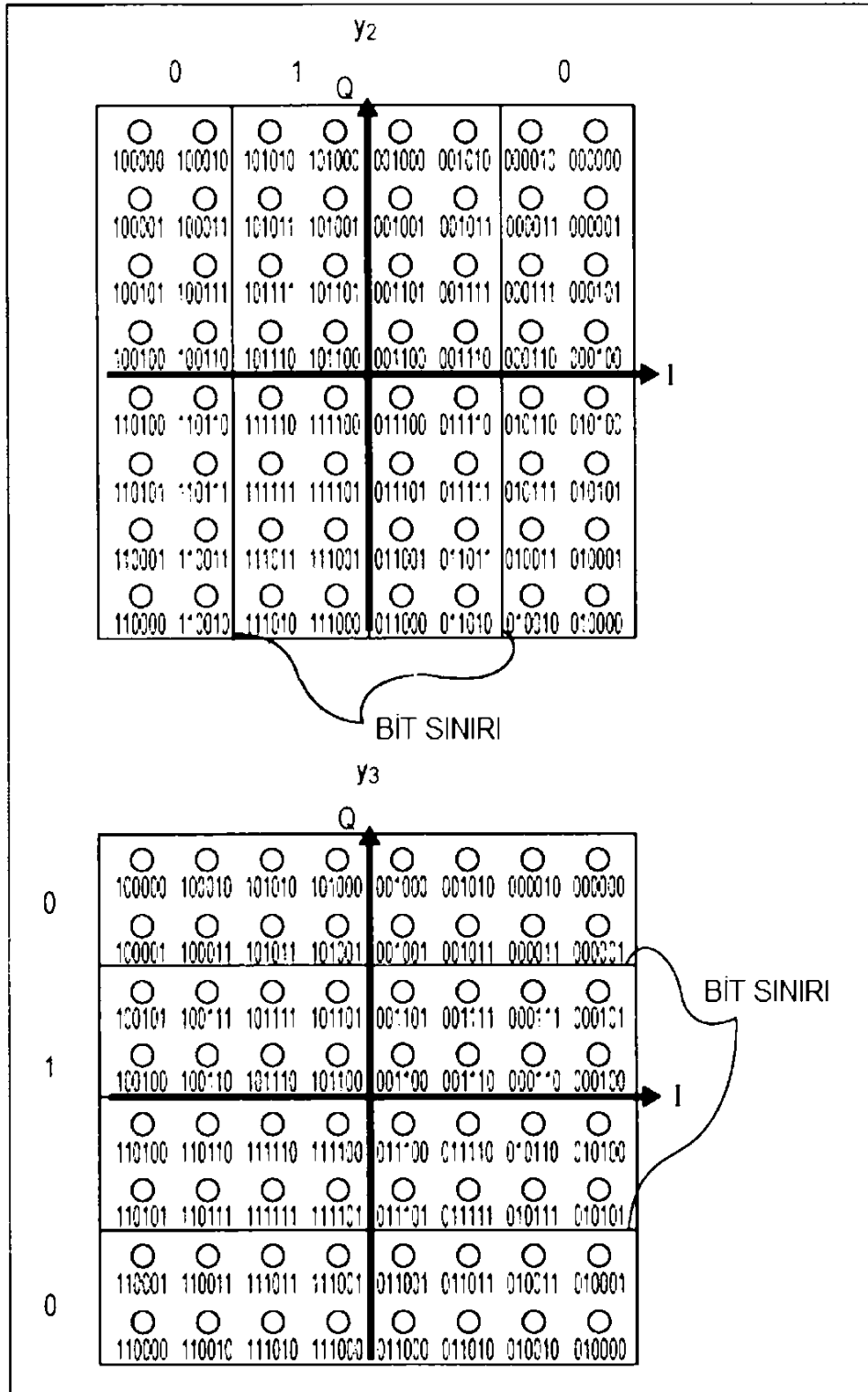
ŞEKİL 14



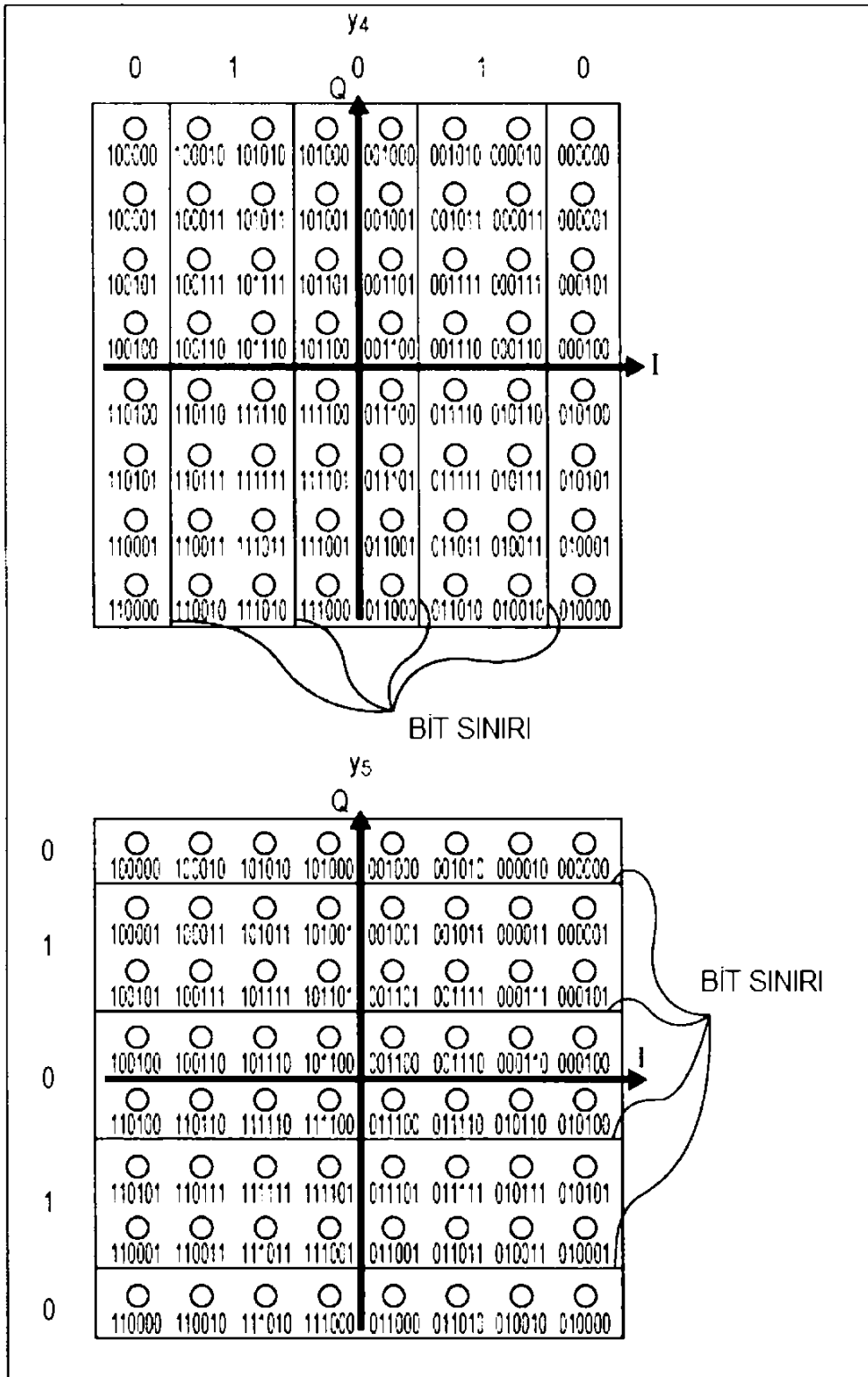
ŞEKİL 15

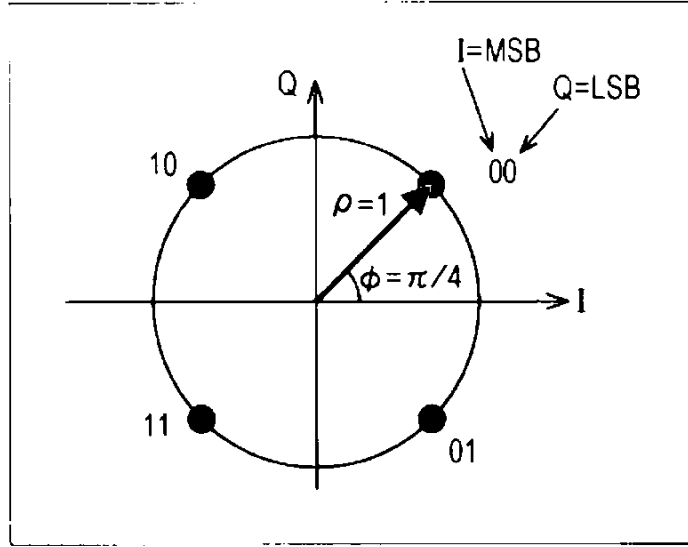


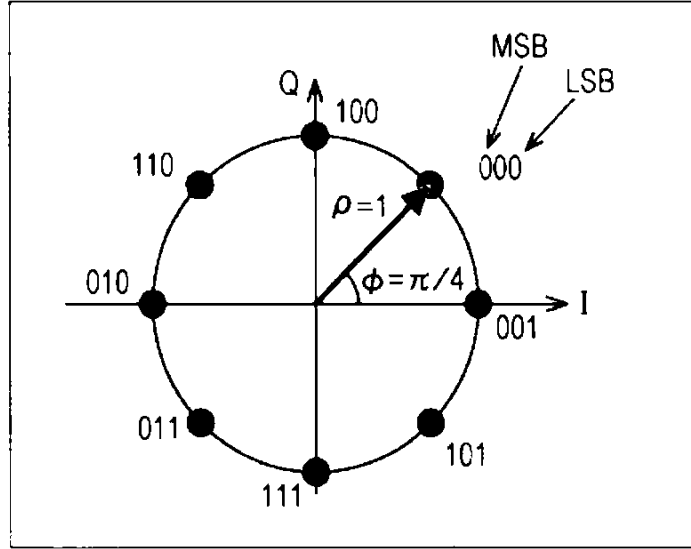
ŞEKİL 16



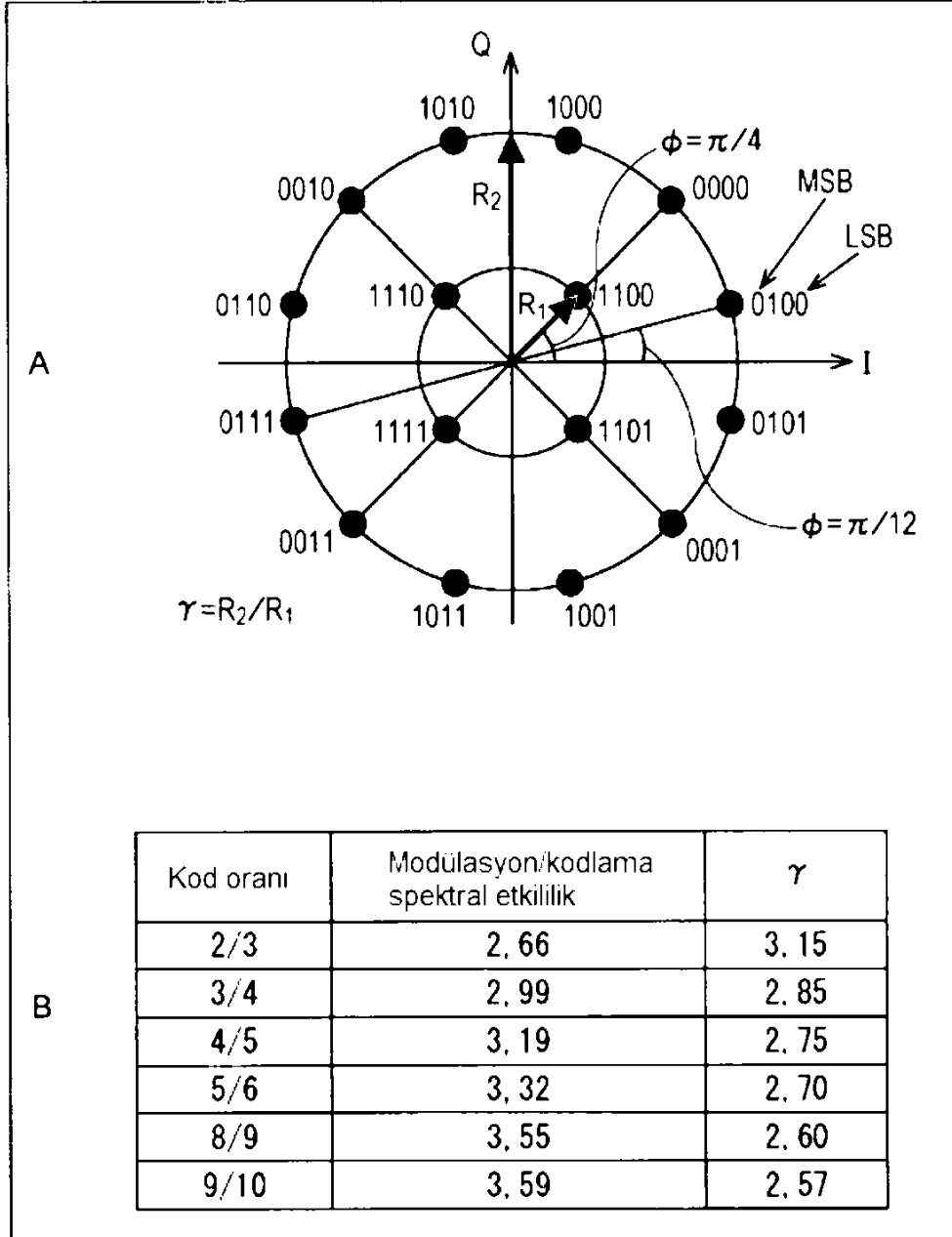
ŞEKİL 17



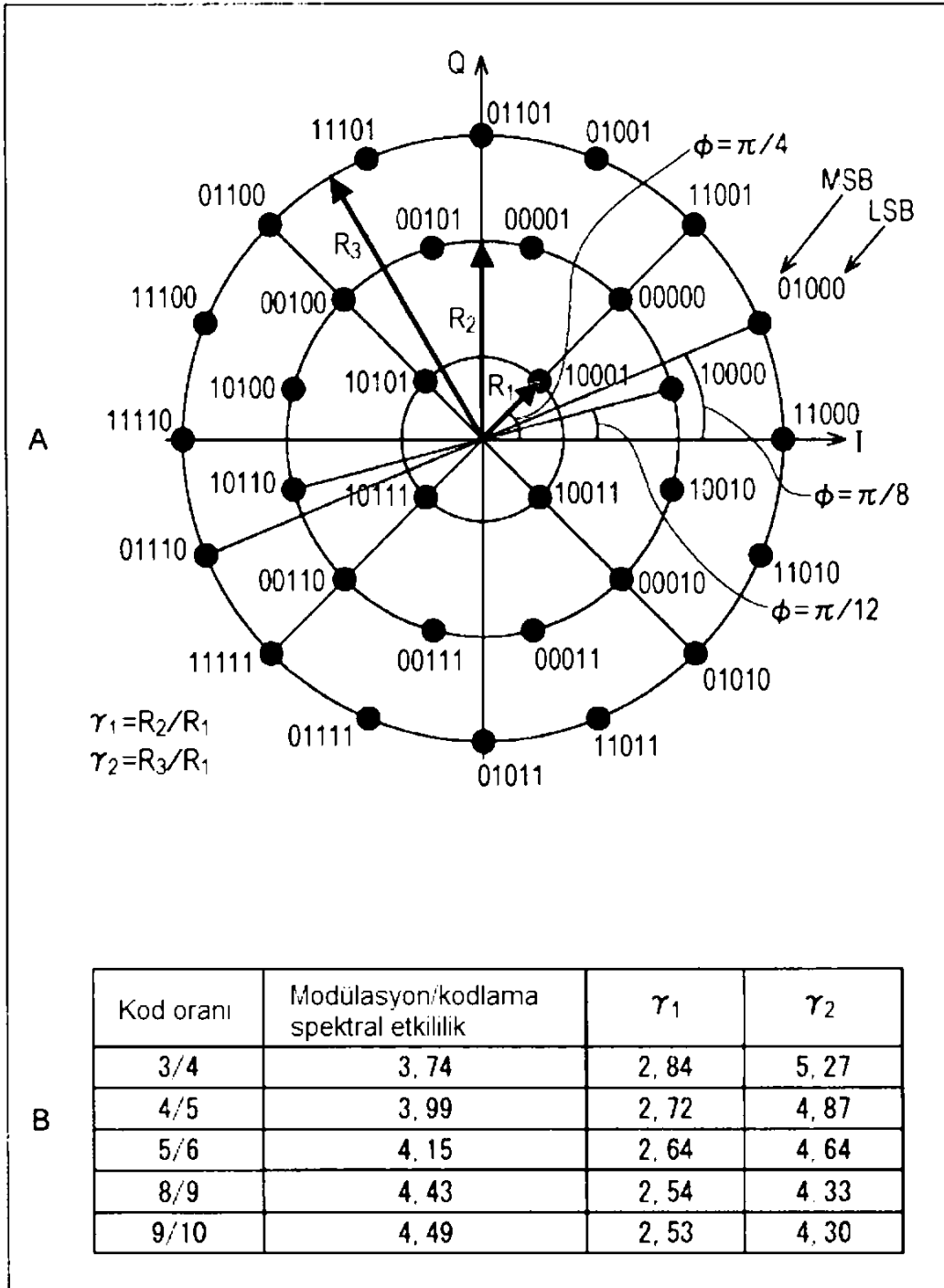
ŞEKİL 18

ŞEKİL 19

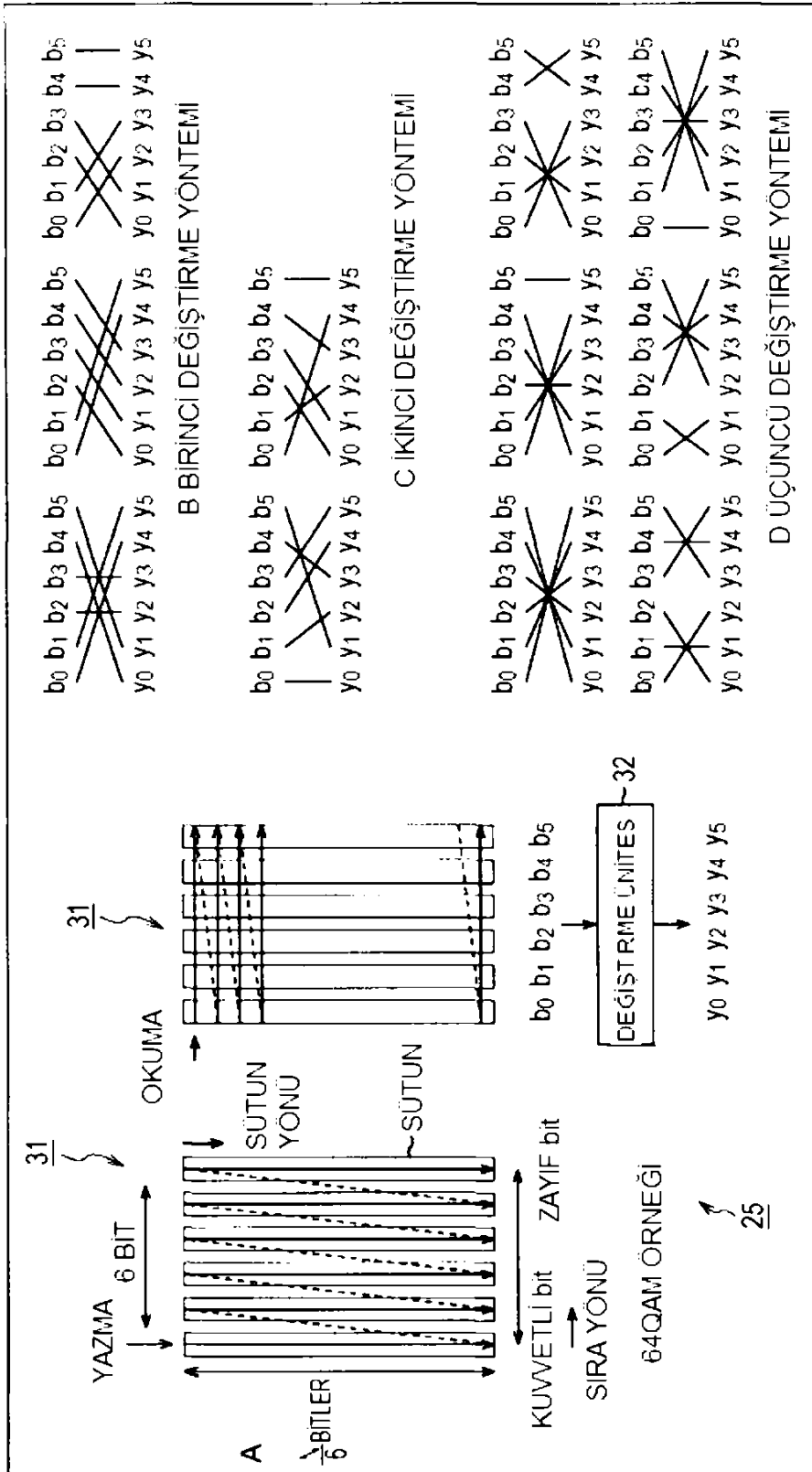
ŞEKİL 20



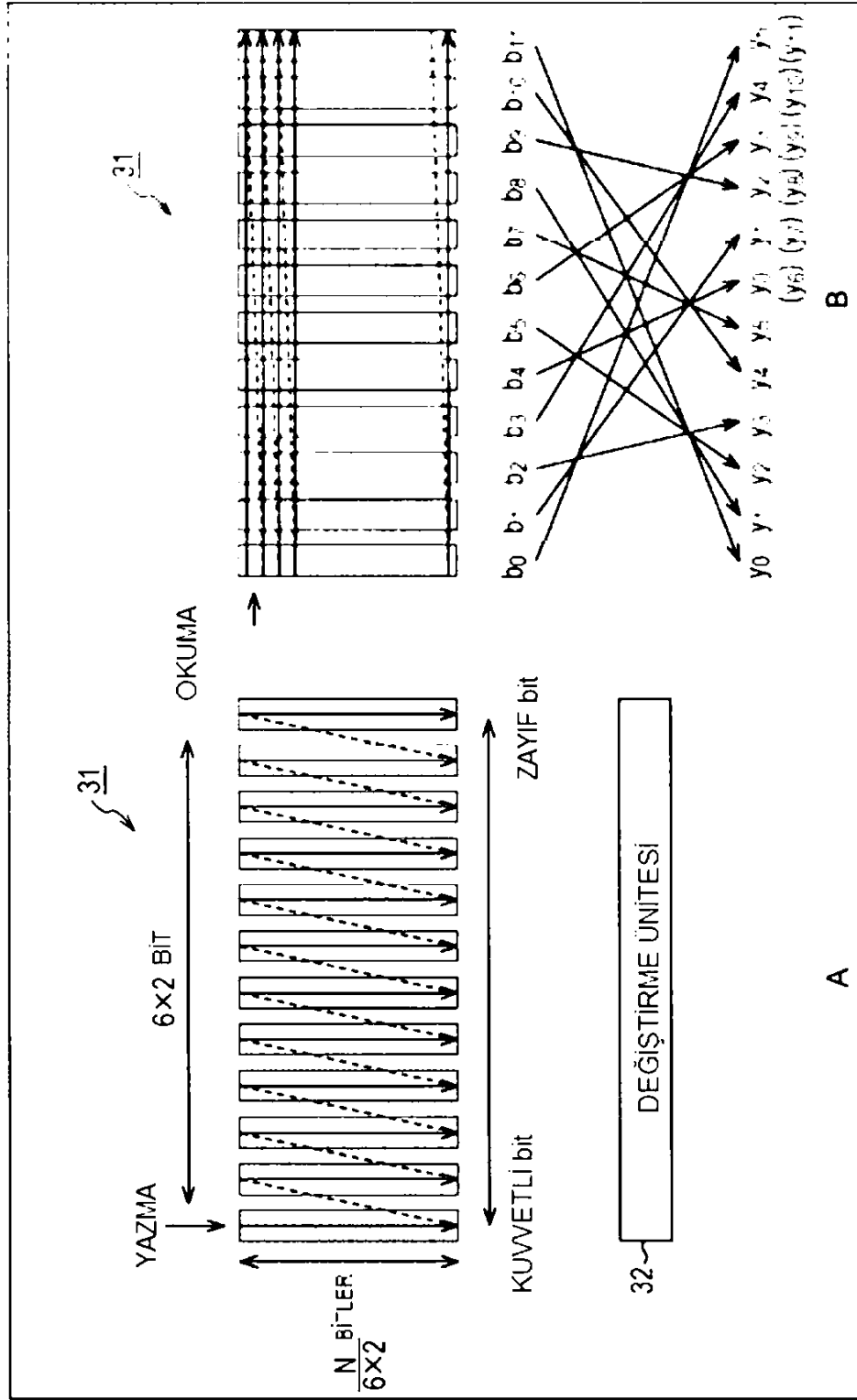
ŞEKİL 21

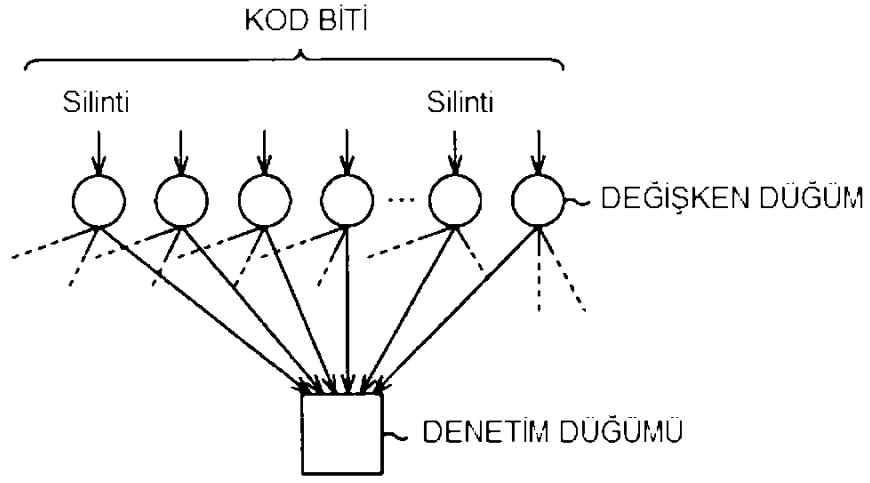


ŞEKİL 22

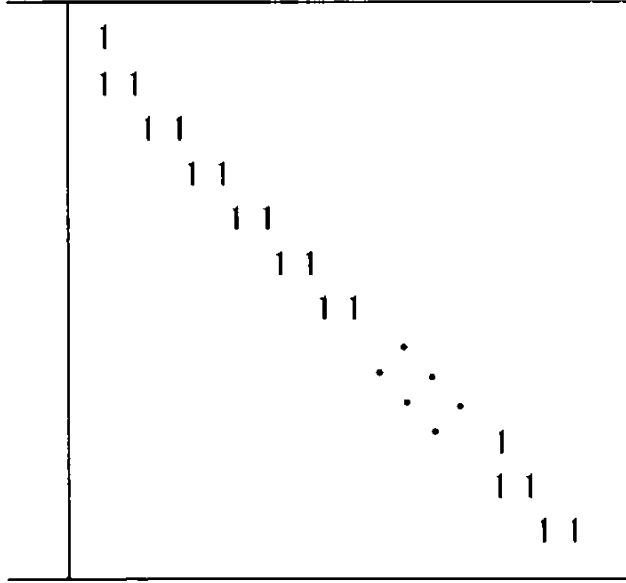


ŞEKİL 23



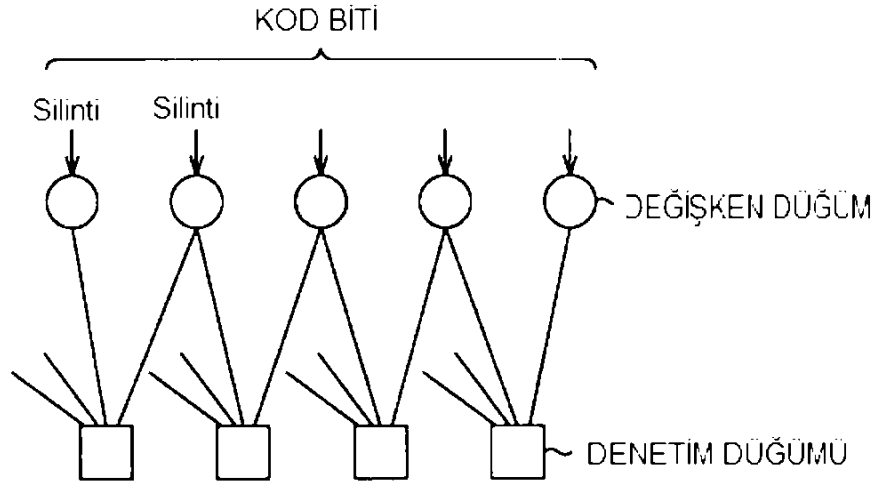
ŞEKİL 24

ŞEKİL 25



EŞLİK MATRİSİNİN BASAMAKLI YAPISI

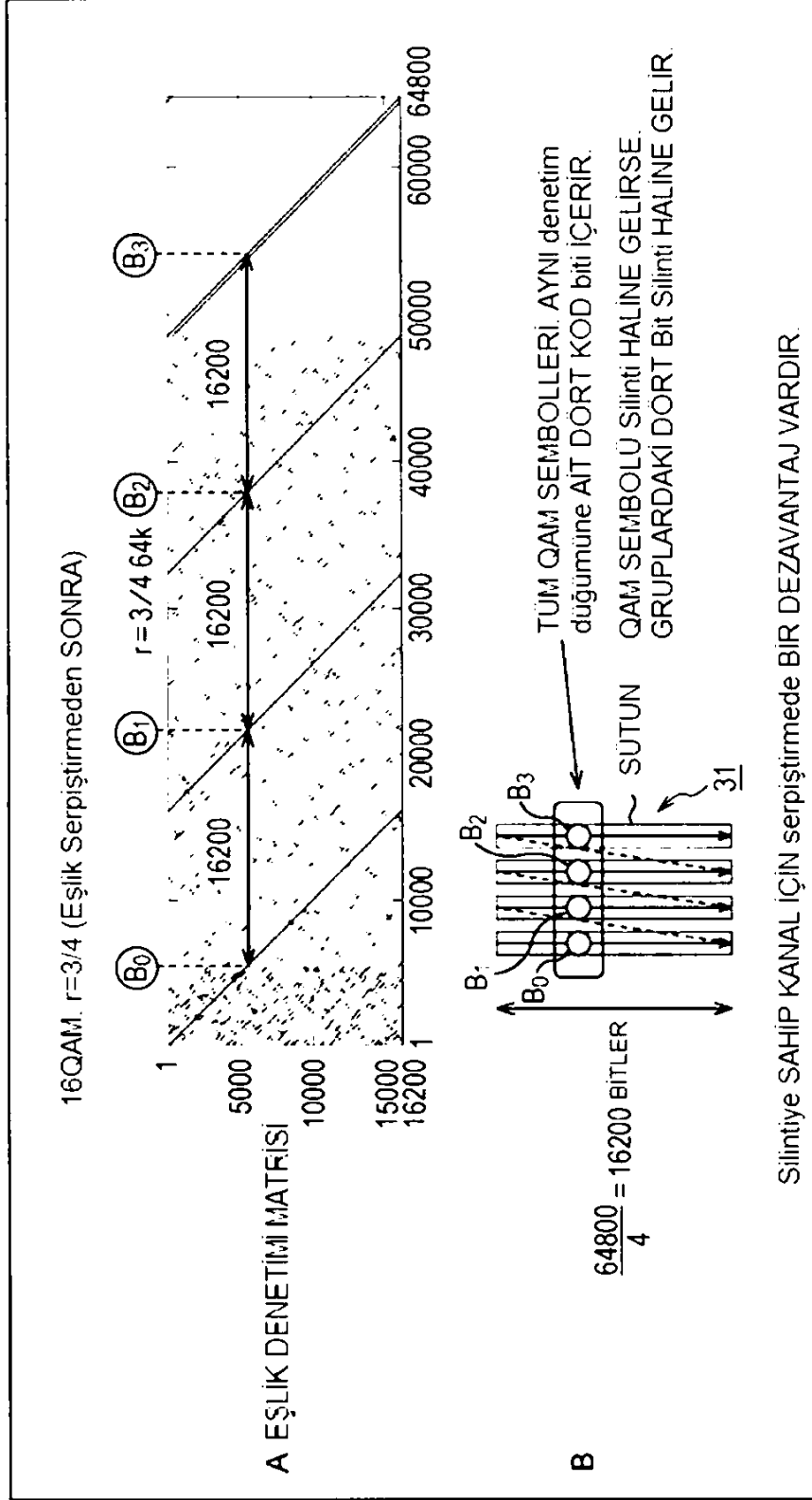
A



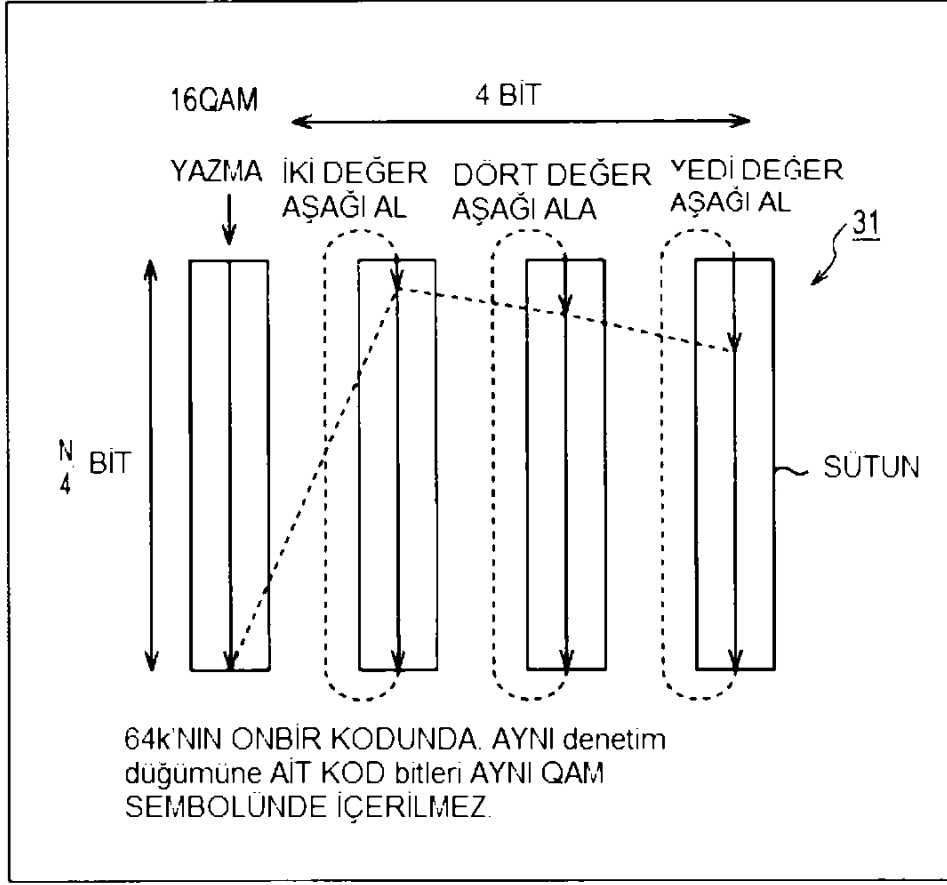
Tanner Grafiğinin BASAMAKLI YAPI PARÇALARI

B

ŞEKİL 27

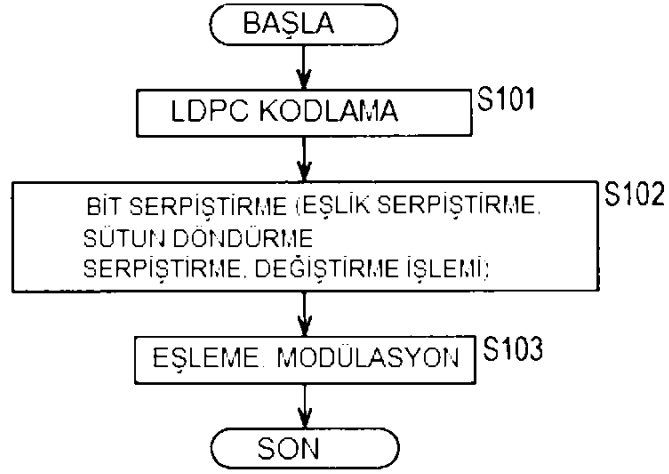


ŞEKİL 28



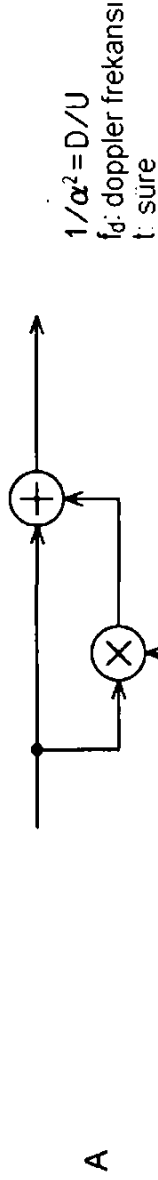
ŞEKİL 29

İLGİLİ mb SÜTUNLARININ YAZMA BAŞLAMA KONUMU																											
SELEK SÜTUNLARININ GEREKLİ SAYISI mb	b=1 (BİRİNCİYLE ÜÇÜNCÜ ARASINDAKİ DEĞİŞTİRME YÖNTEMLERİ)	b=2 (DÖRÜNCÜ DEĞİŞTİRME YÖNTEVİ)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
2	QPSK		0	2																							
4	16QAM	QPSK	0	2	4	7																					
6	64QAM		0	2	5	9	10	13																			
8	256QAM	16QAM	0	0	2	4	4	5	7	7																	
10	1024QAM		0	3	6	8	11	13	15	17	18	20															
12	4096QAM	64QAM	0	0	2	2	3	4	4	5	5	7	8	9													
16		256QAM	0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32									
20		1024QAM	0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30					
24		4096QAM	0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41	

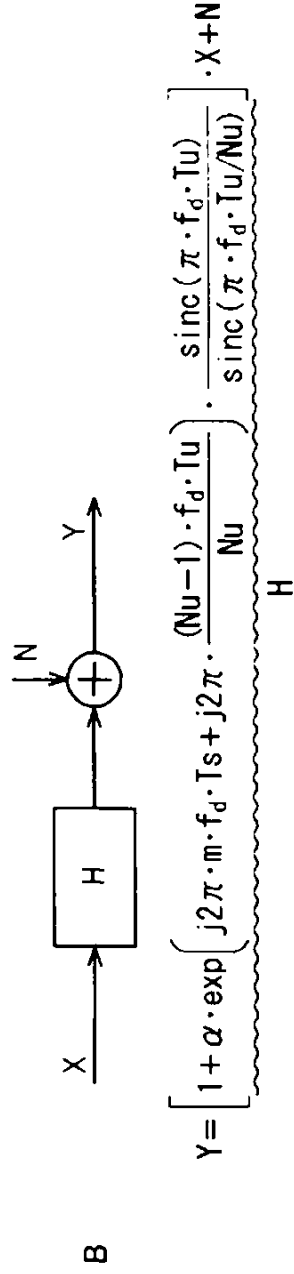
ŞEKİL 31

ŞEKİL 32

Flaterin EŞDEĞER İNDİRGENMİŞ MODELİ



OFDM SEMBOLLERİ BU KANALDA İLETİLİR VE ALIM TARAFIGI simülasyonu. FFT'DEN SONRA BİR TAŞIYICININ ÇIKARTILMASIYLA ELDE EDİLEN MODEL OLARAK GERÇEKLEŞTİRİR.

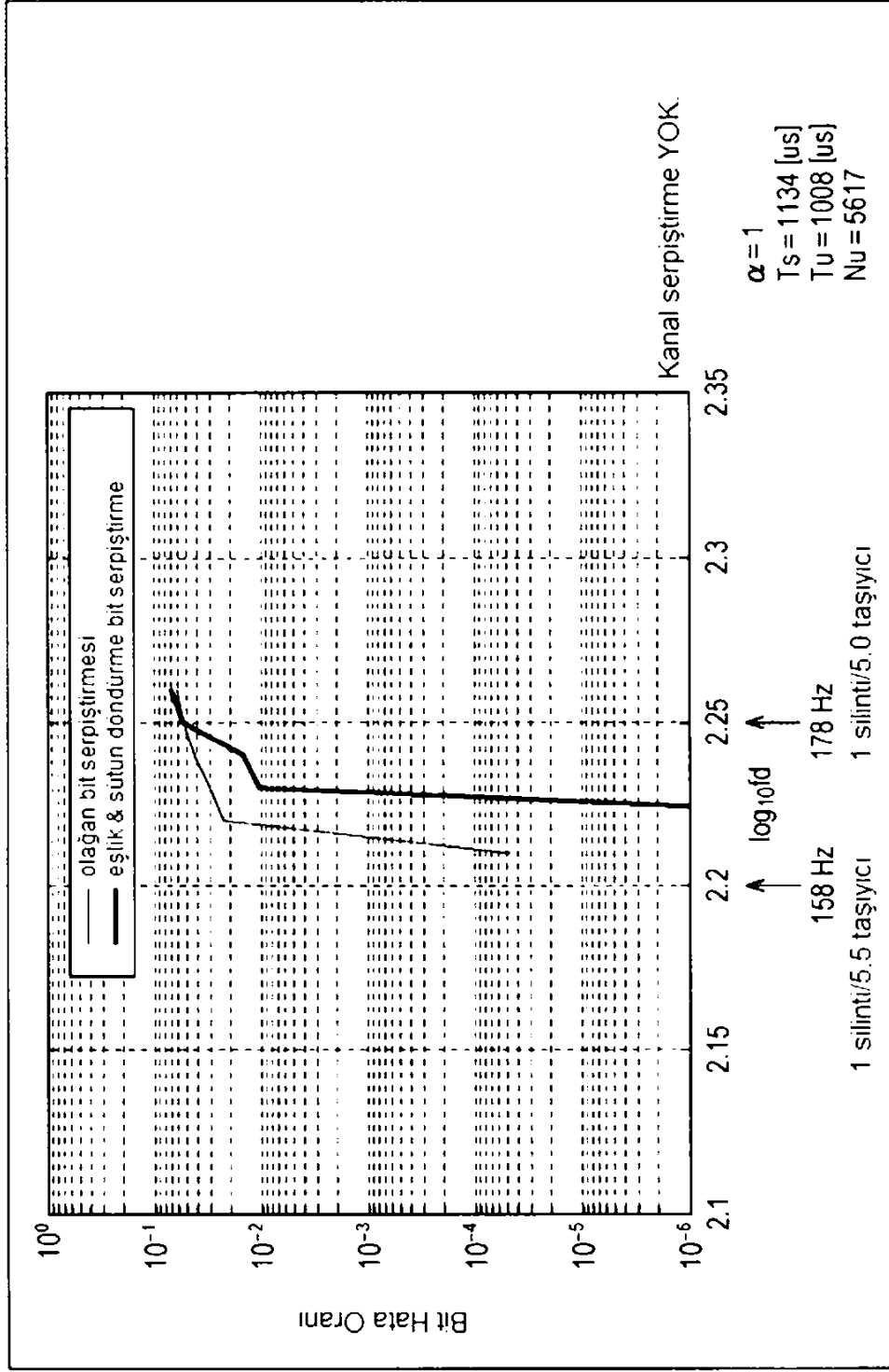


$$E[N^2] = \alpha^2 \cdot \left(1 - \left| \frac{\text{sinc}(\pi \cdot f_d \cdot Tu)}{\text{sinc}(\pi \cdot f_d \cdot Tu/Nu)} \right|^2 \right)$$

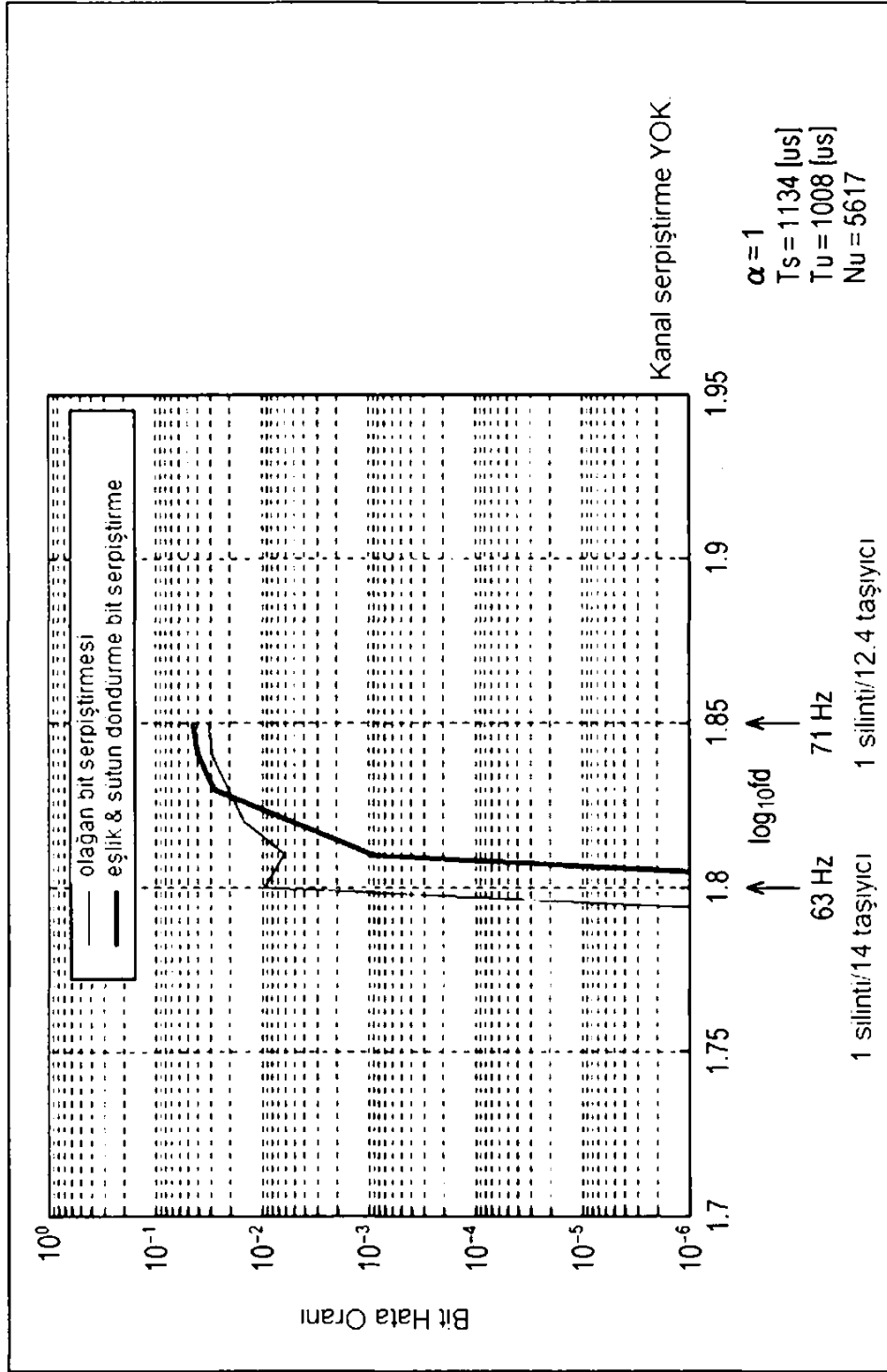
|C|'NİN KUVVETİ AWGN'YE YAKLAŞTIRILDI

m: sembol sayısı
 T_s : sembol uzunluğu (saniye)
 T_u : etkili sembol uzunluğu (saniye)
 N_u : OFDM taşıyıcılarının sayısı

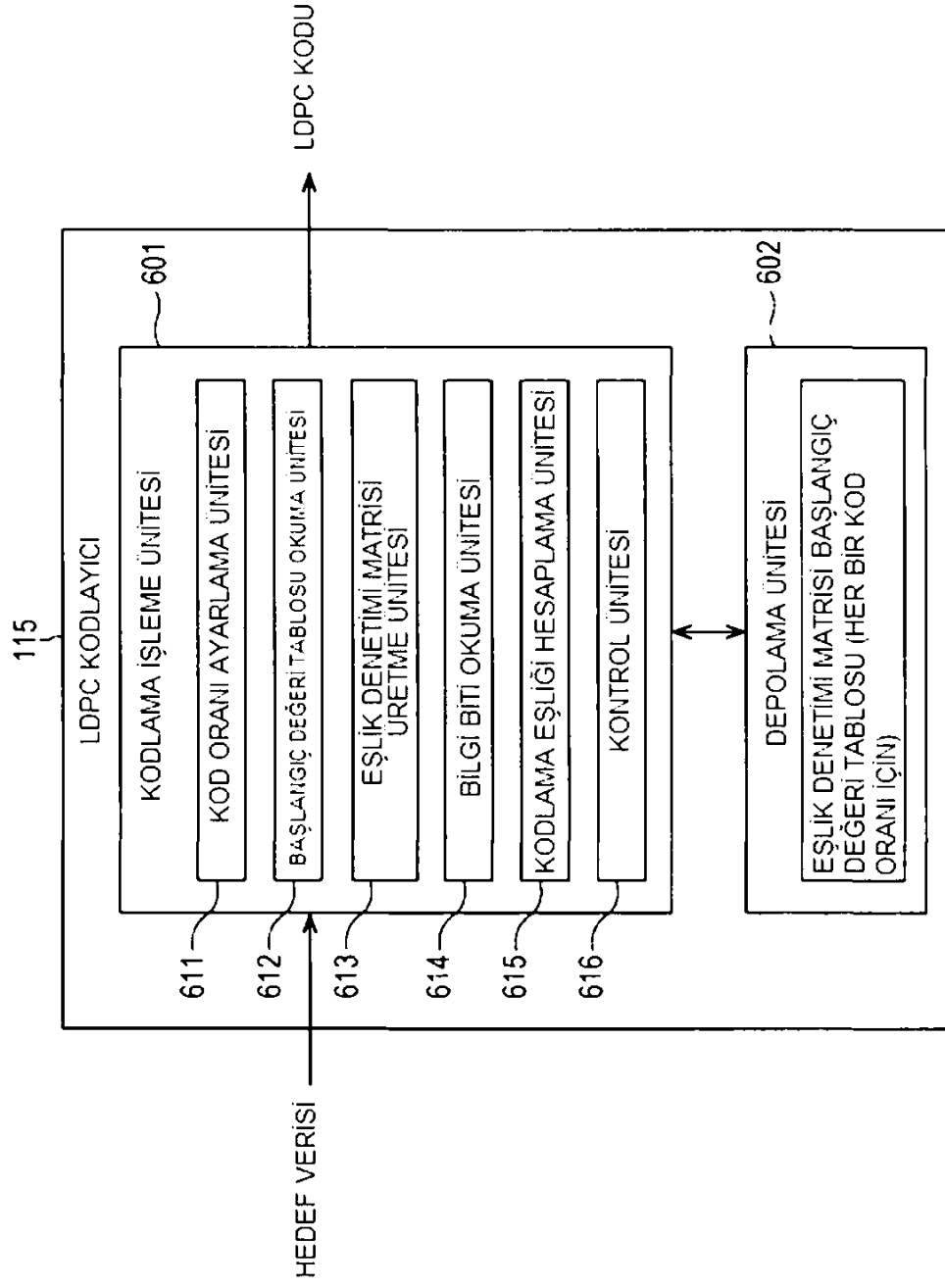
ŞEKİL 33



ŞEKİL 34



ŞEKİL 35



ŞEKİL 38

BİRİNCİ SUTUNDAN HER 360 SÜTÜN İÇİN EŞLİK DENETİMİ MATRİSİNİN
(YAPILANDIRMA MATRİSİ H_2) SÜTÜN SAYISINI RESMETMEKTEDİR

EŞLİK DENETİMİ MATRİSİNİN SIRA SAYISI

H_1 'NİN BİRİNCİ SÜTÜNÜ →	0	2084	1613	1548	1286	1460	3196	4297	2481	3369	3451	4620	2622
H_1 'NİN 361-NCİ SÜTÜNÜ →	1	122	1516	3448	2880	1407	1847	3799	3529	373	971	4358	3108
H_1 'NİN 721-NCİ SÜTÜNÜ →	2	259	3399	929	<u>2550</u>	864	3996	3833	107	5287	164	3125	2350
H_1 'NİN 1081-NCİ SÜTÜNÜ →	3	342	3529										
•	4	4198	2147										
•	5	1880	4836										
•	6	3864	4910										
•	7	243	1542										
•	8	3011	1436										
•	9	2167	2512										
•	10	4606	1003										
•	11	2835	705										
•	12	3426	2365										
•	13	3848	2474										
•	14	1360	1743										
•	0	163	2536										
•	1	2583	1180										
•	2	1542	509										
•	3	4418	1005										
•	4	5212	5117										
•	5	2155	2922										
•	6	347	2696										
•	7	226	4296										
•	8	1560	487										
•	9	3926	1640										
•	10	149	2928										
•	11	2364	563										
•	12	635	688										
•	13	231	1684										
•	14	1129	3894										

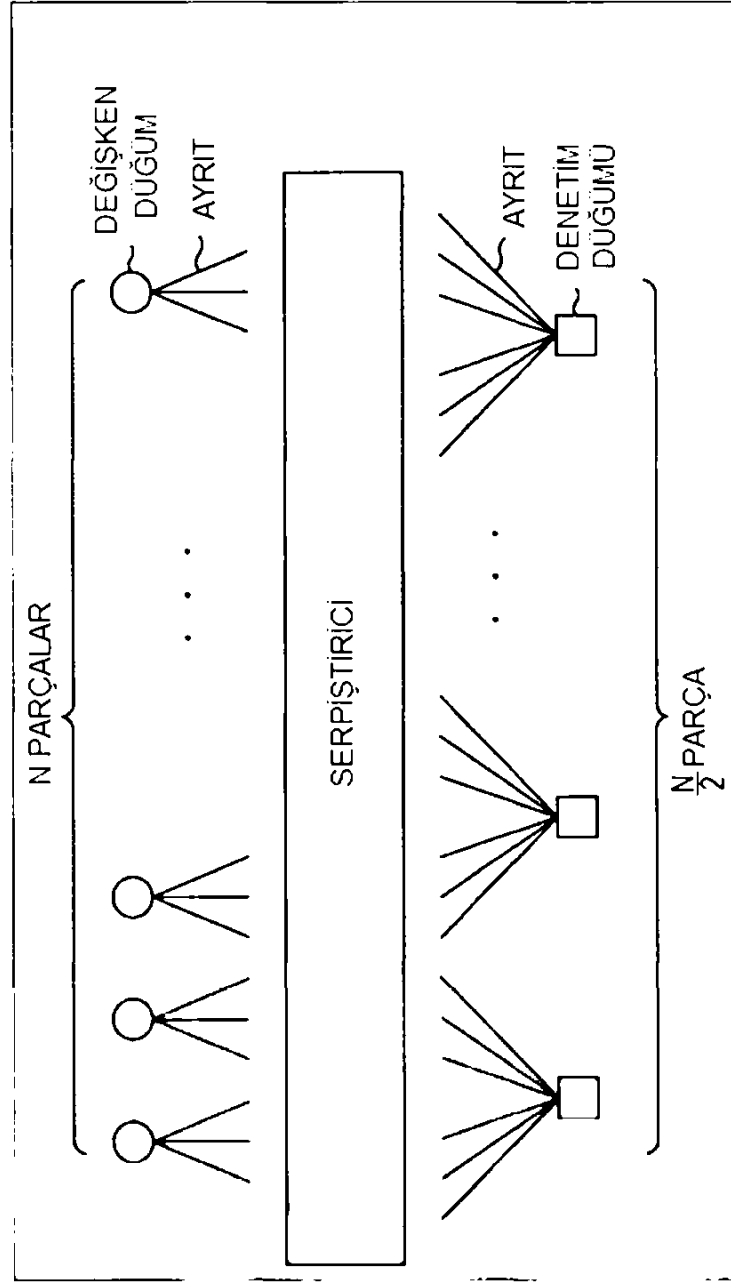
EŞLİK DENETİMİ MATRİSİ
BAŞLANGIÇ DEĞERİ TABLOSU

$h_{3,5}$

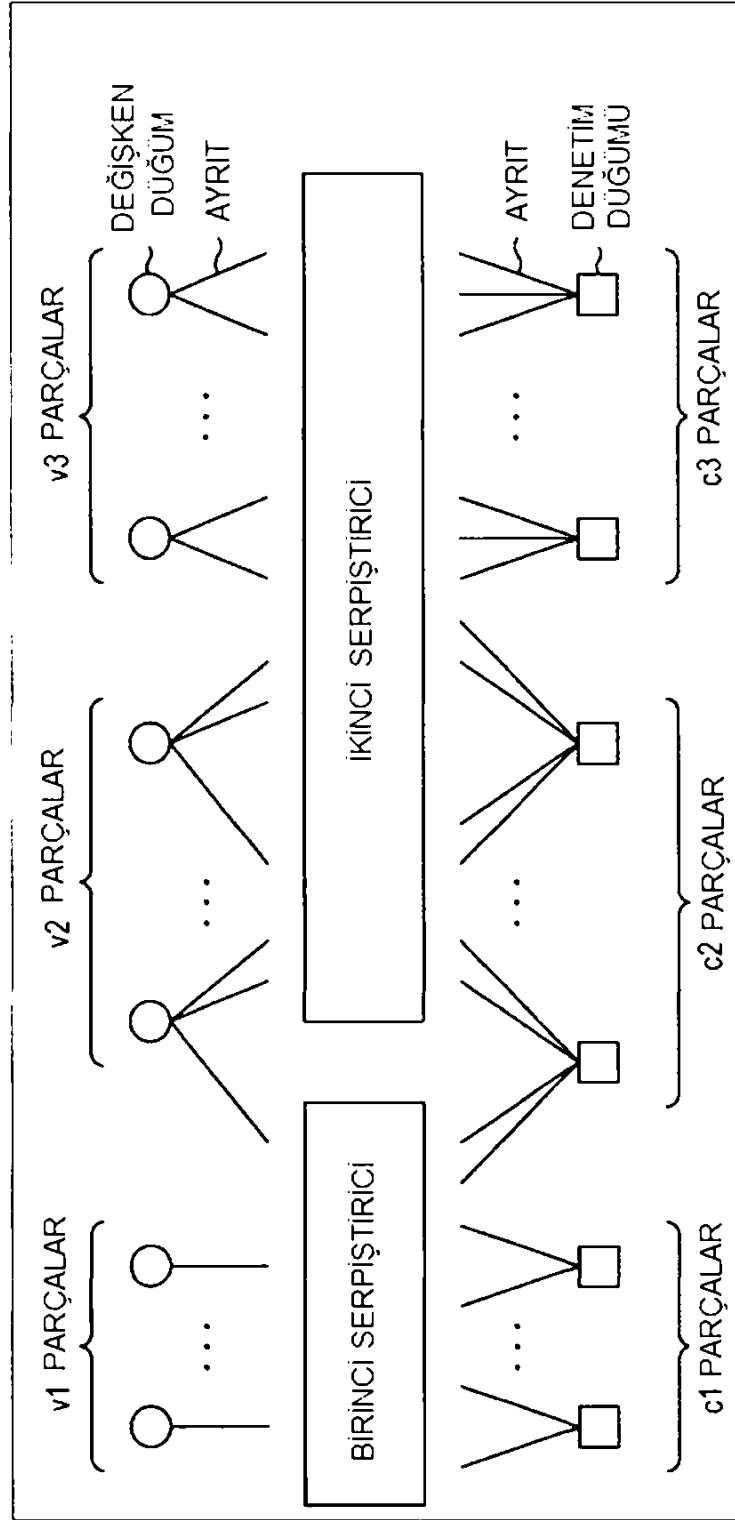
SEKIL 39

[illegible]

ŞEKİL 41

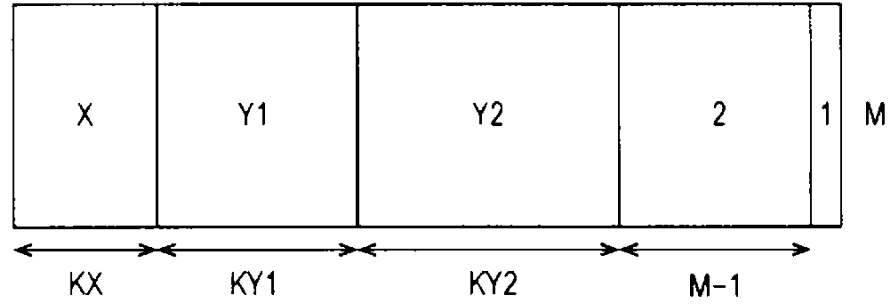


ŞEKİL 42



ŞEKİL 43

KOD ORANI	MİNİMUM ÇEVİRİM UZUNLUĞU	PERFORMANS EŞİĞİ (E_b/N_0)
7/15	6	0.36
8/15	6	0.64

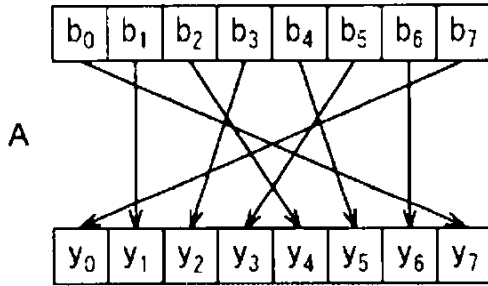
ŞEKİL 44

ŞEKİL 45

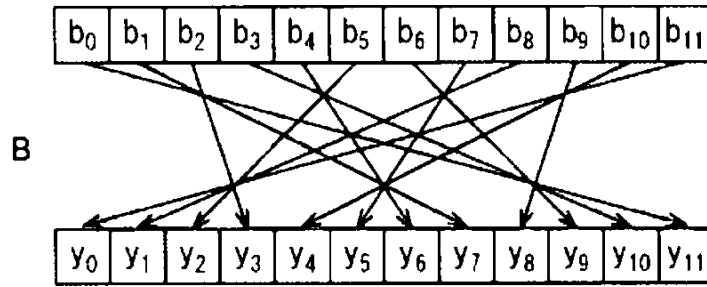
oran	X	KX	Y1	KY1	Y2	KY2	M
7/15	24	1440	4	2880	3	3240	8640
8/15	21	1800	4	1800	3	5040	7560

ŞEKİL 46

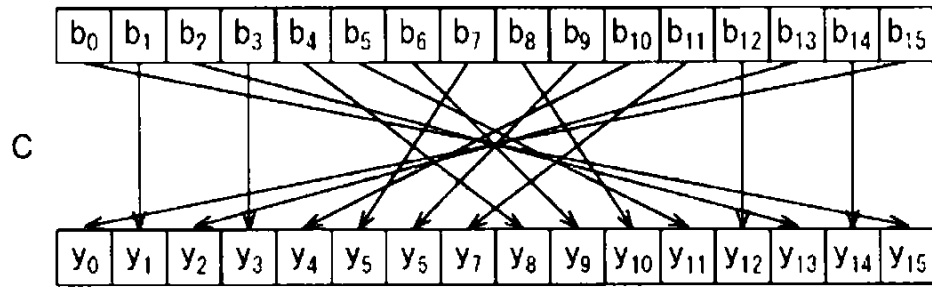
16QAM



64QAM



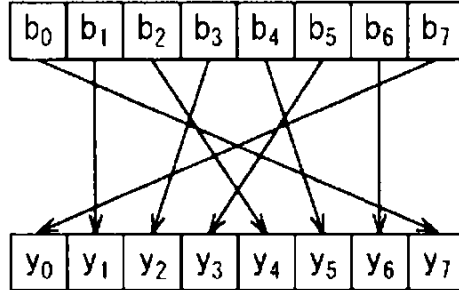
256QAM



ŞEKİL 47

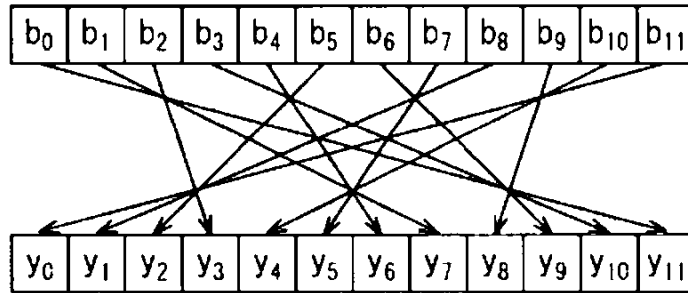
16QAM

A



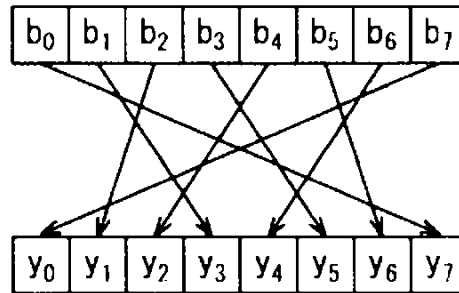
64QAM

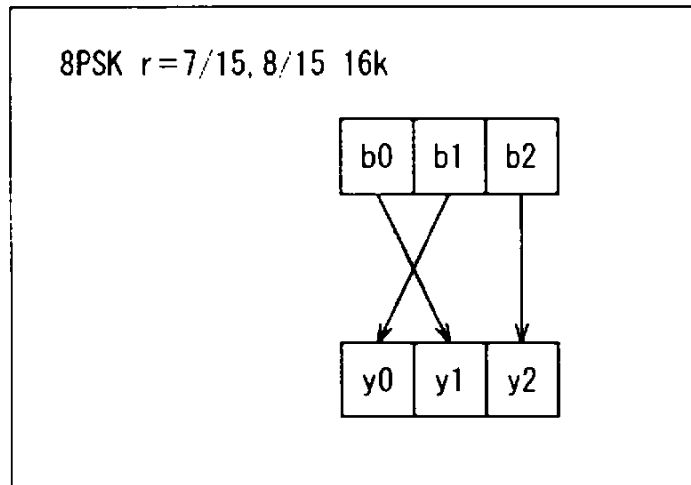
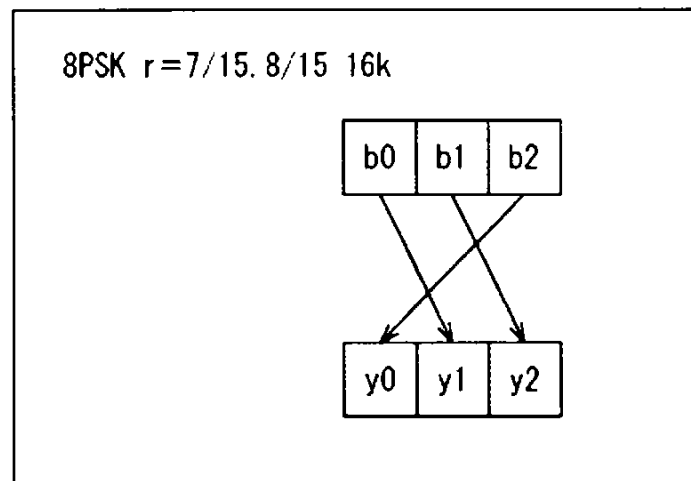
B



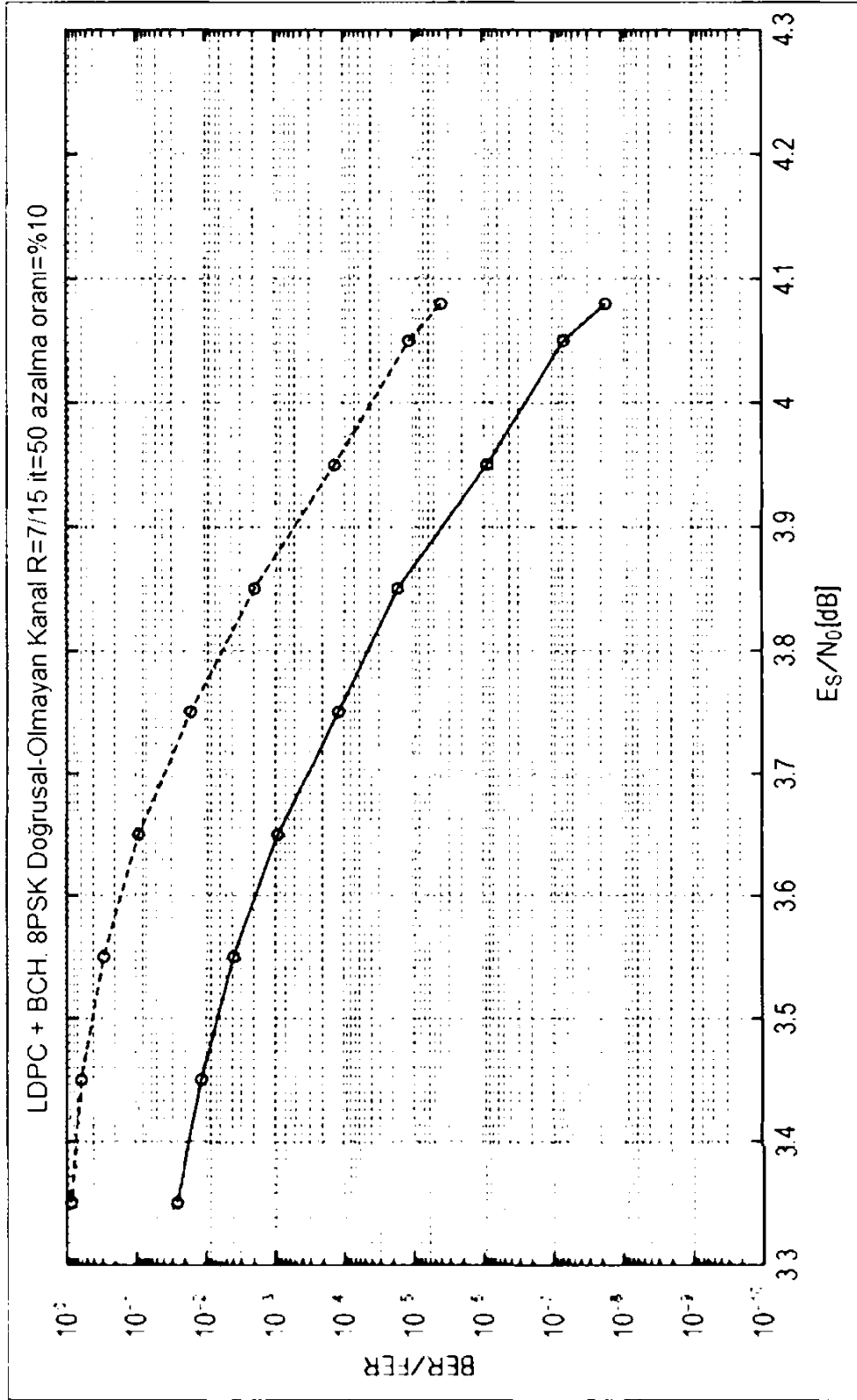
256QAM

C

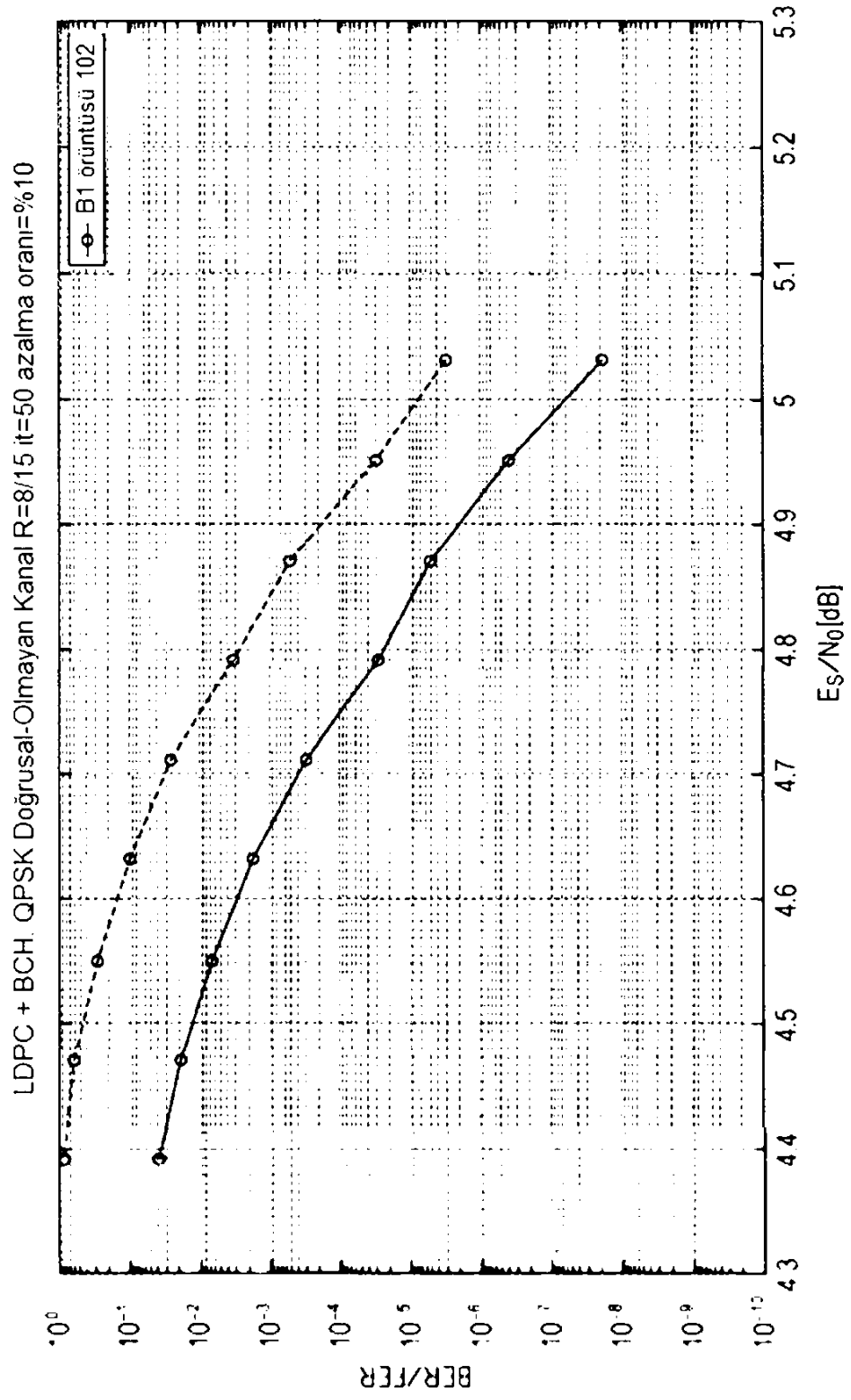


ŞEKİL 48**ŞEKİL 49**

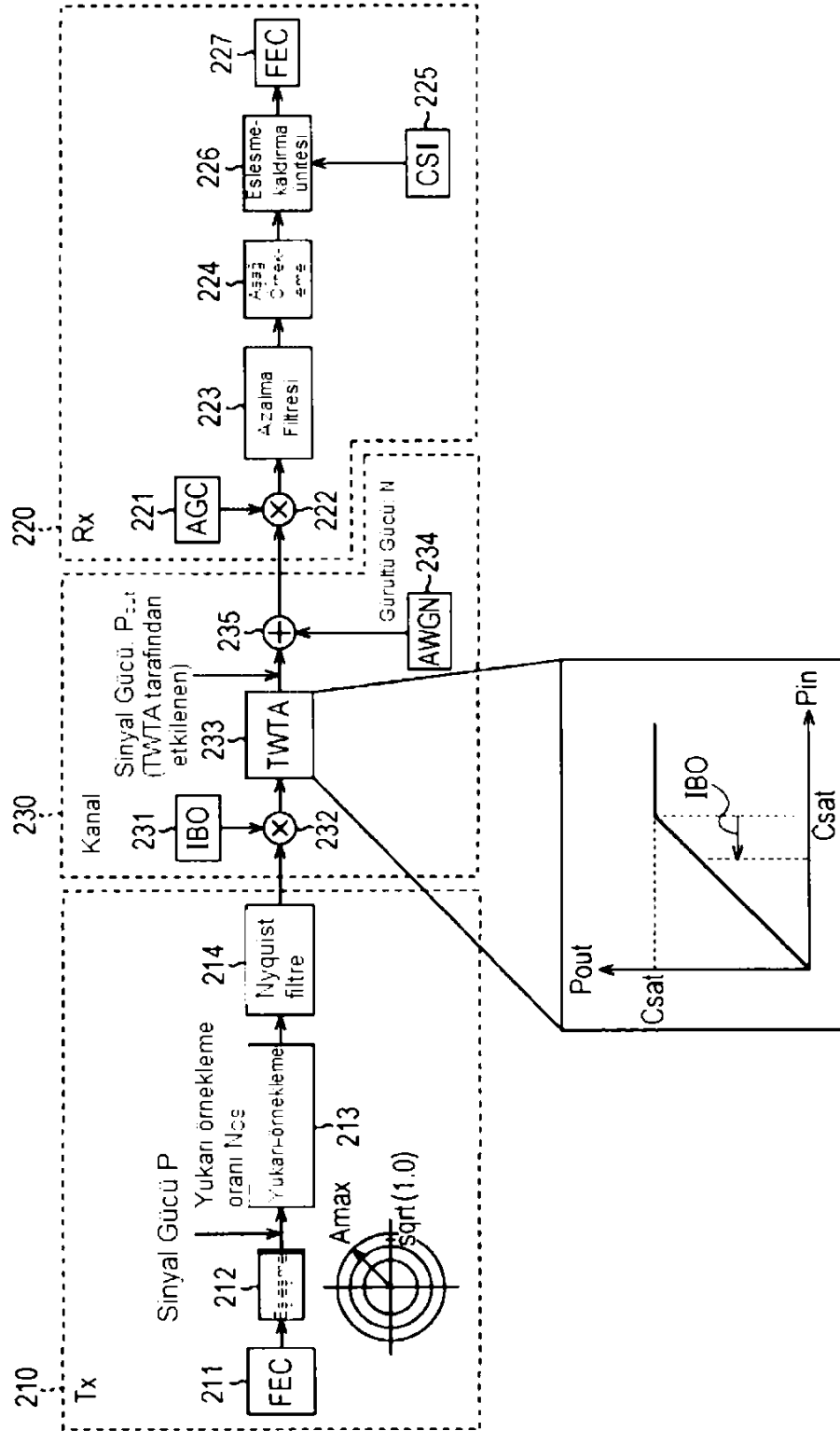
ŞEKİL 50

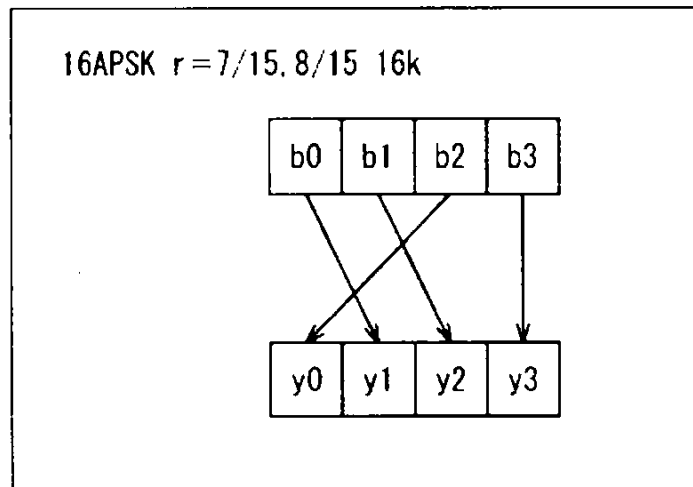
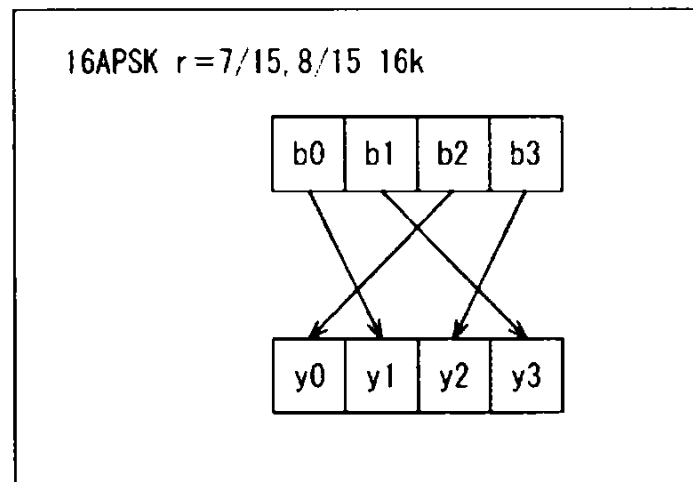


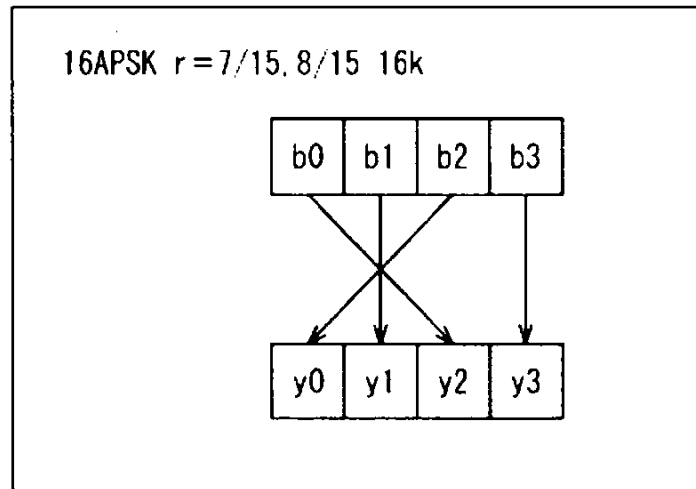
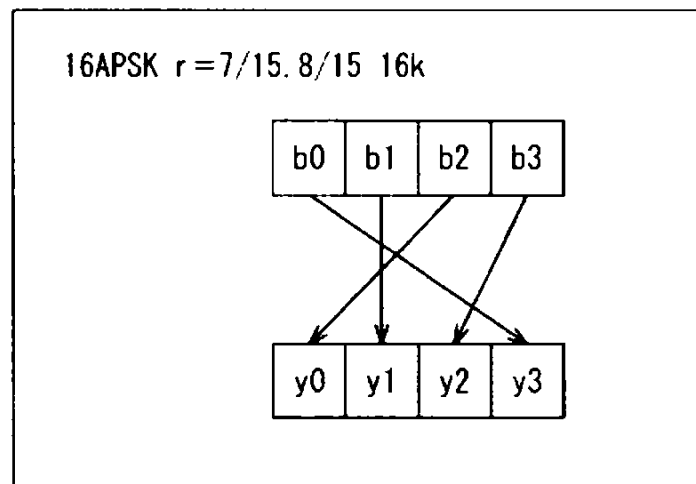
ŞEKİL 51

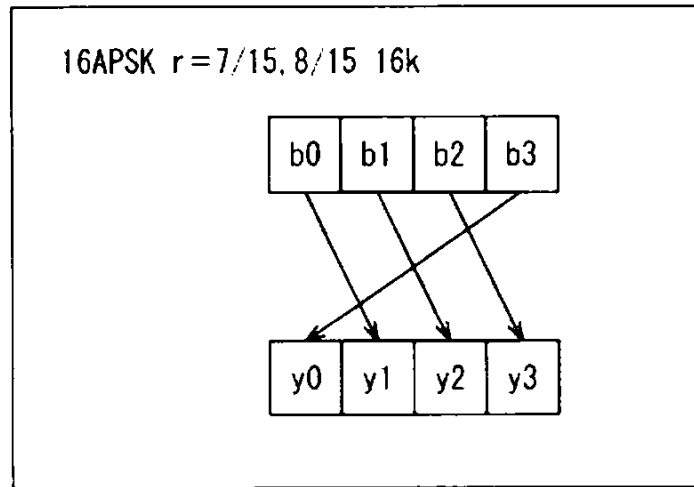
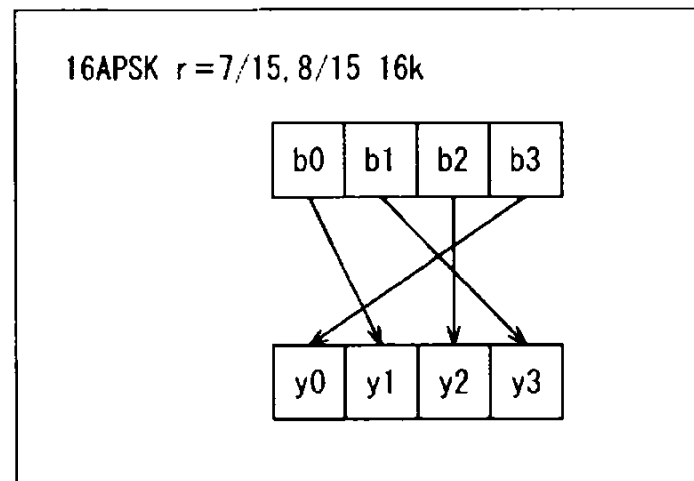


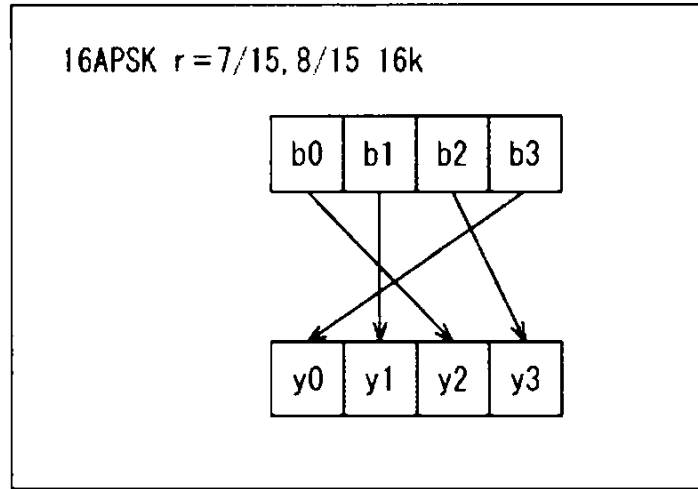
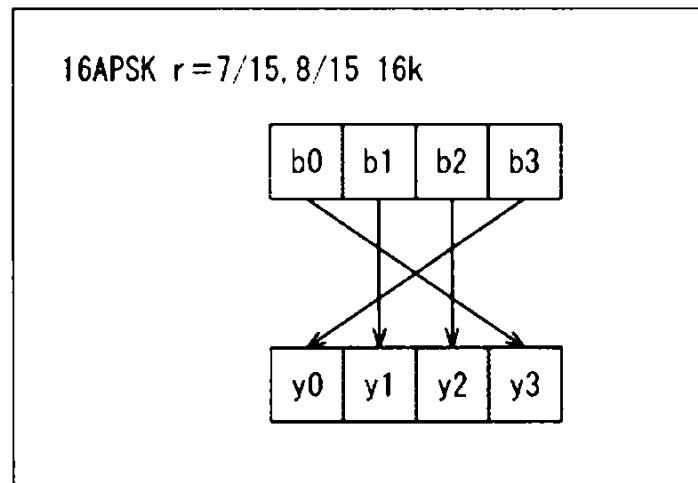
ŞEKİL 52



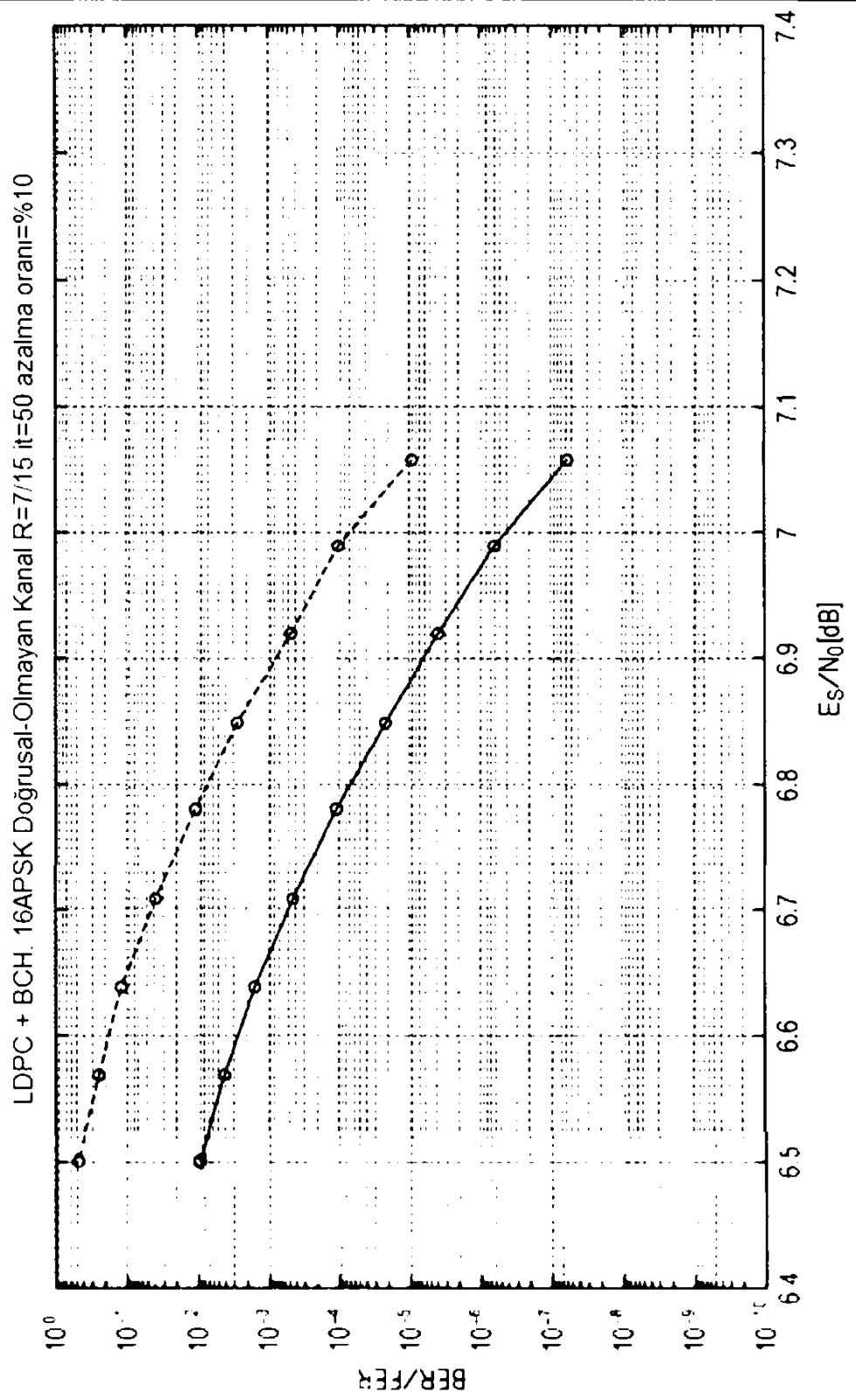
ŞEKİL 53**ŞEKİL 54**

ŞEKİL 55**ŞEKİL 56**

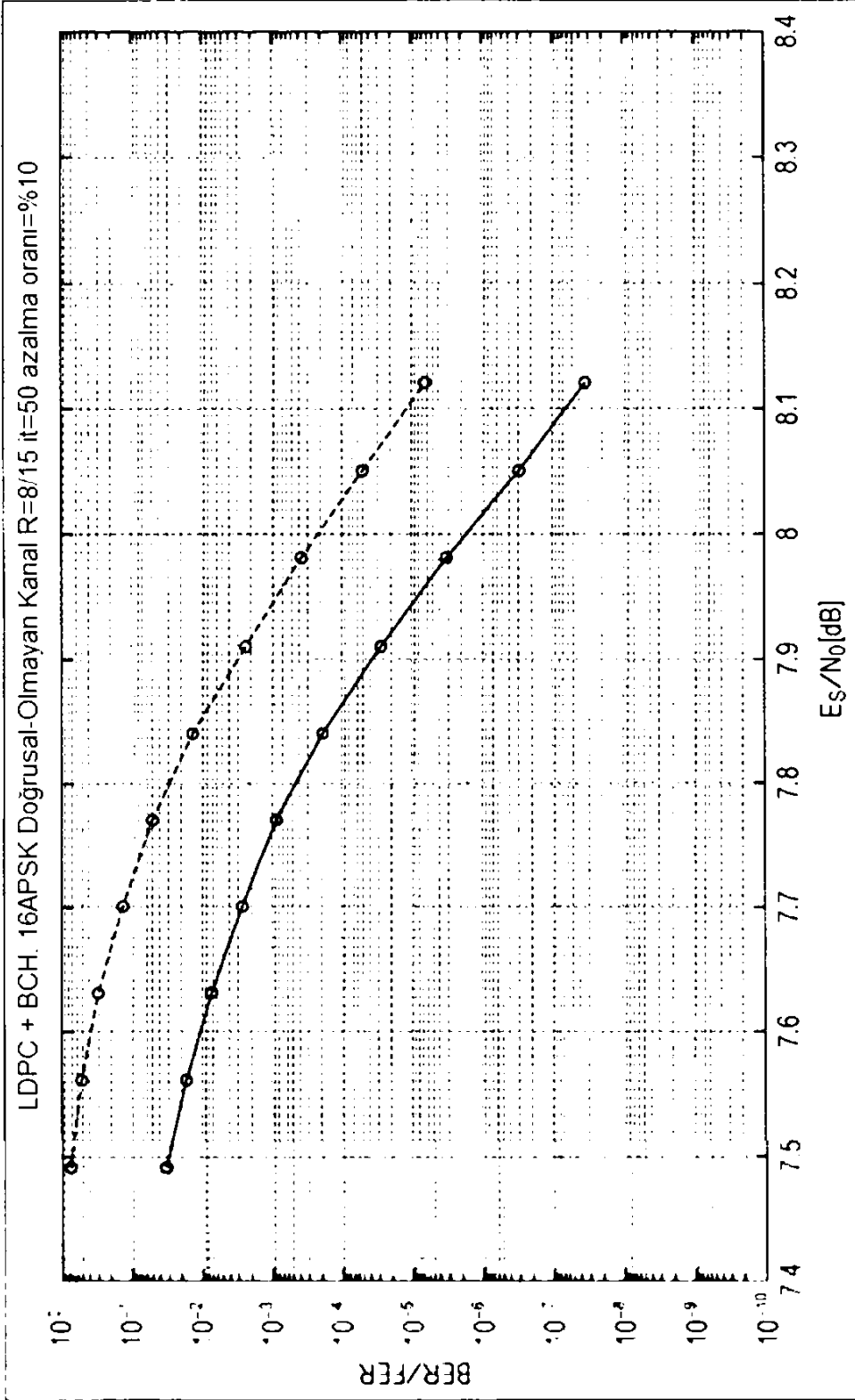
ŞEKİL 57**ŞEKİL 58**

ŞEKİL 59**ŞEKİL 60**

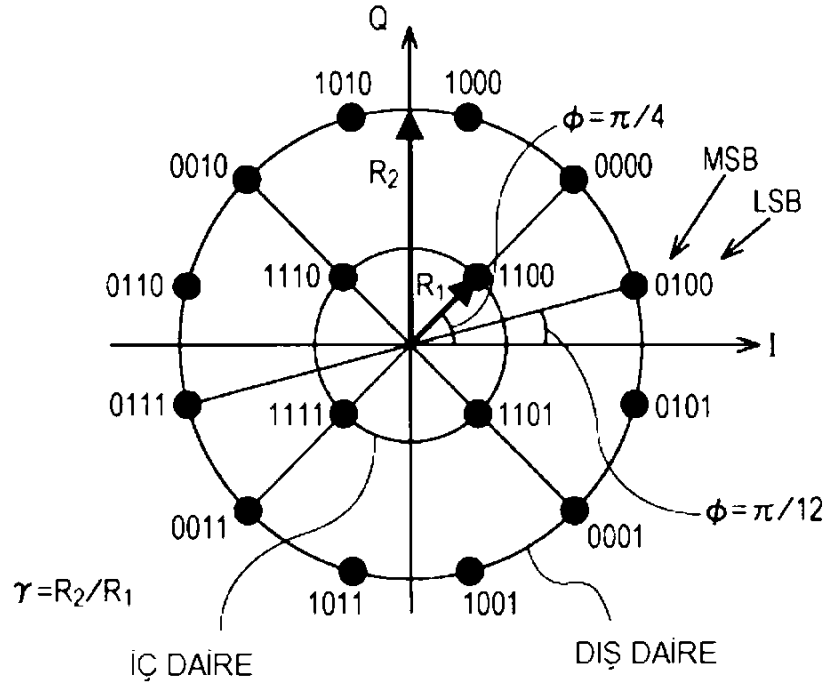
ŞEKİL 61



ŞEKİL 62

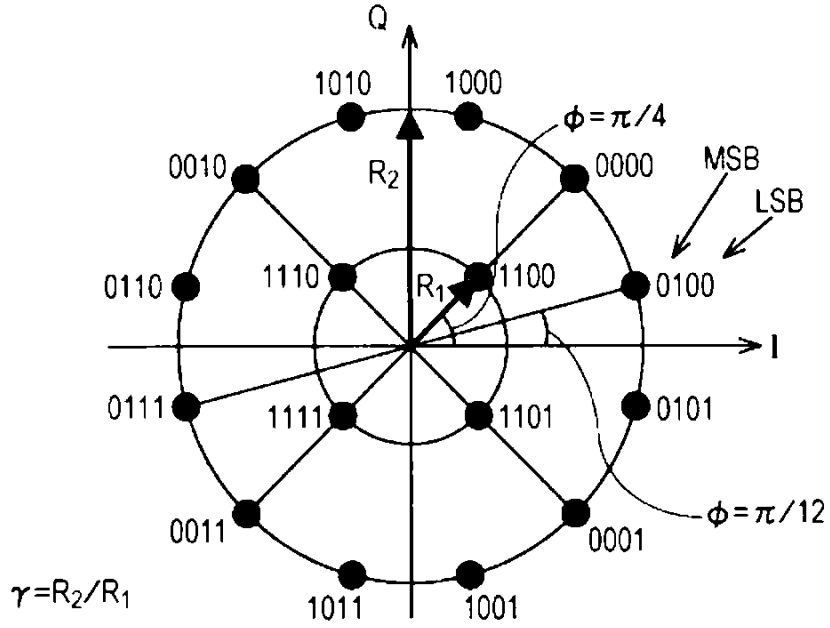


ŞEKİL 63



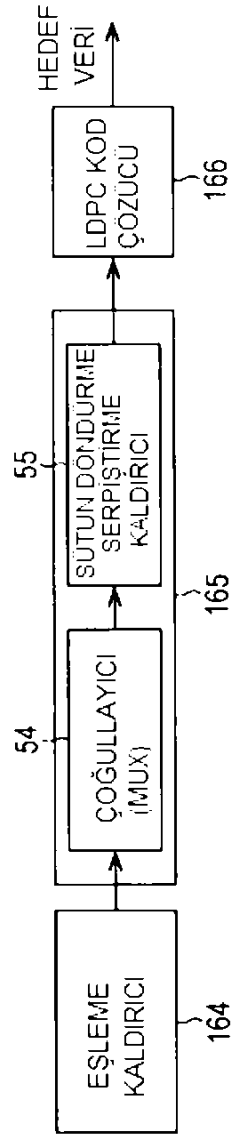
Kod oranı	Modülasyon/kodlama spektral etkililik	γ
7/15	1.83 (azalma oranı %10 OLDUĞUNDA 1.66)	5.25
8/15	2.10 (azalma oranı %10 OLDUĞUNDA 1.91)	4.85

ŞEKİL 64



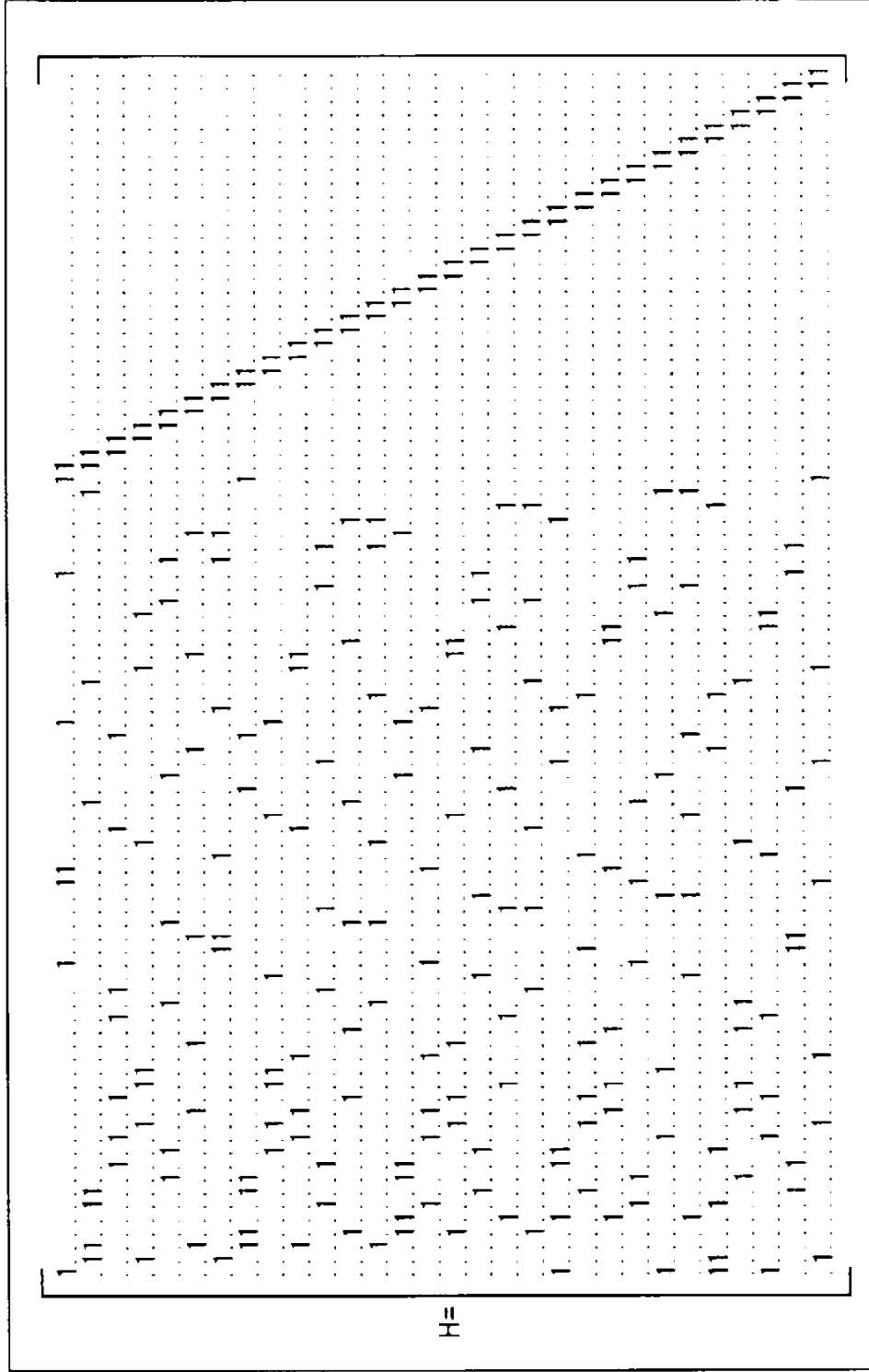
Kod oranı	Modülasyon/kodlama spektral etkililik	γ
7/15	1.83 (azalma oranı %10 OLDUĞUNDA 1.66)	3.32
8/15	2.10 (azalma oranı %10 OLDUĞUNDA 1.91)	3.50

ŞEKİL 66

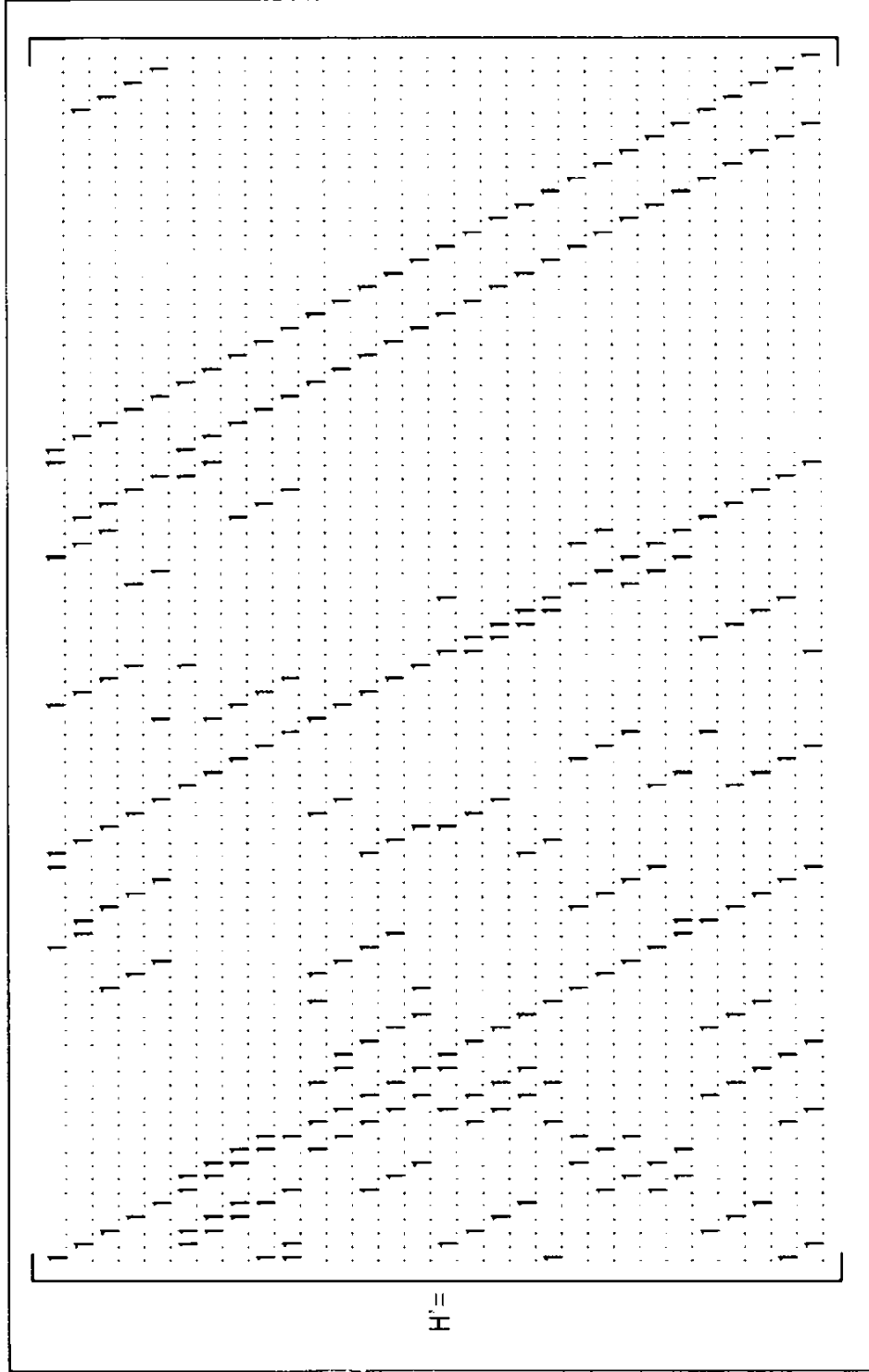


ŞEKİL 67

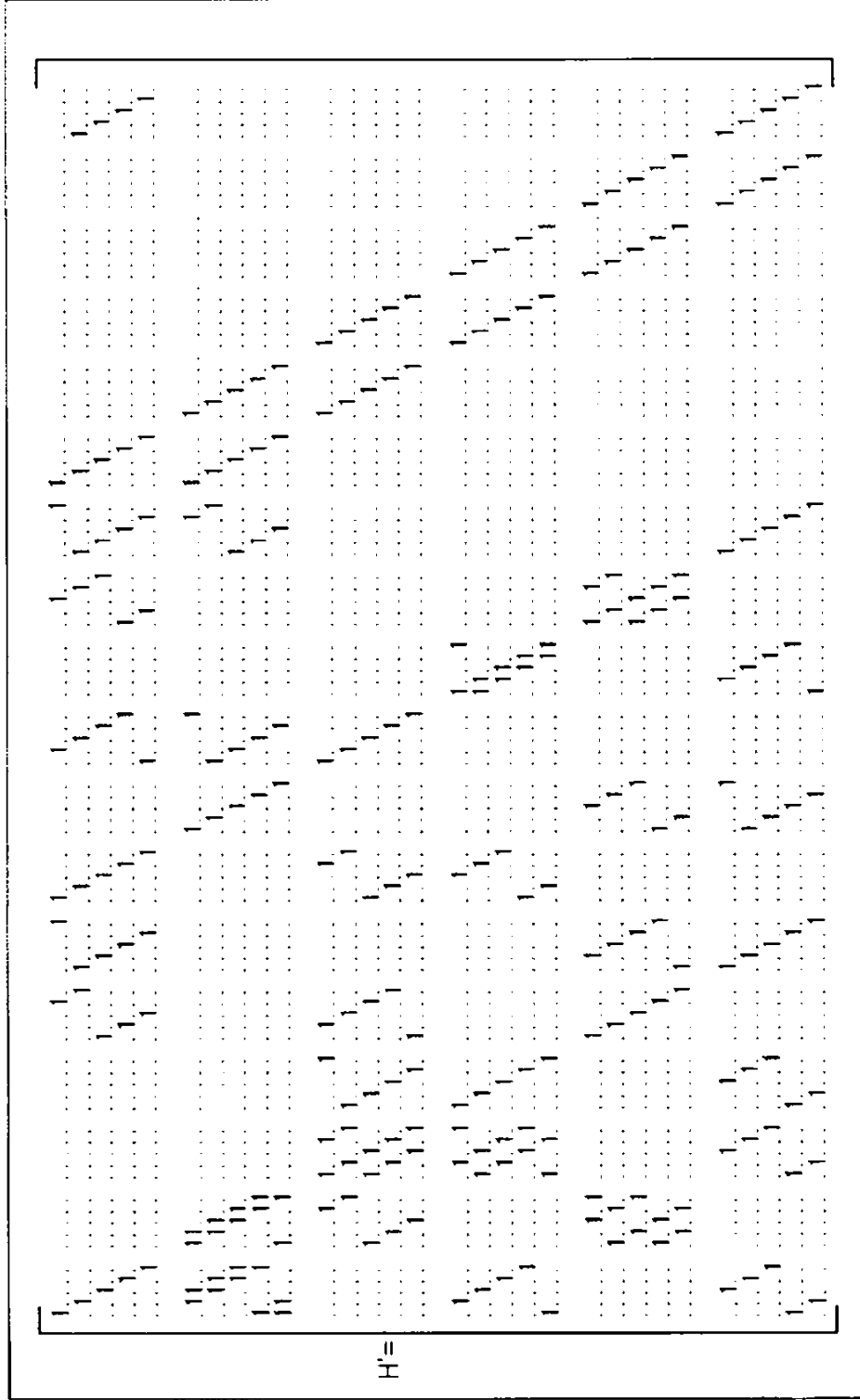
ŞEKİL 68



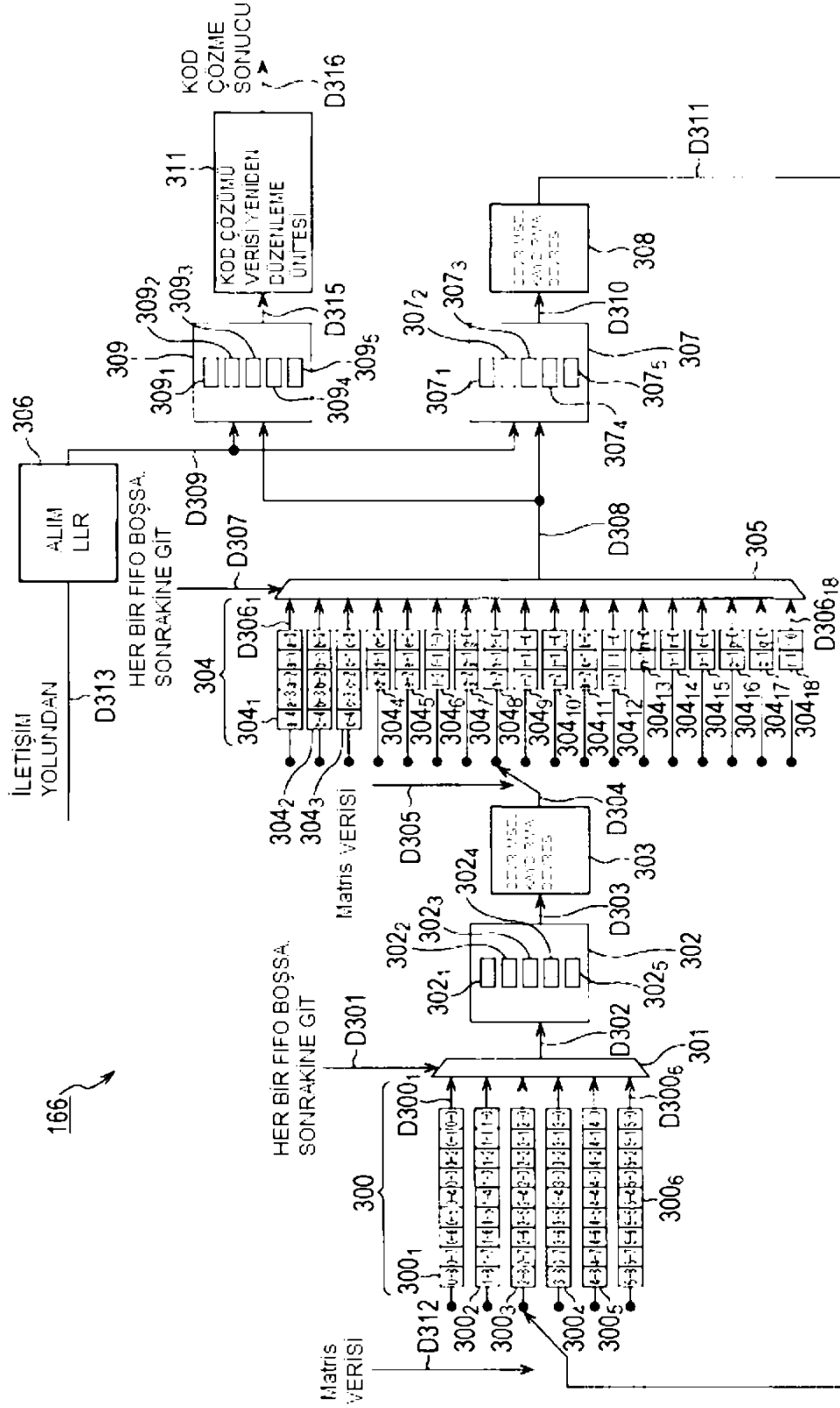
ŞEKİL 69



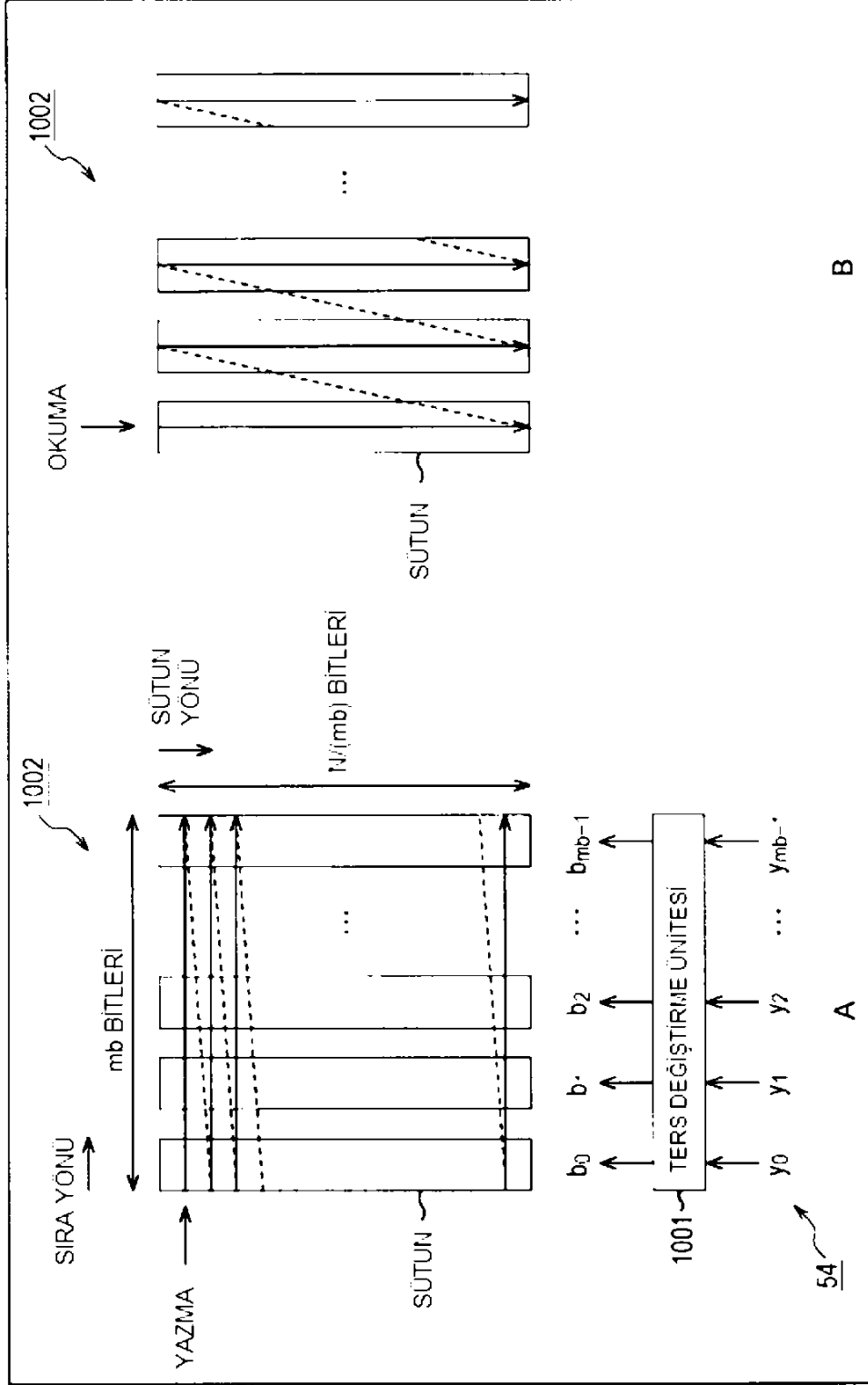
ŞEKİL 70



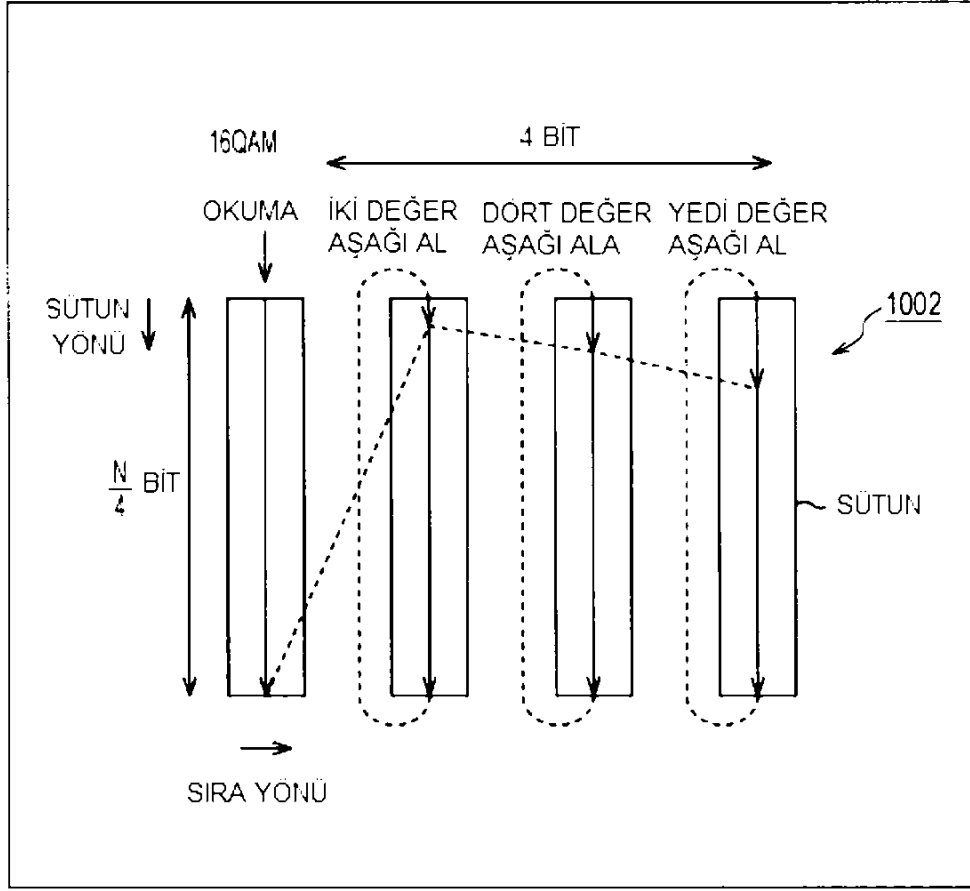
ŞEKİL 72



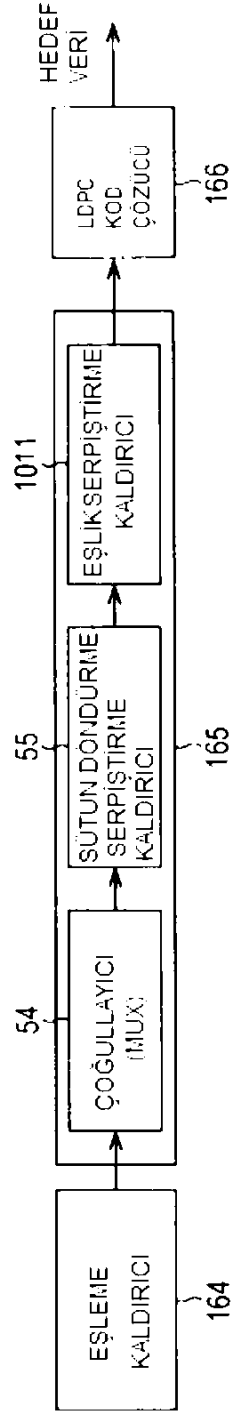
ŞEKİL 73



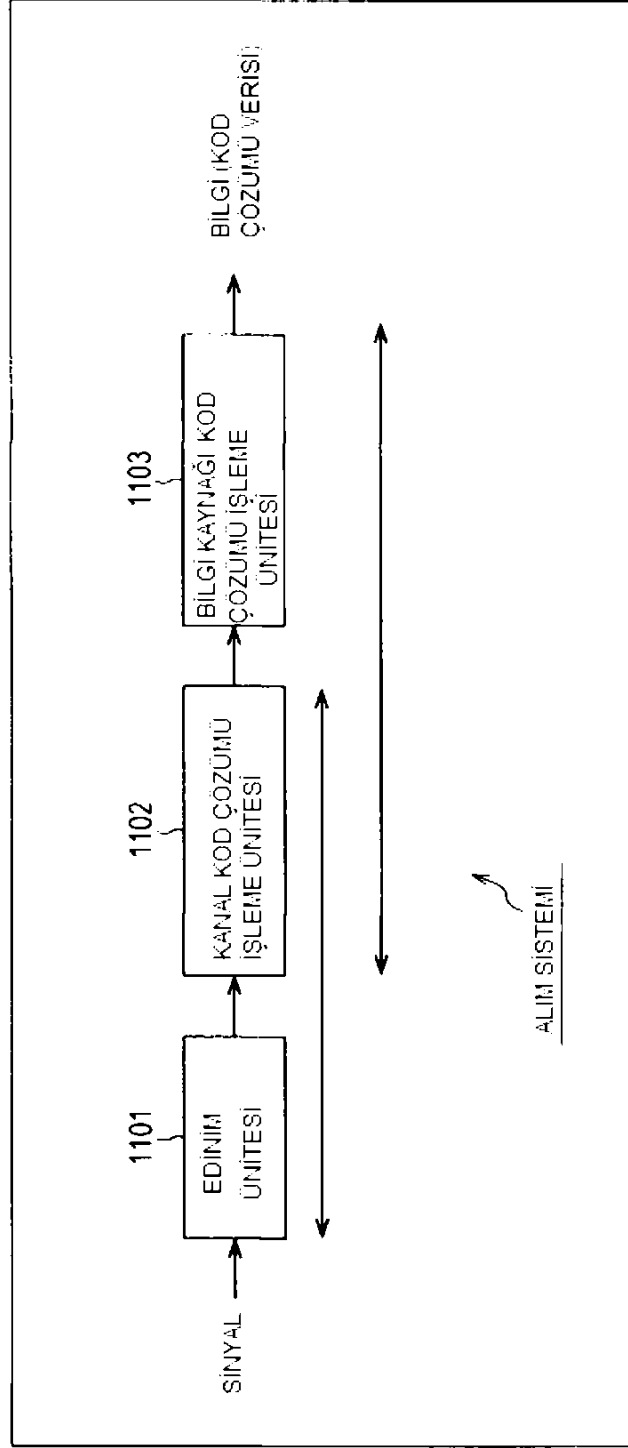
ŞEKİL 74



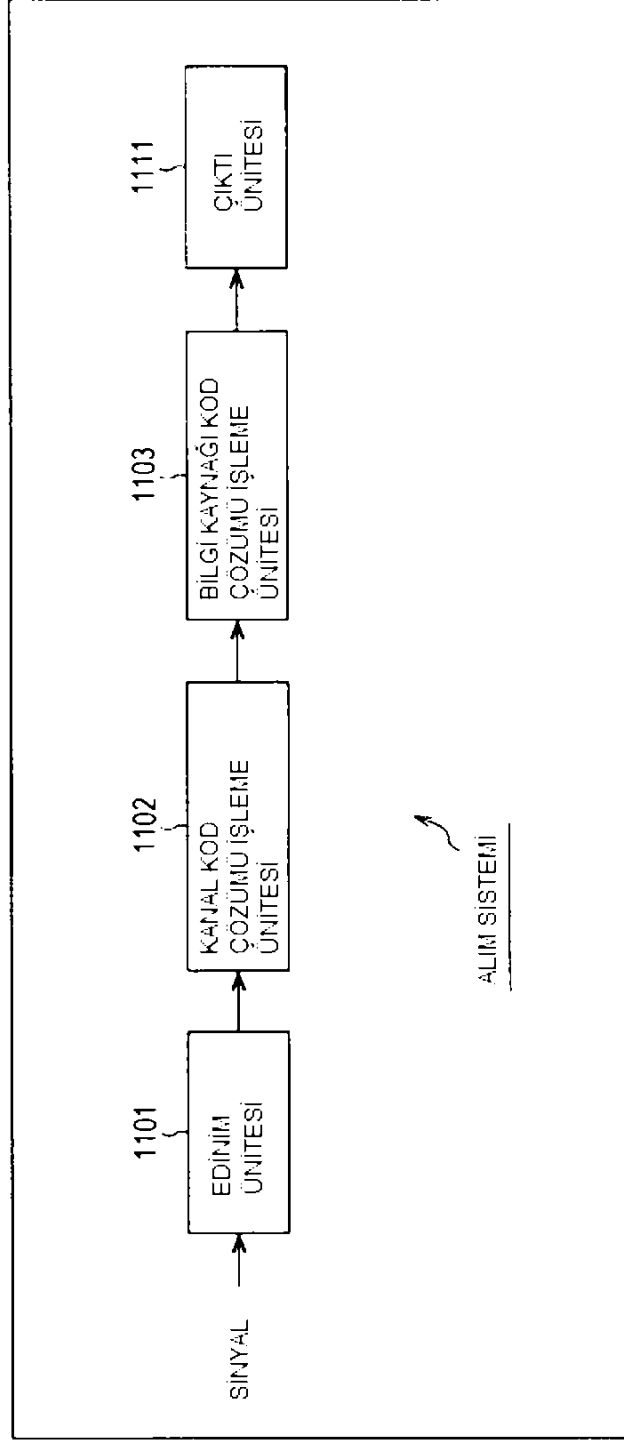
ŞEKİL 75



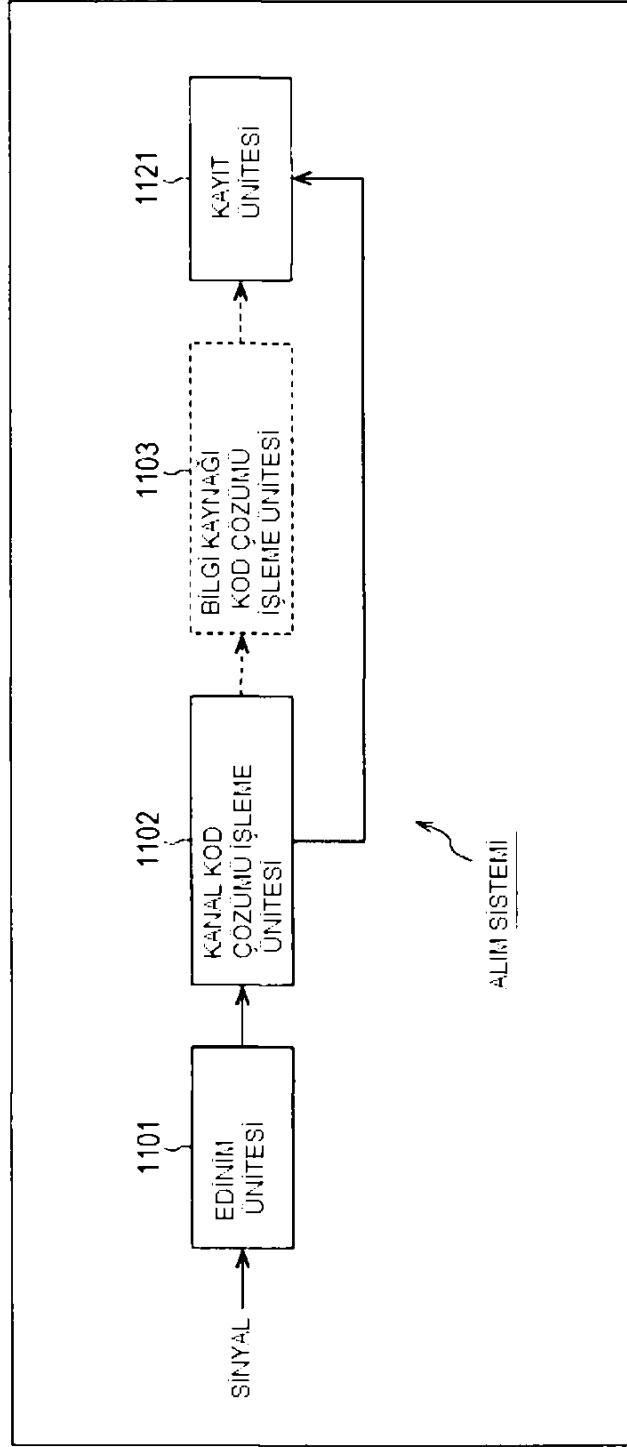
ŞEKİL 76



ŞEKİL 77



ŞEKİL 78



ŞEKİL 79

