

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
-

(57) 要約: [課題] F D 配線の容量カップリングによる電荷-電圧変換利得の低下を抑制する。
[解決手段] 固体撮像装置は、入射光を光電変換して電荷を蓄積する光電変換部と、前記光電変換部に蓄積された電荷を転送する第1トランジスタと、前記第1トランジスタで転送された電荷を保持する浮遊拡散層と、前記浮遊拡散層に保持された電荷を増幅する第2トランジスタと、前記浮遊拡散層に導通する導電層と、前記導電層と容量カップリングを生じさせるとともに、前記第2トランジスタのソースに導通する配線層と、を備える。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び電子機器に関する。

背景技術

[0002] フォトダイオードから浮遊拡散層に伝送される電荷の電荷－電圧変換利得を切り替えられるようにした撮像装置が提案されている（特許文献1 参照）。この種の撮像装置は、画素内に電荷－電圧変換利得を切り替えるためのトランジスタ（以下、電荷－電圧変換利得切替トランジスタ）を備えている。

先行技術文献

特許文献

[0003] 特許文献1：WO 2016／199588

発明の概要

発明が解決しようとする課題

[0004] しかしながら、画素内に電荷－電圧変換利得切替トランジスタを設けると、浮遊拡散層と増幅トランジスタのゲートとを接続する配線（以下、FD配線）が電荷－電圧変換利得切替トランジスタのゲートと近接して配置されて容量カップリングが大きくなり、電荷－電圧変換利得が低下する要因になる。

[0005] また、電荷－電圧変換利得切替トランジスタが存在しない画素でも、画素の微細化が進むと、FD配線とリセットトランジスタのゲートとが近接して容量カップリングが大きくなり、同様に電荷－電圧変換利得が低下する要因になる。

[0006] そこで、本開示では、FD配線の容量カップリングによる電荷－電圧変換利得の低下を抑制可能な固体撮像装置及び電子機器を提供するものである。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示によれば、入射光を光電変換して電

荷を蓄積する光電変換部と、

前記光電変換部に蓄積された電荷を転送する第1トランジスタと、

前記第1トランジスタで転送された電荷を保持する浮遊拡散層と、

前記浮遊拡散層に保持された電荷を増幅する第2トランジスタと、

前記浮遊拡散層に導通する導電層と、

前記導電層と容量カップリングを生じさせるとともに、前記第2トランジスタのソースに導通する配線層と、を備える、固体撮像装置が提供される。

[0008] 前記配線層の電位と前記導電層の電位とは連動して変動してもよい。

[0009] 前記配線層と前記導電層とは、絶縁層を介して同一の層に配置されてもよい。

[0010] 前記配線層は、前記導電層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置されてもよい。

[0011] 前記配線層と前記第2トランジスタのソースとを接続する、積層方向に延びるコンタクトを備え、

前記配線層は、前記コンタクト以外の導電部材とは距離を隔てて配置されてもよい。

[0012] 前記配線層は、前記導電層の少なくとも一部を取り囲むように配置されてもよい。

[0013] 前記導電層は、前記浮遊拡散層に接続される第1端部と、前記第2トランジスタのゲートに接続される第2端部とを有してもよい。

[0014] 電荷電圧変換利得を切り替えるか、又は前記浮遊拡散層の電荷を初期化する第3トランジスタを備え、

前記配線層の少なくとも一部は、前記第3トランジスタのゲートと前記導電層との間に配置されてもよい。

[0015] 前記配線層と、前記第3トランジスタのゲートに繋がるゲート配線層と、前記導電層とは、それぞれ絶縁層を介して同一の層に配置されてもよい。

[0016] 前記配線層と前記導電層とは、絶縁層を介して積層方向に互いに異なる層に配置され、

前記配線層と前記第3トランジスタのゲートに繋がるゲート配線層とは、絶縁層を介して同一の層に配置されてもよい。

[0017] 前記配線層と前記導電層とは、絶縁層を介して同一の層に配置され、

前記配線層と前記第3トランジスタのゲートに繋がるゲート配線層とは、絶縁層を介して積層方向に互いに異なる層に配置されてもよい。

[0018] 前記第3トランジスタのゲートが配置される層は、前記配線層及び前記導電層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置されてもよい。

[0019] 前記配線層と前記導電層とは、前記第3トランジスタのゲート配線層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置されてもよい。

[0020] 前記導電層と前記第3トランジスタのゲート配線層とは、絶縁層を介して同一の層に配置され、

前記配線層は、前記導電層と前記第3トランジスタのゲート配線層とは異なる層に配置されてもよい。

[0021] 前記配線層は、前記導電層と前記第3トランジスタのゲート配線層とよりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置されてもよい。

[0022] 前記配線層及び前記第2トランジスタのゲートとは積層方向に異なる層に配置される導電部材を備え、

前記配線層は、前記第2トランジスタのゲートと前記導電部材との間の層に配置されてもよい。

[0023] 第1及び第2の容量素子と、

所定のリセットレベルと露光量に応じた信号レベルとを順に生成して前記第1及び第2の容量素子のそれぞれに保持させる前段回路と、

前記第1及び第2の容量素子の一方を所定の後段ノードに接続する制御と前記第1及び第2の容量素子の両方を前記後段ノードから切り離す制御と前記第1及び第2の容量素子の他方を前記後段ノードに接続する制御とを順に

行う選択回路と、

前記第 1 及び第 2 の容量素子の両方が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

前記後段ノードを介して前記リセットレベル及び前記信号レベルを前記第 1 及び第 2 の容量素子から順に読み出して出力する後段回路とを備え、

前記前段回路は、前記光電変換部、前記第 1 トランジスタ、前記浮遊拡散層、前記第 2 トランジスタ、前記導電層、及び前記配線層を有してもよい。

[0024] 本開示によれば、画素エリア内に入射した光を光電変換した画素信号を出力する固体撮像装置と、

前記画素信号に基づいて信号処理を行う信号処理部と、を備え、

前記固体撮像装置は、

入射光を光電変換して電荷を蓄積する光電変換部と、

前記光電変換部に蓄積された電荷を転送する第 1 トランジスタと、

前記第 1 トランジスタで転送された電荷を保持する浮遊拡散層と、

前記浮遊拡散層に保持された電荷を増幅する第 2 トランジスタと、

前記浮遊拡散層に導通する導電層と、

前記導電層と容量カップリングを生じさせるとともに、前記第 2 トランジスタのソースに導通する配線層と、を有する、電子機器が提供されてもよい。

図面の簡単な説明

[0025] [図1]一実施形態に係る固体撮像装置の概略構成を示すブロック図。

[図2]画素アレイ部内の各画素の回路図。

[図3]画素の撮像タイミングを示すタイミング図。

[図4]画素の回路部分のレイアウト図。

[図5A] F D 配線と増幅トランジスタの近傍の断面図。

[図5B] F D 配線と利得切替トランジスタのゲートの近傍の断面図。

[図6]フィードスルーを説明する図。

[図7]第 1 の実施形態に係る画素の回路部分の平面レイアウト図。

[図8A]図 7 の A－B 線断面図。

[図8B]図 7 の C－D 線断面図。

[図9]図 7 の一変形例に係るレイアウト図。

[図10]図 9 の C－D 線断面図。

[図11]第 2 の実施形態に係る画素の回路部分のレイアウト図。

[図12]図 1 1 の A－B 線断面図。

[図13]第 3 の実施形態に係る画素の回路部分のレイアウト図。

[図14]図 1 3 の A－B 線断面図。

[図15]図 1 3 の一変形例に係るレイアウト図。

[図16]図 1 5 の A－B 線断面図。

[図17]第 5 の実施の形態における画素の一構成例を示す回路図。

[図18]車両制御システムの概略的な構成の一例を示すブロック図。

[図19]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

発明を実施するための形態

[0026] 以下、図面を参照して、固体撮像装置及び電子機器の実施形態について説明する。以下では、固体撮像装置及び電子機器の主要な構成部分を中心に説明するが、固体撮像装置及び電子機器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0027] 図 1 は本開示の一実施形態に係る固体撮像装置 1 の概略構成を示すブロック図である。図 1 の固体撮像装置 1 は、画素アレイ部 2 と、垂直駆動回路 3 と、カラム信号処理回路 4 と、水平駆動回路 5 と、出力回路 6 と、制御回路 7 とを備えている。

[0028] 画素アレイ部 2 は、行（ロウ）方向及び列（カラム）方向に配置された複数の画素 10 と、列方向に延びる複数の信号線 L 1 と、行方向に延びる複数の行選択線 L 2 とを有する。

[0029] 垂直駆動回路 3 は、複数の行選択線 L 2 を駆動する。具体的には、垂直駆動回路 3 は、複数の行選択線 L 2 に線順次に駆動信号を供給して、各行選択

線L 2を線順次に選択する。

- [0030] カラム信号処理回路4には、列方向に延びる複数の信号線L 1が接続されている。カラム信号処理回路4は、複数の信号線L 1を介して供給される複数の画素信号をアナログーデジタル（A D）変換する。より詳細には、カラム信号処理回路4は、各信号線L 1上の画素信号を参照信号と比較して、画素信号と参照信号の信号レベルが一致するまでの時間に基づいて、デジタル画素信号を生成する。カラム信号処理回路4は、画素内の浮遊拡散層のリセットレベルのデジタル画素信号（P相信号）と、画素信号レベルのデジタル画素信号（D相信号）を順次に生成し、相関二重サンプリング（C D S : Correlated Double Sampling）を行う。
- [0031] 水平駆動回路5は、カラム信号処理回路4の出力信号を出力回路6に転送するタイミングを制御する。
- [0032] 制御回路7は、垂直駆動回路3、カラム信号処理回路4、及び水平駆動回路5を制御する。制御回路7は、カラム信号処理回路4がA D変換を行うために使用する参照信号を生成する。
- [0033] 図2は画素アレイ部2内の各画素10の回路図である。図2の画素10は、フォトダイオードP Dと、浮遊拡散層（F D : Floating Diffusion）と、転送トランジスタ（第1トランジスタ）Q 1と、増幅トランジスタ（第2トランジスタ）Q 2と、電荷－電圧変換利得切替トランジスタ（以下、利得切替トランジスタ、第3トランジスタ）Q 3と、リセットトランジスタ（第3トランジスタ）Q 4と、選択トランジスタQ 5と、排出トランジスタQ 6とを有する。画素10内の各トランジスタQ 1～Q 6は、例えばN M O S（N-channel Metal Oxide Semiconductor）トランジスタである。
- [0034] フォトダイオードP Dは、入射光を光電変換して得られる電荷を蓄積する。転送トランジスタQ 1は、転送ゲートT R Gがハイのときに、フォトダイオードP Dの蓄積電荷を浮遊拡散層F Dに転送する。増幅トランジスタQ 2のゲートA M Pは、浮遊拡散層F Dの蓄積電荷に応じた電位に設定される。増幅トランジスタQ 2のソースは選択トランジスタQ 5のドレインに接続さ

れ、選択トランジスタQ5のソースは信号線L1に接続されている。増幅トランジスタQ2と選択トランジスタQ5は、ソースフォロワ回路を構成しており、信号線L1の電位は、浮遊拡散層FDの電位に応じて変動する。

[0035] 利得切替トランジスタQ3のソースは浮遊拡散層FDに接続され、ドレインはリセットトランジスタQ4のソースに接続されるとともに画素内容量C1の一端に接続されている。利得切替トランジスタQ3のゲートFDGには、変換利得切替信号が入力される。変換利得切替信号がハイになると、利得切替トランジスタQ3がオンし、浮遊拡散層FDと画素内容量C1が並列に接続され、光電変換された電荷を蓄積可能な容量が増えることから、変換利得が低くなる。利得切替トランジスタQ3をオフすると、光電変換された電荷は浮遊拡散層FDのみに蓄積されるため、変換利得が大きくなる。利得切替トランジスタQ3がオンのときはLCG (Low-Conversion-Gain) 駆動モードと呼ばれ、オフのときはHCG (High-Conversion-Gain) 駆動モードと呼ばれる。HCG駆動モードは、例えば暗所での撮影時に選択される。

[0036] 図3は画素10の撮像タイミングを示すタイミング図である。図3には、HCG駆動モード時とLCG駆動モード時の画素10内の各トランジスタQ1、Q3、Q4、Q5のオン／オフタイミングが図示されている。画素アレイ部2内の各画素10は、行選択信号により、行単位で駆動される。図3の時刻t1～t2、t2～t3、t3～t7は、それぞれ1水平期間であり、1水平期間内に1つの画素行の読み出しが行われる。図3は、ある特定の画素行の撮像タイミングを示している。

[0037] HCG駆動モード時の時刻t1～t2の1水平期間内に特定の画素行の電荷排出動作が行われる。まず、リセットトランジスタQ4を所定期間だけオンし、リセットトランジスタQ4がオンしている間に、利得切替トランジスタQ3をオンし、利得切替トランジスタQ3がオンしている間に転送トランジスタQ1をオンする。これにより、浮遊拡散層FDの蓄積電荷が利得切替トランジスタQ3とリセットトランジスタQ4を介して、電源電圧ノードVDDに排出される。また、転送トランジスタQ1がオンしている期間に、フ

フォトダイオードPDの蓄積電荷と浮遊拡散層FDの蓄積電荷が、利得切替トランジスタQ3とリセットトランジスタQ4を介して、電源電圧ノードVDDに排出される。その後、時刻 $t_2 \sim t_3$ の1水平期間内に、特定の画素行の光電変換による電荷蓄積が行われる。

[0038] その後、時刻 $t_3 \sim t_7$ の1水平期間内に、特定の画素行の画素信号が信号線L1に読み出される。選択トランジスタQ5のゲート信号SELは、時刻 $t_3 \sim t_7$ の間ハイになる。利得切替トランジスタQ3のゲートFDGは、時刻 t_4 から所定期間だけオンする。転送トランジスタQ1は、時刻 $t_4 \sim t_5$ の間はオフである。HCGモード時は、時刻 $t_4 \sim t_6$ の間、リセットトランジスタQ4が継続してオンし、時刻 t_4 から所定期間だけ利得切替トランジスタQ3がオンする。これにより、時刻 $t_4 \sim t_5$ の間は、浮遊拡散層FDの蓄積電荷は電源電圧ノードVDDに排出され、浮遊拡散層FDの電位はリセットレベルになる。この浮遊拡散層FDのリセットレベルが増幅トランジスタQ2と選択トランジスタQ5を介して信号線L1に読み出される。

[0039] 時刻 t_5 で転送ゲートTRGが所定期間だけオンする。時刻 $t_5 \sim t_6$ の間は、リセットトランジスタQ4がオンしているが、利得切替トランジスタQ3がオフしているため、フォトダイオードPDで光電変換された電荷は、転送トランジスタQ1を介して浮遊拡散層FDに蓄積される。よって、浮遊拡散層FDは、光電変換された電荷に応じた電位になり、時刻 $t_5 \sim t_6$ の間に、光電変換された電荷に応じた画素信号（D相信号）が信号線L1に読み出される。

[0040] 一方、LCG駆動モード時は、時刻 $t_3 \sim t_7$ のタイミングがHCG駆動モード時と異なる。時刻 t_4 から所定期間だけリセットトランジスタQ4がオンし、利得切替トランジスタQ3は時刻 $t_4 \sim t_6$ まで継続してオンする。これにより、時刻 $t_4 \sim t_5$ のP相信号の読み出しはHCG駆動モード時と同様に行われるのに対して、その後のD相信号の読み出しの際には、フォトダイオードPDで光電変換された電荷が浮遊拡散層FDと画素内容量C1

に蓄積される。よって、F D容量が増えることから、浮遊拡散層F Dの電位変動が抑制され、増幅トランジスタQ 2による利得が低く抑えられる。

[0041] 図2の画素回路では、浮遊拡散層F Dと増幅トランジスタQ 2のゲートを接続する配線（以下、F D配線又は導電層）が利得切替トランジスタQ 3のゲートF D Gと容量カップリングを生じさせるおそれがある。

[0042] 図4は画素10の回路部分のレイアウト図である。図示のように、フォトダイオードP Dと浮遊拡散層F Dに跨がるように転送ゲートT R Gが配置されている。また、増幅トランジスタQ 2のゲートAMPと浮遊拡散層F Dとに接続されるF D配線2 1は、利得切替トランジスタQ 3のゲートF D Gに近接して配置されており、容量カップリングが生じる。

[0043] 図5 A及び図5 Bは画素10の回路部分の模式的な断面図である。図5 AはF D配線2 1と増幅トランジスタQ 2の近傍の断面構造を示し、図5 BはF D配線2 1と利得切替トランジスタQ 3のゲートF D Gの近傍の断面構造を示している。

[0044] 図5 Aに示すように、浮遊拡散層F Dと増幅トランジスタQ 2の上方にF D配線2 1が配置され、F D配線2 1は浮遊拡散層F Dと増幅トランジスタQ 2のゲートAMPに、それぞれコンタクトを介して接続されている。F D配線2 1の近傍には、他の配線層2 2や導電部材が配置されており、これらとの間で容量カップリングが生じる。

[0045] また、図5 Bに示すように、F D配線2 1に近接して利得切替トランジスタQ 3のゲートF D Gに繋がる配線層2 5が配置されている場合、F D配線2 1と配線層2 5とが容量カップリングを生じさせる。また、F D配線2 1の近傍には、図5 Aと同様に、他の配線層2 2や導電部材が配置されており、これらとの間で容量カップリングが生じる。

[0046] このように、図4のようなレイアウトの場合、F D配線2 1の容量カップリングにより、浮遊拡散層F Dの全容量が増えて、変換利得が低下してしまう。また、浮遊拡散層F Dのリセット時にフィードスルーが大きくなり、電荷の転送不良を誘発してしまう。特に、H C Gモード時は、浮遊拡散層F D

の全容量がもともと小さいため、FD容量における容量カップリングの占める割合が大きくなり、フィードスルーがより大きくなる。したがって、低ノイズ化と電荷転送の両立を図るためには、FD配線21と利得切替トランジスタQ3のゲート配線(FDG配線)との間の容量カップリングを低減させるのが望ましい。

[0047] 図6はフィードスルーを説明する図であり、転送トランジスタQ1、利得切替トランジスタQ3、及びリセットトランジスタQ4の電位関係を示している。図6の縦軸は電位であり、下方ほど電位が高いことを示している。図6では、転送トランジスタQ1のゲートTRG、利得切替トランジスタQ3のゲートFDG、リセットトランジスタQ4のゲートRSTの電位変化によるポテンシャル井戸の変化を示している。

[0048] 図6のST1は、浮遊拡散層FDのリセット前の状態を示す。この状態では、利得切替トランジスタQ3とリセットトランジスタQ4はともにオフであり、転送トランジスタQ1もオフである。

[0049] ST2は浮遊拡散層FDをリセットレベルにした状態である。この状態では、利得切替トランジスタQ3とリセットトランジスタQ4がともにオンするため、浮遊拡散層FDの蓄積電荷は電源電圧ノードVDDに排出される。

[0050] ST3は利得切替トランジスタQ3をオンのままで、リセットトランジスタQ4をオフにした状態である。ST2とST3は浮遊拡散層FDのリセット中の動作を示している。

[0051] ST4は浮遊拡散層FDのリセット動作が完了した状態である。この状態では、利得切替トランジスタQ3とリセットトランジスタQ4はともにオフする。この状態のとき、FD配線21と利得切替トランジスタQ3のゲート配線とが容量カップリングを起こしていると、浮遊拡散層FDの蓄積電荷が容量カップリング分だけ増えて、浮遊拡散層FDの電位は、以下の式(1)で表される ΔV_n だけ低下する。

[数1]

$$\Delta V_n = \left(\frac{C_{FDG}}{C_{FD}} \right) \times \Delta V_{FDG} \quad \cdots (1)$$

[0052] 式(1)のCFDはFD配線21の容量、CFDGはFD配線21と利得切替トランジスタQ3のゲート配線との容量カップリング、 ΔV_{FDG} は利得切替トランジスタQ3のゲート電位の変化量である。

[0053] ST5は電荷転送を開始する状態である。この状態では、転送トランジスタQ1がオンし、フォトダイオードPDの蓄積電荷が浮遊拡散層FDに転送されるが、ST4で浮遊拡散層FDの蓄積電荷が容量カップリングの分だけ増えているため、浮遊拡散層FDの蓄積電荷がフォトダイオードPDに逆流してしまう。これが上述したフィードスルーと呼ばれる現象である。

[0054] ST6は電荷転送が終了する状態である。この状態では、転送トランジスタQ1がオフする。ST5で浮遊拡散層FDの蓄積電荷がフォトダイオードPDに逆流したため、フォトダイオードPDには浮遊拡散層FDに転送しきれなかった電荷が残ってしまう。

[0055] 図6に示すように、FD配線21が他の配線層や導電部材と容量カップリングを起こすと、FD容量が増えて、電荷－電圧変換効率が低下するとともに、浮遊拡散層FDのリセット時にフィードスルーが大きくなる。以下では、FD配線21の容量カップリングを減らす方策について説明する。

[0056] (第1の実施形態)

図7は第1の実施形態に係る画素10の回路部分の平面レイアウト図、図8Aは図7のA－B線断面図、図8Bは図7のC－D線断面図である。

[0057] 図7に示すように、浮遊拡散層FDの近傍には、転送トランジスタQ1の転送ゲートTRGと、利得切替トランジスタQ3のゲートFDGと、リセットトランジスタQ4のゲートRSTとが配置されている。浮遊拡散層FDから増幅トランジスタQ2のゲートAMPまでFD配線21が配置されている。増幅トランジスタQ2の近傍には、選択トランジスタQ5が配置されてい

る。

[0058] 本実施形態は、F D配線21の近傍に、F D配線21と容量カップリングを生じさせるとともに利得切替トランジスタQ3のソースに導通する新たな配線層（以下、V s配線又は配線層）24を設けている。図7の例では、V s配線24は、F D配線21を取り囲むように引き回されているが、必ずしも図7と同様のレイアウト配置である必要はない。

[0059] V s配線24は、図7に示すように、1箇所（図7では2箇所）に設けられるコンタクト20を介して、増幅トランジスタQ2のソースと導通している。V s配線24は、このコンタクト20以外には、どこにも電氣的に接続されていない。すなわち、V s配線24は、1増幅トランジスタQ2のソースに1箇所のみで接続されて、F D配線21の周囲に引き回されている。

[0060] 図7のA-B線断面では、図8Aに示すように、F D配線21と利得切替トランジスタQ3のゲートF D Gに繋がる配線層（以下、F D G配線）25との間に、V s配線24が配置されている。このため、従来は、F D配線21とF D G配線25との間に容量カップリングが生じていたのに対し、本実施形態では、F D配線21とV s配線24との間に容量カップリングを生じさせるとともに、F D G配線25とV s配線24との間にも容量カップリングを生じさせる。図8A及び図8Bにおいて、F D配線21、V s配線24、及びF D G配線25の周囲は絶縁層で覆われている。

[0061] 増幅トランジスタQ2は、ソースフォロワ動作を行うため、F D配線21の電位とV s配線24の電位は連動して変化し、F D配線21とV s配線24との間の容量カップリングによる容量は、 $(1 - G_{st})$ 倍される。ソースフォロワゲイン $G_{st} = 0.8$ 程度であるため、F D配線21とV s配線24との間の容量カップリングによる容量は、十分に小さくなる。

[0062] F D配線21とF D G配線25との間にV s配線24を配置することで、実質的にF D配線21とF D G配線25との間の容量カップリングを遮蔽することができ、浮遊拡散層F Dの容量（以下、F D容量）を低減でき、電荷－電圧変換効率を向上できる。また、本実施形態によれば、F D容量が低減

することで、浮遊拡散層FDのリセット時に浮遊拡散層FDの電荷を電源電圧ノードVDDに十分に排出でき、フィードスルーを低減できる。よって、変換利得の増大による低ノイズ化と転送不良の抑制を両立できる。

[0063] 図8Aでは、Vs配線24をFD配線21及びFDG配線25と同じ配線層（例えばM1配線層）に配置しているが、Vs配線24は、FD配線21及びFDG配線25とは異なる配線層に配置してもよい。Vs配線24をFD配線21の近傍に配置し、かつVs配線24をFDG配線25の近傍に配置するのであれば、Vs配線24を設ける配線領域は問わない。

[0064] 図7のC-D線断面方向では、図8Bに示すように、選択トランジスタQ5のゲートSELに繋がる配線層（以下、SEL配線）26と電源電圧ノードVDDに繋がる配線層（VDD配線）27との間に、Vs配線24が配置されている。図8Bの断面では、互いに分離した2つのVs配線24が配置されているが、実際には、図7に示すように、一続きのVs配線24である。以下では、図8Bの断面で分離された2つの配線部分を、第1Vs配線部24a及び第2Vs配線部24bと呼ぶ。

[0065] 仮に、Vs配線24がないとすると、浮遊拡散層FDと等電位である増幅トランジスタQ2のゲートと電源電圧ノードVDDに繋がる配線（VDD配線27）とが容量カップリングを生じさせ、かつ増幅トランジスタQ2のゲートAMPと選択トランジスタQ5のゲートに繋がる配線（以下、SEL配線26）とが容量カップリングを生じさせる。

[0066] 図8Bに示すように、SEL配線26とVDD配線27の間に、Vs配線24を配置することで、第1Vs配線部24aとSEL配線26との間に容量カップリングを生じさせ、かつ第1Vs配線部24aと増幅トランジスタQ2のゲートAMPとの間に容量カップリングを生じさせる。また、第1Vs配線部24aと増幅トランジスタQ2のゲートAMPとの間に容量カップリングを生じさせ、かつ第2Vs配線部24bと増幅トランジスタQ2のゲートAMPとの間に容量カップリングを生じさせる。

[0067] 図8Bに示すように、第1Vs配線部24a又は第2Vs配線部24bと

増幅トランジスタQ2のゲートAMとの間の容量カップリングによる容量は、 $(1 - G_{sf})$ 倍される。ソースフォロウゲイン $G_{sf} = 0.8$ 程度であるため、上述した各容量カップリングは小さい値である。

[0068] これにより、SEL配線26と増幅トランジスタQ2のゲートAMPとの容量カップリングと、VDD配線27と増幅トランジスタQ2のゲートAMPとの容量カップリングを遮蔽することができ、FD配線21の容量を低減することができる。

[0069] 図8Bでは、Vs配線24をSEL配線26及びVDD配線27と同じ配線層（例えばM1配線層）に配置しているが、Vs配線24は、SEL配線26及びVDD配線27とは異なる配線層に配置してもよい。ただし、Vs配線24は、SEL配線26とVDD配線27の近傍に配置する必要がある。

[0070] なお、図8Aと図8Bのように、Vs配線24を配置することで、Vsノードと浮遊拡散層FDとの間に少なからず容量カップリングが生じる。したがって、FD配線21とその他の配線との容量カップリングを遮蔽しつつ、FD容量の低減効果を最大化するには、Vs配線24をデザインルールの許す範囲でできるだけ遮蔽対象の配線に近づけるのが望ましい。

[0071] 図9は図7の一変形例に係るレイアウト図、図10は図9のC-D線断面図である。増幅トランジスタのゲートの上方には、このゲート以外に接続される配線層などの導電部材28が配置されることがありうる。この場合、増幅トランジスタQ2のゲートと導電部材28とが容量カップリングを生じさせ、FD容量が増大する要因になりうる。そこで、図10に示すように、増幅トランジスタQ2のゲートと、その上方の導電部材28との間に、Vs配線24を配置してもよい。この場合、Vs配線24と増幅トランジスタQ2のゲートとが容量カップリングを生じさせる一方で、増幅トランジスタQ2のゲートと導電部材28との容量カップリングを遮蔽することができ、FD容量を低減することができる。

[0072] 図9と図7を比較すればわかるように、図9では、Vs配線24の一部を

導電部材 28 の位置に合わせてずらしている。図 10 における V s 配線 24 は、平面視したときに導電部材 28 と重なるように配置するのが望ましい。

[0073] 図 10 の例では、V s 配線 24 を S E L 配線 26 及び V D D 配線 27 と同じ配線層（例えば M 1 配線層）に配置しているが、V s 配線 24 を S E L 配線 26 及び V D D 配線 27 とは異なる配線層に配置してもよい。

[0074] このように、第 1 の実施形態では、増幅トランジスタ Q 2 のソースに繋がる V s 配線 24 を新たに設けて、V s 配線 24 を引き回して、F D 配線 21 と F D G 配線 25 の間に V s 配線 24 を配置するため、F D 配線 21 と F D G 配線 25 の間の容量カップリングを遮蔽することができ、F D 容量を低減することができる。また、第 1 の実施形態では、増幅トランジスタ Q 2 のゲート A M P と V D D 配線 27 との間に V s 配線 24 を配置するとともに、増幅トランジスタ Q 2 のゲート A M P と S E L 配線 26 の間にも V s 配線 24 を配置する。これにより、F D 容量をさらに低減することができる。このように、第 1 の実施形態では、V s 配線 24 を引き回すことで、F D 容量を低減でき、浮遊拡散層 F D のリセット時に浮遊拡散層 F D の電荷を電源電圧ノード V D D に十分に排出できる。よってフィードスルーが低減し、変換利得の増大による低ノイズ化を図りつつ、転送不良も抑制できる。

[0075] （第 2 の実施形態）

第 1 の実施形態では、V s 配線 24 を F D 配線 21 や F D G 配線 25 と同じ配線層に配置する例を示したが、V s 配線 24 を F D 配線 21 とは異なる高さの配線層領域に配置し、F D 配線 21 をシールドすることも可能である。

[0076] 図 11 は第 2 の実施形態に係る画素 10 の回路部分のレイアウト図、図 12 は図 11 の A - B 線断面図である。図 11 及び図 12 に示すように、F D 配線 21 の上方に V s 配線 24 が配置されている。V s 配線 24 がないとすると、F D 配線 21 は F D G 配線 25 との間で容量カップリングを生じさせる。これに対して、図 12 に示すように、F D 配線 21 の上方に V s 配線 24 を配置することで、F D 配線 21 と V s 配線 24 とが容量カップリングを

生じさせ、FD配線21とFDG配線25との間の容量カップリングを遮蔽することができる。

[0077] FD配線21の上方にVs配線24を配置しただけでは、Vs配線24はFDG配線25と容量カップリングを生じさせないおそれがある。そこで、図12に示すように、FDG配線25を二層構造にして、上の配線層25aをVs配線24と同じ配線領域（例えばM2配線層）に設けることで、この配線層25aとVs配線24とが容量カップリングを生じさせるようにすることができ、FD配線21とFDG配線25との容量カップリングをより遮蔽することができる。

[0078] FD配線21の上方にVs配線24を配置することで、さらにその上方に配置される導電部材とFD配線21との容量カップリングを遮蔽することができる。

[0079] 図11では、FD配線21とFDG配線25をM1配線層に配置して、Vs配線24をM2配線層に配置しているが、MD配線層とFDG配線25を設ける場所と、Vs配線24を設ける場所は、必ずしもM1配線層とM2配線層に限られない。

[0080] このように、第2の実施形態では、FD配線21と同じ配線層にVs配線24を配置する代わりに、FD配線21の上方にVs配線24を配置することで、実質的にFD配線21をシールドすることができ、FD配線21とFDG配線25との容量カップリングを遮蔽する効果が得られる。

[0081] （第3の実施形態）

第1及び第2の実施形態では、FD配線21がM1配線層に配置されている例を示したが、FD配線21は、M1配線層よりも半導体基板30に近い位置に配置される場合もありうる。本明細書では、M1配線層よりも半導体基板30に近い位置の配線層を便宜上、ローカル配線層LWと呼ぶ。

[0082] 半導体基板30には、フォトダイオードPDや浮遊拡散層FDが配置されている。画素10の回路は半導体基板30の表（おもて）面側に配置されている。本実施形態では、半導体基板30の表面に近い位置にローカル配線層

LWを設けるものである。

[0083] ローカル配線層LWにFD配線21を配置すると、その他の配線層との距離が広がるため、容量カップリングが小さくなる。その一方で、FD配線21の近傍に位置するトランジスタのゲートとの距離が近づくため、このトランジスタとの容量カップリングが顕著に大きくなる。

[0084] また、ローカル配線層LWは、半導体基板30に近い位置に配置されるため、対地容量が無視できなくなる。そこで、第3の実施形態では、FD配線21の近傍のローカル配線層LW内に、Vs配線24を設けて、FD配線21と容量カップリングを生じさせる。

[0085] 図13は第3の実施形態に係る画素10の回路部分のレイアウト図、図14は図13のA-B線断面図である。第3の実施形態に係るVs配線24は、図13に示すように、平面レイアウトでは図7のVs配線24とほぼ同じである。ただし、第3の実施形態に係るVs配線24は、図14に示すように、M1配線層よりも半導体基板30に近いローカル配線層LWに配置されている。ローカル配線層LWには、FD配線21も配置されている。Vs配線24は、FD配線21と利得切替トランジスタQ3のゲートとの間に配置されている。このため、FD配線21とVs配線24は容量カップリングを生じさせるとともに、Vs配線24とFDG配線25は容量カップリングを生じさせる。これにより、FD配線21と利得切替トランジスタQ3のゲートとの間の容量カップリングを遮蔽することができる。

[0086] Vs配線24は、FD配線21にできるだけ近づけて配置するのが望ましい。Vs配線24をFD配線21に近づけることにより、Vs配線24とFD配線21とは確実に容量カップリングを生じさせる。また、Vs配線24は、利得切替トランジスタQ3のゲートとFDG配線25にできるだけ近づけて配置するのが望ましい。Vs配線24を利得切替トランジスタQ3のゲートとFDG配線25に近づけることで、Vs配線24は利得切替トランジスタQ3のゲート及びFDG配線25と確実に容量カップリングを生じさせることになる。

[0087] 図15は図13の一変形例に係るレイアウト図、図16は図15のA-B線断面図である。一変形例では、図16に示すように、Vs配線24をローカル配線層LWに設ける点では図14と共通するが、FD配線21がM1配線層に配置されている点で図14と異なる。図16の場合も、Vs配線24はFD配線21と容量カップリングを生じさせるとともに、Vs配線24は利得切替トランジスタQ3のゲートと容量カップリングを生じさせ、かつVs配線24はFDGゲートと容量カップリングを生じさせる。

[0088] 画素10の回路を構成する配線層は、M1配線層やM2配線層などの既存の配線層に形成される。これに対して、新たに設けるVs配線24だけをローカル配線層LWに形成することで、既存の画素10の回路のレイアウト配置に影響を与えずにVs配線24を形成して、FD容量を低減できる。

[0089] なお、図15のさらなる変形例として、FD配線21をローカル配線層LWに配置し、Vs配線24をM1配線層に配置してもよい。この場合でも、Vs配線24とFD配線21が容量カップリングを生じさせることから、FD容量を低減できる。

[0090] このように、第3の実施形態では、M1配線層やM2配線層などの既存の配線層よりも半導体基板30に近い位置に設けられるローカル配線層LWにVs配線24やFD配線21を設けることでも、FD配線21とVs配線24に容量カップリングを生じさせることができ、FD容量を低減できる。また、FD容量が小さくなることで、浮遊拡散層FDのリセット時に浮遊拡散層FDの電荷を電源電圧ノードVDDに十分に排出でき、フィードスルーを低減できる。

[0091] (第4の実施形態)

上述した第1～第3の実施形態では、画素10内に利得切替トランジスタQ3を備える例を説明したが、画素10内に利得切替トランジスタQ3が存在しない場合には、FD配線21とリセットトランジスタQ4のゲートに繋がる配線（以下、RST配線）との間に容量カップリングが生じうる。この場合、FD配線21とRST配線との間に、上述したVs配線24を配置す

ることで、FD配線21とVs配線24との間に容量カップリングが生じ、かつRST配線とVs配線24との間にも容量カップリングが生じる。これにより、FD配線21とVs配線24との間の容量カップリングを遮蔽することができ、FD容量を低減できる。また、FD容量を低減することで、浮遊拡散層FDのリセット時に浮遊拡散層FDの電荷を電源電圧ノードVDDに排出することができ、フィードスルーを小さくできる。

[0092] (第5の実施形態)

第5の実施形態に係る固体撮像装置は、グローバルシャッタ方式を採用する点に特徴がある。グローバルシャッタ方式では、画素アレイ部2内の全画素が同タイミングで露光を行ってP相信号レベルとD相信号レベルを画素10内に記憶し、記憶されたP相信号レベルとD相信号レベルの差分のデジタル信号を順に出力する。グローバルシャッタ方式を採用することで、露光タイミングのずれによる撮像画像の歪みが生じなくなる。

[0093] 図17は本開示の第5の実施の形態における画素10の一構成例を示す回路図である。図17の回路では、図2と機能が共通する回路素子には同一符号を付している。図17の画素10は、前段回路11と、容量素子C11及びC12と、選択回路12と、後段リセットトランジスタQ4bと、後段回路13とを備える。

[0094] 前段回路11は、光電変換素子PD、転送トランジスタQ1、浮遊拡散層FDと、リセットトランジスタQ4a、前段増幅トランジスタQ2及び電流源14を備える。

[0095] 光電変換素子PDは、光電変換により電荷を生成するものである。転送トランジスタQ1は、垂直駆動回路3からの転送信号TRGに従って、光電変換素子PDから浮遊拡散層FDへ電荷を転送する。

[0096] リセットトランジスタQ4aは、垂直駆動回路3からのFDリセット信号RSTaに従って、浮遊拡散層FDから電荷を引き抜いて初期化する。浮遊拡散層FDは、電荷を蓄積し、電荷量に応じた電圧を生成する。前段増幅トランジスタQ2は、浮遊拡散層FDの電圧のレベルを増幅して前段ノードn

1 に出力する。

[0097] リセットトランジスタ Q 4 a のドレイン及び前段増幅トランジスタ Q 2 のドレインは、電源電圧 V D D に接続される。電流源 1 4 は、前段増幅トランジスタ Q 2 のソースに接続される。この電流源 1 4 は、垂直駆動回路 3 の制御に従って電流 i_{d1} を供給する。

[0098] 容量素子 C 1 1 及び C 1 2 のそれぞれの一端は、前段ノード n 1 に共通に接続され、それぞれの他端は、選択回路 1 2 に接続される。選択回路 1 2 は、選択トランジスタ Q 5 a 及び選択トランジスタ Q 5 b を備える。選択トランジスタ Q 5 a は、垂直駆動回路 3 からの選択信号 Φ_r に従って、容量素子 C 1 1 と後段ノード n 2 との間の経路を開閉する。選択トランジスタ Q 5 b は、垂直駆動回路 3 からの選択信号 Φ_s に従って、容量素子 C 1 2 と後段ノード n 2 との間の経路を開閉する。

[0099] 後段リセットトランジスタ Q 4 b は、垂直駆動回路 3 からの後段リセット信号 R S T b に従って、後段ノード n 2 のレベルを所定の電位 V r e g に初期化する。電位 V r e g には、電源電位 V D D と異なる電位（例えば、V D D より低い電位）が設定される。

[0100] 後段回路 1 3 は、後段増幅トランジスタ Q 2 b 及び後段選択トランジスタ Q 5 c を備える。後段増幅トランジスタ Q 2 b は、後段ノード n 2 のレベルを増幅する後段選択トランジスタ Q 5 c は、垂直駆動回路 3 からの後段選択信号 S E L b に従って、後段増幅トランジスタ Q 2 b により増幅されたレベルの信号を画素信号として垂直信号線 L 1 に出力するなお、後段増幅トランジスタは、特許請求の範囲に記載の第 2 の増幅トランジスタの一例である。

[0101] 図 1 7 の画素 1 0 内の各トランジスタの導電型は問わないが、本明細書では、画素 1 0 内の各トランジスタが N M O S トランジスタである例を説明する。

[0102] 垂直駆動回路 3 は、露光開始時に全画素へハイレベルの F D リセット信号 R S T a 及び転送信号 T R G を供給する。これにより、光電変換素子 P D が初期化される。以下、この制御を「P D リセット」と称する。

- [0103] そして、垂直駆動回路 3 は、露光終了の直前に、全画素について後段リセット信号 $RSTb$ 及び選択信号 Φr をハイレベルにしつつ、パルス期間に亘ってハイレベルの FD リセット信号 $RSTa$ を供給する。これにより、浮遊拡散層 FD が初期化され、そのときの浮遊拡散層 FD のレベルに応じたレベルが容量素子 $C11$ に保持される。この制御を以下、「 FD リセット」と称する。
- [0104] FD リセットの際の浮遊拡散層 FD のレベルと、そのレベルに対応するレベル（容量素子 $C11$ の保持レベルや、垂直信号線 $L1$ のレベル）とをまとめて、以下、「 P 相」または「リセットレベル」と称する。
- [0105] 垂直駆動回路 3 は、露光終了時に、全画素について後段リセット信号 $RSTb$ 及び選択信号 Φs をハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号 TRG を供給する。これにより、露光量に応じた信号電荷が浮遊拡散層 FD へ転送され、そのときの浮遊拡散層 FD のレベルに応じたレベルが容量素子 $C12$ に保持される。
- [0106] 信号電荷の転送の際の浮遊拡散層 FD のレベルと、そのレベルに対応するレベル（容量素子 $C12$ の保持レベルや、垂直信号線 $L1$ のレベル）とをまとめて、以下、「 D 相」または「信号レベル」と称する。
- [0107] このように、図 17 の画素 10 は、全画素について同時に露光を開始し、同時に終了するグローバルシャッタ方式を採用する。この露光制御により、全画素の前段回路 11 は、リセットレベル及び信号レベルを順に生成する。リセットレベルは、容量素子 $C11$ に保持され、信号レベルは、容量素子 $C12$ に保持される。
- [0108] 露光終了後に垂直駆動回路 3 は、行を順に選択して、その行のリセットレベル及び信号レベルを順に出力させる。リセットレベルを出力させる際に、垂直駆動回路 3 は、選択した行の FD リセット信号 $RSTa$ 及び後段選択信号 $SELb$ をハイレベルにしつつ、ハイレベルの選択信号 Φr を所定期間に亘って供給する。これにより、容量素子 $C11$ が後段ノード $n2$ に接続され、リセットレベルが読み出される。

- [0109] リセットレベルの読出し後に垂直駆動回路3は、選択した行のFDリセット信号RSTa及び後段選択信号SELbをハイレベルにしたままで、ハイレベルの後段リセット信号RSTbをパルス期間に亘って供給する。これにより、後段ノードn2のレベルが初期化される。このとき、選択トランジスタQ5a及び選択トランジスタQ5bは両方とも開状態であり、容量素子C11及びC12は、後段ノードn2から切り離される。
- [0110] 後段ノードn2の初期化後に、垂直駆動回路3は、選択した行のFDリセット信号RSTa及び後段選択信号SELbをハイレベルにしたままで、ハイレベルの選択信号Φsを所定期間に亘って供給する。これにより、容量素子C12が後段ノードn2に接続され、信号レベルが読み出される。
- [0111] 上述の読出し制御により、選択された行の選択回路12は、容量素子C11を後段ノードn2に接続する制御と、容量素子C11及びC12を後段ノードn2から切り離す制御と、容量素子C12を後段ノードn2に接続する制御とを順に行う。また、容量素子C11及びC12が後段ノードn2から切り離されたときに、選択された行の後段リセットトランジスタQ4bは後段ノードn2のレベルを初期化する。また、選択された行の後段回路13は、後段ノードn2を介してリセットレベル及び信号レベルを容量素子C11及びC12から順に読み出して垂直信号線L1へ出力する。
- [0112] 図17の画素10においても、図7、図8A及び図8Bと同様に、前段増幅トランジスタQ2aのソースに繋がるVs配線24が、浮遊拡散層FDと前段増幅トランジスタQ2aのゲートに繋がるFD配線21を取り囲むように配置され、FD配線21とリセットトランジスタQ4aのゲート配線の間にはVs配線24が配置されている。これにより、FD配線21とFDG配線25の間の容量カップリングを遮蔽することができ、FD容量を低減することができる。なお、図17の画素10には、利得切替トランジスタが設けられていないが、利得切替トランジスタを設けてもよい。利得切替トランジスタを設けた場合には、利得切替トランジスタのゲート配線とFD配線21の間にVs配線24を配置することで、FD容量を低減することができる。

[0113] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0114] 図18は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0115] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図18に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

[0116] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0117] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信

される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0118] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0119] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0120] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0121] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両

のレーン逸脱警告等を含むA D A S (Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0122] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0123] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12030に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0124] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図18の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0125] 図19は、撮像部12031の設置位置の例を示す図である。

[0126] 図19では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0127] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像

を取得する。サイドミラーに備えられる撮像部 12102、12103は、主として車両 12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104は、主として車両 12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0128] なお、図 19には、撮像部 12101ないし 12104の撮影範囲の一例が示されている。撮像範囲 12111は、フロントノーズに設けられた撮像部 12101の撮像範囲を示し、撮像範囲 12112、12113は、それぞれサイドミラーに設けられた撮像部 12102、12103の撮像範囲を示し、撮像範囲 12114は、リアバンパ又はバックドアに設けられた撮像部 12104の撮像範囲を示す。例えば、撮像部 12101ないし 12104で撮像された画像データが重ね合わせられることにより、車両 12100を上方から見た俯瞰画像が得られる。

[0129] 撮像部 12101ないし 12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101ないし 12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0130] 例えば、マイクロコンピュータ 12051は、撮像部 12101ないし 12104から得られた距離情報を基に、撮像範囲 12111ないし 12114内における各立体物までの距離と、この距離の時間的変化（車両 12100に対する相対速度）を求めることにより、特に車両 12100の進行路上にある最も近い立体物で、車両 12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うこと

ができる。

[0131] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0132] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0133] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031等に適用され得る。具体的には、本開示の固体撮像装置1は、撮像部12

031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、より鮮明な撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0134] なお、本技術は以下のような構成を取ることができる。

(1) 入射光を光電変換して電荷を蓄積する光電変換部と、
前記光電変換部に蓄積された電荷を転送する第1トランジスタと、
前記第1トランジスタで転送された電荷を保持する浮遊拡散層と、
前記浮遊拡散層に保持された電荷を増幅する第2トランジスタと、
前記浮遊拡散層に導通する導電層と、
前記導電層と容量カップリングを生じさせるとともに、前記第2トランジスタのソースに導通する配線層と、を備える、固体撮像装置。

(2) 前記配線層の電位と前記導電層の電位とは連動して変動する、(1)に記載の固体撮像装置。

(3) 前記配線層と前記導電層とは、絶縁層を介して同一の層に配置される、(1)又は(2)に記載の固体撮像装置。

(4) 前記配線層は、前記導電層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置される、(1)又は(2)に記載の固体撮像装置。

(5) 前記配線層と前記第2トランジスタのソースとを接続する、積層方向に延びるコンタクトを備え、

前記配線層は、前記コンタクト以外の導電部材とは距離を隔てて配置される、(1)乃至(4)のいずれか一項に記載の固体撮像装置。

(6) 前記配線層は、前記導電層の少なくとも一部を取り囲むように配置される、(1)乃至(5)のいずれか一項に記載の固体撮像装置。

(7) 前記導電層は、前記浮遊拡散層に接続される第1端部と、前記第2トランジスタのゲートに接続される第2端部とを有する、(1)乃至(6)のいずれか一項に記載の固体撮像装置。

(8) 電荷電圧変換利得を切り替えるか、又は前記浮遊拡散層の電荷を初

期化する第3トランジスタを備え、

前記配線層の少なくとも一部は、前記第3トランジスタのゲートと前記導電層との間に配置される、(1)乃至(7)のいずれか一項に記載の固体撮像装置。

(9) 前記配線層と、前記第3トランジスタのゲートに繋がるゲート配線層と、前記導電層とは、それぞれ絶縁層を介して同一の層に配置される、(8)に記載の固体撮像装置。

(10) 前記配線層と前記導電層とは、絶縁層を介して積層方向に互いに異なる層に配置され、

前記配線層と前記第3トランジスタのゲートに繋がるゲート配線層とは、絶縁層を介して同一の層に配置される、(8)に記載の固体撮像装置。

(11) 前記配線層と前記導電層とは、絶縁層を介して同一の層に配置され、

前記配線層と前記第3トランジスタのゲートに繋がるゲート配線層とは、絶縁層を介して積層方向に互いに異なる層に配置される、(8)に記載の固体撮像装置。

(12) 前記第3トランジスタのゲートが配置される層は、前記配線層及び前記導電層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置される、(11)に記載の固体撮像装置。

(13) 前記配線層と前記導電層とは、前記第3トランジスタのゲート配線層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置される、(11)に記載の固体撮像装置。

(14) 前記導電層と前記第3トランジスタのゲート配線層とは、絶縁層を介して同一の層に配置され、

前記配線層は、前記導電層と前記第3トランジスタのゲート配線層とは異なる層に配置される、(8)に記載の固体撮像装置。

(15) 前記配線層は、前記導電層と前記第3トランジスタのゲート配線層とよりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層

に配置される、（１４）に記載の固体撮像装置。

（１６）前記配線層及び前記第２トランジスタのゲートとは積層方向に異なる層に配置される導電部材を備え、

前記配線層は、前記第２トランジスタのゲートと前記導電部材との間の層に配置される、（１）乃至（１５）のいずれか一項に記載の固体撮像装置。

（１７）第１及び第２の容量素子と、

所定のリセットレベルと露光量に応じた信号レベルとを順に生成して前記第１及び第２の容量素子のそれぞれに保持させる前段回路と、

前記第１及び第２の容量素子の一方を所定の後段ノードに接続する制御と前記第１及び第２の容量素子の両方を前記後段ノードから切り離す制御と前記第１及び第２の容量素子の他方を前記後段ノードに接続する制御とを順に行う選択回路と、

前記第１及び第２の容量素子の両方が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

前記後段ノードを介して前記リセットレベル及び前記信号レベルを前記第１及び第２の容量素子から順に読み出して出力する後段回路とを備え、

前記前段回路は、前記光電変換部、前記第１トランジスタ、前記浮遊拡散層、前記第２トランジスタ、前記導電層、及び前記配線層を有する、（１）乃至（１６）のいずれか一項に記載の固体撮像装置。

（１８）画素エリア内に入射した光を光電変換した画素信号を出力する固体撮像装置と、

前記画素信号に基づいて信号処理を行う信号処理部と、を備え、

前記固体撮像装置は、

入射光を光電変換して電荷を蓄積する光電変換部と、

前記光電変換部に蓄積された電荷を転送する第１トランジスタと、

前記第１トランジスタで転送された電荷を保持する浮遊拡散層と、

前記浮遊拡散層に保持された電荷を増幅する第２トランジスタと、

前記浮遊拡散層に導通する導電層と、

前記導電層と容量カップリングを生じさせるとともに、前記第2トランジスタのソースに導通する配線層と、を有する、電子機器。

[0135] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容及びその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更及び部分的削除が可能である。

符号の説明

[0136] 1 固体撮像装置、2 画素アレイ部、3 垂直駆動回路、4 カラム信号処理回路、5 水平駆動回路、6 出力回路、7 制御回路、10 画素、11 前段回路、12 選択回路、13 後段回路、14 電流源、20 コンタクト、21 FD配線、21 導電層、22 配線層、24 Vs配線、24a 第1Vs配線部、24b 第2Vs配線部、25 FDG配線、26 SEL配線、27 VDD配線、28 導電部材、30 半導体基板

請求の範囲

- [請求項1] 入射光を光電変換して電荷を蓄積する光電変換部と、
前記光電変換部に蓄積された電荷を転送する第1トランジスタと、
前記第1トランジスタで転送された電荷を保持する浮遊拡散層と、
前記浮遊拡散層に保持された電荷を増幅する第2トランジスタと、
前記浮遊拡散層に導通する導電層と、
前記導電層と容量カップリングを生じさせるとともに、前記第2トランジスタのソースに導通する配線層と、を備える、固体撮像装置。
- [請求項2] 前記配線層の電位と前記導電層の電位とは連動して変動する、請求項1に記載の固体撮像装置。
- [請求項3] 前記配線層と前記導電層とは、絶縁層を介して同一の層に配置される、請求項1に記載の固体撮像装置。
- [請求項4] 前記配線層は、前記導電層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置される、請求項1に記載の固体撮像装置。
- [請求項5] 前記配線層と前記第2トランジスタのソースとを接続する、積層方向に延びるコンタクトを備え、
前記配線層は、前記コンタクト以外の導電部材とは距離を隔てて配置される、請求項1に記載の固体撮像装置。
- [請求項6] 前記配線層は、前記導電層の少なくとも一部を取り囲むように配置される、請求項1に記載の固体撮像装置。
- [請求項7] 前記導電層は、前記浮遊拡散層に接続される第1端部と、前記第2トランジスタのゲートに接続される第2端部とを有する、請求項1に記載の固体撮像装置。
- [請求項8] 電荷電圧変換利得を切り替えるか、又は前記浮遊拡散層の電荷を初期化する第3トランジスタを備え、
前記配線層の少なくとも一部は、前記第3トランジスタのゲートと前記導電層との間に配置される、請求項1に記載の固体撮像装置。

- [請求項9] 前記配線層と、前記第3トランジスタのゲートに繋がるゲート配線層と、前記導電層とは、それぞれ絶縁層を介して同一の層に配置される、請求項8に記載の固体撮像装置。
- [請求項10] 前記配線層と前記導電層とは、絶縁層を介して積層方向に互いに異なる層に配置され、
前記配線層と前記第3トランジスタのゲートに繋がるゲート配線層とは、絶縁層を介して同一の層に配置される、請求項8に記載の固体撮像装置。
- [請求項11] 前記配線層と前記導電層とは、絶縁層を介して同一の層に配置され、
前記配線層と前記第3トランジスタのゲートに繋がるゲート配線層とは、絶縁層を介して積層方向に互いに異なる層に配置される、請求項8に記載の固体撮像装置。
- [請求項12] 前記第3トランジスタのゲートが配置される層は、前記配線層及び前記導電層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置される、請求項11に記載の固体撮像装置。
- [請求項13] 前記配線層と前記導電層とは、前記第3トランジスタのゲート配線層よりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置される、請求項11に記載の固体撮像装置。
- [請求項14] 前記導電層と前記第3トランジスタのゲート配線層とは、絶縁層を介して同一の層に配置され、
前記配線層は、前記導電層と前記第3トランジスタのゲート配線層とは異なる層に配置される、請求項8に記載の固体撮像装置。
- [請求項15] 前記配線層は、前記導電層と前記第3トランジスタのゲート配線層とよりも、前記光電変換部及び前記浮遊拡散層が配置される基板に近い層に配置される、請求項14に記載の固体撮像装置。
- [請求項16] 前記配線層及び前記第2トランジスタのゲートとは積層方向に異なる層に配置される導電部材を備え、

前記配線層は、前記第2トランジスタのゲートと前記導電部材との間の層に配置される、請求項1に記載の固体撮像装置。

[請求項17]

第1及び第2の容量素子と、

所定のリセットレベルと露光量に応じた信号レベルとを順に生成して前記第1及び第2の容量素子のそれぞれに保持させる前段回路と、

前記第1及び第2の容量素子の一方を所定の後段ノードに接続する制御と前記第1及び第2の容量素子の両方を前記後段ノードから切り離す制御と前記第1及び第2の容量素子の他方を前記後段ノードに接続する制御とを順に行う選択回路と、

前記第1及び第2の容量素子の両方が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

前記後段ノードを介して前記リセットレベル及び前記信号レベルを前記第1及び第2の容量素子から順に読み出して出力する後段回路とを備え、

前記前段回路は、前記光電変換部、前記第1トランジスタ、前記浮遊拡散層、前記第2トランジスタ、前記導電層、及び前記配線層を有する、請求項1に記載の固体撮像装置。

[請求項18]

画素エリア内に入射した光を光電変換した画素信号を出力する固体撮像装置と、

前記画素信号に基づいて信号処理を行う信号処理部と、を備え、

前記固体撮像装置は、

入射光を光電変換して電荷を蓄積する光電変換部と、

前記光電変換部に蓄積された電荷を転送する第1トランジスタと、

前記第1トランジスタで転送された電荷を保持する浮遊拡散層と、

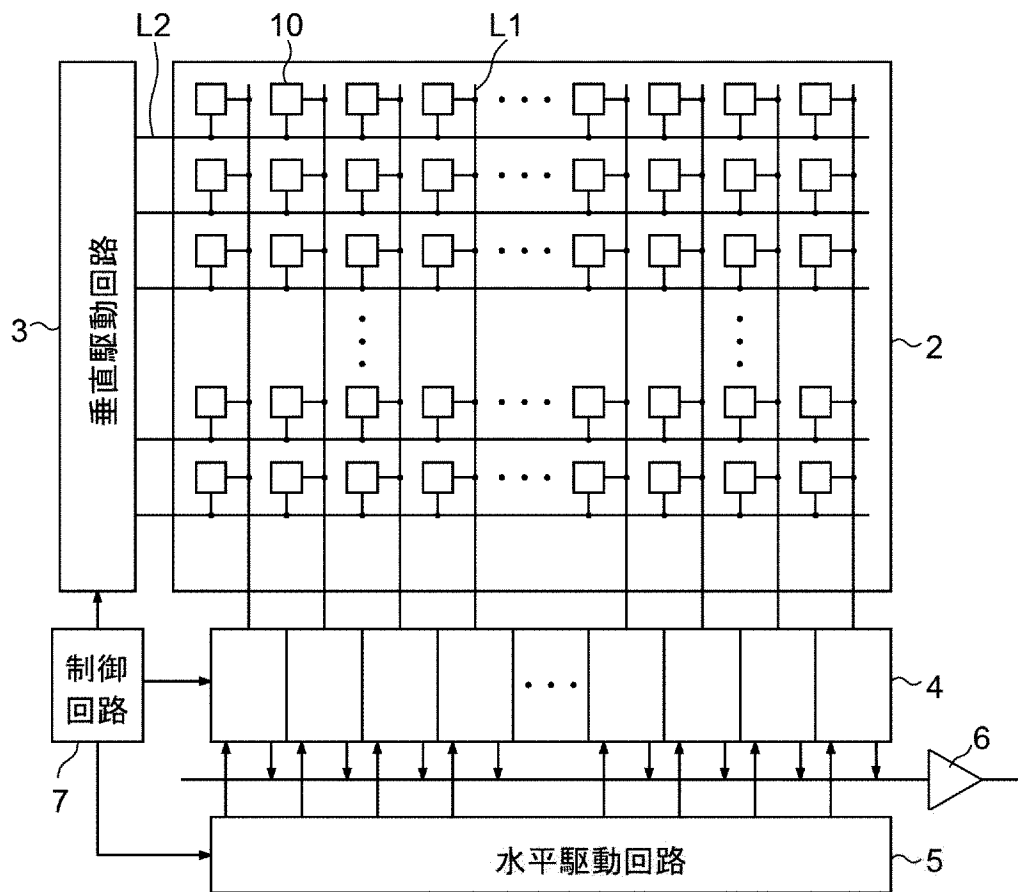
前記浮遊拡散層に保持された電荷を増幅する第2トランジスタと、

前記浮遊拡散層に導通する導電層と、

前記導電層と容量カップリングを生じさせるとともに、前記第2ト

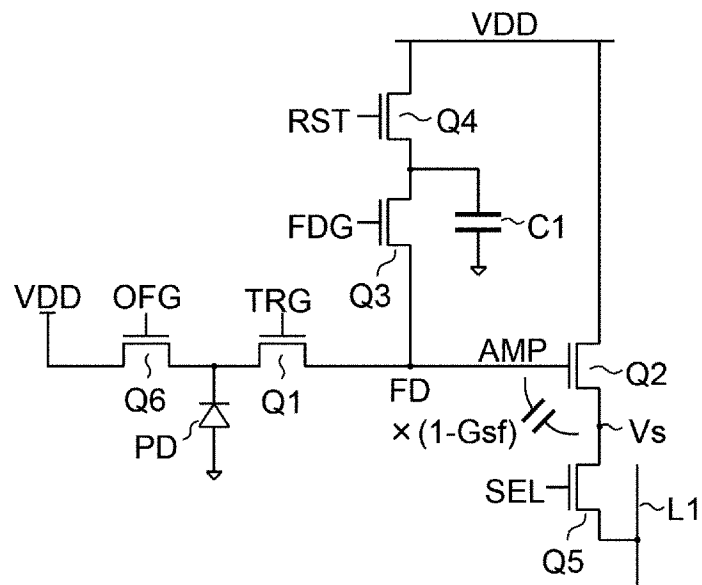
ランジスタのソースに導通する配線層と、を有する、電子機器。

[図1]

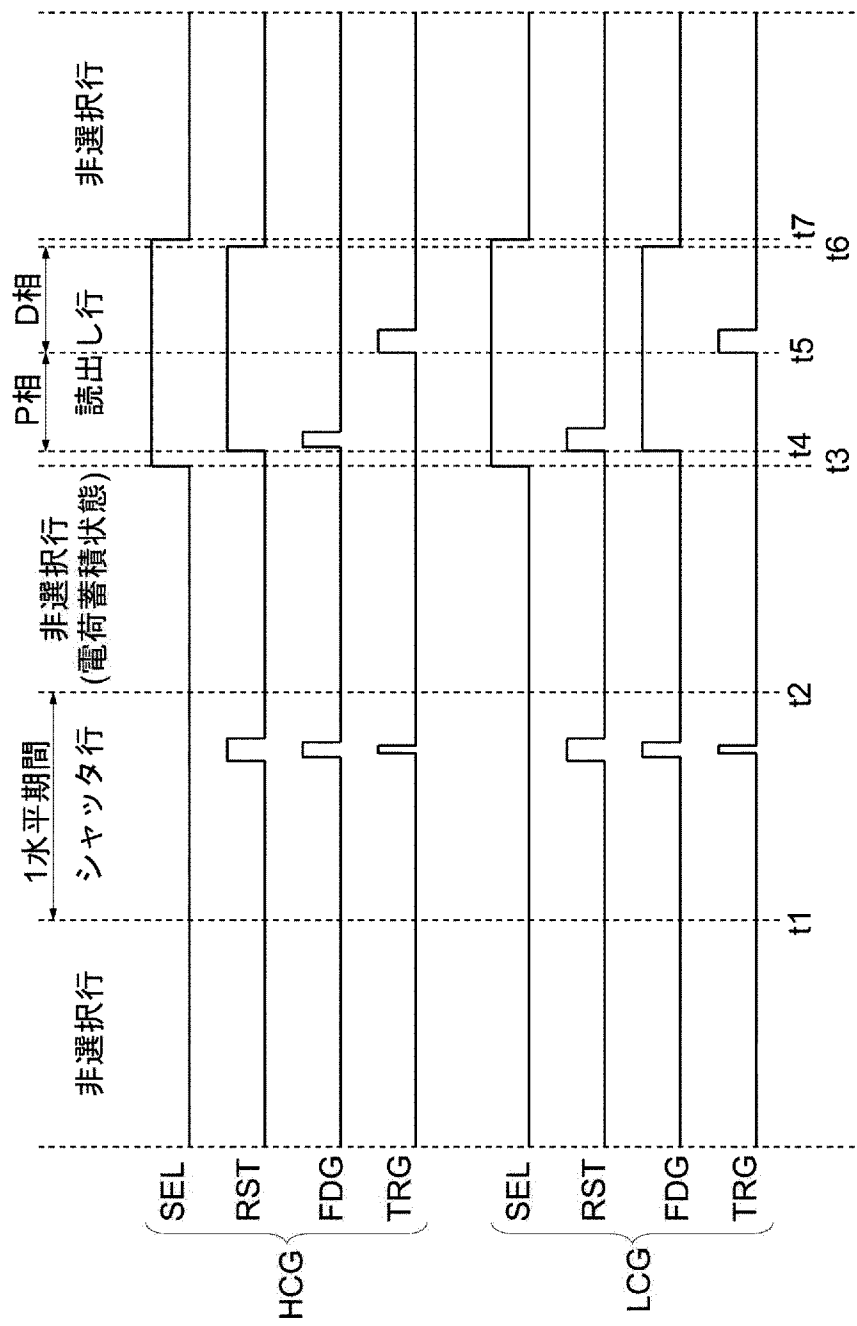


1: 固体撮像装置

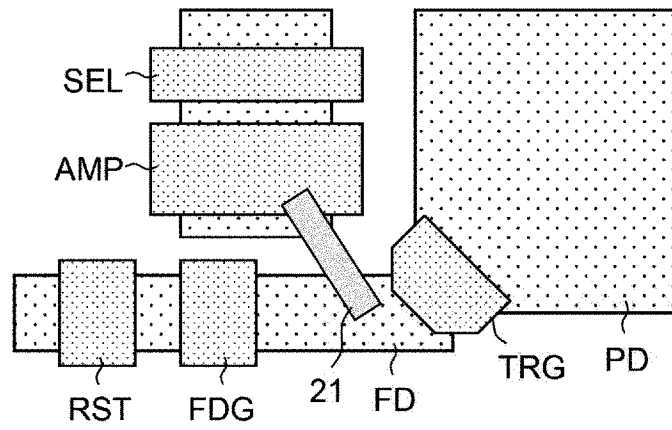
[図2]



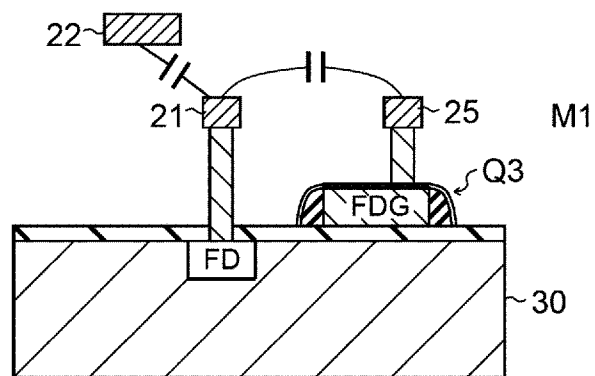
[図3]



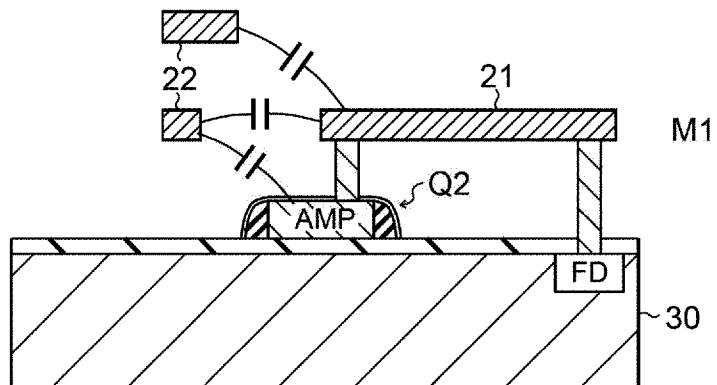
[図4]



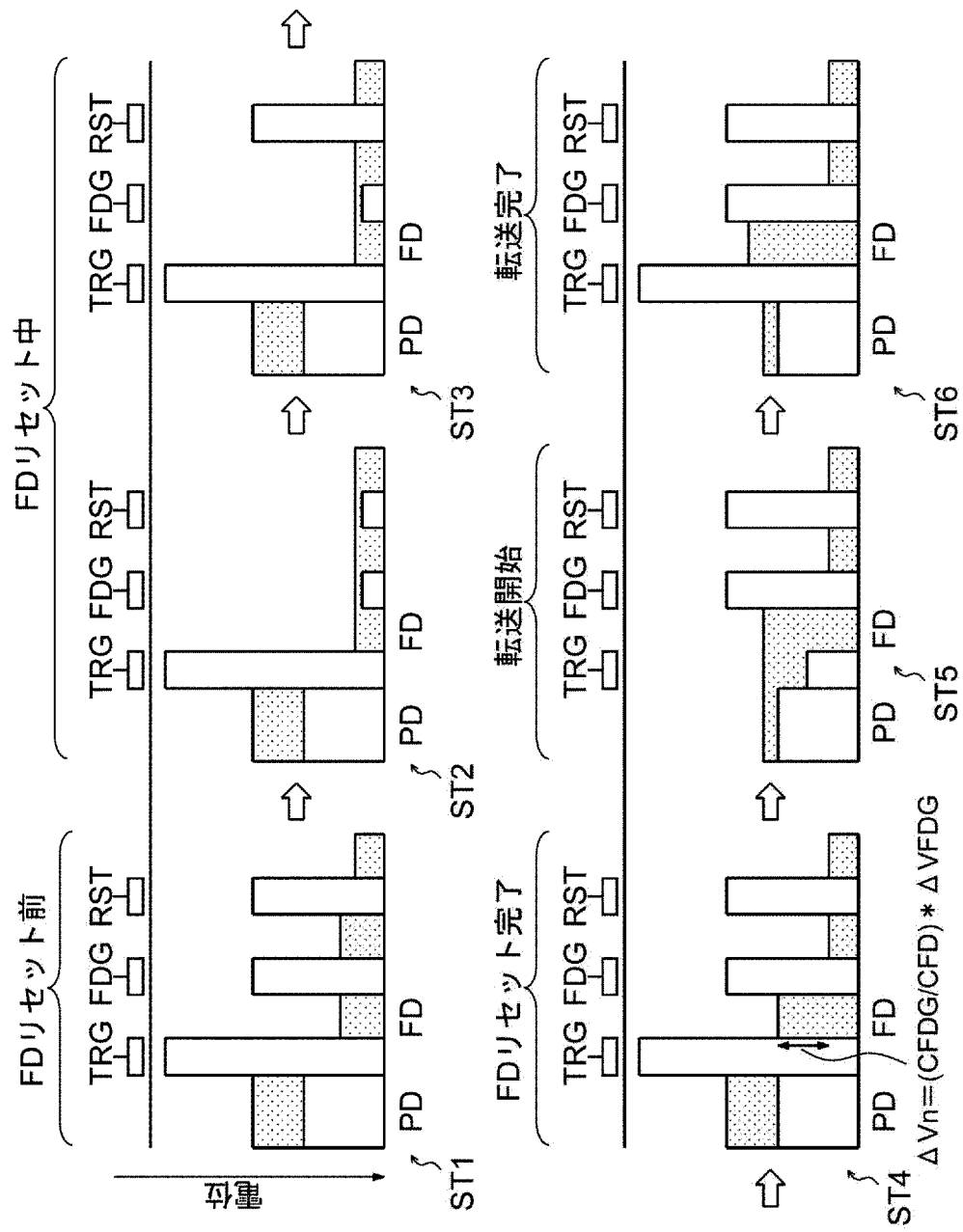
[図5A]



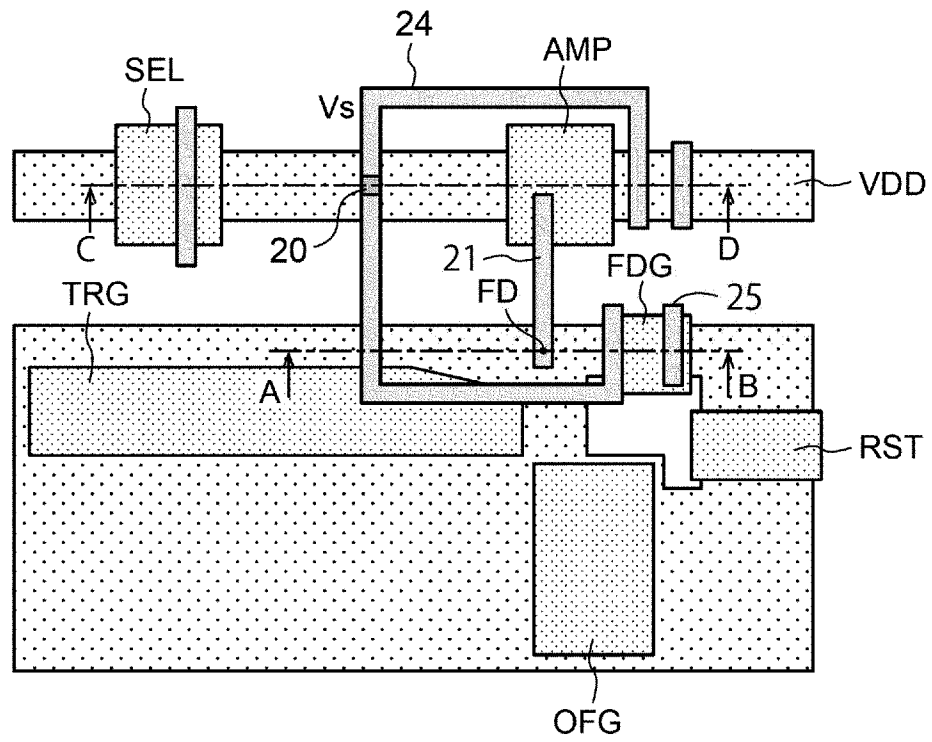
[図5B]

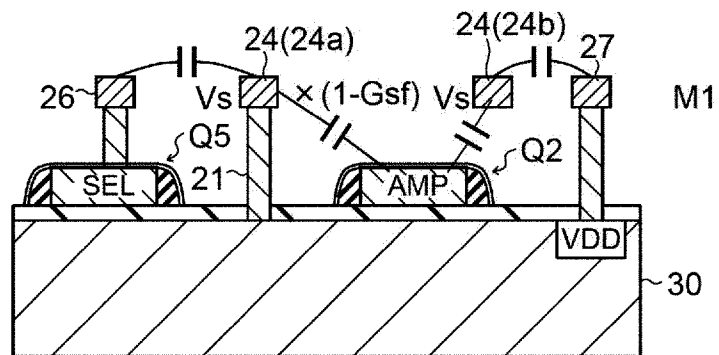
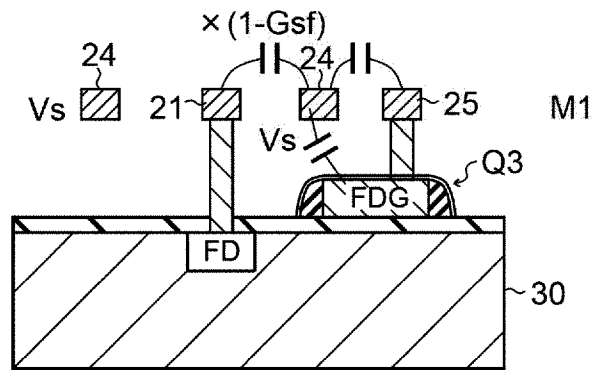


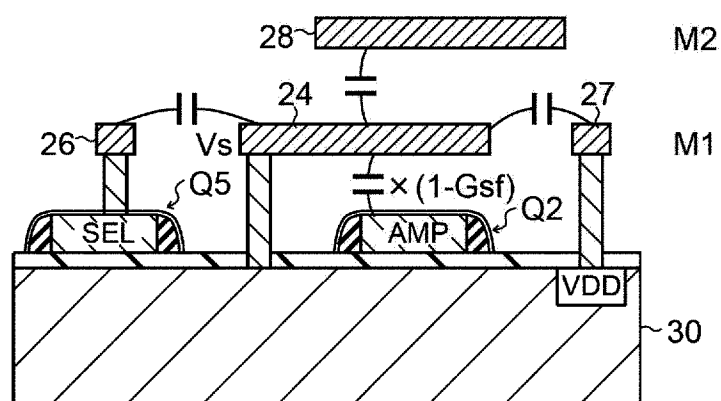
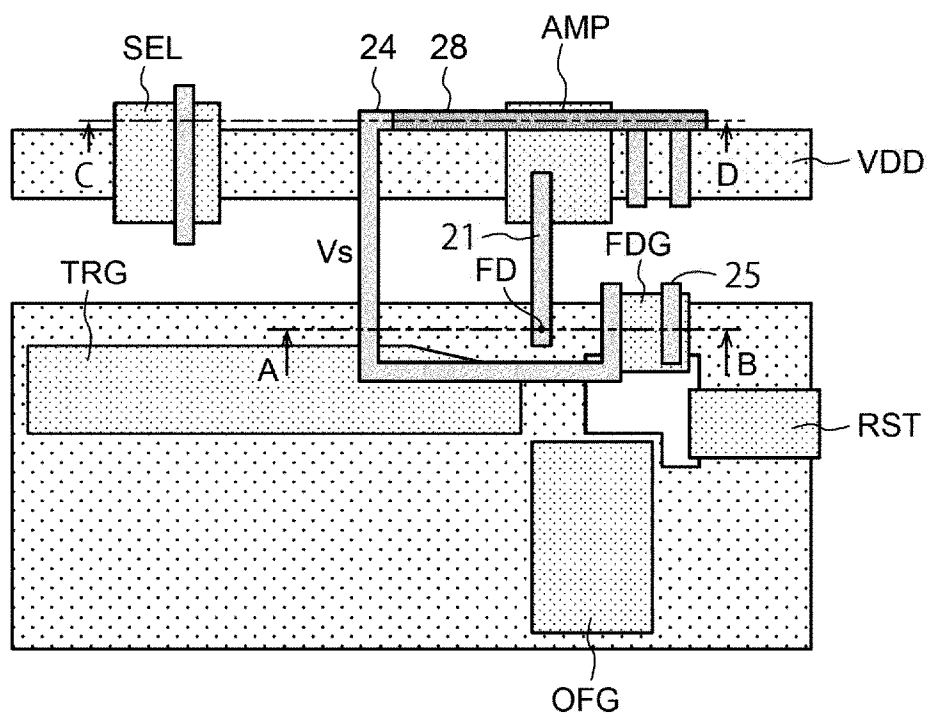
[図6]



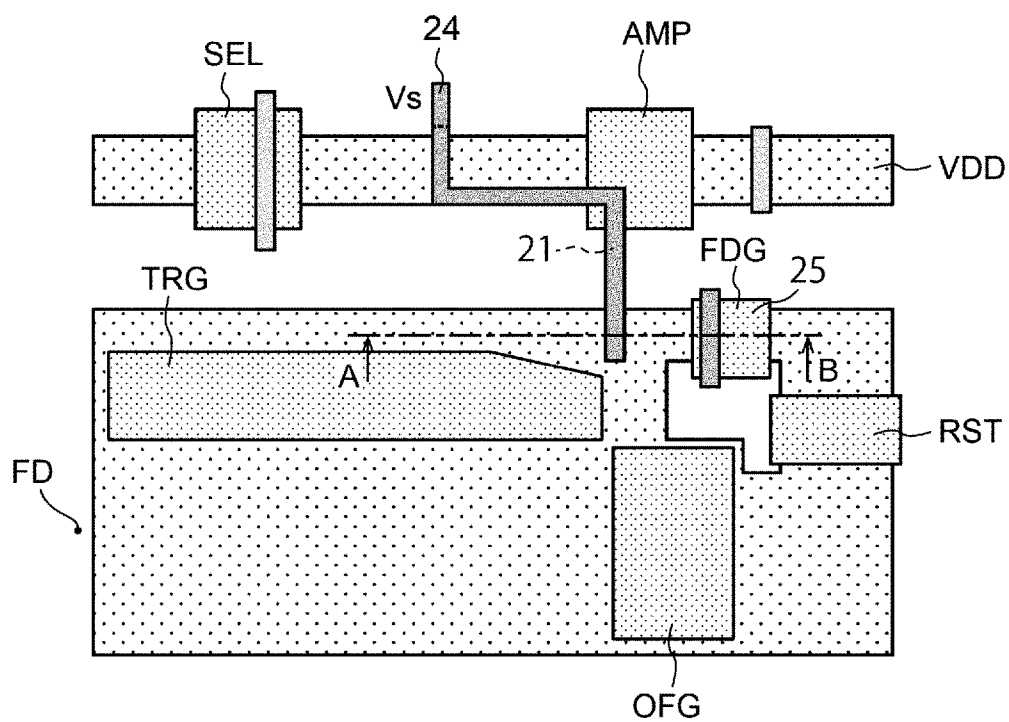
[図7]



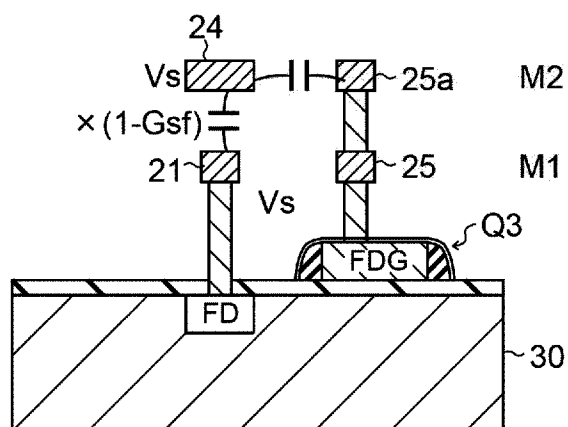


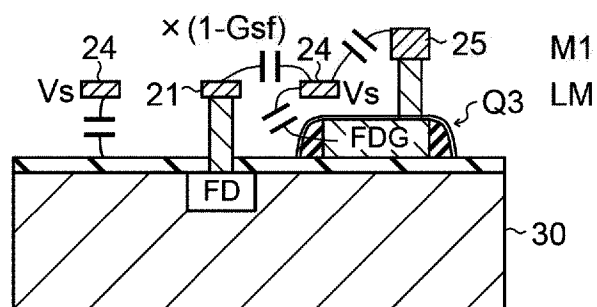


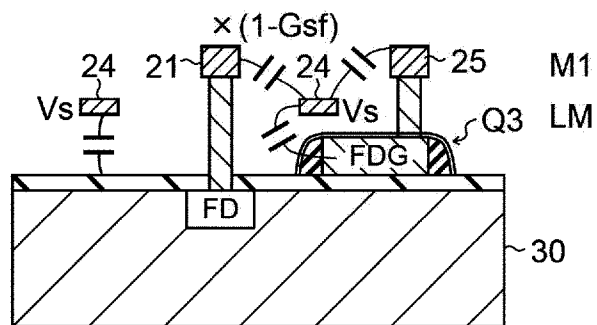
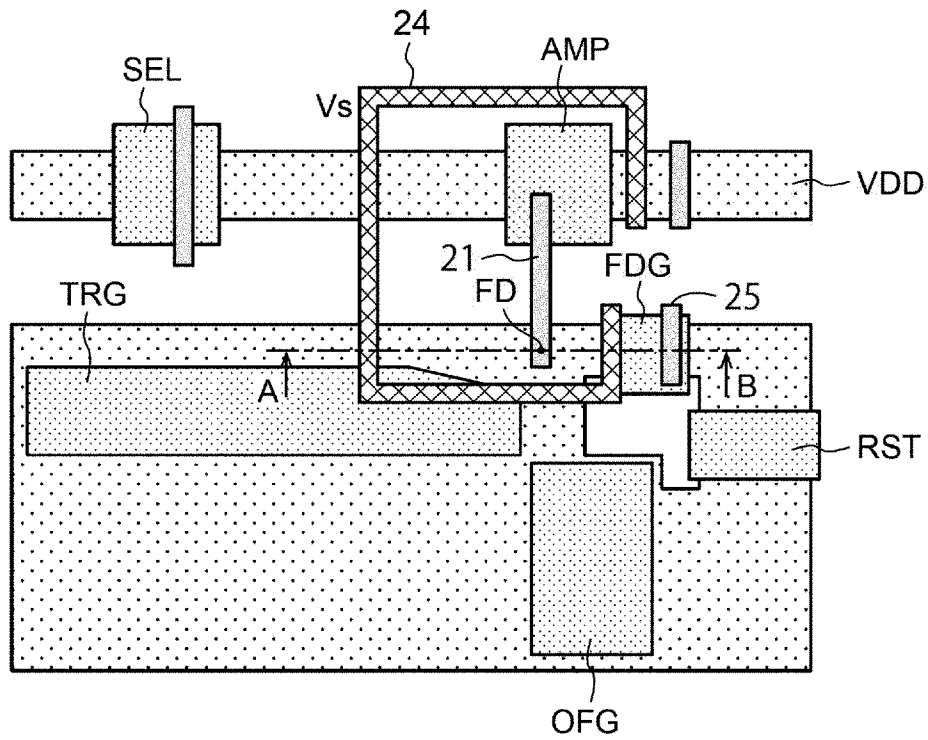
[図11]



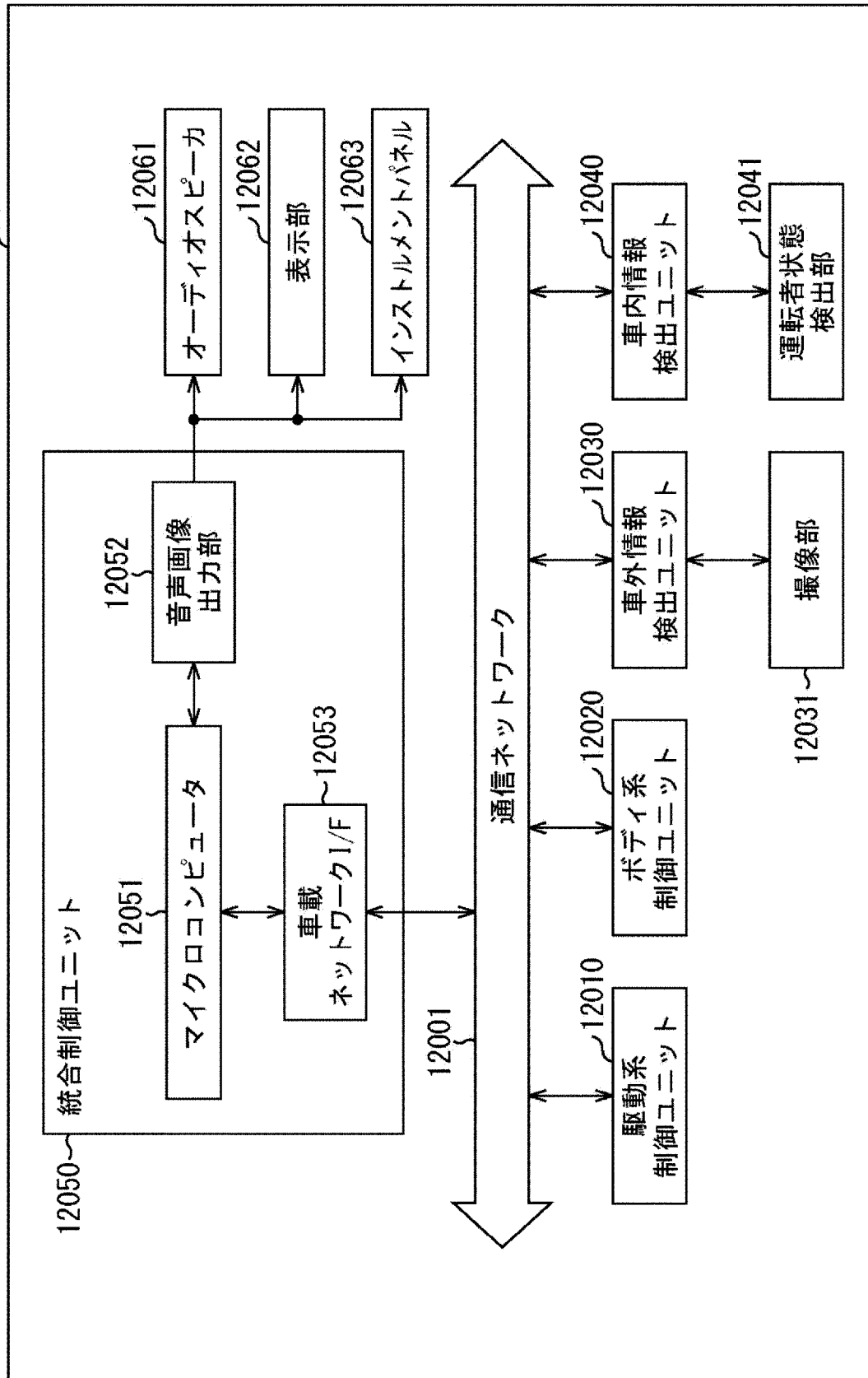
[図12]



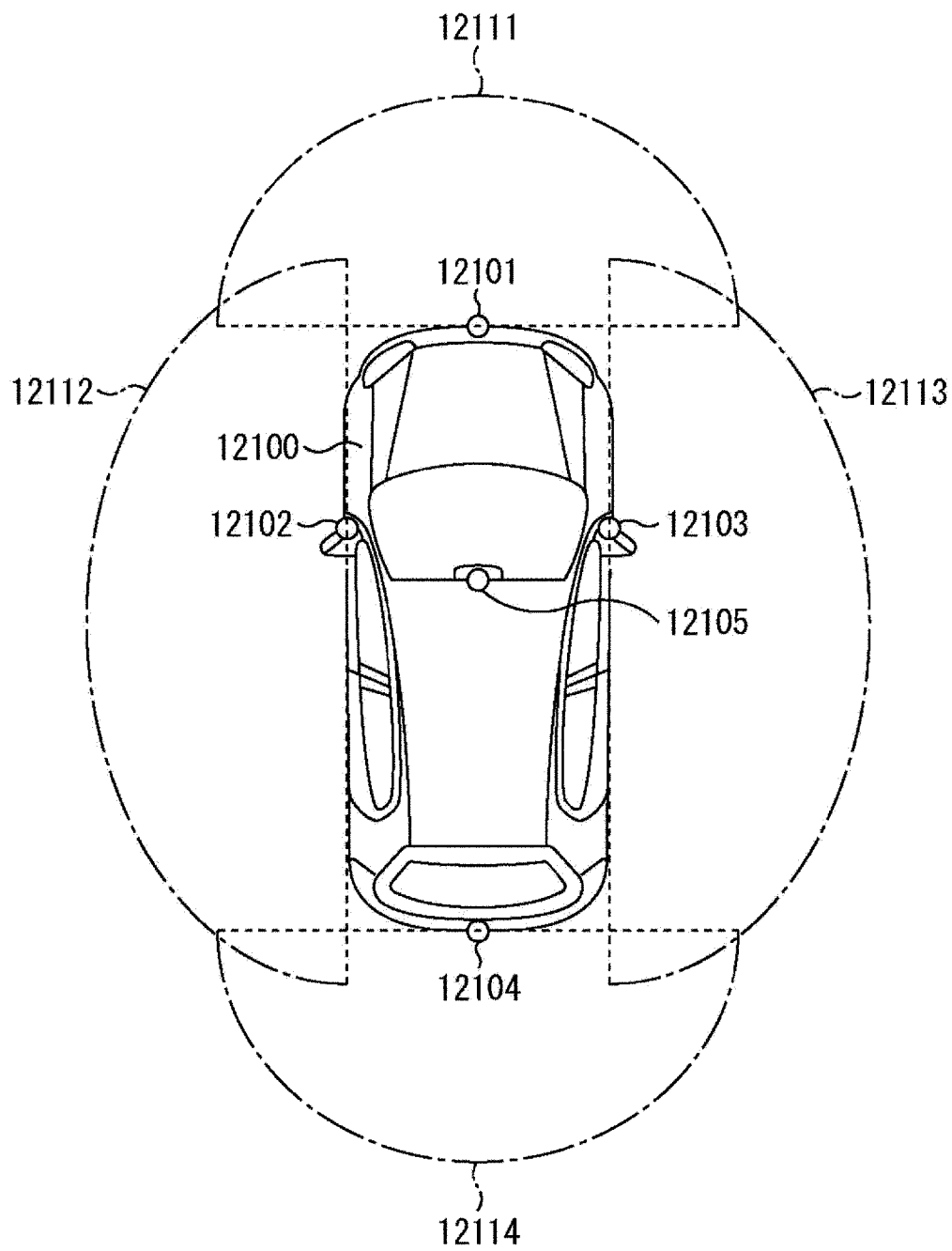




[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/016641

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H01L27/146 A; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-199185 A (PANASONIC CORPORATION) 06 October 2011 (2011-10-06) paragraphs [0032]-[0064], fig. 1-6	1-3, 5-8, 18
Y		4, 9-17
Y	JP 2001-156178 A (NEC CORPORATION) 08 June 2001 (2001-06-08) fig. 2	4, 15
Y	JP 2010-153905 A (RENESAS TECHNOLOGY CORPORATION) 08 July 2010 (2010-07-08) fig. 5	4, 15
Y	JP 2012-28677 A (PANASONIC CORPORATION) 09 February 2012 (2012-02-09) paragraphs [0027]-[0048], [0059]-[0067], fig. 1, 2, 6, 7	9-16
Y	JP 2014-96669 A (CANON INCORPORATED) 22 May 2014 (2014-05-22) paragraphs [0039]-[0054], fig. 3	17
Y	US 2018/0063459 A1 (STMICROELECTRONICS (RESEARCH & DEVELOPMENT) LIMITED) 01 March 2018 (2018-03-01) paragraphs [0024]-[0061], fig. 2	17

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 June 2022

Date of mailing of the international search report

05 July 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/016641**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/090150 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT COMPANY, LIMITED) 07 May 2020 (2020-05-07) entire text, all drawings	1-18
A	WO 2018/105334 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 14 June 2018 (2018-06-14) entire text, all drawings	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/016641

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2011-199185	A	06 October 2011	US 2013/0001650 A1 paragraphs [0046]-[0082], fig. 1-6 WO 2011/117949 A1	
JP	2001-156178	A	08 June 2001	(Family: none)	
JP	2010-153905	A	08 July 2010	(Family: none)	
JP	2012-28677	A	09 February 2012	WO 2012/014351 A1	
JP	2014-96669	A	22 May 2014	(Family: none)	
US	2018/0063459	A1	01 March 2018	CN 107786821 A	
WO	2020/090150	A1	07 May 2020	US 2021/0143218 A1 entire text, all drawings	
WO	2018/105334	A1	14 June 2018	US 2019/0268554 A1 entire text, all drawings CN 110050345 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H04N5/369														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2011-199185 A (パナソニック株式会社) 06.10.2011 (2011-10-06) [0032] - [0064], 図1-6	1-3, 5-8, 18												
Y		4, 9-17												
Y	JP 2001-156178 A (日本電気株式会社) 08.06.2001 (2001-06-08) 図2	4, 15												
Y	JP 2010-153905 A (株式会社ルネサステクノロジ) 08.07.2010 (2010-07-08) 図5	4, 15												
Y	JP 2012-28677 A (パナソニック株式会社) 09.02.2012 (2012-02-09) [0027] - [0048], [0059] - [0067], 図1, 2, 6, 7	9-16												
Y	JP 2014-96669 A (キャノン株式会社) 22.05.2014 (2014-05-22) [0039] - [0054], 図3	17												
Y	US 2018/0063459 A1 (STMICROELECTRONICS (RESEARCH & DEVELOPMENT) LIMITED) 01.03.2018 (2018-03-01) [0024] - [0061], 図2	17												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 20.06.2022		国際調査報告の発送日 05.07.2022												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559												

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	W0 2020/090150 A1 (パナソニック I P マネジメント株式会社) 07.05.2020 (2020 - 05 - 07) 全文, 全図	1-18
A	W0 2018/105334 A1 (ソニーセミコンダクタソリューションズ株式会社) 14.06.2018 (2018 - 06 - 14) 全文, 全図	1-18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/016641

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-199185	A	06.10.2011	US 2013/0001650 A1 [0046]-[0082], Figs.1-6 WO 2011/117949 A1	
JP	2001-156178	A	08.06.2001	(ファミリーなし)	
JP	2010-153905	A	08.07.2010	(ファミリーなし)	
JP	2012-28677	A	09.02.2012	WO 2012/014351 A1	
JP	2014-96669	A	22.05.2014	(ファミリーなし)	
US	2018/0063459	A1	01.03.2018	CN 107786821 A	
WO	2020/090150	A1	07.05.2020	US 2021/0143218 A1 全文, 全図	
WO	2018/105334	A1	14.06.2018	US 2019/0268554 A1 全文, 全図 CN 110050345 A	