

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6157100号
(P6157100)

(45) 発行日 平成29年7月5日 (2017.7.5)

(24) 登録日 平成29年6月16日 (2017.6.16)

(51) Int.Cl.

F I

H O 1 L 23/522 (2006.01)

H O 1 L 21/88

J

H O 1 L 21/768 (2006.01)

H O 1 L 21/88

S

H O 1 L 21/3205 (2006.01)

請求項の数 4 (全 12 頁)

(21) 出願番号 特願2012-272137 (P2012-272137)
 (22) 出願日 平成24年12月13日 (2012.12.13)
 (65) 公開番号 特開2014-120504 (P2014-120504A)
 (43) 公開日 平成26年6月30日 (2014.6.30)
 審査請求日 平成27年8月20日 (2015.8.20)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 落合 俊彦
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 審査官 右田 勝則

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

シリコン基板と、

前記シリコン基板を貫通するTSV (Through-Silicon Via) とを
 備える半導体装置であって、

前記シリコン基板に最も近い低比誘電率膜である第1の低比誘電率膜から、前記シリ
 コン基板から最も遠い低比誘電率膜である第2の低比誘電率膜までシールリングが設けられ
 ており、

前記シールリングは、前記シリコン基板を俯瞰する方向で見たときに、前記TSVの近
 傍において前記TSVを囲むように形成されており、

前記シールリングは、前記第1の低比誘電率膜より下のコンタクト層まで設けられ、拡
 散層に接続されており、

前記シールリングは、半導体素子の電極にさらに接続されており、

前記拡散層から前記シールリングを介して前記半導体素子の電極に対して給電される、
 半導体装置。

【請求項2】

前記シールリングは、前記第2の低比誘電率膜よりも上の層まで設けられている、
 請求項1に記載の半導体装置。

【請求項3】

複数の前記TSVを備え、

前記シールリングは、前記シリコン基板を俯瞰する方向で見たときに、前記複数のＴＳＶを囲むように形成されている、

請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記シールリングは、

前記シリコン基板を俯瞰する方向で見たときに、四方形の 4 つの角を夫々 45 度にカットして得た八角形を成す、

請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、シリコン貫通ビアを備える半導体装置に関する。

【背景技術】

【0002】

半導体の分野において、シールリングは、様々な目的で使用される。例えば、特許文献 1 には、チップ外周側面から内部への水分の浸入を防止するためのシールリングが設けられた半導体装置が開示されている。このようなシールリングは、チップの外周を沿って設けられる。該特許文献は、シールリングを 2 重に設けたり、シールリングの形状を工夫したりするなど、クラックに起因するシールリングの破壊を効果的に防ぐための技術も開示している。

20

【0003】

また、特許文献 2 には、3 次元集積回路を製造する際に、ダイ切断中にダイの基板領域内へのイオンの拡散とクラックの発生を防ぐためにシールリングを用いる技術が開示されている。

【0004】

3 次元集積回路は、1 つの半導体パッケージ内部において、シリコン貫通ビアにより複数の半導体装置を積層してなるものである。以下、シリコン貫通ビアを TSV (Through-Silicon Via) という。

【0005】

特許文献 2 に開示された技術は、複数の TSV をシールリングで囲むことにより、かかる目的の達成を図っている。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2011 - 9795 号公報

【特許文献 2】特開 2010 - 161367 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

3 次元集積回路における TSV は、半導体装置と半導体装置を接続するためにあるため、一般的に、その材料として、電気抵抗の低い銅が使用されている。その一方、半導体装置内の半導体素子は、シリコンで生成されている。

40

【0008】

TSV の材料の銅と、半導体素子の材料のシリコンとは、熱膨張率が異なるため、温度の変動に起因して、熱応力が発生する。特に、パッケージングされた半導体集積回路の熱サイクル試験等で、高い温度負荷がかかるため、比較的大きな熱応力が発生してしまう。

【0009】

近年、半導体装置の微細化が進み、銅配線の寄生容量がトランジスタ自体の入出力容量と同等の大きさになってしまい、素子動作の高速化の妨げになっている。そこで、配線間の寄生容量を低減するために、絶縁膜として、従来の酸化珪素よりも比誘電率が低い所謂

50

低比誘電率膜が多く用いられている。低比誘電率膜は、比誘電率が例えば3.5未満の絶縁膜であり、従来の酸化珪素の低比誘電率膜よりも機械的強度が弱くなっている。

【0010】

そのため、TSVを有し、低比誘電率膜が用いられた半導体装置の場合、低比誘電率膜にクラックが発生しやすく、発生後の進行も速いという問題がある。図12を参照して具体的に説明する。

【0011】

図12は、他の半導体装置と接続するためのTSVを備え、低比誘電率膜が用いられた半導体装置の一例の断面図を示す。図12に示すように、該半導体装置10は、ウェハの裏面から表面までの順に、シリコン基板20、拡散層LD、コンタクト層LC、第1の銅配線層LCU1、第1のビア層LV1、第2の銅配線層LCU2、第2のビア層LV2、第3の銅配線層LCU3、第3のビア層LV3、第4の銅配線層LCU4、第4のビア層LV4、第5の銅配線層LCU5、アルミ電極30が設けられている。半導体素子の一例として、トランジスタとなる半導体素子40が示されている。

【0012】

ここで第1の銅配線層、第2の銅配線層および第3の銅配線層は、その上層配線と比べて配線ピッチが小さい。配線間の寄生容量を低減するため、第1の銅配線層LCU1と第2の銅配線層LCU2間の絶縁膜51、第2の銅配線層LCU2と第3の銅配線層LCU3間の絶縁膜52、第3の銅配線層LCU3と第4の銅配線層LCU4間の絶縁膜53は、低比誘電率膜が用いられている。なお、斜線で示される絶縁膜54は一般的な酸化珪素が用いられる。

【0013】

また、第1の銅配線層LCU1からシリコン基板20を貫通するTSV60が設けられている。TSV60は、TSV電極61とTSV電極パッド62を含み、TSV電極61が第1の銅配線層LCU1に接続され、TSV電極パッド62がウェハ裏面に設けられており、図示しない他の半導体装置のアルミ電極と接続される。

【0014】

半導体装置によって、TSVは、半導体装置の裏面から表面までを貫通する構造や、半導体装置の裏面から半導体装置の第1配線層下まで貫通する構造等、幾つかの構造が開発されている。図12に示す例の半導体装置10では、TSV60は、ウェハ裏面から第1の銅配線層LCU1に接続される部分までを貫通する構造を有する。また、図12の例では、TSV60のTSV電極61は、各層の銅配線及び各層のビアにより、アルミ電極30に接続され、半導体装置10には、他に分岐する銅配線が無い。

【0015】

熱サイクル試験等、高い温度負荷がかかった場合に、TSV60と、半導体装置10内の半導体素子の熱膨張率の相違に起因して、第1の銅配線層LCU1からアルミ電極30までの、TSV60と接続した部分が、上方に突き上げられたり、下方に引っ張られたりするなどのことが生じる。そのため、この部分の周辺の絶縁膜に熱応力がかかってしまい、クラックの発生が起こり得る。特に、絶縁膜51～53は、機械的強度が弱い低比誘電率膜であるため、他の絶縁膜（図示せず）より、クラックの発生がしやすい。

【0016】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0017】

一実施の形態による半導体装置は、シリコン基板を貫通するTSVを備える。シリコン基板に最も近い低比誘電率膜から、シリコン基板から最も遠い低比誘電率膜までシールリングが設けられている。該シールリングは、シリコン基板を俯瞰する方向で見たときに、TSVを囲むように形成されている。

【発明の効果】

【 0 0 1 8 】

前記一実施の形態の半導体装置によれば、低比誘電率膜のクラックの発生、またはクラックの進行を抑制することができる。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】第 1 の実施の形態にかかる 3 次元集積回路を示す図である。

【図 2】図 1 に示す 3 次元集積回路における半導体装置の断面図である。

【図 3】図 2 に示す半導体装置におけるシリコン基板を俯瞰する方向で見たときの、シールリングと T S V の位置関係を示す図である。

【図 4】図 2 に示す半導体装置におけるクラックの発生位置と進行方向の例を示す図である。

10

【図 5】図 2 に示す半導体装置におけるシリコン基板を俯瞰する方向で見たときの、クラックの進行方向を示す図である。

【図 6】第 2 の実施の形態にかかる 3 次元集積回路における半導体装置の断面図である。

【図 7】第 3 の実施の形態にかかる 3 次元集積回路における半導体装置の断面図である。

【図 8】図 7 に示す半導体装置におけるシリコン基板を俯瞰する方向で見たときの、シールリングと各 T S V の位置関係を示す図である。

【図 9】第 4 の実施の形態にかかる半導体装置の断面図である。

【図 1 0】第 5 の実施の形態にかかる半導体装置の断面図の一部である。

【図 1 1】第 6 の実施の形態にかかる半導体装置の断面図の一部である。

20

【図 1 2】T S V を備える従来の半導体装置の例を示す図である。

【発明を実施するための形態】

【 0 0 2 0 】

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

【 0 0 2 1 】

< 第 1 の実施の形態 >

図 1 は、第 1 の実施の形態にかかる 3 次元集積回路 8 0 を示す。3 次元集積回路 8 0 は、パッケージ基板 9 0 の上に、4 つの半導体装置 1 0 0 が積層されている。例として、パッケージ基板 9 0 の上に積層された半導体装置の数が 4 であるが、この数は、限定されることがなく、2 以上の任意の値とすることができる。

30

【 0 0 2 2 】

図 2 は、3 次元集積回路 8 0 における各半導体装置 1 0 0 の断面図を示す。比較しやすいように、半導体装置 1 0 0 における T S V の構造を図 1 2 に示す従来の半導体装置 1 0 における T S V の構造と同様にしている。また、説明上の便宜のため、シリコン基板 2 0 からアルミ電極 3 0 まで伸びる方向、すなわち半導体装置 1 0 0 の下から上に伸びる方向を Y 方向とし、Y 方向と垂直する方向を X 方向とする。

【 0 0 2 3 】

図 2 において、黒く塗りつぶされた部分は、シールリング 1 1 0 を示す。図 2 から分かるように、該シールリング 1 1 0 は、Y 方向に沿って、シリコン基板 2 0 に最も近い低比誘電率膜（以下「第 1 の低比誘電率膜」という）5 1 から、シリコン基板 2 0 から最も遠い低比誘電率膜（以下「第 2 の低比誘電率膜」という）5 3 まで、シールリング 1 1 0 が設けられている。

40

【 0 0 2 4 】

図 3 は、アルミ電極 3 0 からシリコン基板 2 0 を俯瞰する方向で見たときの、シールリング 1 1 0 の形状と、シールリング 1 1 0 と T S V 6 0 の位置関係を示す図である。

【 0 0 2 5 】

限定されないが、本実施の形態において、シールリング 1 1 0 の形状は、シリコン基板 2 0 を俯瞰する方向で見たときに、四方形の 4 つの角を夫々 4 5 度にカットして得た八角

50

形となっている。この形状の意義については、後述する。

【 0 0 2 6 】

図 3 に示すように、シールリング 1 1 0 は、シリコン基板 2 0 を俯瞰する方向で見たときに、T S V 6 0 (具体的には T S V 電極 6 1) の外周から空隙をおいて、T S V 電極 6 1 を囲むように、T S V 6 0 に近傍に形成されている。

【 0 0 2 7 】

図 4 は、図 2 に示す半導体装置 1 0 0 に生じ得るクラック及びその進行方向の例を示す。半導体装置の各層において、T S V と接続された部分に近い領域ほどクラックが発生しやすい。この例では、丸により囲まれた部分内の低比誘電率膜 5 2 の領域にクラックが生じており、図中矢印が示すように、クラックの進行方向は、半導体装置 1 0 0 の外周に向かう方向である。

10

【 0 0 2 8 】

図 5 は、シリコン基板 2 0 を俯瞰する方向で見たときの、クラックの進行方向を示す。図 5 中心部の黒丸は、T S V の中心を示し、各矢印は、クラックの進行方向を示す。

【 0 0 2 9 】

クラックは、T S V の中心から放射線状に、半導体装置の外周に向かって進行する。本実施の形態において、シールリング 1 1 0 により、クラックの進行を阻止するため、低比誘電率膜のダメージを小さく抑制することができる。

【 0 0 3 0 】

また、シールリング 1 1 0 が膜を支持する効用もあるため、シールリング 1 1 0 を設けることにより、クラックの発生そのものも抑制することができる。

20

【 0 0 3 1 】

次いで、シールリング 1 1 0 の形状の意義を説明する。

例えば、クラックの 1 つの進行方向が方向 1 であるとする。方向 1 に向かって進行するクラックを阻止するためには、方向 1 と略垂直する形状を有する阻止物が効果的であると考えられる。

【 0 0 3 2 】

図 5 に示すように、クラックは、放射線状に進行する。阻止物となるシールリング 1 1 0 の形状を、四方形の 4 つの角を夫々 4 5 度にカットして得た八角形にすることにより、クラックの各進行方向のうちの、シールリング 1 1 0 と略垂直する方向を増やすことができ、ひいては、クラックの阻止効果を高めることができる。

30

【 0 0 3 3 】

< 第 2 の実施の形態 >

第 2 の実施の形態も、複数の半導体装置が積層されてなる 3 次元集積回路である。図 6 は、本第 2 の実施の形態にかかる 3 次元集積回路における半導体装置 2 0 0 を示す。

【 0 0 3 4 】

半導体装置 2 0 0 は、シールリング 1 1 0 の代わりにシールリング 2 1 0 が設けられた点を除き、半導体装置 1 0 0 と同様である。なお、図 6 において、シールリング 2 1 0 も、黒く塗りつぶされた部分で示されている。

【 0 0 3 5 】

半導体装置 1 0 0 では、シールリング 1 1 0 は、第 1 の低比誘電率膜 5 1 から第 2 の低比誘電率膜 5 3 まで設けられている。対して、図 6 に示すように、半導体装置 2 0 0 において、シールリング 2 1 0 は、上には、トップの銅配線層 (ここでは第 5 の銅配線層 L C U 5) まで伸びており、下には、コンタクト層 L C まで伸びている。

40

【 0 0 3 6 】

このように、第 1 の低比誘電率膜 5 1 より下の層から、第 2 の低比誘電率膜 5 3 より上の層までシールリングを設けることにより、低比誘電率膜のみならず、他の層におけるクラックの発生と進行の阻止効果をより高めることができる。

【 0 0 3 7 】

勿論、シールリングは、そのカバー範囲内に、第 1 の低比誘電率膜 5 1 から第 2 の低比

50

誘電率膜 5 3 が含まれていれば、上限については、トップの銅配線層に限らず、半導体装置 2 0 0 の配線状況に応じて、第 2 の低比誘電率膜 5 3 以上の任意の層としてもよい。同様に、下限についても、コンタクト層 LC に限らず、半導体装置 2 0 0 の配線状況に応じて、第 1 の低比誘電率膜 5 1 以下の任意の層としてもよい。

【 0 0 3 8 】

< 第 3 の実施の形態 >

第 3 の実施の形態も、複数の半導体装置が積層されてなる 3 次元集積回路である。図 7 は、本第 3 の実施の形態にかかる 3 次元集積回路における半導体装置 3 0 0 を示す。図 7 に対して、半導体装置 2 0 0 と異なる点についてのみ説明する。

【 0 0 3 9 】

半導体装置 3 0 0 は、複数の T S V (図示の例では 2 つ) を有する。図示のように、T S V 6 0 に加え、T S V 3 6 0 が設けられている。T S V 3 6 0 は、T S V 電極 3 6 1 と T S V 電極パッド 3 6 2 を備え、T S V 電極 3 6 1 からアルミ電極 3 3 0 までの接続態様は、T S V 6 0 の T S V 電極 6 1 からアルミ電極 3 0 までの接続態様と同様である。

【 0 0 4 0 】

また、半導体装置 3 0 0 では、半導体装置 2 0 0 におけるシールリング 2 1 0 の代わりに、シールリング 3 1 0 が設けられている。なお、図 7 において、シールリング 3 1 0 も、黒く塗りつぶされた部分で示されている。

【 0 0 4 1 】

シールリング 3 1 0 は、Y 方向において、シールリング 2 1 0 と同様に、コンタクト層 LC から第 5 の銅配線層 LC U 5 まで設けられている。

【 0 0 4 2 】

図 8 は、ウェハ表面からシリコン基板 2 0 を俯瞰する方向で見たときの、T S V 6 0、T S V 3 6 0、シールリング 3 1 0 の位置関係を示す図である。

【 0 0 4 3 】

図示のように、シールリング 3 1 0 は、T S V 6 0 (具体的には T S V 電極 6 1) と T S V 3 6 0 (具体的には T S V 電極 3 6 1) の近傍に、T S V 電極 6 1 と T S V 電極 3 6 1 を囲むように、T S V 6 0 と T S V 3 6 0 の近傍に形成されている。その形状は、シールリング 1 1 0 及びシールリング 2 1 0 と同様に、八角形になっている。

【 0 0 4 4 】

このように、シリコン基板を俯瞰する方向で見たときに、複数の T S V を囲むようにシールリングを形成することにより、絶縁膜のクラックの発生と進行を抑制することができると共に、T S V 毎にシールリングを設けることより、シールリングの本数を減らし、半導体装置のレイアウト上の余裕を大きくすることができる。

【 0 0 4 5 】

なお、図 7 は、半導体装置に含まれる T S V の数が 2 であり、該 2 つの T S V に対して 1 本のシールリングを設けた例である。例えば、T S V の数が 3 以上である場合に、T S V 間の間隔や、半導体装置の配線状況などに応じて、これらの T S V を複数のグループに分け、グループ毎にシールリングを設けるようにしてもよい。

【 0 0 4 6 】

勿論、シールリング 3 1 0 についても、Y 方向において、下限を第 1 の低比誘電率膜 5 1 以下の任意の層、上限を第 2 の低比誘電率膜 5 3 以上の任意の層としてもよい。

【 0 0 4 7 】

< 第 4 の実施の形態 >

上述した各実施の形態における半導体装置は、T S V がアルミ電極まで接続された例である。本技術は、T S V がアルミ電極に接続されない半導体装置にも適用可能である。本第 4 の実施の形態は、このような半導体装置について説明する。

【 0 0 4 8 】

図 9 は、第 4 の実施の形態にかかる 3 次元集積回路における半導体装置 4 0 0 を示す。この半導体装置 4 0 0 は、例えば 3 次元集積回路の最上層の半導体装置である。

【 0 0 4 9 】

図 9 に示すように、半導体装置 4 0 0 において、T S V 6 0 は、第 5 の銅配線層 L C U 5 まで接続されている。また、第 5 の銅配線層 L C U 5 は、第 4 のビア層 L V 4、第 3 の銅配線層 L C U 3、第 3 のビア層 L V 3、第 2 の銅配線層 L C U 2、第 2 のビア層 L V 2、第 1 の銅配線層 L C U 1、コンタクト層 L C を介して、半導体素子 4 0 に接続されている。

【 0 0 5 0 】

黒く塗りつぶされた部分で示されるシールリング 4 1 0 は、コンタクト層 L C から第 5 の銅配線層 L C U 5 より 1 つ下の銅配線層（第 4 の銅配線層 L C U 4）まで設けられている。

10

【 0 0 5 1 】

こうすることにより、シールリング 4 1 0 は、第 5 の銅配線層 L C U 5 から半導体素子 4 0 までの配線の妨げにはならず、各低比誘電率膜のクラックの発生と進行を抑制することができる。

【 0 0 5 2 】

なお、半導体装置 4 0 0 では、シールリング 4 1 0 は、下方向には、コンタクト層 L C まで設けられているが、コンタクト層 L C に設けずに、第 1 の低比誘電率膜 5 1 まで設けられるようにしてもよい。勿論、上方向においては、第 4 の銅配線層 L C U 4 に設けずに、第 2 の低比誘電率膜 5 3 まで設けるようにしてもよい。

20

【 0 0 5 3 】

< 第 5 の実施の形態 >

シリコン基板に最も近い低比誘電率膜（第 1 の低比誘電率膜）から、シリコン基板から最も遠い低比誘電率膜（第 2 の低比誘電率膜）までシールリングを設ければ、低比誘電率膜のクラックの発生と進行を抑制できることは、上記にて説明した。シールリングを第 1 の低比誘電率膜より下のコンタクト層まで、すなわち拡散層の表面まで設け、拡散層と接続することにより、シールリングを基板と同電位にすることができる。そのため、近傍の半導体素子への給電に利用することができる。図 9 を参照して 1 例を説明する。

【 0 0 5 4 】

図 1 0 は、第 5 の実施の形態にかかる 3 次元集積回路における半導体装置 5 0 0 の断面図である。図 1 0 において、第 2 の銅配線層 L C U 2 まで示し、第 2 の銅配線層 L C U 2 より上の層については、図示を省略する。

30

【 0 0 5 5 】

半導体装置 5 0 0 において、黒く塗りつぶされた部分で示されるシールリング 5 1 0 は、拡散層 L D まで設けられている。

【 0 0 5 6 】

半導体素子 4 0 は、例えば、N 型のトランジスタであり、拡散層 L D は、P + 拡散層となる。半導体素子 4 0 のドレイン電極とソース電極（G N D）は、第 1 の銅配線層 L C U 1 に設けられており、コンタクト層 L C を介して半導体素子 4 0 のドレイン端子とソース端子に夫々給電する。

【 0 0 5 7 】

この場合、第 1 の銅配線層 L C U 1 において、接続配線によりシールリング 5 1 0 と半導体素子 4 0 のドレイン電極に接続することにより、半導体素子 4 0 のソース端子に給電可能である。

40

【 0 0 5 8 】

< 第 6 の実施の形態 >

図 1 1 に示す第 6 の実施の形態の半導体装置 6 0 0 も、拡散層までシールリングを設け、半導体素子の給電に使用する例である。半導体装置 6 0 0 においても、例として、半導体素子 4 0 は、N 型のトランジスタであり、拡散層 L D は、P + 拡散層となる。

【 0 0 5 9 】

T S V 6 0 は、T S V 電極パッド 6 2 を介して図示しない外部の G N D に接続されてい

50

る。この場合、図示のように、第１の銅配線層ＬＣＵ１において、シールリング６１０と、半導体素子４０のドレイン電極と、ＴＳＶ６０のＴＳＶ電極６１とを接続配線により接続することにより、半導体素子４０のソース端子への給電が可能である。

【００６０】

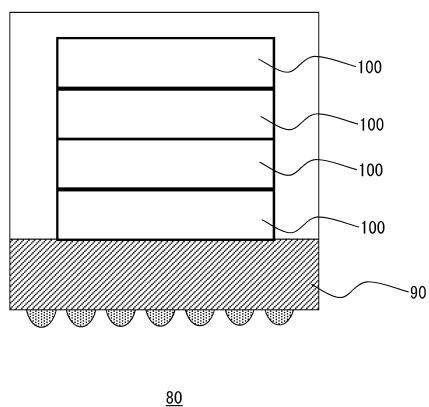
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【符号の説明】

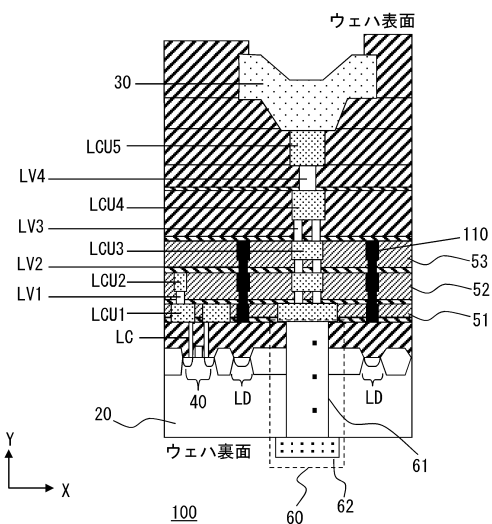
【００６１】

１０	半導体装置	10
２０	シリコン基板	
３０	アルミ電極	
４０	半導体素子	
５１	第１の低比誘電率膜	
５２	低比誘電率膜	
５３	第２の低比誘電率膜	
５４	絶縁膜	
６０	ＴＳＶ	
６１	ＴＳＶ電極	
６２	ＴＳＶ電極パッド	20
８０	３次元集積回路	
９０	パッケージ基板	
１００	半導体装置	
１１０	シールリング	
２００	半導体装置	
２１０	シールリング	
３００	半導体装置	
３１０	シールリング	
３３０	アルミ電極	
３６０	ＴＳＶ	30
３６１	ＴＳＶ電極	
３６２	ＴＳＶ電極パッド	
４００	半導体装置	
４１０	シールリング	
５００	半導体装置	
５１０	シールリング	
６００	半導体装置	
６１０	シールリング	
ＬＣ	コンタクト層	
ＬＤ	拡散層	40
ＬＣＵ１	第１の銅配線層	
ＬＣＵ２	第２の銅配線層	
ＬＣＵ３	第３の銅配線層	
ＬＣＵ４	第４の銅配線層	
ＬＣＵ５	第５の銅配線層	
ＬＶ１	第１のビア層	
ＬＶ２	第２のビア層	
ＬＶ３	第３のビア層	
ＬＶ４	第４のビア層	

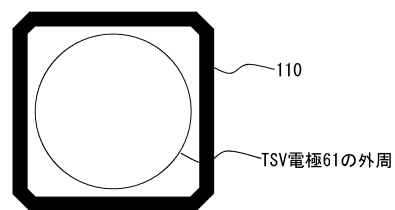
【図 1】



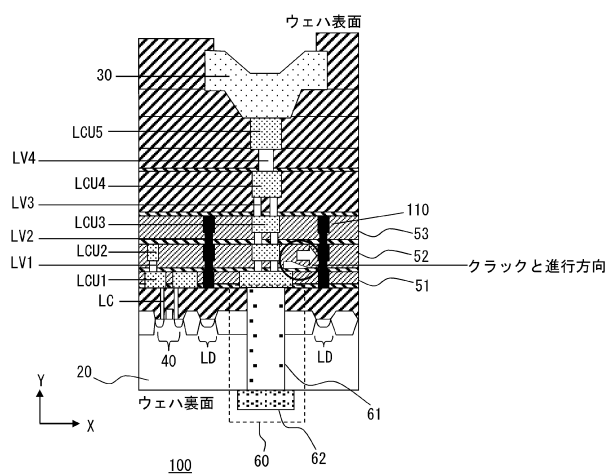
【図 2】



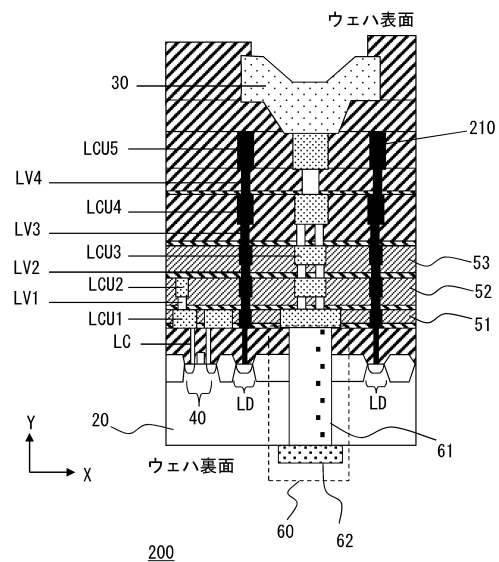
【図 3】



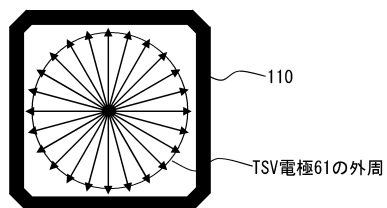
【図 4】



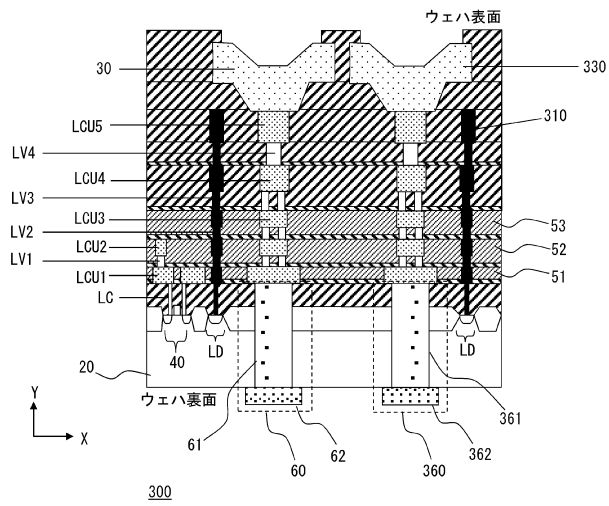
【図 6】



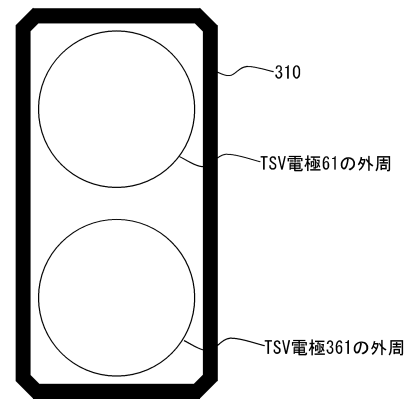
【図 5】



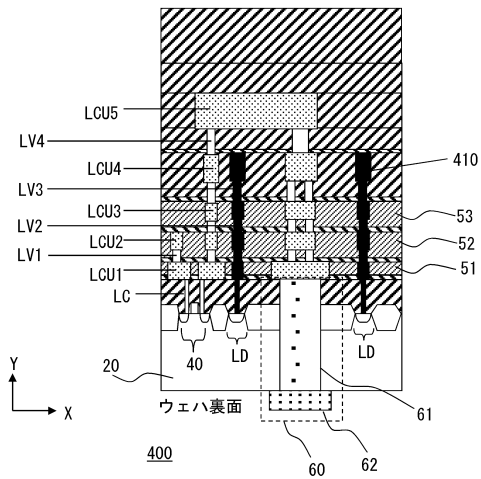
【図 7】



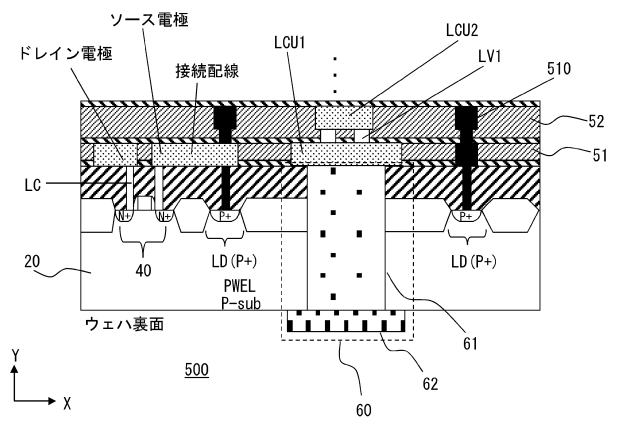
【図 8】



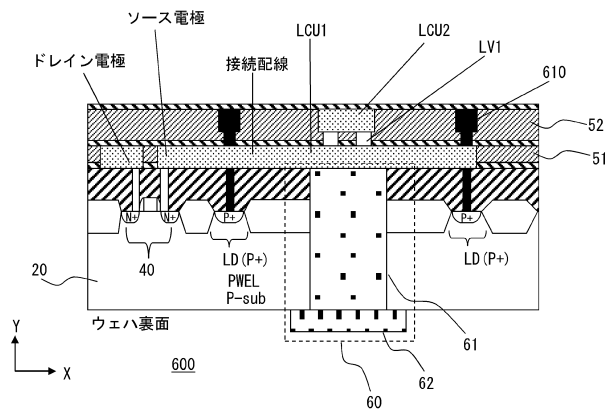
【図 9】



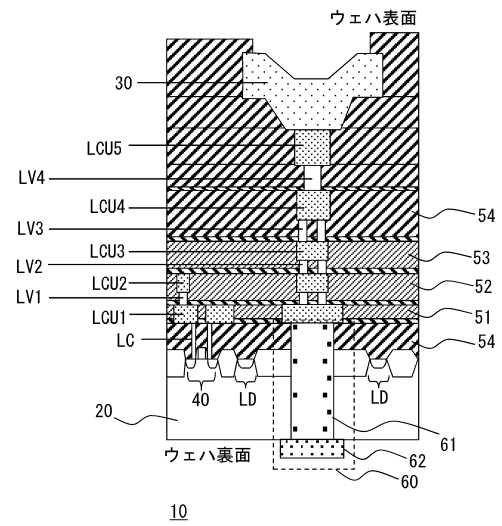
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

- (56)参考文献 特開2007-123857(JP,A)
特開2005-142553(JP,A)
国際公開第2007/074530(WO,A1)
特開2009-123734(JP,A)
特開2010-161367(JP,A)
特開2007-115988(JP,A)
特開2011-082541(JP,A)
特開2011-176047(JP,A)
特開2004-297022(JP,A)
米国特許出願公開第2007/0018331(US,A1)
特開2009-290191(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/768
H01L 23/522