(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6040412号
(P6040412)
(45)発行日　平成28年12月7日(2016.12.7)　(24)登録日　平成28年11月18日(2016.11.18)

(51)Int.Cl.　F I
A63F 7/02 (2006.01)　A63F 7/02 326Z
A63F 7/02 304D

請求項の数 1　(全 55 頁)

(21)出願番号　特願2015-146372(P2015-146372)
(22)出願日　平成27年7月24日(2015.7.24)
(62)分割の表示　特願2013-57717(P2013-57717)の分割
原出願日　平成21年6月30日(2009.6.30)
(65)公開番号　特開2015-180466(P2015-180466A)
(43)公開日　平成27年10月15日(2015.10.15)
審査請求日　平成27年8月21日(2015.8.21)

(73)特許権者　000132747
株式会社ソフイア
群馬県桐生市境野町７丁目２０１番地
(74)代理人　100075513
弁理士　後藤　政喜
(74)代理人　100120260
弁理士　飯田　雅昭
(72)発明者　田中　雅也
群馬県太田市吉沢町９９０番地　株式会社ソフィア内
(72)発明者　松橋　光一
群馬県太田市吉沢町９９０番地　株式会社ソフィア内

審査官　秋山　斉昭

最終頁に続く

(54)【発明の名称】遊技機

(57)【特許請求の範囲】
【請求項１】
遊技の演出に係る制御を行うグループ統括制御手段を備え、
複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループに設けるとともに、
前記グループ統括制御手段には、前記グループ単位制御手段の各々を統括的に制御する統括制御手段が含まれ、
前記統括制御手段と前記各グループ単位制御手段との間に、タイミング信号を伝達するタイミング信号線と、データ信号を伝達するデータ信号線と、を備えることにより前記統括制御手段と前記各グループ単位制御手段との間でデータ送信を可能とし、
前記統括制御手段が送信するデータには、記憶先のアドレスに関するアドレス更新情報と、複数の制御データと、が含まれ、
前記アドレス更新情報には、
前記グループ単位制御手段に設けられた記憶領域のうちの所定のアドレスを特定可能なアドレス情報と、
制御データを記憶する毎に記憶先のアドレスを順次更新するアドレス更新機能を有効又は無効にするか特定可能であるとともに、前記記憶領域の範囲内においてアドレスを更新する際の上限アドレスと戻りアドレスを特定可能な更新情報と、が含まれ、
前記グループ単位制御手段は、
前記更新情報が前記アドレス更新機能を有効にすることを示す場合には、

前記アドレス情報が示すアドレスを記憶先の開始アドレスとして、送信された制御データを記憶するとともに、制御データを記憶する毎に記憶先のアドレスを順次更新し、
前記上限アドレスが示す記憶領域に制御データを記憶した場合は、前記戻りアドレスに戻るように記憶先のアドレスを更新する一方で、
前記更新情報が前記アドレス更新機能を無効にすることを示す場合には、
前記アドレス情報が示すアドレスに、送信された制御データを記憶しても記憶先のアドレスを更新しないようにし、
前記タイミング信号線及び前記データ信号線には、所定の電源電圧を印加したプルアップ抵抗が各々接続され、
前記統括制御手段と前記プルアップ抵抗を、同一の制御装置内に配置するようにし、
遊技を統括的に制御する遊技制御手段からの指令に基づいて、遊技に係る演出を制御可能な演出制御手段を、前記遊技の演出に係る制御を行うグループ統括制御手段として構成するようにしたことを特徴とする遊技機。

【発明の詳細な説明】
【技術分野】
【０００１】
グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関し、特に、グループ単位制御手段の異常検出方法に関する。
【背景技術】
【０００２】
サブ中継基板と電飾基板との間の配線を簡素化することができる遊技機として、トップ電飾領域の中央部に配置されたトップＬＥＤ中央基板をサブ中継基板とシリアル接続し、トップ電飾領域の右側部に配置されたトップＬＥＤ右基板及びトップ電飾領域の左側部に配置されたトップＬＥＤ左基板をトップＬＥＤ中央基板から分離して配線により接続した構成の遊技機が知られている。これにより、サブ中継基板からトップ電飾領域への配線数を減らして配線を簡素化することができる（例えば、特許文献１参照）。
【０００３】
また、信号線の数を削減することができると共に不正行為の発見を容易に行うことができる遊技機として、主基板と副基板との間での信号送信をI^2Cバス方式により行い、主基板及び副基板にそれぞれ双方向バスバッファを設けたものがある。この双方向バスバッファは、I^2Cバスを構成する二つの双方向シリアルライン（ＳＤＡ、ＳＣＬ）をそれぞれ二つの片方向シリアルラインに分岐させるためのものであり、主基板に設けられた双方向バスバッファと副基板に設けられた双方向バスバッファとの間を、それらによって分岐された片方向シリアルラインの信号伝送方向が互いに一致するようにして、四つのシリアル線で接続した構成としている（例えば、特許文献２参照）。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開2008-212271号公報
【特許文献２】特開2006-15036号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
特許文献１に記載された遊技機では、配線を十分に削減することができなかった。
【０００９】
本発明は、グループ統括制御手段とグループ単位制御手段とを接続する接続線の数を削減することのできる遊技機を提供することを目的とする。
【課題を解決するための手段】
【００１０】

本発明は、遊技の演出に係る制御を行うグループ統括制御手段を備え、複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループに設けるとともに、前記グループ統括制御手段には、前記グループ単位制御手段の各々を統括的に制御する統括制御手段が含まれ、前記統括制御手段と前記各グループ単位制御手段との間に、タイミング信号を伝達するタイミング信号線と、データ信号を伝達するデータ信号線と、を備えることにより前記統括制御手段と前記各グループ単位制御手段との間でデータ送信を可能とし、前記統括制御手段が送信するデータには、記憶先のアドレスに関するアドレス更新情報と、複数の制御データと、が含まれ、前記アドレス更新情報には、前記グループ単位制御手段に設けられた記憶領域のうちの所定のアドレスを特定可能なアドレス情報と、制御データを記憶する毎に記憶先のアドレスを順次更新するアドレス更新機能を有効又は無効にするか特定可能であるとともに、前記記憶領域の範囲内においてアドレスを更新する際の上限アドレスと戻りアドレスを特定可能な更新情報と、が含まれ、前記グループ単位制御手段は、前記更新情報が前記アドレス更新機能を有効にすることを示す場合には、前記アドレス情報が示すアドレスを記憶先の開始アドレスとして、送信された制御データを記憶するとともに、制御データを記憶する毎に記憶先のアドレスを順次更新し、前記上限アドレスが示す記憶領域に制御データを記憶した場合は、前記戻りアドレスに戻るように記憶先のアドレスを更新する一方で、

前記更新情報が前記アドレス更新機能を無効にすることを示す場合には、前記アドレス情報が示すアドレスに、送信された制御データを記憶しても記憶先のアドレスを更新しないようにし、前記タイミング信号線及び前記データ信号線には、所定の電源電圧を印加したプルアップ抵抗が各々接続され、前記統括制御手段と前記プルアップ抵抗を、同一の制御装置内に配置するようにし、遊技を統括的に制御する遊技制御手段からの指令に基づいて、遊技に係る演出を制御可能な演出制御手段を、前記遊技の演出に係る制御を行うグループ統括制御手段として構成するようにしたことを特徴とする。

【発明の効果】

【００１５】

本発明によると、グループ統括制御手段とグループ単位制御手段とを接続する接続線の数を削減することができる。

【図面の簡単な説明】

【００２１】

【図１】本発明の第１の実施形態の遊技機の説明図である。

【図２】本発明の第１の実施形態の遊技盤の正面図である。

【図３】本発明の第１の実施形態の遊技機の構成を示すブロック図である。

【図４】本発明の第１の実施形態の演出制御装置の構成を示すブロック図である。

【図５】本発明の第１の実施形態の装飾制御装置の接続の説明図である。

【図６】本発明の第１の実施形態の装飾制御装置のブロック図である。

【図７】本発明の第１の実施形態のＩ^{2}ＣＩ／Ｏエクスパンダのブロック図である。

【図８Ａ】本発明の第１の実施形態の装飾装置を制御する装飾制御装置のＩ^{2}ＣＩ／Ｏエクスパンダ周辺の回路図である。

【図８Ｂ】本発明の第１の実施形態の役物駆動ＭＯＴ及び役物駆動ＳＯＬを制御する装飾制御装置のＩ^{2}ＣＩ／Ｏエクスパンダ周辺の回路図である。

【図９】本発明の第１の実施形態の中継基板の入出力に関する接続線の回路図である。

【図１０】本発明の第１の実施形態の装飾制御装置の入出力に関する接続線の回路図である。

【図１１】本発明の第１の実施形態の演出制御装置から装飾制御装置に出力されるデータに含まれるスレーブアドレスの説明図である。

【図１２】本発明の第１の実施形態のＩ^{2}ＣＩ／Ｏエクスパンダアドレステーブルの説明図である。

【図１３】本発明の第１の実施形態のＩ^{2}ＣＩ／Ｏエクスパンダに備わる出力設定レジスタに割り当てられたワークレジスタを説明するための図である。

【図１４】本発明の第１の実施形態のマスタＩＣが接続線ＳＤＡ及び接続線ＳＣＬを介して出力するデータのスタート条件及びストップ条件の説明図である。
【図１５】本発明の第１の実施形態のマスタＩＣから出力されたデータが入力された装飾制御装置が返答信号を出力するタイミングチャートである。
【図１６】本発明の第１の実施形態のマスタＩＣが演出制御データを出力する場合の接続線ＳＤＡ及び接続線ＳＣＬの信号レベルのタイミングチャートである。
【図１７】本発明の第１の実施形態のマスタＩＣが、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタＩＣとＩ^{2}ＣＩ／Ｏエクスパンダとの間で授受されるデータのフォーマットを説明する図である。
【図１８】本発明の第１の実施形態のマスタＩＣが、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタＩＣとＩ^{2}ＣＩ／Ｏエクスパンダとの間で授受される演出制御データに具体的な数値を適用したものである。
【図１９】本発明の第１の実施形態の演出制御データの別の形態を説明する図である。
【図２０】本発明の第１の実施形態のマスタＩＣがＩ^{2}ＣＩ／Ｏエクスパンダを初期化するときに、マスタＩＣからＩ^{2}ＣＩ／Ｏエクスパンダへ送信される初期化指示データのデータフォーマットを説明する図である。
【図２１】本発明の第１の実施形態の異常判定テーブルを説明する図である。
【図２２】本発明の第１の実施形態の演出制御装置による処理のフローチャートである。
【図２３】本発明の第１の実施形態のタイマ割込処理のフローチャートである。
【図２４】本発明の第１の実施形態の発光制御スレーブ出力処理のフローチャートである。
【図２５】本発明の第１の実施形態のスレーブ連続処理のフローチャートである。
【図２６】本発明の第１の実施形態のスレーブリセット処理のフローチャートである。
【図２７】本発明の第１の実施形態の遊技機全体に設けられる装飾制御装置６１０の接続形態を示す図である。
【図２８】本発明の第２の実施形態を説明する図である。
【発明を実施するための形態】
【００２２】
（第１の実施形態）
以下、本発明の第１の実施形態について、図１～図２７を参照して説明する。
【００２３】
図１は、本発明の第１の実施形態の遊技機１の説明図である。
【００２４】
遊技機１の前面枠（遊技枠）３は本体枠（外枠）２にヒンジ４を介して、遊技機１の前面に開閉回動可能に組み付けられる。前面枠３の表側には、遊技盤１０（図２参照）が収装される。また、前面枠３には、遊技盤１０の前面を覆うカバーガラス（透明部材）を備えたガラス枠１８が取り付けられている。
【００２５】
ガラス枠１８のカバーガラスの周囲には、装飾光が発光される装飾部材９が備えられている。この装飾部材９の内部にはランプやＬＥＤ等からなる装飾装置６２０（図４参照）が備えられている。この装飾装置６２０を所定の発光態様によって発光することによって、装飾部材９が所定の発光態様によって発光する。
【００２６】
ガラス枠１８の左右には、音響（例えば、効果音）を発するスピーカ３０が備えられている。また、ガラス枠１８の上方には照明ユニット１１が備えられている。照明ユニット１１の内部には、前述した装飾装置６２０が備えられている。
【００２７】
照明ユニット１１の右側には、遊技機１において異常が発生したことを報知するための異常報知ＬＥＤ２９が備えられている。
【００２８】

前面枠３の下部の開閉パネル２０には図示しない打球発射装置に遊技球を供給する上皿２１が、固定パネル２２には灰皿１５、下皿２３及び打球発射装置の操作部２４等が備えられる。下皿２３には、下皿２３に貯まった遊技球を排出するための下皿球抜き機構１６が備えられる。前面枠３下部右側には、ガラス枠１８を施錠するための鍵２５が備えられている。

【００２９】

また、遊技者が操作部２４を回動操作することによって、打球発射装置は、上皿２１から供給される遊技球を発射する。

【００３０】

また、上皿２１の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン１７が備えられている。

【００３１】

遊技者が演出ボタン１７を操作することによって、遊技盤１０に設けられた表示装置５３（図２参照）における特図変動表示ゲームの演出内容を選択して、表示装置５３における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

【００３２】

なお、特図変動表示ゲームは、発射された遊技球が遊技盤１０に備わる第１始動入賞口４５（図２参照）又は普通変動入賞装置３６（図２参照）の第２始動入賞口に入賞した場合に開始される。特図変動表示ゲームでは、表示装置５３において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機１の状態が遊技者に有利な状態（特典が付与される状態）である特別遊技状態に遷移する。

【００３３】

上皿２１の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン２６、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン２７が設けられている。これらのボタン２６、２７の間には、プリペイドカードの残高を表示する残高表示部２８が設けられる。

【００３４】

図２は、本発明の第１の実施形態の遊技盤１０の正面図である。

【００３５】

図１に示す遊技機１は、内部の遊技領域１０ａ内に遊技球を発射して（弾球して）遊技を行うもので、ガラス枠１８のカバーガラスの奥側には、遊技領域１０ａを構成する遊技盤１０が設置されている。

【００３６】

遊技盤１０は、各種部材の取付ベースとなる平板状の遊技盤本体１０ｂ（木製又は合成樹脂製）を備え、該遊技盤本体１０ｂの前面にガイドレール３２で囲まれた遊技領域１０ａを有している。また、遊技盤本体１０ｂの前面であってガイドレール３２の外側には、前面構成部材３３、３３、…が取り付けられている。そして、このガイドレール３２で囲まれた遊技領域１０ａ内に発射装置から遊技球（打球；遊技媒体）を発射して遊技を行うようになっている。

【００３７】

遊技領域１０ａの略中央には、特図変動表示ゲームの表示領域となる窓部５２を形成するセンターケース５１が取り付けられている。このセンターケース５１に形成された窓部５２の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置５３が配されるようになっている。この表示装置５３は、例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部５３ａがセンターケース５１の窓部５２を介して遊技盤１０の前面側から視認可能となるように配されている。なお、表示装置５３は、液晶ディスプレイを備えるものに限らず、ＥＬ、ＣＲＴ等のディスプレイを備えるものであってもよい。

【００３８】

センターケース５１の窓部５２の上端付近には、遊技状態に基づいて動作可能な可動役物６０が取り付けられる。

【００３９】

また、遊技盤１０には、普図始動ゲート３４と、普図変動表示ゲームの未処理回数を表示する普図記憶表示器４７、普図変動表示ゲームを表示する普図表示器３５が設けられている。また、遊技領域１０ａ内には、第１の始動入賞領域をなす第１始動入賞口４５と、第２の始動入賞領域をなす第２始動入賞口を有する普通変動入賞装置３６と、が設けられている。そして、遊技球が第１始動入賞口４５に入賞した場合は、補助遊技として第１特図変動表示ゲームが実行され、遊技球が普通変動入賞装置３６に入賞した場合は、補助遊技として第２特図変動表示ゲームが実行されるようになっている。

【００４０】

また、遊技盤１０には、第１特図変動表示ゲームを表示する第１特図表示器３８と、第２特図変動表示ゲームを表示する第２特図表示器３９と、が設けられている。また、第１特図変動表示ゲームの未処理回数（第１特図始動記憶）を表示する第１特図記憶表示器４８と、第２特図変動表示ゲームの未処理回数（第２特図始動記憶）を表示する第２特図記憶表示器４９が設けられている。なお、普図記憶表示器４７、普図表示器３５、第１特図表示器３８、第２特図表示器３９、第１特図記憶表示器４８、第２特図記憶表示器４９は、遊技状態を表す遊技状態表示ＬＥＤ（図示略）と併せて、セグメントＬＥＤとして一体に設けられている。

【００４１】

さらに遊技領域１０ａには、上端側が手前側に倒れる方向に回動して開放可能になっているアタッカ形式の開閉扉４２ａを有し、第１特図変動表示ゲーム、第２特図変動表示ゲームの結果如何によって大入賞口を閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する特別変動入賞装置４２、入賞口などに入賞しなかった遊技球を回収するアウト穴４３が設けられている。この他、遊技領域１０ａには、一般入賞口４４、４４、…、打球方向変換部材としての風車４６、多数の障害釘（図示略）などが配設されている。

【００４２】

普図始動ゲート３４内には、該普図始動ゲート３４を通過した遊技球を検出するためのゲートＳＷ３４ａ（図３参照）が設けられている。そして、遊技領域１０ａ内に打ち込まれた遊技球が普図始動ゲート３４内を通過すると、普図変動表示ゲームが行われる。

【００４３】

また、普図変動表示ゲームを開始できない状態中に、普図始動ゲート３４を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が１加算されて、当該普図変動表示ゲームが当りとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

【００４４】

普図変動表示ゲームが開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームが当って普通変動入賞装置３６が開状態に変換されている状態のことをいう。

【００４５】

なお、普図変動表示ゲームの始動記憶数は、ＬＥＤを備える普図記憶表示器４７にて表示される。

【００４６】

普図変動表示ゲームは、遊技盤１０に設けられた普図表示器３５で実行されるようになっている。なお、表示装置５３の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることにより行うようにする。

【００４７】

この普図変動表示ゲームの停止表示が特別の結果態様となれば、普図変動表示ゲームが当りとなって、普通変動入賞装置３６の開閉部材３６ａ、３６ａが所定時間（例えば、０.５秒間）開放される。これにより、普通変動入賞装置３６に遊技球が入賞しやすくなり、第２特図変動表示ゲームの始動が容易となる。

【００４８】

普通変動入賞装置３６は左右一対の開閉部材３６ａ、３６ａを具備し、第１始動入賞口４５の下部に配設される。この開閉部材３６ａ、３６ａは、常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームが当りとなった場合）には、駆動装置としてのソレノイド（普電ＳＯＬ３６ｂ、図３参照）によって、逆「ハ」の字状に開いて普通変動入賞装置３６に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられるようになっている。

【００４９】

また、本実施形態の遊技機１は、特図変動表示ゲームの結果態様に基づき、遊技状態として、表示装置５３における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第２動作状態）を発生可能となっている。この時短動作状態（第２動作状態）は、普通変動入賞装置３６の動作状態が、通常動作状態（第１動作状態）に比べて開放状態となりやすい状態である。

【００５０】

この時短動作状態においては、上述の普図変動表示ゲームの実行時間が、通常動作状態における長い実行時間よりも短くなるように制御され（例えば、１０秒が１秒）、これにより、単位時間当りの普通変動入賞装置３６の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームが当り結果となって普通変動入賞装置３６が開放される場合に、開放時間が通常動作状態の短い開放時間より長くされるように制御される（例えば、０．３秒が１．８秒）。また、時短動作状態においては、普図変動表示ゲームの１回の当り結果に対して、普通変動入賞装置３６が１回ではなく、複数回（例えば、２回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当り結果となる確率が通常動作状態より高くなるように制御される。すなわち、通常動作状態よりも普通変動入賞装置３６の開放回数が増加され、普通変動入賞装置３６に遊技球が入賞しやすくなり、第２特図変動表示ゲームの始動が容易となる。

【００５１】

第１始動入賞口４５の内部には第１始動口ＳＷ４５ａ（図３参照）が備えられ、この第１始動口ＳＷ４５ａによって遊技球を検出することに基づき、補助遊技としての第１特図変動表示ゲームを開始する始動権利が発生するようになっている。また、普通変動入賞装置３６の内部には第２始動口ＳＷ３６ｄ（図３参照）が備えられ、この第２始動口ＳＷ３６ｄによって遊技球を検出することに基づき、補助遊技としての第２特図変動表示ゲームを開始する始動権利が発生するようになっている。

【００５２】

この第１特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば４）の範囲内で第１始動記憶（特図１始動記憶）として記憶される。そして、この第１始動記憶数は、第１特図記憶表示器４８に表示される。また、第２特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば４）の範囲内で第２始動記憶（特図２始動記憶）として記憶される。そして、この第２始動記憶数は、第２特図記憶表示器４９にて表示される。

【００５３】

そして、第１特図変動表示ゲームが開始可能な状態（第１始動記憶数及び第２始動記憶数が０の状態）で、第１始動入賞口４５に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第１始動記憶として記憶されて、第１始動記憶数が１加算されるとともに、直ちに第１始動記憶に基づいて、第１特図変動表示ゲームが開始され、この際に第１始動記憶数が１減算される。

【００５４】

また、第２特図変動表示ゲームは第１特図変動表示ゲームよりも優先して実行されるため、第１始動記憶数が０でなくても、第２始動記憶数が０であれば、第２始動入賞口をなす普通変動入賞装置３６に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第２始動記憶として記憶されて、第２始動記憶数が１加算されるとともに、実行中の第１特図変動表示ゲームが終了後直ちに第２始動記憶に基づいて、第２特図変動表示ゲームが開始され、この際に第２始動記憶数が１減算される。

【００５５】

一方、第１特図変動表示ゲーム又は第２特図変動表示ゲームが直ちに開始できない状態、例えば、既に第１特図変動表示ゲーム又は第２特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、第１始動入賞口４５に遊技球が入賞すると、第１始動記憶数が上限数未満（例えば、４個未満）ならば、第１始動記憶数が１加算されて、第１始動入賞口４５に遊技球が入賞したタイミングで抽出された乱数が第１始動記憶として一つ記憶される。

【００５６】

同様に、この場合に第２始動入賞口をなす普通変動入賞装置３６に遊技球が入賞すると、第２始動記憶数が上限数未満（例えば、４個未満）ならば、第２始動記憶数が１加算されて、第２始動入賞口に遊技球が入賞したタイミングで抽出された乱数が第２始動記憶として一つ記憶される。

【００５７】

そして、第１特図変動表示ゲーム又は第２特図変動表示ゲームが開始可能な状態となると、第１始動記憶又は第２始動記憶に基づき第１特図変動表示ゲーム又は第２特図変動表示ゲームが開始される。このとき、第１特図変動表示ゲームと第２特図変動表示ゲームは同時に実行されることはなく、第２特図変動表示ゲームが第１特図変動表示ゲームよりも優先して実行されるようになっている。

【００５８】

すなわち、第１始動記憶と第２始動記憶がある場合には、第２特図変動表示ゲームが実行される。

【００５９】

補助遊技としての第１特図変動表示ゲーム、第２特図変動表示ゲームは、遊技盤１０に設けられた第１特図表示器３８、第２特図表示器３９で実行されるようになっており、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置５３にて各特図変動表示ゲームに対応して複数種類の識別情報（例えば、数字、記号、キャラクタ図柄など）を変動表示させる特図変動表示ゲームが実行される。そして、この特図変動表示ゲームの結果として、第１特図表示器３８又は第２特図表示器３９の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態（いわゆる、大当たり状態）となる。また、これに対応して表示装置５３の表示態様も特別結果態様（例えば、「７，７，７」等のゾロ目数字の何れか）となる。なお、遊技機に第１特図表示器３８、第２特図表示器３９を備えずに、表示装置５３のみで特図変動表示ゲームを実行するようにしてもよい。

【００６０】

また、本実施形態の遊技機１は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態（第２確率状態）を発生可能となっている。この確変状態（第２確率状態）は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態（第１確率状態）に比べて高い状態である。なお、第１特図変動表示ゲームと第２特図変動表示ゲームのどちらの特図変動表示ゲームの結果態様に基づき確変状態となっても、第１特図変動表示ゲーム及び第２特図変動表示ゲームの両方が確変状態となる。また、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

【００６１】

図３は、本発明の第１の実施形態の遊技機１の構成を示すブロック図である。

【００６２】
遊技機１は、遊技を統括的に制御する遊技制御装置５００、各種演出を行うために表示装置５３及びスピーカ３０等を制御する演出制御装置５５０、遊技球を払い出すために図示しない払出モータを制御する払出制御装置５８０を備える。
【００６３】
まず、遊技制御装置５００について説明する。図４では、演出制御装置５５０について説明する。
【００６４】
遊技制御装置５００は、遊技用マイコン５０１、入力Ｉ／Ｆ（Ｉｎｔｅｒｆａｃｅ）５０５、出力Ｉ／Ｆ（Ｉｎｔｅｒｆａｃｅ）５０６、及び外部通信端子５０７を備える。
【００６５】
遊技用マイコン５０１は、ＣＰＵ５０２、ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）５０３及びＲＡＭ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）５０４を備える。
【００６６】
ＣＰＵ５０２は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ＲＯＭ５０３は、遊技制御のための不変の情報（プログラム、データ等）を記憶している。ＲＡＭ５０４は、遊技制御時にワークエリアとして利用される。
【００６７】
外部通信端子５０７は、遊技制御装置５００の設定情報等を検査する検査装置等の外部機器に遊技制御装置５００を接続する。
【００６８】
ＣＰＵ５０２は、入力Ｉ／Ｆ５０５を介して各種入力装置（第１始動口ＳＷ４５ａ、第２始動口ＳＷ３６ｄ、一般入賞口ＳＷ４４ａ、ゲートＳＷ３４ａ、カウントＳＷ４２ｄ、ガラス枠開放ＳＷ１８ａ、前面枠開放ＳＷ３ａ、球切れＳＷ５４、振動センサ５５、及び磁気センサ５６）からの検出信号を受けて、大当り抽選等、種々の処理を行う。
【００６９】
第１始動口ＳＷ４５ａは、第１始動入賞口４５に遊技球が入賞したことを検出するスイッチである。第２始動口ＳＷ３６ｄは、普通変動入賞装置３６の第２始動入賞口に遊技球が入賞したことを検出するスイッチである。
【００７０】
一般入賞口ＳＷａ４４ａ～４４ｎは、一般入賞口４４に遊技球が入賞したことを検出するスイッチである。ゲートＳＷ３４ａは、普図始動ゲート３４を遊技球が通過したことを検出するスイッチである。
【００７１】
カウントＳＷ４２ｄは、特別変動入賞装置４２の大入賞口に遊技球が入賞したことを検出するスイッチである。
【００７２】
ガラス枠開放ＳＷ１８ａは、ガラス枠１８が開放されたことを検出するスイッチである。前面枠開放ＳＷ３ａは、前面枠３が開放されたことを検出するスイッチである。
【００７３】
球切れＳＷ５４は、遊技機１の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。
【００７４】
振動センサ５５は、遊技機１に与えられた振動を検出するセンサであり、遊技機１に振動を与えて、不当に遊技球を獲得する不正を検出する。磁気センサ５６は、第１始動入賞口４５、普通変動入賞装置３６の第２始動入賞口、一般入賞口４４、特別変動入賞装置４２の大入賞口、及び普図始動ゲート３４付近に設けられ、磁力を検出するセンサである。磁気センサ９３は、各入賞口付近に磁石を近づけて、遊技領域１０ａに発射された遊技球を各入賞口に導く不正を検出する。
【００７５】

また、ＣＰＵ５０２は、出力Ｉ／Ｆ５０６を介して、第１特図表示器３８、第１特図記憶表示器４８、第２特図表示器３９、第２特図記憶表示器４９、普図表示器３５、普電ＳＯＬ３６ｂ、大入賞口ＳＯＬ４２ｂ、払出制御装置５８０、及び演出制御装置５５０に指令信号を送信して、遊技を統括的に制御する。

【００７６】

第１特図表示器３８には、第１始動入賞口４５に遊技球が入賞した場合に補助遊技として実行される第１特図変動表示ゲームが表示される。第１特図記憶表示器４８には、所定の上限数の範囲内で記憶される第１特図変動表示ゲームを開始する始動権利である第１始動記憶数が表示される。

【００７７】

第２特図表示器３９には、普通変動入賞装置３６の大入賞口に遊技球が入賞した場合に補助遊技として実行される第２特図変動表示ゲームが表示される。第２特図記憶表示器４９には、所定の上限数の範囲内で記憶される第２特図変動表示ゲームを開始する始動権利である第２始動記憶数が表示される。

【００７８】

普図表示器３５には、遊技球が普図始動ゲート３４を通過した場合に行われる普図変動表示ゲームが表示される。

【００７９】

普電ＳＯＬ３６ｂは、普図表示器３５で実行される普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材３６ａ、３６ａを開放し、普通変動入賞装置３６の第２始動入賞口を遊技球が入賞しやすい状態にする。

【００８０】

大入賞口ＳＯＬ４２ｂは、第１特図変動表示ゲーム又は第２特図変動表示ゲームの結果が特別の結果態様となり、特別遊技状態となった場合に、特別変動入賞装置４２の開閉扉４２ａを開放して、大入賞口を遊技球が入賞しやすい状態に変換する。

【００８１】

また、遊技制御装置５００は、遊技機データを、外部情報端子５０８を介して、図示しない情報収集端末装置を介して、図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機１の遊技データを収集管理する計算機である。

【００８２】

また、払出制御装置５８０は、遊技球が一般入賞口４４又は大入賞口に入賞した場合に、入賞した入賞口に対応する数の遊技球の払い出し、又は球貸ボタン２６が操作された場合に、所定数の遊技球の払い出しを行う払出指令を遊技制御装置５００から受信した場合に、受信した払出指令に基づいて、図示しない払出モータを制御する。なお、払出指令には、払い出す遊技球の数が含まれる。

【００８３】

遊技制御装置５００は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力Ｉ／Ｆ５０６を介して、演出制御装置５５０へ送信する。

【００８４】

図４は、本発明の第１の実施形態の演出制御装置５５０の構成を示すブロック図である。

【００８５】

演出制御装置５５０は、遊技制御装置５００から入力される遊技データに基づいて、演出内容を決定して、表示装置５３、及びスピーカ３０を制御するとともに、装飾制御装置６１０を介して装飾装置６２０、役物駆動ＳＯＬ５６０（ソレノイド）、及び役物駆動ＭＯＴ（モータ）５６１を制御する。詳細は後述するが、これら装飾装置６２０、役物駆動ＳＯＬ５６０、及び役物駆動ＭＯＴ５６１（総称して演出装置という）によって、遊技の演出が行われる。また、演出制御装置５５０は、演出ボタン１７から当該演出ボタン１７が操作されたことを示す信号が入力される。

【００８６】
演出制御装置５５０は、ＣＰＵ５５１、制御ＲＯＭ５５２、ＲＡＭ５５３、画像ＲＯＭ５５４、音ＲＯＭ５５５、ＶＤＰ５５６、音ＬＳＩ５５７、入出力Ｉ／Ｆ５５８、電源投入検出回路５５９、マスタＩＣ５７０、及びＮＯＲゲート回路５９０を備える。
【００８７】
ＣＰＵ５５１は、遊技制御装置５００に接続され、遊技制御装置５００から指令信号が割込信号（ＩＮＴ）として入力され、入力された指令信号に基づいて、各種演出を制御する主制御装置である。また、ＣＰＵ５５１には、マスタＩＣ５７０の後述するコントローラ５７４から割込信号が入力されるとともに、ＶＤＰ５５６から割込信号が入力される。
【００８８】
なお、ＣＰＵ５５１に割込信号が入力されると、ＣＰＵ５５１は、現在実行中の処理を中断して、入力された割込信号に対応する処理を実行する。
【００８９】
制御ＲＯＭ５５２には、演出制御のための不変の情報（プログラム、データ等）が格納されている。ＲＡＭ５５３は、演出制御時にワークエリアとして利用される。
【００９０】
画像ＲＯＭ５５４には、表示装置５３に表示される画像データが格納され、画像ＲＯＭ５５４はＶＤＰ５５６に接続されている。音ＲＯＭ５５５には、スピーカ３０から出力される音データが格納され、音ＲＯＭ５５５は音ＬＳＩ５５７に接続されている。
【００９１】
ＶＤＰ５５６は、表示装置５３への画像出力を制御するプロセッサである。音ＬＳＩ５５７は、スピーカ３０からの音声出力を制御する回路である。
【００９２】
なお、ＶＤＰ５５６は、表示装置５３に表示される画像を更新する周期（３３ｍｓ周期）と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号をＣＰＵ５５１に割込信号として入力する。
【００９３】
入出力Ｉ／Ｆ５５８は、演出ボタン１７及びＮＯＲゲート回路５９０に接続されるインタフェースであり、演出ボタン１７からの操作信号をＣＰＵ５５１へ伝達するとともに、ＣＰＵ５５１からのリセット信号をＮＯＲゲート回路５９０へ伝達する。
【００９４】
なお、演出ボタン１７は、上皿２１の上縁部に設けられ、表示装置５３で実行される第１特図変動表示ゲーム又は第２特図変動表示ゲームにおける演出で、遊技者によって操作される。
【００９５】
ＣＰＵ５５１、ＶＤＰ５５６、ＲＡＭ５５３、制御ＲＯＭ５５２、音ＬＳＩ５５７、及び入出力Ｉ／Ｆ５５８はバス５６３を介してそれぞれ接続されている。
【００９６】
電源投入検出回路５５９は、演出制御装置５５０に電源が投入された場合に、マスタＩＣ５７０の図示しないレジスタをデフォルト状態（すべて０）に初期化するリセット信号を発生させ、発生させたリセット信号をＮＯＲゲート回路５９０へ出力する。
【００９７】
また、ＣＰＵ５５１は、所定の条件が成立した場合に、リセット信号をバス５６３を介して入出力Ｉ／Ｆ５５８に出力し、入出力Ｉ／Ｆ５５８は入力されたリセット信号をＮＯＲゲート回路５９０へ出力する。
【００９８】
なお、電源投入検出回路５５９からＮＯＲゲート回路５９０へ入力されるリセット信号、及びＣＰＵ５５１から入出力Ｉ／Ｆ５５８を介してＮＯＲゲート回路５９０へ入力されるリセット信号は、いずれの場合にもロウレベルの状態である場合にリセットを指令する

信号として機能する。そのため、電源投入検出回路５５９及びＣＰＵ５５１の少なくとも一方からＮＯＲゲート回路５９０にリセット信号が出力されていれば、ＮＯＲゲート回路５９０を介してリセット信号がマスタＩＣ５７０に入力される。

【００９９】

次に、マスタＩＣ５７０について説明する。

【０１００】

マスタＩＣ５７０は、制御対象となる演出装置の装飾制御装置６１０のアドレスを指定して、指定したアドレスの装飾制御装置６１０に演出装置の制御内容を出力する。

【０１０１】

マスタＩＣ５７０は、接続線Ｖｃｃ、接続線Ｖａｃｔ、接続線ＳＤＡ、接続線ＳＣＬ、及び接続線ＧＮＤ（図５参照）の５本の接続線を介して、中継基板（装飾制御装置）６００に接続される。

【０１０２】

接続線Ｖｃｃは、中継基板６００及び装飾制御装置６１０に、ロジック用の電源を供給するための接続線である。接続線Ｖａｃｔは、演出装置を駆動させるための電源（例えば、ＬＥＤを発光させるための電源）を供給するための接続線である。接続線ＳＤＡは、演出制御装置５５０と装飾制御装置６１０との間でデータを通信するための接続線であり、本実施形態におけるデータ線として機能する。接続線ＳＣＬは、接続線ＳＤＡでのデータ通信に用いられるクロック信号を入出力するための接続線であり、本実施形態におけるタイミング信号線として機能する。図５に示す接続線ＧＮＤは、接続線Ｖｃｃ及び接続線Ｖａｃｔで供給される電源のグランドである。

【０１０３】

中継基板６００と装飾制御装置６１０との間は、マスタＩＣ５７０と中継基板６００との間と同じく、接続線Ｖｃｃ、接続線Ｖａｃｔ、接続線ＳＤＡ、接続線ＳＣＬ、及び接続線ＧＮＤを介して接続される。

【０１０４】

マスタＩＣ５７０と装飾制御装置６１０とは、接続線ＳＤＡ及び接続ＳＣＬによって２ライン双方向通信を行う。

【０１０５】

マスタＩＣ５７０は、中継基板６００及び装飾制御装置６１０にデータを送信する場合には、まず、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＨＩＧＨからＬＯＷに変化させることにより、装飾制御装置６１０へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置６１０に対してスタートコンディションを発行する）。

【０１０６】

この後、マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＬＯＷに変更し、接続線ＳＣＬの信号レベルがＬＯＷである間に接続線ＳＤＡの信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線ＳＣＬの信号レベルをＬＯＷからＨＩＧＨに変化させる。接続線ＳＣＬの信号レベルがＨＩＧＨに変化すると、装飾制御装置６１０は接続線ＳＤＡの信号レベルを取り込んで、送信データの最初のビットとして認識する。次いで、マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＨＩＧＨからＬＯＷに戻す。

【０１０７】

この手順を１回実行すると、マスタＩＣ５７０から装飾制御装置６１０へ１ビットのデータが送信され、最終的にはこの手順が８回繰り返されることで、送信データの８ビット全てがマスタＩＣ５７０から装飾制御装置６１０へ送信される（１バイト分のデータが送信される）。

【０１０８】

そして、マスタＩＣ５７０は、最後の８ビット目のデータを送信し終えて、接続線ＳＣＬの信号レベルをＨＩＧＨからＬＯＷに戻した際に、接続線ＳＤＡを解放して装飾制御装置６１０からの返答信号を受信することを待機する受信待機状態にする。

【０１０９】
受信待機状態になると、装飾制御装置６１０は、接続線ＳＤＡを介して１ビットの返答信号（後述するＡＣＫ又はＮＡＣＫ）をマスタＩＣ５７０に返す。次いで、マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＬＯＷからＨＩＧＨに変化させて返答信号のレベルを取り込み、所定時間後に接続線ＳＣＬの信号レベルをＨＩＧＨからＬＯＷに変化させると、装飾制御装置６１０は接続線ＳＤＡを解放する。
【０１１０】
マスタＩＣ５７０は、このような１バイト分のデータ送信と１ビット分の返答信号の受信とを交互に繰り返し、装飾制御装置６１０へ出力すべきデータがすべて出力されるまで継続する。マスタＩＣ５７０は、出力すべきデータの出力が終了した場合には、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＬＯＷからＨＩＧＨに変更させることにより、装飾制御装置６１０へのデータ出力を終了するためのストップ条件を成立させる（装飾制御装置６１０に対してストップコンディションを発行する）。
【０１１１】
入力用ＢＵＦ５７１は、装飾制御装置６１０から接続線ＳＤＡを介して入力されたデータが一時的に記憶される記憶装置である。
【０１１２】
具体的には、マスタＩＣ５７０が入力モードに設定された場合において、装飾制御装置６１０からマスタＩＣ５７０に送信されたデータが、フィルタ５７５Ａによりノイズが除去されて入力用ＢＵＦ５７１に一時的に記憶される。
【０１１３】
出力用ＢＵＦ５７２は、装飾制御装置６１０に接続線ＳＤＡを介して出力するデータが一時的に記憶される。
【０１１４】
リセットＲＥＧ５７３は、バス５６３に接続され、ＣＰＵ５５１からの指令を受けてリセット信号をコントローラ５７４に出力する。コントローラ５７４は、マスタＩＣ５７０を統括的に制御し、各種処理を実行する。
【０１１５】
フィルタ５７５Ａは、接続線ＳＤＡから入力されたデータのノイズを除去する。ドライバ５７６Ａは、接続線ＳＤＡからデータを出力する場合に、トランジスタ５７８Ａが動作可能な電圧をトランジスタ５７８Ａに印加する。
【０１１６】
図９に示すように接続線ＳＤＡには、プルアップ抵抗Ｒによって所定の電圧が印加されて、接続線ＳＤＡはフィルタ５７５Ａ及びトランジスタ５７８Ａに接続されている。
【０１１７】
トランジスタ５７８Ａは、電力消費を抑えるために電界効果トランジスタ（ＦＥＴ）が用いられており、トランジスタ５７８Ａのゲートはドライバ５７６Ａに接続され、ドレインはプルアップ抵抗Ｒにより所定の電圧が印加された接続線ＳＤＡに接続され、ソースは接地されている。
【０１１８】
トランジスタ５７８Ａのゲートに印加される電圧がトランジスタ５７８Ａを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線ＳＤＡに印加された電圧は降下せず、その結果、接続線ＳＤＡはＨＩＧＨレベルとなる。一方、トランジスタ５７８Ａのゲートに印加される電圧がトランジスタ５７８Ａを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線ＳＤＡの電圧が低下し、その結果、接続線ＳＤＡはＬＯＷレベルとなる。
【０１１９】
なお、トランジスタ５７８Ａは、１０ミリアンペア程度の電流をドレインからソースへ

流しても破損しない仕様のものを用いている。このため、接続線ＳＤＡには、通常のＩ^{2}Ｃバス使用で用いられる電流値よりもはるかに大きい１０ミリアンペア程度の電流を流すことが可能であり、演出制御装置５５０と装飾制御装置６１０との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【０１２０】

ドライバ５７６Ａは、データを接続線ＳＤＡから出力する場合に、トランジスタ５７８Ａにドレインとソースとの間に電流を流すためにトランジスタ５７８Ａのゲートにトランジスタ５７８Ａが動作可能な値の電圧を印加する。そして、ドライバ５７６Ａは、接続線ＳＤＡの電圧を、ＨＩＧＨレベル又はＬＯＷレベルに設定することによって、データを接続線ＳＤＡから出力する。

【０１２１】

また、フィルタ５７５Ｂは、接続線ＳＣＬから入力されたデータのノイズを除去する。ドライバ５７６Ｂは、接続線ＳＣＬからデータを出力する場合に、トランジスタ５７８Ｂが動作可能な電圧をトランジスタ５７８Ｂに印加する。

【０１２２】

図９に示すように接続線ＳＣＬは、プルアップ抵抗Ｒによって所定の電圧が印加されて、接続線ＳＤＡはフィルタ５７５Ｂ及びトランジスタ５７８Ｂに接続されている。

【０１２３】

トランジスタ５７８Ｂは、電力消費を抑えるために電界効果トランジスタ（ＦＥＴ）が用いられており、トランジスタ５７８Ｂのゲートはドライバ５７６Ｂに接続され、ドレインはプルアップ抵抗Ｒにより所定の電圧が印加された接続線ＳＣＬに接続され、ソースは接地されている。

【０１２４】

トランジスタ５７８Ｂのゲートに印加される電圧がトランジスタ５７８Ｂを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線ＳＣＬに印加された電圧は降下せず、その結果、接続線ＳＣＬはＨＩＧＨレベルとなる。一方、トランジスタ５７８Ｂのゲートに印加される電圧がトランジスタ５７８Ｂを動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線ＳＣＬの電圧が低下し、その結果、接続線ＳＣＬはＬＯＷレベルとなる。

【０１２５】

なお、トランジスタ５７８Ｂは、１０ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のものを用いている。そのため、接続線ＳＣＬには、通常のＩ^{2}Ｃバス使用で用いられる電流値よりもはるかに大きい１０ミリアンペア程度の電流を流すことが可能であり、演出制御装置５５０と装飾制御装置６１０との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【０１２６】

ドライバ５７６Ｂは、クロック信号を接続線ＳＣＬから出力する場合に、トランジスタ５７８Ｂにドレインとソースとの間に電流を流すためにトランジスタ５７８Ｂのゲートにトランジスタ５７８Ｂが動作可能な値の電圧を印加する。そして、ドライバ５７６Ｂは、接続線ＳＣＬの電圧を、ＨＩＧＨレベルとＬＯＷレベルとに繰り返し変化させることによって、クロック信号を接続線ＳＣＬから出力する。

【０１２７】

電源投入リセット回路５７７は、マスタＩＣ５７０に電源が投入されて、電源投入リセット回路５７７内の電圧が所定値に達した場合に、入力用ＢＵＦ５７１及び出力用ＢＵＦ５７２などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ５７４に出力する。

【０１２８】

次に、中継基板６００及び装飾制御装置６１０について説明する。

【０１２９】

なお、中継基板６００は、装飾制御装置６１０のうちマスタＩＣ５７０に直接接続される、つまり最も上流側に位置するものである。

【０１３０】

装飾装置６２０は、装飾制御装置６１０に設けたＩ^{2}ＣＩ／Ｏエクスパンダ６１５（図６で後述）によって制御され、電流を流すことによって光が点滅して演出を行う発光装置であり、例えばＬＥＤなどで構成される。役物駆動ソレノイド（ＳＯＬ）５６０は、電流が流れると往復動作する装置であり、遊技盤１０に配置される図示しない装飾のための役物を可動させて演出を行う。役物駆動モータ（ＭＯＴ）５６１は、電流が流れると回転動作する装置であり、可動役物６０を可動させて演出を行う。役物駆動ソレノイド（ＳＯＬ）５６０及び役物駆動モータ（ＭＯＴ）５６１も、装飾制御装置６１０に設けたＩ^{2}ＣＩ／Ｏエクスパンダ６１５によって制御される。

【０１３１】

なお、役物駆動ＳＯＬ５６０が可動役物６０を可動させてもよいし、役物駆動ＭＯＴ５６１が図示しない役物を可動させてもよい。

【０１３２】

演出制御装置５５０と中継基板６００との接続方法、及び中継基板６００と中継基板６００以外の装飾制御装置６１０との接続方法は、図５で詳細を説明する。装飾制御装置６１０は、図６～図１０で詳細を説明する。

【０１３３】

図５は、本発明の第１の実施形態の装飾制御装置６１０Ａ～６１０Ｆの接続の説明図である。なお、説明の都合上、装飾制御装置６１０として、１個の中継基板６００と、６個の装飾制御装置６１０Ａ～６１０Ｆを図示しているが、実際には、遊技機の仕様に対応して必要な数の装飾制御装置６１０が接続されている。

【０１３４】

演出制御装置５５０は、接続線Ｖｃｃ、接続線Ｖａｃｔ、接続線ＳＤＡ、接続線ＳＣＬ、及び接続線ＧＮＤ（以下、この５本の接続線を一つのハーネスという）を介して演出制御装置５５０と接続される。

【０１３５】

中継基板６００には、二つの装飾制御装置６１０Ａ及び６１０Ｄがそれぞれハーネスによって並列に接続される。

【０１３６】

装飾制御装置６１０Ａにはハーネスを介して装飾制御装置６１０Ｂが接続され、装飾制御装置６１０Ｂにはハーネスを介して装飾制御装置６１０Ｃが接続される。

【０１３７】

一方、装飾制御装置６１０Ｄにはハーネスを介して装飾制御装置６１０Ｅが接続され、装飾制御装置６１０Ｅにはハーネスを介して装飾制御装置６１０Ｆが接続される。

【０１３８】

各装飾制御装置６１０は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置６１０で共通であるので、接続線を接続順の誤配線を防止できる。

【０１３９】

ここで、装飾制御装置６１０に設けたＩ^{2}ＣＩ／Ｏエクスパンダ６１５（図６で後述）が装飾装置６２０を制御する方法について説明する。

【０１４０】

演出制御装置５５０は、遊技制御装置５００から入力された遊技データに基づいて、演出装置の出力態様を決定する。そして、演出制御装置５５０は、決定された出力態様となるように、制御対象となる装飾制御装置６１０の個別アドレス（Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の個別アドレス）を含む演出制御データ（演出制御情報）を中継基板６００に出力する。このとき、演出制御データは、中継基板６００を介して演出制御装置５５０に接続されるすべての装飾制御装置６１０に対して接続線ＳＤＡから出力される。このため、

マスタＩＣ５７０は、マスタＩＣ５７０に接続されるすべての装飾制御装置６１０を制御可能である。

【０１４１】

なお、本実施形態では演出装置としてＬＥＤ等の発光装置を例示しているので、ＬＥＤの発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、ＬＥＤの点灯／点滅／消灯が指示され、同時に、ＬＥＤの点滅周期や点灯輝度も指示される。

【０１４２】

各装飾制御装置６１０には、一意な個別アドレスが予め設定されているので、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、演出制御データを取り込んで、対応する装飾装置６２０の出力態様を制御するとともに、８ビット目のデータが入力された直後に返答信号をマスタＩＣ５７０に出力する。

【０１４３】

なお、各装飾制御装置６１０には、個別アドレス以外にも、装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、全てのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に対して共通に設けられたアドレスであり、個別アドレスとして使用することは不可能となっている。また、このリセットアドレスの値を変更することもできないようになっている（詳細は後述する）。

【０１４４】

演出制御装置５５０は、装飾制御装置６１０（正確には、装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５）を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板６００に出力する。このとき、初期化指示データ演出制御データは、中継基板６００を介して、演出制御装置５５０に接続されるすべての装飾制御装置６１０に対して接続線ＳＤＡから出力される。

【０１４５】

各装飾制御装置６１０には、リセット用の共通アドレスが予め設定されているので、入力されたデータに含まれるアドレスと、予め設定されているリセット用の共通アドレスとが一致するか否かを判定する。入力されたデータに含まれるアドレスと、予め設定されているリセット用の共通アドレスとが一致すると判定された場合には、装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、返答信号をマスタＩＣ５７０に出力するとともに、入力されたデータを初期化指示データとして取り込み、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５自身を初期化する。

【０１４６】

なお、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５が初期化されると、当該初期化されたＩ^{2}ＣＩ／Ｏエクスパンダ６１５によって制御される演出装置はオフ状態となる。

【０１４７】

このように、装飾制御装置６１０は、演出制御装置５５０からの指令に基づく制御を行うので、演出制御装置５５０と装飾制御装置６１０との関係は、演出制御装置５５０のマスタＩＣ５７０がマスタであり、装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５がスレーブである。

【０１４８】

図５では、装飾制御装置６１０の制御対象が装飾装置６２０である場合について説明したが、装飾制御装置６１０の制御対象が役物駆動ＳＯＬ５６０や役物駆動ＭＯＴ５６１であってもよい。この場合、演出装置がモータやソレノイドなどの駆動源となることから、これらの駆動源の動作態様が、演出装置の出力態様に相当することになる。この場合、演出制御データによって、駆動源の作動／停止が指示され、同時に動作速度も指示される。

【０１４９】

図６は、本発明の第１の実施形態の装飾制御装置６１０のブロック図である。

【０１５０】

図６では、装飾制御装置６１０の内部に装飾装置６２０であるＬＥＤを備える装飾制御装置６１０（図６の下側の装飾制御装置６１０）と、外部の装飾装置６２０に接続される装飾制御装置６１０（図６の中央の装飾制御装置６１０）と、について説明する。

【０１５１】

まず、装飾制御装置６１０の内部にＬＥＤを備える装飾制御装置６１０について説明する。

【０１５２】

図６の下側の装飾制御装置６１０は、I^2CＩ／Ｏエクスパンダ６１５及びＬＥＤ（装飾装置２０）を備える。接続線ＳＤＡ及び接続線ＳＣＬは、装飾制御装置６１０内で二つに分岐し、一方は、そのまま次の装飾制御装置６１０に出力される。他方は、I^2CＩ／Ｏエクスパンダ６１５に接続される。

【０１５３】

また、I^2CＩ／Ｏエクスパンダ６１５の出力側には、制御対象となる装飾装置６２０が接続される。I^2CＩ／Ｏエクスパンダ６１５の出力側は、図７で説明するポート０～１５によって構成される。さらに、装飾制御装置６１０のすべてのポートが、図８Ａで後述する電流制限抵抗Ｒ０～Ｒ１５を介して、内部のＬＥＤに接続されている。なお、この電流制限抵抗Ｒ０～Ｒ１５も、装飾制御装置６１０に備えられている。

【０１５４】

前述したように、I^2CＩ／Ｏエクスパンダ６１５は、演出制御装置５５０から入力された演出制御データに含まれるアドレスと、当該I^2CＩ／Ｏエクスパンダ６１５に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、I^2CＩ／Ｏエクスパンダ６１５に接続されている装飾装置６２０を制御する。

【０１５５】

なお、図中の電源Ｖｌｅｄは、図５で前述した接続線Ｖａｃｔにより供給される電源（ＬＥＤを発光させるための電源）に相当するものである。

【０１５６】

次に、外部の装飾装置６２０に接続される装飾制御装置６１０について説明する。

【０１５７】

図６の中央の装飾制御装置６１０は、I^2CＩ／Ｏエクスパンダ６１５及びＬＥＤ（装飾装置２０）を備え、装飾制御装置６１０の外部に接続される装飾装置基板６２５に備わるＬＥＤに電流を流すための接続線、装飾装置基板６２５のＬＥＤに電源電圧Ｖｌｅｄを供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置６１０と装飾装置基板６２５とが接続される。

【０１５８】

装飾装置基板６２５は、I^2CＩ／Ｏエクスパンダ６１５を備えておらず、ＬＥＤのみを備えた基板である。この場合、装飾装置基板６２５に備えたＬＥＤに接続される電流制限抵抗（図８Ａ）を、装飾装置基板６２５に設けることになるが、I^2CＩ／Ｏエクスパンダ６１５が備えられた装飾制御装置６１０に設けてもよい。

【０１５９】

なお、装飾装置基板６２５に設けたＬＥＤの数に対応して、装飾制御装置６１０から装飾装置基板６２５へ渡されることになる、これらのＬＥＤに電流を流すための接続線の数が決定される。例えば、装飾装置基板６２５に二つのＬＥＤを備えた場合には、I^2CＩ／Ｏエクスパンダ６１５のポートと対応するＬＥＤとを接続するための２本の制御線と、Ｖｌｅｄを供給する電源線が１本とが、少なくとも必要となる。

【０１６０】

そして、中央の装飾制御装置６１０に設けられたI^2CＩ／Ｏエクスパンダ６１５も、演出制御装置５５０から入力された演出制御データに含まれるアドレスと、当該I^2CＩ

／Ｏエクスパンダ６１５に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に接続されている装飾装置６２０を制御する。この場合、中央の装飾制御装置６１０に設けられた装飾装置６２０と、装飾装置基板６２５に設けられた装飾装置６２０の両方が、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５によって制御される。

【０１６１】

このように、装飾装置基板６２５を設けて、装飾制御装置６１０から一部の装飾装置（ＬＥＤ）を分離させることで、離れた箇所に配置されたＬＥＤであっても、共通のＩ^{2}ＣＩ／Ｏエクスパンダ６１５により制御することができる。

【０１６２】

なお、装飾制御装置６１０は、装飾装置６２０の代わりに、役物駆動ＳＯＬ５６０や役物駆動ＭＯＴ５６１を接続し、これらを制御してもよいが、詳細は、図８Ｂで後述する。

【０１６３】

図７は、本発明の第１の実施形態のＩ^{2}ＣＩ／Ｏエクスパンダ６１５のブロック図である。

【０１６４】

Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、接続線ＳＤＡに接続されるトランジスタ６３０、接続線ＳＤＡに接続されるフィルタ６３１、接続線ＳＤＡに接続されるドライバ６３２、接続線ＳＣＬに接続されるフィルタ６３３、バスコントローラ６３４、出力設定レジスタ６３５、出力コントローラ６３６、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の出力側の各ポート０～１５に接続されるドライバ６３７、各ポート０～１５に接続されるトランジスタ６３８Ａ～６３８Ｐ、及びリセット信号発生回路６３９を備える。

【０１６５】

フィルタ６３１は、接続線ＳＤＡに接続され、接続線ＳＤＡから入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ６３４に出力する。ドライバ６３２は、返答信号を接続線ＳＤＡから出力する場合に、トランジスタ６３０が動作可能な電圧をトランジスタ６３０に印加する。

【０１６６】

ドライバ６３２は、接続線ＳＤＡからデータ（返答信号）を出力する場合に、トランジスタ６３０が動作可能な電圧をトランジスタ６３０に印加する。

【０１６７】

トランジスタ６３０は、電力消費を抑えるために電界効果トランジスタ（ＦＥＴ）が用いられており、トランジスタ６３０のゲートはドライバ６３２に接続され、ドレインはプルアップ抵抗Ｒ（図４参照）により所定の電圧が印加された接続線ＳＤＡに接続され、ソースは接地されている。

【０１６８】

トランジスタ６３０のゲートに印加される電圧がトランジスタ６３０を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ６３０のゲートに印加される電圧がトランジスタ６３０を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線ＳＤＡの電圧が低下する。なお、トランジスタ６３０は、１０ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のものを用いている。

【０１６９】

ドライバ６３２は、データ（返答信号）を接続線ＳＤＡから出力する場合に、トランジスタ６３０にドレインとソースとの間に電流を流すためにトランジスタ６３０のゲートにトランジスタ６３０が動作可能な値の電圧を印加する。そして、ドライバ６３２は、接続線ＳＤＡの電圧をＨＩＧＨからＬＯＷへ繰り返し変化させることによって、データを接続線ＳＤＡから出力する。

【０１７０】

フィルタ６３３は、接続線ＳＣＬに接続され、接続線ＳＣＬから入力されたデータのノ

イズを除去し、ノイズが除去されたデータをバスコントローラ６３４に出力する。

【０１７１】

また、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５には、当該Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に備わるアドレス設定用端子Ａ０～Ａ３によって固有のアドレスが設定されており、バスコントローラ６３４に入力されている。さらに、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５をリセットするためのアドレスも、予め設定されている。

【０１７２】

バスコントローラ６３４は、接続線ＳＤＡから入力されたデータのアドレスがＩ^{2}ＣＩ／Ｏエクスパンダ６１５に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

【０１７３】

また、バスコントローラ６３４は、接続線ＳＤＡから入力されたデータのアドレスがＩ^{2}ＣＩ／Ｏエクスパンダ６１５に予め設定されたリセット用のアドレスと一致するか否かを判定し、入力されたデータのアドレスとＩ^{2}ＣＩ／Ｏエクスパンダ６１５に予め設定されたリセット用のアドレスとが一致している場合に当該データを初期化指示データとして取り込み、当該Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５を初期化する。

【０１７４】

また、バスコントローラ６３４は、ＳＣＬ接続線の信号レベルのＬＯＷからＨＩＧＨへの変化回数が８回に達し８ビット目のデータを取り込んだ後、ＳＣＬ接続線の信号レベルがＨＩＧＨからＬＯＷへ変化すると、返答信号を接続線ＳＤＡからマスタＩＣ５７０に出力する。さらに、ＳＣＬ接続線の信号レベルがＬＯＷからＨＩＧＨへ変化することが確認され、再度ＳＣＬ接続線の信号レベルがＨＩＧＨからＬＯＷへ変化すると、接続線ＳＤＡを開放する。つまり、ＳＣＬ接続線の信号レベルのＬＯＷからＨＩＧＨへの変化回数が９回になるタイミングで返答信号を出力する。

【０１７５】

出力設定レジスタ６３５には、当該Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の動作モードやポート０～１５の出力状態が設定される。バスコントローラ６３４が接続線ＳＤＡから初期化指示データを取り込んで、当該Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５が初期化された場合には、出力設定レジスタ６３５は、すべてのポート０～１５に電流が流れないように初期状態に設定される。

【０１７６】

出力コントローラ６３６は、出力設定レジスタ６３５に設定されたデータに基づいて、ポートドライバ６３７を介して、各ポート０～１５に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ６３４が接続線ＳＤＡから演出制御データを取り込むと、取り込んだ演出制御データに指定されている内容に更新される。

【０１７７】

ドライバ６３７は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ６３８Ａ～６３８Ｐが動作可能な電圧を当該トランジスタに印加する。

【０１７８】

トランジスタ６３８Ａ～６３８Ｐのゲートはドライバ６３７に接続され、ドレインは図８Ａ及び図８Ｂに示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【０１７９】

トランジスタ６３８Ａ～６３８Ｐのゲートに印加される電圧がトランジスタ６３８Ａ～６３８Ｐを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、６３８Ａ～６３８Ｐのゲートに印加される電圧がトランジスタ６３８を動作させる所定値以上であれば、図８Ａに示す電源Ｖｌｅｄ、又は図８Ｂに示す電源Ｖｍｏｔや電源Ｖｓｏｌからゲートに印加されている所定の電圧が、トランジスタ６３８のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演

出装置の出力状態を制御できる。

【０１８０】

また、装飾制御装置６１０のＩ²ＣＩ／Ｏエクスパンダ６１５は、Ｉ²ＣＩ／Ｏエクスパンダ６１５のポート端子に接続された全ての演出装置を同時期に制御することが可能であるので、Ｉ²ＣＩ／Ｏエクスパンダ６１５のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

【０１８１】

そして、各装飾制御装置６１０に備わるＩ²ＣＩ／Ｏエクスパンダ６１５同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。即ち、各装飾制御装置６１０に備わるＩ²ＣＩ／Ｏエクスパンダ６１５は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

【０１８２】

従って、装飾制御装置６１０を統括する演出制御装置５５０は、グループ単位制御手段を統括して制御するグループ統括制御手段として機能している。

【０１８３】

リセット信号発生回路６３９には、Ｉ²ＣＩ／Ｏエクスパンダ６１５に電源を供給する接続線Ｖｃｃと接続されるＶｃｃ端子、及び外部からのリセット信号を受け付けるＲＥＳＥＴ端子が接続されている。

【０１８４】

リセット信号発生回路６３９は、Ｉ²ＣＩ／Ｏエクスパンダ６１５に電源が投入され、電圧が所定値まで立ち上がった場合、リセット信号を発生させ、発生させたリセット信号をバスコントローラ６３４、出力設定レジスタ６３５、及び出力コントローラ６３６に入力する。

【０１８５】

なお、外部からＬＯＷレベルのリセット信号が入力された場合には、リセット信号発生回路６３９はリセット信号を出力するので、演出制御装置５５０のＣＰＵ５５１から、ＮＯＲゲート回路５５９０を経由して、ＲＥＳＥＴ端子からリセット信号を入力するようにしてもよい。ＲＥＳＥＴ端子を使用しない場合は、図８Ａ及び図８Ｂに示すようにＲＥＳＥＴ端子はＨＩＧＨにプルアップされていてもよい。

【０１８６】

図８Ａは、本発明の第１の実施形態の装飾装置６２０を制御する装飾制御装置６１０のＩ²ＣＩ／Ｏエクスパンダ６１５周辺の回路図である。

【０１８７】

Ｉ²ＣＩ／Ｏエクスパンダ６１５は、入力端子としてＮＣ端子、ＲＥＳＥＴ端子、ＳＣＬ端子、ＳＤＡ端子、Ｖｃｃ端子、Ａ０～Ａ３端子、及びＧＮＤ端子を備え、出力端子として、ＰＯＲＴ０～ＰＯＲＴ１５を備える。

【０１８８】

ＲＥＳＥＴ端子には、プルアップ抵抗Ｒを介してＩ²ＣＩ／Ｏエクスパンダ６１５に供給される電源が接続されている。このため、リセット端子に印加される電圧は常にＨＩＧＨに維持されている。

【０１８９】

ＳＣＬ端子は接続線ＳＣＬに接続され、ＳＤＡ端子は接続線ＳＤＡに接続される。

【０１９０】

Ｖｃｃ端子には、Ｉ²ＣＩ／Ｏエクスパンダ６１５に供給される電源が接続される。また、Ｖｃｃ端子には、電源ノイズを除去するコンデンサＣＰが接続される。

【０１９１】

Ａ０端子～Ａ３端子は、Ｉ²ＣＩ／Ｏエクスパンダ６１５に固有のアドレスを設定するための端子である。なお、通常Ｉ²ＣＩ／Ｏエクスパンダ６１５のアドレスは、４ビットで表現され、この端子にＩ²ＣＩ／Ｏエクスパンダ６１５の電源が印加されている場合に

はバスコントローラ６３４に「１」が設定され、この端子がグランドに接続されている場合にはバスコントローラ６３４に「０」が設定される。

【０１９２】

したがって、図８Ａに示すＩ^{2}ＣＩ／Ｏエクスパンダ６１５のアドレスは「０１００」であり、図８Ｂに示すＩ^{2}ＣＩ／Ｏエクスパンダ６１５のアドレスは「０１１０」である。ＧＮＤ端子は、電圧をグランドするための端子である。

【０１９３】

各ＰＯＲＴ０端子～ＰＯＲＴ１５端子は、電流制限抵抗Ｒ０～Ｒ１５を介して各ＬＥＤ０～ＬＥＤ１５からなる装飾装置６２０に接続される。なお、ＰＯＲＴ０にように、ポート１個に対して１個のＬＥＤを接続してもよいが、ＰＯＲＴ１～１５のように、ポート１個に対して複数個のＬＥＤを接続してもよい。

【０１９４】

全てのポートにＬＥＤを１個ずつ設ける場合は、１個のＩ^{2}ＣＩ／Ｏエクスパンダ６１５によって、最大で１６個のＬＥＤを制御できることになる。また、各ポートに接続されるＬＥＤの個数が異なる場合は、１個のポートに直列に接続された全てのＬＥＤを１種類のＬＥＤということにすれば、１個のＩ^{2}ＣＩ／Ｏエクスパンダ６１５によって、最大で１６種類のＬＥＤを制御できることになる。

【０１９５】

ＰＯＲＴ０端子～ＰＯＲＴ１５端子に接続されるトランジスタ６３８Ａ～６３８Ｐ（図７参照）のゲートに対してドライバ６３７から電圧が印加されると、電圧が印加されたトランジスタ６３８Ａ～６３８Ｐのドレインからソースへ電流が流れることが可能になり、ＰＯＲＴ０端子～ＰＯＲＴ１５端子に接続されるＬＥＤ０～ＬＥＤ１５に電流が流れ、各ＬＥＤ０～ＬＥＤ１５は点灯する。

【０１９６】

一方、ドライバ６３７がトランジスタ６３８Ａ～６３８Ｐのゲートに電圧を印加しなければ、各ＬＥＤ０～ＬＥＤ１５に電流が流れない状態になり、各ＬＥＤ０～ＬＥＤ１５は点灯しない。

【０１９７】

なお、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５のＰＯＲＴ０端子～ＰＯＲＴ１５端子には、ＬＥＤの代わりに、モーターやソレノイドを接続することも可能であるので、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５を用いて、モーターやソレノイドを駆動する場合について説明する。

【０１９８】

図８Ｂは、本発明の第１の実施形態の役物駆動ＭＯＴ５６１及び役物駆動ＳＯＬ５６０を制御する装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５周辺の回路図である。

【０１９９】

役物駆動ＭＯＴ５６１はステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回動する。本実施形態では、役物駆動ＭＯＴ５６１の各相の信号端子が、ＰＯＲＴ０端子～ＰＯＲＴ３端子に接続される。

【０２００】

役物駆動ＭＯＴ５６１に接続されているＰＯＲＴ０端子～ＰＯＲＴ３端子に接続されるトランジスタ６３８Ａ～６３８Ｄのいずれかのゲートに対してドライバ６３７から電圧が印加されると、電圧が印加されたトランジスタ６３８Ａ～６３８Ｄのドレインからソースへ電流が流れることが可能になり、ＰＯＲＴ０端子～ＰＯＲＴ３端子に接続される役物駆動ＭＯＴ５６１に電流が流れ、役物駆動ＭＯＴ５６１が駆動する。

【０２０１】

なお、各ＰＯＲＴ０端子～ＰＯＲＴ３端子と役物駆動ＭＯＴ５６１とを接続する接続線は分岐し、分岐した一方の接続線は、役物駆動ＭＯＴ５６１に供給される電源にダイオードＤ及びツェナダイオードＺＤを介して接続される。

【０２０２】

また、ＰＯＲＴ端子１５は、役物駆動ＳＯＬ５６０に接続される。役物駆動ＳＯＬ５６０に接続されているＰＯＲＴ１５端子に接続されるトランジスタ６３８Ｐのゲートに対してドライバ６３７から電圧が印加されると、電圧が印加されたトランジスタ６３８Ｐのドレインからソースへ電流が流れることが可能になり、ＰＯＲＴ１５端子に接続される役物駆動ＳＯＬ５６０に電流が流れ、役物駆動ＳＯＬ５６０が駆動する。

【０２０３】

なお、図８Ｂでは、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に役物駆動ＭＯＴ５６１及び役物駆動ＳＯＬ５６０の双方が接続されているが、一つのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に対して、役物駆動ＭＯＴ５６１及び役物駆動ＳＯＬ５６０の少なくとも一方だけを接続した構成でもよい。

【０２０４】

例えば、ステッピングモーターだけを制御するグループとしてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５を専用に設けたり、ソレノイドだけを制御するグループとしてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５を専用に設けるようにしてもよい。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必要な演出装置だけをグループ化して効率よく制御することも可能となる。

【０２０５】

図９は、本発明の第１の実施形態の中継基板６００の入出力に関する接続線の回路図である。

【０２０６】

中継基板６００は、上流コネクタ６０１、二つの下流コネクタ６０２Ａ、６０２Ｂ、及びＩ^{2}ＣＩ／Ｏエクスパンダ６１５を備える。

【０２０７】

上流コネクタ６０１は中継基板６００よりも上流のマスタＩＣ５７０に接続されるコネクタであり、コネクタ６０２Ａ、６０２Ｂは、中継基板６００よりも下流の装飾制御装置６１０に接続される。

【０２０８】

二つの下流コネクタ６０２Ａ、６０２Ｂに接続線ＳＤＡを接続するために、上流コネクタ６０１から延びる内部接続線ＳＤＡ９１１は分岐９０１で第１接続線ＳＤＡ９２１と第２接続線ＳＤＡ９３１とに分岐する。第１接続線ＳＤＡ９２１は下流コネクタ６０２Ａに接続され、第２接続線ＳＤＡ９３１は下流コネクタ６０２Ｂに接続される。

【０２０９】

同じく、上流コネクタ６０１から延びる内部接続線ＳＣＬ９１２は分岐９０２で第１接続線ＳＣＬ９２２と第２接続線ＳＣＬ９３２とに分岐する。第１接続線ＳＣＬ９２２は下流コネクタ６０２Ａに接続され、第２接続線ＳＣＬ９３２は下流コネクタ６０２Ｂに接続される。

【０２１０】

接続線ＳＤＡをＩ^{2}ＣＩ／Ｏエクスパンダ６１５に接続するために、第２接続線ＳＤＡ９３１は分岐９０３で分岐し、分岐した第２接続線ＳＤＡ９３１はＩ^{2}ＣＩ／Ｏエクスパンダ６１５の図８Ａ及び図８に示すＳＤＡ端子に接続される。また、接続線ＳＣＬをＩ^{2}ＣＩ／Ｏエクスパンダ６１５に接続するために、第２接続線ＳＣＬ９３２は分岐９０４で分岐し、分岐した第２接続線ＳＣＬ９３２はＩ^{2}ＣＩ／Ｏエクスパンダ６１５の図８Ａ及び図８Ｂに示すＳＣＬ端子に接続される。

【０２１１】

なお、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５には、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の電源電圧となる電圧Ｖｃｃが供給されている。また、図９では図示されていないが、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５からは、中継基板６００に設けたＬＥＤ（装飾装置２００）を駆動する各ポート０～１５の信号線（図８Ａ参照）が出力されている。

【０２１２】

また、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、第２接続線ＳＤＡ９３１及び第２接続線Ｓ

ＣＬ９３２が接続されるとしたが、第１接続線ＳＤＡ９２１及び第１接続線ＳＣＬ９２２に接続されてもよい。

【０２１３】

Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５が上流のマスタＩＣ５７０に接続線ＳＤＡを介して出力する信号、及び上流のマスタＩＣ５７０から中継基板６００のＩ^{2}ＣＩ／Ｏエクスパンダ６１５へ接続線ＳＤＡを介して入力される信号のノイズを除去するために、内部接続線ＳＤＡ９１１にはツェナダイオードＺＤ９４１が接続されている。

【０２１４】

具体的には、内部接続線ＳＤＡ９１１は分岐９０５で分岐し、分岐した内部接続線ＳＤＡ９１１はツェナダイオードＺＤ９４１のカソード側に接続され、ツェナダイオードＺＤ９４１のアノード側は接地されている。

【０２１５】

このため、内部接続線ＳＤＡ９１１に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ９４１によって逃がされる。

【０２１６】

また、上流のマスタＩＣ５７０から中継基板６００のＩ^{2}ＣＩ／Ｏエクスパンダ６１５へ接続線ＳＣＬを介して入力される信号のノイズを除去するために、内部接続線ＳＣＬ９１２にはツェナダイオードＺＤ９４２が接続されている。

【０２１７】

具体的には、内部接続線ＳＣＬ９１２は分岐９０６で分岐し、分岐した内部接続線ＳＣＬ９１２はツェナダイオードＺＤ９４２のカソード側に接続され、ツェナダイオードＺＤ９４２のアノード側は接地されている。

【０２１８】

このため、内部接続線ＳＣＬ９１２に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ９４２によって逃がされる。

【０２１９】

中継基板６００のＩ^{2}ＣＩ／Ｏエクスパンダ６１５が下流コネクタ６０２Ａに接続された装飾制御装置６１０に接続線ＳＤＡを介して出力する信号、及び下流コネクタ６０２Ａに接続された装飾制御装置６１０から中継基板６００のＩ^{2}ＣＩ／Ｏエクスパンダ６１５へ接続線ＳＤＡを介して入力される信号のノイズを除去するために、第１接続線ＳＤＡ９２１にはツェナダイオードＺＤ９４３が接続されている。

【０２２０】

具体的には、第１接続線ＳＤＡ９２１は分岐９０７で分岐し、分岐した第１接続線ＳＤＡ９２１はツェナダイオードＺＤ９４３のカソード側に接続され、ツェナダイオードＺＤ９４３のアノード側は接地されている。

【０２２１】

このため、内部接続線ＳＤＡ９２１に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ９４３によって逃がされる。

【０２２２】

また、第１接続線ＳＤＡ９２１に接続されるツェナダイオードＺＤ９４３と同じく、第２接続線ＳＤＡ９３１にもツェナダイオード９４５が接続される。

【０２２３】

また、中継基板６００のＩ^{2}ＣＩ／Ｏエクスパンダ６１５から下流コネクタ６０２Ａに接続された装飾制御装置６１０へ接続線ＳＣＬを介して入力される信号のノイズを除去するために、第１接続線ＳＣＬ９２２にはツェナダイオードＺＤ９４４が接続されている。

【０２２４】

具体的には、第１接続線ＳＣＬ９２２は分岐９０８で分岐し、分岐した第１接続線ＳＣＬ９２２はツェナダイオードＺＤ９４４のカソード側に接続され、ツェナダイオードＺＤ９４４のアノード側は接地されている。

【０２２５】

このため、内部接続線ＳＣＬ９２２に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ９４４によって逃がされる。

【０２２６】

また、第１接続線ＳＣＬ９２２に接続されるツェナダイオードＺＤ９４４と同じく、第２接続線ＳＣＬ９３２にもツェナダイオードＺＤ９４６が接続される。

【０２２７】

また、マスタＩＣ５７０に接続される上流側の接続線ＳＤＡ、及び装飾制御装置６１０に接続される下流側の接続線ＳＤＡの電圧をプルアップするためのプルアップ抵抗Ｒ９５１が、第１接続線ＳＤＡ９２１に接続される。同じく、マスタＩＣ５７０に接続される上流側の接続線ＳＣＬ、及び装飾制御装置６１０に接続される下流側の接続線ＳＣＬの電圧をプルアップするためのプルアップ抵抗Ｒ９５２が、第１接続線ＳＤＡ９２２に接続される。

【０２２８】

具体的には、第１接続線ＳＤＡ９２１は分岐９０９で分岐し、分岐した第１接続線ＳＤＡ９２１はプルアップ抵抗Ｒ９５１に接続される。同じく第１接続線ＳＣＬ９２２は分岐９１０で分岐し、分岐した第１接続線ＳＣＬ９２２はプルアップ抵抗Ｒ９５２に接続される。

【０２２９】

なお、接続線ＳＤＡ及び接続線ＳＣＬの電圧をプルアップするプルアップ抵抗９５１、９５２は、中継基板６００が備えなくてもよく、マスタＩＣ５７０が備えてもよいし、中継基板６００以外の装飾制御装置６１０が備えてもよい。要するに、接続線ＳＤＡ及び接続線ＳＣＬを駆動するトランジスタのドレインの端子に、電圧Ｖｃｃを供給できる箇所であれば、どこでもよい。

【０２３０】

中継基板６００のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に電源電圧を供給する接続線Ｖｃｃに接続される上流コネクタ６０１のＶｃｃ端子から延びる内部接続線Ｖｃｃ９７１と、上流コネクタ６０１のＧＮＤ端子から延び、接地されている内部接続線ＧＮＤ９７２とは、平滑コンデンサＣ９６１及びバイパスコンデンサ９６２を介して接続されている。

【０２３１】

平滑コンデンサＣ９６１は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサＣＰ９６２は、電源の電圧のノイズを除去するためのコンデンサである。

【０２３２】

このため、中継基板６００のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に供給される電源電圧は、平滑コンデンサＣ９６１により電圧が平滑化され、バイパスコンデンサ９６２によりノイズが除去されて、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に供給される。

【０２３３】

同じく、下流コネクタ６０２Ａ、６０２ＢのＶｃｃ端子から延びる内部接続線Ｖｃｃ９７３と、ＧＮＤ端子から延びる内部接続線ＧＮＤ９７４とは、平滑コンデンサＣ９６１及びバイパスコンデンサ９６２を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置６１０に接続される接続線Ｖｃｃに印加される。

【０２３４】

図１０は、本発明の第１の実施形態の装飾制御装置６１０の入出力に関する接続線の回路図である。

【０２３５】

装飾制御装置６１０は、上流コネクタ６１１、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５、及び下流コネクタ６１２を備える。

【０２３６】

上流コネクタ６１１には、中継基板６００又は上流側の装飾制御装置６１０からバスが

接続される。下流コネクタ６１２には、下流側の装飾制御装置６１０に接続するバスが接続される。

【０２３７】

上流コネクタ６１１のＳＤＡ端子と下流コネクタ６１２のＳＤＡ端子とは、内部接続線ＳＤＡ１０１１によって接続されている。また、上流コネクタ６１１のＳＣＬ端子と下流コネクタ６１２のＳＣＬ端子とは、内部接続線ＳＣＬ１０１２によって接続されている。

【０２３８】

接続線ＳＤＡをI^2C／Ｏエクスパンダ６１５に接続するために、内部接続線ＳＤＡ１０１１は分岐１００１で分岐し、分岐した内部接続線ＳＤＡ１０１１はI^2C／Ｏエクスパンダ６１５の図８Ａ及び図８に示すＳＤＡ端子に接続される。また、接続線ＳＣＬをI^2C／Ｏエクスパンダ６１５に接続するために、内部接続線ＳＣＬ１０１２は分岐１００２で分岐し、分岐した内部接続線ＳＣＬ１０１２はI^2C／Ｏエクスパンダ６１５の図８Ａ及び図８Ｂに示すＳＣＬ端子に接続される。

【０２３９】

なお、I^2C／Ｏエクスパンダ６１５には、I^2C／Ｏエクスパンダ６１５の電源電圧となる電圧Ｖｃｃが供給されている。また、図１０では図示されていないが、I^2C／Ｏエクスパンダ６１５からは、当該装飾制御装置６１０に係わるＬＥＤ（装飾装置２００）を駆動する各ポート０～１５の信号線（図８Ａ参照）が出力されている。

【０２４０】

図１０に示す装飾制御装置６１０のI^2C／Ｏエクスパンダ６１５が上流コネクタ６１１に接続された上流の装飾制御装置６１０又は中継基板６００に接続線ＳＤＡを介して出力する信号、及び上流コネクタ６１１に接続された上流の装飾制御装置６１０又は中継基板６００から図１０に示す装飾制御装置６１０のI^2C／Ｏエクスパンダ６１５へ接続線ＳＤＡを介して入力される信号のノイズを除去するために、内部接続線ＳＤＡ１０１１にはツェナダイオードＺＤ１０４１が接続されている。

【０２４１】

具体的には、内部接続線ＳＤＡ１０１１は分岐１００３で分岐し、分岐した内部接続線ＳＤＡ１０１１はツェナダイオードＺＤ１０４１のカソード側に接続され、ツェナダイオードＺＤ１０４１のアノード側は接地されている。

【０２４２】

このため、内部接続線ＳＤＡ１０１１に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ１０４１によって逃がされる。

【０２４３】

また、上流コネクタ６１１に接続される上流の装飾制御装置６１０又は中継基板６００から図１０に示す装飾制御装置６１０のI^2C／Ｏエクスパンダ６１５へ接続線ＳＣＬを介して入力される信号のノイズを除去するために、内部接続線ＳＣＬ１０１２にはツェナダイオードＺＤ９４２が接続されている。

【０２４４】

具体的には、内部接続線ＳＣＬ１０１２は分岐１００４で分岐し、分岐した内部接続線ＳＣＬ１０１２はツェナダイオードＺＤ１０４２のカソード側に接続され、ツェナダイオードＺＤ１０４２のアノード側は接地されている。

【０２４５】

このため、内部接続線ＳＣＬ１０１２に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ１０４２によって逃がされる。

【０２４６】

図１０に示す装飾制御装置６１０のI^2C／Ｏエクスパンダ６１５が下流コネクタ６１２に接続された下流の装飾制御装置６１０に接続線ＳＤＡを介して出力する信号、及び下流コネクタ６１２に接続された下流の装飾制御装置６１０から図１０に示す装飾制御装置のI^2C／Ｏエクスパンダ６１５へ接続線ＳＤＡを介して入力される信号のノイズを除去するために、内部接続線ＳＤＡ１０１１にはツェナダイオードＺＤ１０４３が接続さ

れている。
【０２４７】
具体的には、内部接続線ＳＤＡ１０１１は分岐１００５で分岐し、分岐した内部接続線ＳＤＡ１０１１はツェナダイオードＺＤ１０４３のカソード側に接続され、ツェナダイオードＺＤ１０４３のアノード側は接地されている。
【０２４８】
このため、内部接続線ＳＤＡ１０１１に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ１０４３によって逃がされる。
【０２４９】
また、図１０に示す装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５から下流コネクタ６１２に接続された下流の装飾制御装置６１０へ接続線ＳＣＬを介して入力される信号のノイズを除去するために、内部接続線ＳＣＬ１０１２にはツェナダイオードＺＤ１０４４が接続されている。
【０２５０】
具体的には、内部接続線ＳＣＬ１０１２は分岐１００６で分岐し、分岐した内部接続線ＳＣＬ１０１２はツェナダイオードＺＤ１０４４のカソード側に接続され、ツェナダイオードＺＤ１０４４のアノード側は接地されている。
【０２５１】
このため、内部接続線ＳＣＬ１０１２に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードＺＤ１０４４によって逃がされる。
【０２５２】
装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に電源電圧を供給する接続線Ｖｃｃに接続される上流コネクタ６１１のＶｃｃ端子から延びる内部接続線Ｖｃｃ１０７１と、上流コネクタ６１１のＧＮＤ端子から延び、接地されている内部接続線ＧＮＤ１０７２とは、平滑コンデンサＣ１０６１及びバイパスコンデンサ１０６２を介して接続されている。
【０２５３】
平滑コンデンサＣ１０６１は図９に示す平滑コンデンサＣ９６１と同じコンデンサであり、バイパスコンデンサＣＰ１０６２は図９に示すバイパスコンデンサ９６２と同じコンデンサである。
【０２５４】
また、下流コネクタ６１２のＶｃｃ端子から延びる内部接続線Ｖｃｃ１０７３と、ＧＮＤ端子から延びる内部接続線ＧＮＤ１０７４とは、平滑コンデンサＣ１０６１及びバイパスコンデンサ１０６２を介して接続されている。
【０２５５】
図１１は、本発明の第１の実施形態の演出制御装置５５０から装飾制御装置６１０に出力されるデータに含まれるスレーブアドレス１１００の説明図である。
【０２５６】
スレーブアドレス１１００は、上位３ビットからなる固定アドレス部１１０１及び下位５ビットからなる可変アドレス部１１０２を含む。
【０２５７】
固定アドレス部１１０１は、「１１０」が予め設定されていて、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５が変更できないアドレスである。
【０２５８】
可変アドレス部１１０２は、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に設定可能なアドレスであり、制御対象となるＩ^{2}ＣＩ／ＯエクスパンダＡ０～Ａ３の端子に設定されているパターンに対応した４ビットのＩ^{2}ＣＩ／Ｏエクスパンダアドレス１１０３と、当該データが読み出し要求であるのか書き込み要求であるのかを示す１ビットのＲ／Ｗ識別データ１１０４と、が含まれる。
【０２５９】

演出制御装置５５０から装飾制御装置６１０に出力される演出制御データは、書き込み要求であるので、Ｒ／Ｗ識別データ１１０４には、通常「０」が登録される。

【０２６０】

図１２は、本発明の第１の実施形態のＩ^{2}ＣＩ／Ｏエクスパンダアドレステーブル１２００の説明図である。

【０２６１】

Ｉ^{2}ＣＩ／Ｏエクスパンダアドレステーブル１２００は、マスタＩＣ５７０によって管理されるテーブルである。Ｉ^{2}ＣＩ／Ｏエクスパンダアドレステーブル１２００は、スレーブアドレス１２０１とＩ^{2}ＣＩ／Ｏエクスパンダアドレス１２０２との対応関係を示している。

【０２６２】

スレーブアドレス１２０１には、演出制御装置５５０により送受信の対象として指定される装飾制御装置６１０のスレーブアドレスが格納されている。スレーブアドレスは、図１３で前述したように、上位３ビットからなる固定アドレス部と、４ビットのＩ^{2}ＣＩ／Ｏエクスパンダアドレスと、１ビットのＲ／Ｗ識別データとを組み合わせて構成される。

【０２６３】

Ｉ^{2}ＣＩ／Ｏエクスパンダアドレス１２０２には、図８Ａや図８Ｂで前述したように、各スレーブアドレスに対応する４ビットのＩ^{2}ＣＩ／Ｏエクスパンダアドレスが登録される。

【０２６４】

ただし、Ｉ^{2}ＣＩ／Ｏエクスパンダアドレスのうち、アドレス「１０００」及びアドレス「１０１１」は、各Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５を相互に識別するための固有のアドレスとしては使用できない。

【０２６５】

「１０００」は、すべての装飾制御装置６１０に対する指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。「１０１１」はソフトウェアによって、マスタＩＣ５７０に接続されている全ての装飾制御装置６１０を無条件にリセットする場合に用いられる共通アドレスである。

【０２６６】

このように、装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に設定可能な固有アドレスは１４個であるために、演出制御装置５５０は、１４個のＩ^{2}ＣＩ／Ｏエクスパンダ６１５を制御できる。また、一つの装飾制御装置６１０は、ＰＯＲＴ０～ＰＯＲＴ１５を備えるので、１６個（言い換えれば１６種類）のＬＥＤを制御できる。よって、演出制御装置５５０は、２２４個（言い換えれば２２４種類）のＬＥＤを制御できる。

【０２６７】

図１３は、本発明の第１の実施形態のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に備わる出力設定レジスタ６３５（図７参照）に割り当てられたワークレジスタを説明するための図である。

【０２６８】

Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の出力設定レジスタ６３５には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。ワークレジスタは、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に対して予め定義されている設定を行うための情報や、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に接続されている演出装置（例えば、ＬＥＤ）の出力態様を特定するための情報を記憶するものである。また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶するもである。

【０２６９】

なお、図１３に示すように、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、各記憶領域毎に異なるレジスタ番号が付与されている。

【０２７０】

レジスタ番号が「００ｈ」となる記憶領域には、「ＭＯＤＥ１」というレジスタ名が付与されており、また、レジスタ番号が「０１ｈ」となる記憶領域には、「ＭＯＤＥ２」というレジスタ名が付与されている。レジスタ番号「００ｈ」及び「０１ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の初期設定が行われる。

【０２７１】

レジスタ番号が「０２ｈ」～「１１ｈ」となる記憶領域には、「ＰＷＭ０」～「ＰＷＭ１５」というレジスタ名が付与されている。レジスタ番号「０２ｈ」～「１１ｈ」の記憶領域のいずれかに値が書き込まれると、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に接続される発光装置を構成する１６個のＬＥＤのうち、値が書き込まれたレジスタ番号に対応するＬＥＤの輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「０２ｈ」の記憶領域に値が書き込まれた場合には、図８Ａに示すポート０に接続されたＬＥＤ０の輝度が調整される。

【０２７２】

なお、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に役物駆動ＳＯＬ５６０が接続される場合には、役物駆動ＳＯＬ５６０が接続されるポートに対応するレジスタ番号の記憶領域には、役物駆動ＳＯＬ５６０を通電して作動するか、通電せずに未作動状態にするかを示す値が書き込まれる。

【０２７３】

また、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に役物駆動ＭＯＴ５６１が接続される場合には、役物駆動ＭＯＴ５６１が接続されるポートに対応するレジスタ番号の記憶領域には、役物駆動ＭＯＴ５６１の目標回転位置を示す値が書き込まれる。

【０２７４】

レジスタ番号が「１２ｈ」となる記憶領域には、「ＧＲＰＰＷＭ」というレジスタ名が付与され、レジスタ番号が「１３ｈ」となる記憶領域には、「ＧＲＰＦＲＥＱ」というレジスタ名が付与されている。レジスタ番号「１２ｈ」及び「１３ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、全体のＬＥＤ（１６個のＬＥＤ）の点滅パターンが設定される。

【０２７５】

具体的には、レジスタ番号「１２ｈ」の記憶領域に値が書き込まれた場合には、全体のＬＥＤのオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「１３ｈ」の記憶領域に値が書き込まれた場合には、全体のＬＥＤの点滅周期が設定される。

【０２７６】

レジスタ番号が「１４ｈ」となる記憶領域には、「ＬＥＤＯＵＴ０」というレジスタ名が付与されている。レジスタ番号「１４ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ０～ＬＥＤ３の出力状態が設定される。

【０２７７】

レジスタ番号が「１５ｈ」となる記憶領域には、「ＬＥＤＯＵＴ１」というレジスタ名が付与されている。レジスタ番号「１５ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ４～ＬＥＤ７の出力状態が設定される。

【０２７８】

レジスタ番号が「１６ｈ」となる記憶領域には、「ＬＥＤＯＵＴ２」というレジスタ名が付与されている。レジスタ番号「１６ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ８～ＬＥＤ１１の出力状態が設定される。

【０２７９】

レジスタ番号が「１７ｈ」となる記憶領域には、「ＬＥＤＯＵＴ３」というレジスタ名が付与されている。レジスタ番号「１７ｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、ＬＥＤ１２～ＬＥＤ１５の出力状態が設定される。

【０２８０】

レジスタ番号が「１８ｈ」～「１Ａｈ」となる記憶領域には、「ＳＵＢＡＤＲ１」～「

ＳＵＢＡＤＲ３」というレジスタ名が付与されている。レジスタ番号「１８ｈ」～「１Ａｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、第１サブアドレス～第３サブアドレスが設定される。

【０２８１】

レジスタ番号が「１Ｂｈ」となる記憶領域には、「ＡＬＬＣＡＬＬＡＤＲ」というレジスタ名が付与されている。レジスタ番号「１Ｂｈ」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、オールコールアドレスが設定される。

【０２８２】

図１４は、本発明の第１の実施形態のマスタＩＣ５７０が接続線ＳＤＡ及び接続線ＳＣＬを介して出力するデータのスタート条件及びストップ条件の説明図である。

【０２８３】

接続線ＳＣＬは、データの非送信時に信号レベルがＨＩＧＨになっており、マスタＩＣ５７０は、装飾制御装置６１０にデータを出力する際に、接続線ＳＣＬの信号レベルをＬＯＷからＨＩＧＨに変化させ、装飾制御装置６１０が接続線ＳＤＡのデータを取り込むためのストローブ信号として作用させる。

【０２８４】

接続線ＳＤＡは、データの非送信時に信号レベルがＨＩＧＨになっており、接続線ＳＣＬのクロック信号に合わせて接続線ＳＤＡからデータが出力される。

【０２８５】

マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＨＩＧＨからＬＯＷに変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【０２８６】

装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、接続線ＳＤＡ及び接続線ＳＣＬからスタート条件となる信号が入力されると、データの出力が開始することを把握する。

【０２８７】

マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＬＯＷからＨＩＧＨに変化させることで、データの出力が終了することを示すストップ条件を示す信号を出力する。

【０２８８】

装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、ストップ条件が入力されると、データの出力が終了することを把握する。

【０２８９】

図１５は、本発明の第１の実施形態のマスタＩＣ５７０から出力されたデータが入力された装飾制御装置６１０が返答信号を出力するタイミングチャートである。

【０２９０】

装飾制御装置６１０は、スタート条件が成立してから接続線ＳＣＬの信号レベルの変化回数を計数し、接続線ＳＣＬのクロック信号に合わせて接続線ＳＤＡから入力されるデータを取り込む。

【０２９１】

そして、装飾制御装置６１０は、スタート条件が成立してから接続線ＳＣＬの信号レベルの変化回数が９回に達する直前に、返答信号をマスタＩＣ５７０に接続線ＳＤＡを介して出力する。換言すると、装飾制御装置６１０は、接続線ＳＤＡから８ビット目のデータを取り込んだ後に、接続線ＳＣＬの信号レベルがＨＩＧＨからＬＯＷに変化することを契機に、返答信号を当該接続線ＳＤＡを介して出力する。

【０２９２】

なお、図に示すように、データの受信に成功したことを示す返答信号（ＡＣＫの返答信号）はＬＯＷレベルによって示され、データの受信に失敗したことを示す返答信号（ＮＡＣＫの返答信号、図ではＡＣＫ出力なしに相当）はＨＩＧＨレベルによって示される。

【０２９３】
　また、マスタＩＣ５７０は、スタート条件が成立してから接続線ＳＣＬの信号レベルが８回変化すると、接続線ＳＤＡを解放することによって、装飾制御装置６１０から返答信号の入力を待機する。そして、マスタＩＣ５７０は、接続線ＳＤＡを解放したまま、接続線ＳＣＬの信号レベルを変化させて、装飾制御装置６１０からの返答信号を取り込む。
【０２９４】
　図１６は、本発明の第１の実施形態のマスタＩＣ５７０が演出制御データを出力する場合の接続線ＳＤＡ及び接続線ＳＣＬの信号レベルのタイミングチャートである。
【０２９５】
　まず、マスタＩＣ５７０は、データの出力を開始する場合には、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＨＩＧＨからＬＯＷに変化させることによって、スタート条件を示す信号を出力し、これからデータを出力することを装飾制御装置６１０に通知する。
【０２９６】
　次に、マスタＩＣ５７０は、合計７ビットからなる制御対象となる装飾制御装置６１０のスレーブアドレスを出力する。次に、マスタＩＣ５７０は、読み出し要求である書き込み要求であるかを示すデータを８ビット目に出力する。
【０２９７】
　そして、マスタＩＣ５７０は、接続線ＳＣＬの信号レベルが９回目にＨＩＧＨになるときに、装飾制御装置６１０から返答信号が入力されるので、ＡＣＫの返答信号であれば接続線ＳＤＡの信号レベルがＬＯＷに変化し、ＮＡＣＫの返答信号であれば接続線ＳＤＡの信号レベルがＨＩＧＨに変化する。
【０２９８】
　次に、マスタＩＣ５７０は、アドレスデータの出力後、データを、８の倍数となるビット数で出力する。マスタＩＣ５７０は、データの８ビット目を出力した後、ＡＣＫの返答信号が入力されるのを待ってデータの９ビット目を出力する。以降、８の倍数番目に相当するビットのデータを出力すると、ＡＣＫの返答信号が入力されるのを確認してから、（８の倍数＋１）番目のビットを出力し、全データが出力されるまで繰り返す。
【０２９９】
　なお、マスタＩＣ５７０は、データの８の倍数番目となるビットを出力した後、所定時間経過してもＡＣＫの返答信号が入力されない場合には、データの送信に失敗したものとみなして、再度スタート条件を送信する。次いで、接続線ＳＤＡを介して、再度アドレスデータを出力し、ＡＣＫの返答信号を確認しながら、もう一度、データを１ビット目から出力する。
【０３００】
　また、マスタＩＣ５７０は、データの最後のビットのデータを出力した後、ＡＣＫの返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。
【０３０１】
　なお、図１６では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計２４ビット（スレーブアドレス８ビット、データ１６ビット）のデータを出力しているが、２４ビット以上であってもよいし、２４ビット以下であってもよい。
【０３０２】
　図１７は、本発明の第１の実施形態のマスタＩＣ５７０が、スレーブの個別アドレスを指定して装飾制御装置６１０に演出制御データを設定する場合において、マスタＩＣ５７０とＩ^{2}Ｃ／Ｏエクスパンダ６１５との間で授受されるデータのフォーマットを説明する図である。
【０３０３】
　はじめに出力される８ビットのデータ１８０１には、データ送信の対象となる装飾制御装置６１０のアドレス「Ａ０～Ａ６」と、当該データが読み出し要求であるのか書き込み

要求であるのかを示す１ビットのＲ／Ｗ識別データとが含まれる。このアドレス「Ａ０～Ａ６」のうち、「Ａ４～Ａ６」は値「１１０」となる固定アドレス部であり、「Ａ０～Ａ３」はI^2CＩ／Ｏエクスパンダ６１５のＡ０～Ａ３の端子に設定されているアドレスに相当する（図８参照）。なお、このデータ１８０１は、図１６における「ＡＤＲＥＳＳ」及び「Ｒ／Ｗ」に対応するものである。

【０３０４】

次に、出力される８ビットのデータ１８０２には、I^2CＩ／Ｏエクスパンダ６１５の出力設定レジスタ６３５（図７参照）に割り当てられているコントロールレジスタへの設定データが含まれる。このデータ１８０２は、図１６において１番目に送信される「ＤＡＴＡ」に対応するものである。

【０３０５】

ここで、コントロールレジスタについて説明する。コントロールレジスタは８ビットからなり、上位３ビット「ＡＩ０～ＡＩ２」が出力設定レジスタ６３５のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位５ビット「Ｄ０～Ｄ４」がワークレジスタにおけるアクセス開始位置（書き込みを開始する先頭位置、又は読み出しを開始する先頭位置）を指定するレジスタアドレスである。

【０３０６】

自動書込パラメータは、マスタＩＣ５７０によって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス（オートインクリメントを禁止）するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス（オートインクリメントを許可）するのかを指定するパラメータであり、具体的には「０００」、「１００」、「１０１」、「１１０」、「１１１」の何れかの値を設定することができる。

【０３０７】

自動書込パラメータに「０００」の値を設定すると、オートインクリメントが禁止され、レジスタアドレスが指定するアクセス開始位置の領域のみにアクセスし、開始位置以外の領域にはアクセスしない。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域のみにアクセスし、他の記憶領域にはアクセスしない。

【０３０８】

自動書込パラメータに「１００」の値を設定すると、オートインクリメントが許可され、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「１Ｂｈ」となる記憶領域にアクセスした後は、レジスタ番号が「００ｈ」となる記憶領域にアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「１５ｈ」→「１６ｈ」→・・→「１Ｂｈ」→「００ｈ」→「０１ｈ」→・・となる領域（即ち、全ての領域）に、繰り返しアクセスする。

【０３０９】

自動書込パラメータに「１０１」の値を設定すると、自動書込パラメータに「１００」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「１１ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「０２ｈ」となる記憶領域にアクセスし、以降、レジスタ番号が「０２ｈ」～「１１ｈ」となる区間の記録領域（ＬＥＤの輝度調整に関する領域）に繰り返しアクセスする。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「１５ｈ」→「１６ｈ」→・・→「１Ｂｈ」→「００ｈ」→「０１ｈ」→・・となる領域に、順にアクセスする。そして、レジスタ番号が「１１ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「０２ｈ」→「０３ｈ」→・・→「１１ｈ」→「０２ｈ」→「０３ｈ」→・・となる領域に、繰り返

しアクセスする。

【０３１０】

自動書込パラメータに「１１０」の値を設定すると、自動書込パラメータに「１００」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「１３ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「１２ｈ」となる記憶領域にアクセスし、以降、レジスタ番号が「１２ｈ」～「１３ｈ」となる区間の記録領域（ＬＥＤの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「１５ｈ」→「１６ｈ」→・・→「１Ｂｈ」→「００ｈ」→「０１ｈ」→・・となる領域に、順にアクセスする。そして、レジスタ番号が「１３ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「１２ｈ」→「１３ｈ」→「１２ｈ」→「１３ｈ」→・・となる領域に、繰り返しアクセスする。

【０３１１】

自動書込パラメータに「１１１」の値を設定すると、自動書込パラメータに「１００」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「１３ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「０２ｈ」となる記憶領域にアクセスし、以降、レジスタ番号が「０２ｈ」～「１３ｈ」となる区間の記録領域（ＬＥＤの輝度及び点滅周期に関する領域）に繰り返しアクセスする。例えば、レジスタアドレスが「１０１００」であれば、レジスタ番号が「１４ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「１５ｈ」→「１６ｈ」→・・→「１Ｂｈ」→「００ｈ」→「０１ｈ」→・・となる領域に、順にアクセスする。そして、レジスタ番号が「１３ｈ」となる記憶領域にアクセスした後は、レジスタ番号が「０２ｈ」→「０３ｈ」→・・→「１３ｈ」→「０２ｈ」→「０３ｈ」→・・となる領域に、繰り返しアクセスする。

【０３１２】

図１７に戻り、コントロールレジスタへの設定データ１８０２に続いて、ワークレジスタへの設定データ１８０３が出力される。この設定データ１８０３は、図１６において２番目以降に送信される「ＤＡＴＡ」に対応するものである。

【０３１３】

自動書込パラメータを「０００」とした場合には、この設定データ１８０３は、レジスタアドレスが指定する１箇所の記憶領域を更新するために必要な８ビットのデータとなる。自動書込パラメータを「０００」以外の値とした場合には、この設定データ１８０３は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な８の倍数となるビットのデータとなる。

【０３１４】

図１８は、本発明の第１の実施形態のマスタＩＣ５７０が、スレーブの個別アドレスを指定して装飾制御装置６１０に演出制御データを設定する場合において、マスタＩＣ５７０とＩ^{2}ＣＩ／Ｏエクスパンダ６１５との間で授受される演出制御データに具体的な数値を適用したものである。本図では、オートインクリメントを禁止して、ワークレジスタの１箇所の記憶領域だけを更新する演出制御データを例示しており、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５のＰＯＲＴ０端子～ＰＯＲＴ３端子に接続されるＬＥＤの発光状態を更新する場合を想定している。

【０３１５】

まず、はじめに出力される８ビットのデータ１９０１には、送信先の装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５のスレーブアドレスを示す「１１０１１００」が割り当てられている。

【０３１６】

次に出力される８ビットのデータ１９０２には、自動書込パラメータ、及びＬＥＤの出

力データを設定するために割り当てられているＩ^{2}ＣＩ／Ｏエクスパンダ６１５の出力設定レジスタ６３５のコントロールレジスタに設定される値が含まれる。

【０３１７】

ここでは、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５のＰＯＲＴ０端子～ＰＯＲＴ３端子に接続されるＬＥＤの発光状態を設定するので、レジスタアドレスにはＬＥＤＯＵＴ０（アドレス＝１０１００）を指定することにする。

【０３１８】

なお、自動書込パラメータには、オートインクリメントを禁止するために「０００」が指定されている。

【０３１９】

次に、出力される８ビットのデータ１９０３には、送信先の装飾制御装置６１０によって制御される装飾装置６２０の発光態様を設定するデータが含まれる。具体的には、ＬＥＤＯＵＴ０レジスタに設定されるデータが割り当てられている。これにより、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５のＰＯＲＴ０端子～ＰＯＲＴ３端子に接続されるＬＥＤの発光状態（点灯、消灯、点滅など）が指定され、指定された状態でＬＥＤが発光する。

【０３２０】

このようにして、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５のＰＯＲＴ０端子～ＰＯＲＴ３端子のＬＥＤの発光状態が制御されるが、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の他のＰＯＲＴ端子（ＰＯＲＴ４～ＰＯＲＴ１５）も、コントロールレジスタデータ１９０２の値を指定して、出力データ１９０３を設定することで制御可能である。ＰＯＲＴ端子に、モーターやソレノイドが接続されていても、同様に制御される。

【０３２１】

図１９は、本発明の第１の実施形態の演出制御データの別の形態を説明する図である。本図では、オートインクリメントを許可して、ワークレジスタの全ての記憶領域を更新する場合を想定しており、演出制御データに含まれる各データの送信順序を規定している。

【０３２２】

まず、マスタＩＣ５７０は、制御対象となる装飾制御装置６１０の個別アドレスを特定可能な８ビットのデータ（図１８のデータ１９０１と同一フォーマットのデータ）を送信する。

【０３２３】

次に、マスタＩＣ５７０は、制御対象のＩ^{2}ＣＩ／Ｏエクスパンダ６１５の出力設定レジスタ６３５のコントロールレジスタに設定されるデータ（図１８のデータ１９０２と同一フォーマットのデータ）を送信する。本図においては、オートインクリメントを許可してワークレジスタの全ての記憶領域を更新するため、自動書込パラメータには「１００」が指定され、書き込み先又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「００ｈ」が指定される。

【０３２４】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５においては、レジスタ番号が「００ｈ」の記憶領域（ＭＯＤＥ１レジスタ）が最初に更新されることになる。

【０３２５】

次いで、マスタＩＣ５７０は、コントロールレジスタ設定値の送信後、ＭＯＤＥ１レジスタに書き込む値（合計８ビット）を送信する。Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、当該書き込み値を受信するとＭＯＤＥ１レジスタの値を更新し、レジスタ番号をインクリメントして次の「０１ｈ」の記憶領域（ＭＯＤＥ２レジスタ）を更新するための準備をする。

【０３２６】

次いで、マスタＩＣ５７０は、ＭＯＤＥ２レジスタに書き込む値（合計８ビット）を送信し、以降、レジスタ番号が「０２ｈ」～「１Ｂｈ」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、当該書き込み値を

受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「００ｈ」～「１Ｂｈ」の全てのレジスタの値が更新される。

【０３２７】

なお、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、ワークレジスタの最終となる「１Ｂｈ」の記憶領域を更新すると、レジスタ番号は「００ｈ」に変更して、ＭＯＤＥ１レジスタの更新を待つ状態となる。

【０３２８】

図２０は、本発明の第１の実施形態のマスタＩＣ５７０がＩ^{2}ＣＩ／Ｏエクスパンダ６１５を初期化するときに、マスタＩＣ５７０からＩ^{2}ＣＩ／Ｏエクスパンダ６１５へ送信される初期化指示データのデータフォーマットを説明する図である。

【０３２９】

演出制御装置５５０のＣＰＵ５５１がマスタＩＣ５７０に対して装飾制御装置６１０の初期化を行うように指示すると、マスタＩＣ５７０は、配下に接続している全ての装飾制御装置６１０に初期化指示データを送信する。

【０３３０】

はじめに出力される８ビットのデータ２００１には、図１８に示す固定アドレス「１１０」と、共通アドレスであるリセットアドレス「１０１１」（図１２参照）とが含まれる。なお、このデータ２００１は、図１６における「ＡＤＲＥＳＳ」に対応するものであり、「Ｒ／Ｗ」のビットには、書き込みを示す「０」が設定される。

【０３３１】

次に出力される８ビットのデータ２００２では、第１所定値「１０１００１０１」が出力さて、次に出力される８ビットのデータ２００３では、第２所定値「０１０１１０１０」が出力される。なお、このデータ２００２は、図１６において１番目に送信される「ＤＡＴＡ」に対応し、データ２００３は、図１６において２番目に送信される「ＤＡＴＡ」に対応する。

【０３３２】

マスタＩＣ５７０に接続されるすべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、リセットアドレス、第１所定値、及び第２所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

【０３３３】

リセットアドレスの出力後に、第１所定値及び第２所定値を出力するようにしたのは、マスタＩＣ５７０がリセットアドレス「１０１１」を送信していないにもかかわらず、ノイズなどの影響で、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５が誤ってリセットアドレス「１０１１」を取り込んでしまい、誤ったタイミングで初期化が行われることを防止するためである。

【０３３４】

また、リセットアドレスは、個別アドレスとは異なって、全て（換言すれば複数）のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを１回送信するだけで、全て（複数）のＩ^{2}ＣＩ／Ｏエクスパンダ６１５を選択して初期化することになるので、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５を個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

【０３３５】

なお、図２０では、第１所定値と第２所定値とを異なる値としたが、同じ値であってもよい。また、第１所定値及び第２所定値のいずれかが１回送信されるようにしてもよい。

【０３３６】

図２１は、本発明の第１の実施形態の異常判定テーブル２１００を説明する図である。

【０３３７】

異常判定テーブル２１００は、演出制御装置５５０のＲＡＭ５５３に格納される。異常

判定テーブル２１００は、演出制御装置５５０のマスタＩＣ５７０と当該マスタＩＣ５７０に接続されるＩ²ＣＩ／Ｏエクスパンダ６１５との接続状態を監視するものであり、接続状態の確認結果に対応して、該当するＩ²ＣＩ／Ｏエクスパンダ６１５に対応した後述のエラーフラグ２１０５が設定される。

【０３３８】

異常判定テーブル２１００は、Ｉ／Ｏエクスパンダアドレス２１０１、スレーブアドレス２１０２、エラーカウンタ２１０３、比較値２１０４、及びエラーフラグ２１０５を含む。

【０３３９】

Ｉ／Ｏエクスパンダアドレス２１０１は、マスタＩＣ５７０に接続されるＩ²ＣＩ／Ｏエクスパンダ６１５のＡ０～Ａ３の端子に設定されているアドレス（図８参照）に対応している。

【０３４０】

スレーブアドレス２１０２には、図１２に示すＩ²ＣＩ／Ｏエクスパンダアドレステーブル１２００に登録されているスレーブアドレスが登録される。

【０３４１】

エラーカウンタ２１０３は、マスタＩＣ５７０からＩ²ＣＩ／Ｏエクスパンダ６１５への演出制御データの送信に対して、Ｉ²ＣＩ／Ｏエクスパンダ６１５からのＡＣＫが受信できたか否かを監視した際に、このＡＣＫの受信に２回連続して失敗するとインクリメントされるものである。

【０３４２】

比較値２１０４には所定値が登録される。エラーフラグ２１０５には、当該エントリのＩ²ＣＩ／Ｏエクスパンダ６１５との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

【０３４３】

具体的には、インクリメントされたエラーカウンタ２１０３の値が、比較値２１０４に登録された所定値に達した場合に、エラーフラグ２１０５にＯＮが設定されて当該エントリのＩ²ＣＩ／Ｏエクスパンダ６１５に異常が発生したことが登録される。

【０３４４】

なお、Ｉ／Ｏエクスパンダアドレス２１０１に登録された「０１１０」のＩ²ＣＩ／Ｏエクスパンダ６１５は、図８Ｂに示すように、役物駆動ＳＯＬ５６０や役物駆動ＭＯＴ５６１といった可動装置を制御している。そこで、このＩ²ＣＩ／Ｏエクスパンダ６１５を備える装飾制御装置５１０を、可動制御装置（可動グループ単位制御手段）ということにする。

【０３４５】

一方、Ｉ／Ｏエクスパンダアドレス２１０１に登録された「０１１０」以外のＩ²ＣＩ／Ｏエクスパンダ６１５は、図８Ａに示すように、ＬＥＤ等の発光装置を制御している。そのため、このＩ²ＣＩ／Ｏエクスパンダ６１５を備える装飾制御装置５１０を、前述の可動制御装置と区別するために、発光制御装置（発光グループ単位制御手段）ということにする。

【０３４６】

図２１では、可動制御装置（Ｉ／Ｏエクスパンダアドレス２１０１に登録された値が「０１１０」）のエントリの比較値２１０４に登録される所定値が「１００」となっており、発光装飾制御装置のエントリの比較値２１０４に登録される所定値「３００」とは異ならせている。つまり、可動制御装置の比較値２１０４を、発光制御装置の比較値２１０４よりも低い値に設定している。

【０３４７】

これは、可動制御装置に異常が発生している場合には、役物駆動ＭＯＴ５６１が回転しすぎて、可動役物６０が動作可能な範囲を超えて可動してしまい、可動役物６０及び可動役物付近の部材を破損してしまうことを防止するため、可能な限り短時間で異常判定する

ことを意図しているからである。

【０３４８】

具体的には、本実施形態では、後述するように、発光制御装置のデータ出力処理（図２２参照）は、ＶＤＰ割込（約３３．３ｍｓ周期）に同期して実行されるようし、可動制御装置のデータ出力処理をタイマ割込（２ｍｓ周期）に同期して実行されるようにしている。

【０３４９】

前述したように、マスタＩＣ５７０からI^2CＩ／Ｏエクスパンダ６１５への２回目の演出制御データの送信に対して、I^2CＩ／Ｏエクスパンダ６１５からのＡＣＫが受信できなければ、エラーカウンタ２１０３がインクリメントされる。

【０３５０】

したがって、可動制御装置に異常が発生している場合には、データ出力処理の実行周期が２ｍｓで、比較値２１０４が「１００」であるので、２ｍｓ×１００＝０．２ｓで可動制御装置に異常が発生したことを検出できる。なお、発光制御装置に異常が発生している場合には、データ出力処理の実行周期が３３ｍｓで、比較値２１０４が「３００」であるので、３３．３ｍｓ×３００　１０ｓで発光制御装置に異常が発生したことを検出する。

【０３５１】

このため、可動制御装置のエラー判定を発光制御装置のエラー判定よりも頻繁に行われ、可動制御装置に異常が発生したことを発光制御装置に異常が発生したことよりも早く検出することができるので、可動役物６０が動作可能な範囲を超えて可動してしまい、可動役物６０及び可動役物付近の部材を破損してしまうことを防止できる。

【０３５２】

これに対して、ＬＥＤ等の発光装置は、誤動作によって破損する恐れが少ないため、発光制御装置に関する異常判定に時間を要しても問題が生じることはない。

【０３５３】

従って、異常判定を短時間で行う必要がある装飾制御装置５１０に限定して判定の周期を短縮し、他の装飾制御装置５１０の異常判定を余裕のある周期で行うので、処理負担のバランスを考慮した異常判定処理を実行することが可能となる。

【０３５４】

図２２は、本発明の第１の実施形態の演出制御装置５５０による処理のフローチャートである。

【０３５５】

図２２に示す演出制御装置５５０の処理は、演出制御装置５５０のＣＰＵ５５１によって実行される。

【０３５６】

演出制御装置５５０は、演出制御装置５５０に電源が投入されると、まずステップ２２０１～２２０３の処理を実行し、ステップ２２０４の処理でＶＤＰ５５６から画像更新周期と同期する同期信号（例えば、３３ｍｓ秒周期の同期信号）が割込信号としてＣＰＵ５５１に入力されるまで待機する。そして、以降は、ＶＤＰ５５６から画像更新周期と同期する同期信号が割込信号としてＣＰＵ５５１に入力される毎に、ステップ２２０５～２２１４の処理を繰り返し実行する。

【０３５７】

まず、演出制御装置５５０は、演出制御装置５５０のＲＡＭ５５３を初期化する（２２０１）。

【０３５８】

そして、演出制御装置５５０は、入出力Ｉ／Ｆ５５８とＮＯＲゲート回路５９０とを介してリセットパルスをマスタＩＣ５７０へ入力し、マスタＩＣ５７０をハード的に初期化する（２２０２）。

【０３５９】

そして、演出制御装置５５０は、マスタＩＣ５７０に接続されたすべての装飾制御装置

６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５を初期化するために、マスタＩＣ５７０から初期化指示データを出力するスレーブリセット処理を実行する（２２０３）。スレーブリセット処理は、図２５で詳細を説明する。

【０３６０】

次に、演出制御装置５５０は、ＶＤＰ５５６から画像更新周期と同期する同期信号（ＶＤＰ割込）の受け入れを許可する（２２０４）。このとき、タイマ割り込みの受け入れも許可される。

【０３６１】

そして、演出制御装置５５０は、表示装置５３に画像を表示するために、ＶＤＰ５５６に画像を表示させる指令となるデータを出力し（２２０５）、スピーカ３０から音を遊技状態に応じて出力させるために、音制御データを音ＬＳＩ５５７に出力し、音ＬＳＩ５５７に音制御データに基づいてスピーカ３０から音を出力させる（２２０６）。

【０３６２】

次に、演出制御装置５５０は、発光制御装置５５０に演出制御データをマスタＩＣ５７０から出力する発光制御スレーブ出力処理を実行する（２２０７）。発光制御スレーブ出力処理は、図２４で詳細を説明する。

【０３６３】

そして、演出制御装置５５０は、ＶＤＰ５５６に次に出力されるデータを編集し（２２０８）、音ＬＳＩ５５７に出力される音制御データを編集し（２２０９）、各グループの発光制御装置に次に出力される演出制御データを編集する（２２１０）。

【０３６４】

次に、演出制御装置５５０は、異常判定テーブル２１００を参照し、エラー判定処理を実行する（２２１１）。

【０３６５】

具体的には、演出制御装置５５０は、異常判定テーブル２１００の可動制御装置に対応するエントリのエラーフラグ２１０５がＯＮとなっているか否か、つまり可動制御装置に異常が発生しているか否かを判定する。

【０３６６】

そして、可動制御装置に異常が発生していないと判定された場合に、演出制御装置５５０は、異常判定テーブル２１００を参照し、すべての発光制御装置のエラーフラグ２１０５（予備判定結果）がＯＮになっているか、つまりすべての発光制御装置で異常が発生しているか否かを判定する。言い換えれば、エラーフラグ２１０５がＯＦＦとなっている発光制御装置が１つでもあるか否かを判定する。

【０３６７】

次に、演出制御装置５５０は、ステップ２２１１の処理の判定結果においてリセット条件が成立しているか否かを判定する（２２１２）。

【０３６８】

具体的には、ステップ２２１１の処理の時点で可動制御装置のエラーフラグがＯＮになっている場合には、ステップ２２１２の処理にてリセット条件成立とみなされる。または、ステップ２２１１の処理の時点ですべてのエラーフラグがＯＮになっている場合（エラーフラグ２１０５がＯＦＦとなっている発光制御装置が存在しない場合）には、ステップ２２１２の処理にてリセット条件成立とみなされる。その他の場合は、ステップ２２１２の処理にてリセット条件が成立していないとみなされる。

【０３６９】

ステップ２２１２の処理でリセット条件成立と見なされた場合、演出制御装置５５０は、マスタＩＣ５７０を初期化し（２２１３）、マスタＩＣ５７０から、マスタＩＣ５７０に接続されるすべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に対して同時に初期化指示データを出力するスレーブリセット処理を実行し（２２１４）、その後、ＶＤＰ５５６から同期信号がＣＰＵ５５１に入力されるまで待機する。

【０３７０】

このように、リセット条件が成立したと判定された場合には、ステップ２２１４の処理で、マスタＩＣ５７０に接続されるすべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に対して、同時に初期化を指示するので、言い換えれば、すべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５を同時に選択して初期化することになるので、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことができ、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５を正常な状態へ高速に復帰させることができる。

【０３７１】

なお、すべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５へ入力されるＲＥＳＥＴ端子（図７参照）とＣＰＵ５５１とを電気的に接続し、ＣＰＵ５５１から一斉に、全てのＩ^{2}ＣＩ／Ｏエクスパンダ６１５のＲＥＳＥＴ端子へリセット信号を送信する構成としても、全てのＩ^{2}ＣＩ／Ｏエクスパンダ６１５を同時に選択して初期化することは可能である。

【０３７２】

なお、ステップ２２１２の処理でリセット条件成立と見なされた場合は、マスタＩＣ５７０において異常が発生していることが考えられるので、ステップ２２１３の処理でマスタＩＣ５７０も初期化するようにしている。

【０３７３】

マスタＩＣ５７０は、ＣＰＵ５５１からの指令によって、接続線ＳＤＡ及び接続線ＳＣＬの信号レベルを制御する信号レベル制御手段として機能しているので、すべての発光制御装置にてデータ送信に関する異常が発生している場合には、マスタＩＣ５７０自身に異常が発生していることも考えられる。

【０３７４】

そのため、すべての装飾制御装置６１０にてデータ送信に関する異常が発生している場合には、念のために、ＣＰＵ５５１（演算処理手段）によりマスタＩＣ５７０が初期化される。これにより、マスタＩＣ５７０で異常が発生している場合であっても確実にマスタＩＣ５７０を制御可能にすることができる。

【０３７５】

この場合、ＣＰＵ５５１は、入出力Ｉ／Ｆ５５８とＮＯＲゲート回路５９０とを介してリセットパルスをマスタＩＣ５７０へ入力し、マスタＩＣ５７０をハード的にリセットする。なお、ＣＰＵ５５１から、バス５６３を介してリセットレジスタ５７３に情報を書き込むことにより、マスタＩＣ５７０をソフト的にリセットしてもよい。

【０３７６】

一方、ステップ２２１２の処理でリセット条件が成立していないとみなされた場合は、ステップ２２１３、及び２２１４の処理を実行しないで、ＶＤＰ５５６から同期信号がＣＰＵ５５１に入力されるまで待機する。

【０３７７】

このように、図２２による処理では、表示装置５３の画像を更新する周期と同期して、演出制御装置５５０のマスタＩＣ５７０から装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５へ演出制御データを送信し、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は受信した演出制御データに基づいて演出装置６２０を制御するので、表示装置５３における演出と演出装置６２０における演出とが調和し、遊技者に違和感を与えないので、興趣を高めることができる。

【０３７８】

また、表示装置５３の画像を更新する周期と同期してマスタＩＣ５７０から送信された演出制御データが装飾制御装置６１０で受信されると、その都度、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５によってワークレジスタの値が更新される。そのため、毎回ワークレジスタの値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【０３７９】

また、表示装置５３の画像を更新する周期と同期して、ステップ２２１１の処理で実行されるエラー判定処理を実行するので、エラー判定の実行頻度を適切にできる、つまり、

エラー判定処理の実行頻度が多すぎると、演出制御装置５５０のＣＰＵ５５１の処理負荷が増大してしまい、逆に、エラー判定処理の実行頻度が少なすぎると、異常が発生したことを適切に検出できなくなってしまうことになるので、適度な頻度でエラー判定を行うことにより処理の不具合を防止することができる。

【０３８０】

図２３は、本発明の第１の実施形態のタイマ割込処理のフローチャートである。

【０３８１】

タイマ割込処理は、タイマ割込が許可されているという条件の下で、２ｍｓ周期で発生するタイマ割込をＣＰＵ５５１が受け付けた場合に、ＣＰＵ５５１によって図２２の処理に割り込む形態で実行される。

【０３８２】

まず、演出制御装置５５０は、可動制御装置を選択し（２３０１）、ステップ２３０１の処理で選択された可動制御装置にマスタＩＣ５７０からデータを出力するスレーブ連続出力処理を実行する（２３０２）。スレーブ連続出力処理は、図２４で詳細を説明する。

【０３８３】

そして、演出制御装置５５０は、可動制御装置に次に出力されるデータを編集し（２３０３）、タイマ割込処理を終了する。

【０３８４】

図２４は、本発明の第１の実施形態の発光制御スレーブ出力処理のフローチャートである。

【０３８５】

発光制御スレーブ出力処理は、図２２に示すステップ２２０７の処理である。

【０３８６】

演出制御装置５５０は、複数の発光制御装置から、一つの発光制御装置を選択し（２４０１）、ステップ２４０１の処理で選択された発光制御装置にマスタＩＣ５７０からデータを出力するスレーブ連続処理を実行する（２４０２）。

【０３８７】

そして、演出制御装置５５０は、すべての発光制御装置にデータを出力したか否かを判定する（２４０３）。

【０３８８】

ステップ２４０３の処理で、すべての発光制御装置にデータを出力していないと判定された場合、次の発光装飾制御装置を選択し（２４０４）、ステップ２４０４の処理で選択された発光制御装置にマスタＩＣ５７０からデータを出力するスレーブ連続処理を実行する（２４０２）。

【０３８９】

一方、ステップ２４０３の処理で、すべての発光制御装置にデータを出力したと判定された場合、発光制御スレーブ出力処理を終了し、図２２に示すステップ２２０８の処理に進む。

【０３９０】

図２５は、本発明の第１の実施形態のスレーブ連続処理のフローチャートである。

【０３９１】

まず、演出制御装置５５０は、ＡＣＫの返答信号の受信に失敗したことを計数するＡＣＫカウンタに０を設定する（２５０１）。

【０３９２】

次に、演出制御装置５５０は、選択されている装飾制御装置６１０に出力するデータを生成する（２５０２）。

【０３９３】

そして、演出制御装置５５０は、ステップ２５０２の処理で生成されたデータを出力用ＢＵＦ５７２に設定するバッファ設定処理を実行する（２５０３）。

【０３９４】

そして、マスタＩＣ５７０は、接続線ＳＤＡ及び接続線ＳＣＬの信号レベルを、スタート条件を示す信号レベルに変化させる（２５０４）。

【０３９５】

具体的には、マスタＩＣ５７０は、接続線ＳＣＬの信号レベルをＨＩＧＨに維持したまま、接続線ＳＤＡの信号レベルをＨＩＧＨからＬＯＷに変化させることよってスタート条件を示す信号を出力する。

【０３９６】

なお、マスタＩＣ５７０は、スタート条件を示す信号を出力後、制御対象となる装飾制御装置６１０へデータを送るために、接続線ＳＣＬのレベルをＬＯＷに変更する。

【０３９７】

そして、マスタＩＣ５７０は、出力用ＢＵＦ５７２に記憶されているデータから、制御対象となる装飾制御装置６１０のスレーブアドレスの８ビット分のデータを、接続線ＳＣＬの信号レベルを変化させながら、接続線ＳＤＡを介して出力する（２５０５）。

【０３９８】

ステップ２５０５の処理で出力されるアドレスデータは８ビットのデータ列であるため、１回の出力処理（接続線ＳＣＬが８回ＨＩＧＨに変化する間の出力）でアドレスデータが出力される。

【０３９９】

ステップ２５０５の処理で出力されたアドレスデータが装飾制御装置６１０に入力された場合、装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、入力されたアドレスデータと自身に設定されているアドレスとが一致するか否かを判定する。

【０４００】

入力されたアドレスデータと一致するアドレスが設定されているＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、接続線ＳＣＬのＬＯＷからＨＩＧＨへの変更回数が８回目になった直後であって、そのＨＩＧＨレベルとなっている接続線ＳＣＬがＬＯＷレベルへと変化することを契機として、返答信号を接続線ＳＤＡからマスタＩＣ５７０に出力する。

【０４０１】

次に、マスタＩＣ５７０は、ステップ２５０５の処理でアドレスデータが出力されてから所定時間以内にＡＣＫの返答信号がマスタＩＣ５７０に入力されたか否かを確認する（２５０６）。

【０４０２】

次に、マスタＩＣ５７０は、ステップ２５０６の処理の確認結果に基づいて、ステップ２５０２の処理でアドレスデータが出力されてから所定時間以内にＡＣＫの返答信号が入力されているか否かを判定する（２５０７）。

【０４０３】

ステップ２５０５の処理でアドレスデータが出力されてから所定時間以内にＡＣＫの返答信号が入力されていないと、ステップ２５０７の処理で判定された場合には、マスタＩＣ５７０は、割り込みを発生させて（２５０８）、ＡＣＫの返答信号が入力されていないことをＣＰＵ５５１に知らせる。

【０４０４】

ＣＰＵ５５１は、ステップ２５０８の処理で発生した割り込みを受け付けると、ＡＣＫカウンタが０であるか否かを判定する（２５０９）。

【０４０５】

ステップ２５０９の処理で、ＡＣＫカウンタが０であると判定された場合、ＡＣＫの返答信号の受信に失敗したことを計数するためにＡＣＫカウンタを＋１更新し（２５１０）、再度同じデータを当該装飾制御装置６１０に送信するために、ステップ２５０２の処理に戻る。

【０４０６】

一方、ステップ２５０９の処理で、ＡＣＫカウンタが０でないと判定された場合（つまり２回連続してＡＣＫ信号を受信できなかった場合）、ＣＰＵ５５１は、異常判定テーブ

ル２１００に登録されたエントリのうち、Ｉ／Ｏエクスパンダアドレス２１０１が選択された装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５のアドレスと一致するエントリを選択し、選択されたエントリのエラーカウンタ２１０３をインクリメントする（２５１１）。

【０４０７】

そして、ＣＰＵ５５１は、ステップ２５１１の処理でインクリメントされたエラーカウンタ２１０３の値が比較値２１０４に達しているか否かを判定する（２５１２）。

【０４０８】

ステップ２５１１の処理でインクリメントされたエラーカウンタ２１０３の値が比較値２１０４に達していると、ステップ２５１２の処理で判定された場合、ＣＰＵ５５１は、異常判定テーブル２１００に登録されたエントリのうち、選択された装飾制御装置６１０のエントリのエラーフラグをＯＮに設定し（２５１３）、マスタＩＣ５７０は、接続線ＳＤＡ及び接続線ＳＣＬの信号レベルを、ストップ条件を示す信号レベルに変化させ（２５１４）、スレーブ連続出力処理を終了する。

【０４０９】

一方、ステップ２５１１の処理でインクリメントされたエラーカウンタ２１０３の値が比較値２１０４に達していないと、ステップ２５１２の処理で判定された場合、ステップ２５１４の処理に進み、接続線ＳＤＡ及び接続線ＳＣＬの信号レベルを、ストップ条件を示す信号レベルに変化させて、スレーブ連続出力処理を終了する。

【０４１０】

一方、ステップ２５０２の処理でアドレスデータが出力されてから所定時間以内にＡＣＫの返答信号が入力されたと、ステップ２５０７の処理で判定された場合には、マスタＩＣ５７０は、出力用ＢＵＦ５７２に記憶されているすべてのデータを出力したか否かを判定する（２５１５）。

【０４１１】

ステップ２５１５の処理で、出力用ＢＵＦ５７２に記憶されているすべてのデータを出力していないと判定された場合には、マスタＩＣ５７０は、次の１バイトのデータを選択された装飾制御装置６１０に出力し（２５１６）、ステップ２５０６の処理に進む。

【０４１２】

なお、ステップ２５０５の処理で出力されたアドレスデータが自身に設定されたアドレスと一致する装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、ステップ２５１６の処理で出力されたデータを、接続線ＳＣＬがＬＯＷからＨＩＧＨになったタイミングで取り込み、次いで接続線ＳＣＬがＨＩＧＨからＬＯＷへ変化することを契機に、返答信号を接続線ＳＤＡからマスタＩＣ５７０に出力する。

【０４１３】

一方、ステップ２５１５の処理で、出力用ＢＵＦ５７２に記憶されているすべてのデータを出力したと判定された場合には、マスタＩＣ５７０は、割り込みを発生させて（２５１７）、出力用ＢＵＦ５７２に記憶されているすべてのデータを出力したことをＣＰＵ５５１に通知する。

【０４１４】

そして、ＣＰＵ５５１は、異常判定テーブル２１００に登録されたエントリのうち、選択された装飾制御装置６１０のエントリのエラーカウンタ２１０３をクリアし（２５１８）、当該エントリのエラーフラグ２１０５をオフに設定し（２５１９）、ステップ２５１４の処理に進み、マスタＩＣ５７０がストップ条件を示す信号を出力して、スレーブ連続出力処理を終了する。

【０４１５】

図２５による処理では、マスタＩＣ５７０は、８ビットのデータを出力後に、装飾制御装置６１０からの返答信号を取り込むことにより、データ転送の成否を判定し、データ転送が失敗している場合（つまり、ＮＡＣＫの返答信号がマスタＩＣ５７０に入力された場合）、出力したデータを１回だけ再度出力するので、装飾制御装置６１０にデータを可能

な限り確実に出力することができ、演出装置の誤動作を防止できる。また、出力したデータを１回だけ再度出力することにより、データ送信時間が必要以上に長くなることを防止できる。

【０４１６】

なお、図２５による処理で、ステップ２５０４の処理でマスタＩＣ５７０がスタート条件を送信する際には、接続線ＳＤＡがＨＩＧＨになっている必要があるが、ノイズ等の影響によって、接続線ＳＤＡがＬＯＷとなったまま変化しない状態が発生する場合がある。

【０４１７】

本実施形態では、マスタＩＣ５７０が装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に送信するスレーブアドレスには、Ｒ／Ｗ識別データが「０」（書き込みを意味する）となっているものだけを用いている（図１１参照）が、ノイズ等の影響によって、Ｒ／Ｗ識別データが「１」（読み出しを意味する）となった状態で、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５へ伝わることがある。

【０４１８】

この場合、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は読み出しモードとなり、マスタＩＣ５７０によって接続線ＳＣＬの信号レベルが変化することに対応して、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５からマスタＩＣ５７０へ、接続線ＳＤＡを介してデータを１ビットごと伝送する処理を行う。

【０４１９】

このとき、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、８ビットのデータを伝送するごとに、マスタＩＣ５７０から接続線ＳＤＡを介してアクノリッジ信号を受信する処理を行い、アクノリッジ信号を受信するとさらに８ビットのデータ伝送を行い、以後、この８ビットのデータ伝送とアクノリッジ信号の確認を繰り返すが、この間は、接続線ＳＤＡがＩ^{2}ＣＩ／Ｏエクスパンダ６１５によって占有されている状態となる。

【０４２０】

一方で、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、８ビットのデータ伝送後に、マスタＩＣ５７０から接続線ＳＤＡを介してアクノリッジ信号を受信できないときは、接続線ＳＤＡを解放してデータ伝送を中止する。なお、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５は、マスタＩＣ５７０から接続線ＳＤＡを介してアクノリッジ信号を受信する際には、接続線ＳＤＡがＬＯＷレベルであればアクノリッジ信号を受信したと解釈し、接続線ＳＤＡがＨＩＧＨレベルであればアクノリッジ信号を受信しないと解釈する。

【０４２１】

よって、マスタＩＣ５７０からのデータがノイズ等の影響により変化し、この変化したデータを勝手に受信して読み出しモードとなったＩ^{2}ＣＩ／Ｏエクスパンダ６１５が発生してしまうと、接続線ＳＤＡがいつまでも解放されないことになる。

【０４２２】

このような場合に、接続線ＳＤＡの信号レベルはＬＯＷに維持されたままになり、マスタＩＣ５７０と、本来送信を行うことを意図していた装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５との間で接続線ＳＤＡを介した通信が行えなくなる。

【０４２３】

そこで、マスタＩＣ５７０は、ステップ２５０４の処理でスタート条件を示す信号を出力する前に、接続線ＳＤＡからデータが出力できる状態であるか否かを判定するために、接続線ＳＤＡの信号レベルがＨＩＧＨであるか否かを判定する。

【０４２４】

接続線ＳＤＡの信号レベルがＨＩＧＨでないと判定された場合、接続線ＳＤＡからデータが出力できないので、ドライバ５７６Ａによりトランジスタ５７８Ａに動作可能な電圧を印加しないことによってトランジスタ５７８Ａをオンさせずに（接続線ＳＤＡを解放した状態で）、接続ＳＣＬの信号レベルを少なくとも９回変化させる。

【０４２５】

このような処理を行うことで、読み出しモードとなったＩ^{2}ＣＩ／Ｏエクスパンダ６１

５は、接続ＳＣＬの信号レベルの変化に合わせて接続線ＳＤＡにデータを出力するが、接続ＳＣＬの信号レベルの変化が少なくとも９回行われる途中において、マスタＩＣ５７０からのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線ＳＤＡは解放されているのでＨＩＧＨレベルとなり、読み出しモードとなったＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線ＳＤＡを解放することになる。

【０４２６】

なお、この処理は、スタート条件を示す信号を出力する前だけでなく、マスタＩＣ５７０が装飾制御装置６１０へデータを出力する前に行われるようにしてもよい。具体的には、ステップ１７０２、１７０７、及び１７１３の処理の前に実行されてもよい。

【０４２７】

このようにして、読み出しモードとなった装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５から強制的に接続線ＳＤＡを解放させるので、接続線ＳＤＡの信号レベルはＨＩＧＨに維持されるようになる。

【０４２８】

図２６は、本発明の第１の実施形態のスレーブリセット処理のフローチャートである。

【０４２９】

スレーブリセット処理は、図２２に示すステップ２２０３又は２２１４の処理で実行される。

【０４３０】

まず、マスタＩＣ５７０は、接続線ＳＤＡ及び接続線ＳＣＬの信号レベルを、スタート条件を示す信号レベルに変化させる（２６０１）。

【０４３１】

次に、マスタＩＣ５７０は、リセットアドレス（図２０参照）を示す１バイト分のデータを接続線ＳＣＬの信号レベルを変化させながら、接続線ＳＤＡを介して出力する送信する（２６０２）。

【０４３２】

次に、マスタＩＣ５７０は、データが出力されてから所定時間以内にＡＣＫの返答信号がマスタＩＣ５７０に入力されたか否かを確認する（２６０３）。

【０４３３】

次に、マスタＩＣ５７０は、ステップ２６０３の処理の確認結果に基づいて、データが出力されてから所定時間以内にＡＣＫの返答信号が入力されているか否かを判定する（２６０４）。

【０４３４】

ステップ２６０４の処理で、データが出力されてから所定時間以内にＡＣＫの返答信号が入力されていないと判定された場合、マスタＩＣ５７０は、割り込みを発生させて（２６０５）、マスタＩＣ５７０からデータを出力してから所定時間以内にＡＣＫの返答信号が入力されていないことを通知し、ステップ２６０１の処理に戻り、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５を初期化するためのデータを再度出力する。

【０４３５】

ステップ２６０４の処理で、データが出力されてから所定時間以内にＡＣＫの返答信号が入力されたと判定された場合、マスタＩＣ５７０は、割り込みを発生させて（２６０６）、マスタＩＣ５７０からデータを出力してから所定時間以内にＡＣＫの返答信号が入力されたことを通知する。

【０４３６】

そして、マスタＩＣ５７０は、初期化指示データを構成する３種類のデータ（図２０にて図示している、リセットアドレスを含むデータ２００１、第１所定値のデータ２００２、第２所定値のデータ２００３）を全て出力したか否かを判定する（２６０７）。なお、これらのデータは出力順序が予め定められているので、第２所定値のデータ２００３が出力された直後か否かを判定すればよいことになる。

【０４３７】
ステップ２６０７の処理で、初期化指示データを構成するすべてのデータを出力していないと判定された場合には、マスタＩＣ５７０は、次に送信される図２０に示す第１所定値（第１所定値の送信に成功していれば第２所定値）を示すデータを出力し（２６０８）、ステップ２６０３の処理に進む。
【０４３８】
一方、ステップ２６０７の処理で、初期化指示データを構成するすべてのデータを出力したと判定された場合、つまり、図２０に示す第２所定値を示すデータを出力した場合には、マスタＩＣ５７０は、マスタＩＣ５７０は、接続線ＳＤＡ及び接続線ＳＣＬの信号レベルを、ストップ条件を示す信号レベルに変化させ（２６０９）、スレーブリセット処理を終了する。
【０４３９】
マスタＩＣ５７０に接続されたすべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５は、リセットアドレス、第１所定値、及び第２所定値から構成されたリセット信号を受信すると、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５のレジスタの初期化を行う。
【０４４０】
したがって、マスタＩＣ５７０は、マスタＩＣ５７０に接続されたすべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に対して同時に初期化の指示を行っている。
【０４４１】
このように、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５に異常が発生している場合にＩ^{2}ＣＩ／Ｏエクスパンダ６１５を初期化する必要があるので、Ｉ^{2}ＣＩ／Ｏエクスパンダ６１５の初期化は、高速な初期化が要求される。このため、本実施形態では、マスタＩＣ５７０に接続されたすべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５を同時に初期化するので、高速な初期化を実現できる。
【０４４２】
図２７は、本発明の第１の実施形態の遊技機全体に設けられる装飾制御装置６１０の接続形態を示す図であり、特に前面枠３に設けられる装飾制御装置６１０について説明する図である。
【０４４３】
装飾制御装置６１０は、主に、遊技盤１０及び前面枠３に取り付けられている。前面枠３に取り付けられた装飾制御装置６１０が制御するＬＥＤは、装飾部材９、照明ユニット１１、及び異常報知ＬＥＤ２９を照射するものである。
【０４４４】
遊技機には複数の仕様があり、通常版遊技機１と廉価版遊技機１とがある。通常版遊技機１は、標準仕様の装飾部材９を備える前面枠３（通常版前面枠）を備えている。廉価版遊技機１は、標準仕様の装飾部材９よりも廉価なコストで構成された装飾部材９’を備える前面枠３（廉価版前面枠）を備えている。
【０４４５】
通常版前面枠３と廉価版前面枠３とは、装飾部材９を照射するために取り付けられる装飾制御装置６１０の数が相違する。具体的には、通常版前面枠３の装飾部材９は四つの装飾制御装置６１０により照射され、廉価版前面枠３の装飾部材９’は二つの装飾制御装置６１０により照射される。装飾部材９は最大６０個のＬＥＤによって照射されるのに対して、装飾部材９’は最大３０個のＬＥＤによって照射されるので、装飾部材９のほうが装飾部材９’よりも明るくなる。このため、通常版前面枠３が取り付けられた場合の装飾制御装置６１０の制御と、廉価版前面枠３が取り付けられた場合の装飾制御装置６１０の制御とが異なる。
【０４４６】
通常版前面枠３に取り付けられる装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５のアドレスと廉価版前面枠３に取り付けられる装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５の固有アドレスとが同じであると、通常版前面枠３が取り付けられた場合

の制御を行う通常版用の演出制御装置５５０と、廉価版前面枠３が取り付けられた場合の制御を行う廉価版用の演出制御装置５５０と、を用意して、取り付けられる前面枠３に対応して演出制御装置５５０を取り換えなければならない。したがって、製造メーカーが遊技機１を出荷する場合に、通常版用の演出制御装置５５０と廉価版用の演出制御装置５５０とを用意しなければならず、製造コストが高くなってしまう。

【０４４７】

このため、本実施形態では、通常版前面枠３と廉価版前面枠３とで制御が異なる装飾制御装置５５０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５の個別アドレスには、異なるアドレスを割り当て、一つの演出制御装置５５０が通常版用の制御と廉価版用の制御とを行えるようにした。これによって、通常版用の演出制御装置５５０と廉価版用の演出制御装置５５０とを用意する必要がなくなり、製造コストを削減できる。

【０４４８】

具体的には、通常版前面枠３の装飾部材９を照射するＬＥＤに接続される四つの装飾制御装置６１０（第１の仕様依存型グループ単位制御手段）のＩ^{2}ＣＩ／Ｏエクスパンダ６１５の固有アドレスには、「１００１」、「１０１０」、「１１００」、及び「１１０１」が割り当てられる。

【０４４９】

一方、廉価版前面枠３の装飾部材９’を照射するＬＥＤに接続される二つの装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５（第２の仕様依存型グループ単位制御手段）のアドレスには、通常版前面枠３の装飾部材９を照射するＬＥＤに接続される四つの装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５の固有アドレスと異なる「１１１０」及び「１１１１」が割り当てられる。

【０４５０】

そして、通常版前面枠３と廉価版前面枠３の何れに使用される場合であっても、演出制御装置５５０からは、装飾部材９、９’のＩ^{2}ＣＩ／Ｏエクスパンダ６１５に割り当てられた固有アドレスである「１００１」、「１０１０」、「１１００」、「１１０１」、「１１１０」及び「１１１１」のすべてを含んだ演出制御データが、装飾制御装置６１０に送信される。

【０４５１】

したがって、通常版用の制御と廉価版用の制御とを行えるようにした一つの演出制御装置５５０で通常版前面枠３の装飾制御装置６１０と廉価版用の装飾制御装置６１０とを制御できるので、製造コストを削減できる。

【０４５２】

また、通常版前面枠３と廉価版前面枠３とで同じ制御をする照明ユニット１１及び異常報知ＬＥＤ２９を照射するＬＥＤに接続された装飾制御装置６１０のＩ^{2}ＣＩ／Ｏエクスパンダ６１５には、通常版前面枠３と廉価版前面枠３とで異なるアドレスにする必要はなく、同じアドレスが割り当てられる。

【０４５３】

なお、廉価版前面枠３では、固有アドレスが「１００１」、「１０１０」、「１１００」、「１１０１」となるＩ^{2}ＣＩ／Ｏエクスパンダ６１５は使用されず、通常版前面枠３では、固有アドレスが「１１１０」、「１１１１」となるＩ^{2}ＣＩ／Ｏエクスパンダ６１５は使用されない。そのため、何れの仕様の前面枠３であっても、異常判定テーブル２１００（図２１）において、接続されないＩ^{2}ＣＩ／Ｏエクスパンダ６１５が存在することになるが、前述したように、異常判定テーブル２１００に登録されているＩ^{2}ＣＩ／Ｏエクスパンダ６１５の１つと、マスタＩＣ５７０との間でデータ送受信が行われれば、正常な状態として処理されるので問題はない。

【０４５４】

（第２の実施形態）

以下に本発明の第２の実施形態について説明する。

【０４５５】

図２８は、本発明の第２の実施形態を説明する図である。第２の実施形態では、演出制御装置５５０に複数のマスタＩＣ５７０を備えた構成となっている。

【０４５６】

図２８では、演出制御装置５５０は、三つのマスタＩＣ５７０Ａ～５７０Ｃを備える。

【０４５７】

マスタＩＣ５７０Ａは、中継基板６００Ａと接続され、中継基板６００Ａは、装飾制御装置６１０Ａ～６１０Ｃと直列に接続されるとともに、装飾制御装置６１０Ｄ～６１０Ｆと直列に接続される。

【０４５８】

マスタＩＣ５７０Ｂは、中継基板６００Ｂと接続され、中継基板６００Ｂは、装飾制御装置６１０Ｇ～６１０Ｉと直列に接続されるとともに、装飾制御装置６１０Ｊ～６１０Ｌと直列に接続される。

【０４５９】

マスタＩＣ５７０Ｃは、中継基板６００Ｃと接続され、中継基板６００Ｃは、装飾制御装置６１０Ｍ～６１０Ｏと直列に接続されるとともに、装飾制御装置６１０Ｐ～６１０Ｒと直列に接続される。

【０４６０】

ここで、一つのマスタＩＣ５７０に接続されている装飾制御装置６１０群を系統という。系統とは、具体的には、マスタＩＣ５７０Ａであれば、中継基板６００Ａ、装飾制御装置６１０Ａ～６１０Ｆである。

【０４６１】

マスタＩＣ５７０は、接続されている装飾制御装置６１０にデータを出力可能であるため、マスタＩＣ５７０は、接続されている装飾制御装置６１０を制御可能である。

【０４６２】

このような構成により、１個のマスタＩＣ５７０で制御できるＩ^{2}ＣＩ／Ｏエクスパンダ６１５の数の制限（図１２に示すように１４個を上限とする）がなくなり、多彩な演出制御を可能とすることが期待できる。

【０４６３】

本実施形態でも、異常判定テーブル２１００（図２１）に登録されたＩ^{2}ＣＩ／ＯエクスパンダＩ^{2}ＣＩ／Ｏエクスパンダ６１５のうちの一つの６１５とマスタＩＣ５７０との間でデータ送受信が行われれば、正常な状態として処理が行われるが、異常の判定、並びにＩ^{2}ＣＩ／Ｏエクスパンダ６１５及びマスタＩＣ５７０の初期化の処理を、各系統毎に独立して行う点が第１の実施形態とは異なっている。

【０４６４】

本実施形態では、異常判定テーブル２１００が各系統毎に用意されている。具体的には、マスタＩＣ５７０Ａと装飾制御装置６１０Ａ～６１０Ｆとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第１の異常判定テーブルと、マスタＩＣ５７０Ｂと装飾制御装置６１０Ｇ～６１０Ｌとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第２の異常判定テーブルと、マスタＩＣ５７０Ｃと装飾制御装置６１０Ｍ～６１０Ｒとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第３の異常判定テーブルの３種類のテーブルが存在する。

【０４６５】

そして、何れかの異常判定テーブルにて、すべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に関してデータ送受信異常が発生したと判定された場合には、当該異常判定テーブルに属するすべての装飾制御装置６１０を初期化し、あわせて対応するマスタＩＣ５７０も初期化する。但し、他の異常判定テーブルに属する装飾制御装置６１０やマスタＩＣ５７０は初期化しない。

【０４６６】

例えば、前述した第１の異常判定テーブルにて、すべてのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に関してデータ送受信異常が発生したと判定された場合には、マスタＩＣ５７０Ａ及

び装飾制御装置６１０Ａ～６１０Ｆのみを初期化し、他の、マスタＩＣ５７０Ｂ、５７０Ｃ、及び装飾制御装置６１０Ｇ～６１０Ｒは初期化しない。

【０４６７】

なお、各マスタＩＣ５７０Ａ～５７０Ｃを初期化する方法として、ソフトリセットとハードリセットとがある。

【０４６８】

ソフトリセットでは、ＣＰＵ５５１によって各マスタＩＣ５７０Ａ～５７０Ｃのうちの一つが初期化される。具体的には、各マスタＩＣ５７０Ａ～５７０Ｃには、各々リセットレジスタ（図４のリセットレジスタ５７３）を備えており、ＣＰＵ５５１がバス５６３を介してこのリセットレジスタに特定値を書き込むと、特定値を書き込まれたリセットレジスタを備えるマスタＩＣだけが初期化される。

【０４６９】

ハードリセットでは、入出力Ｉ／Ｆ５５８に各マスタＩＣ５７０Ａ～５７０ＣのＲＥＳＥＴ端子が接続されており、入出力Ｉ／Ｆ５５８に印加される電圧が所定時間ローに保持されると、ＲＥＳＥＴ端子に印加される電圧も所定時間ローに保持され、すべてのマスタＩＣ５７０Ａ～５７０Ｃが初期化される。

【０４７０】

本実施形態では、電源投入時には、ハードリセットによって、すべてのマスタＩＣ５７０Ａ～５７０Ｃを初期化し、合せて対応する装飾制御装置６１０を初期化する。そして、何れかの異常判定テーブルにて、全てのＩ^{2}ＣＩ／Ｏエクスパンダ６１５に関してデータ送受信異常が発生したと判定された場合には、当該異常判定テーブルに属するマスタＩＣのみをソフトリセットにより初期化し、合わせて対応する装飾制御装置６１０を初期化するが、他のマスタＩＣや装飾制御装置６１０はリセットしない。

【０４７１】

このように、演出制御装置５５０に複数のマスタＩＣ５７０が備わる場合に、異常が発生したマスタＩＣのみに対してリセットを行うので、遊技機１全体の装飾が一時停止することなく、遊技者に違和感を与えることを抑制できる。また、すべてのマスタＩＣ５７０を同時に高速にリセットしたい場合には、ハードリセットによりリセットが行えるので、様々な態様のリセット処理を実施することができる。

【０４７２】

なお、今回開示した実施の形態は、全ての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲での全ての変更が含まれることが意図される。

【産業上の利用可能性】

【０４７３】

以上のように、本発明は、演出制御装置が装飾制御装置を制御する遊技機に適用可能である。

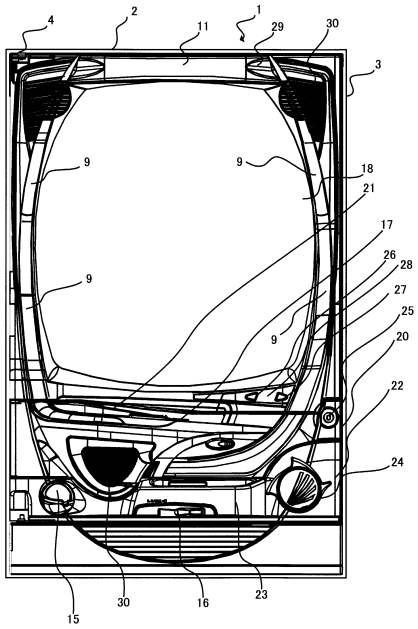
【符号の説明】

【０４７４】

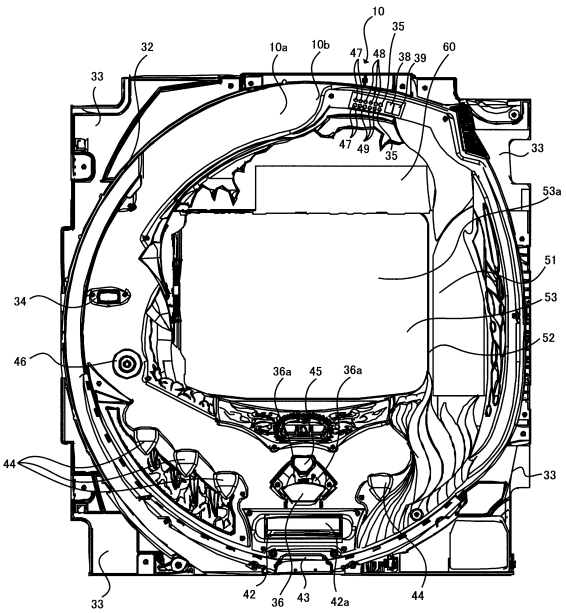
１　遊技機
２　本体枠（外枠）
３　前面枠
４　ヒンジ
１０　遊技盤
１１　照明ユニット
１７　演出ボタン
１８　ガラス枠
３４　普図始動ゲート
３６　普通変動入賞装置
４２　特別変動入賞装置

４４　一般入賞口
４５　第１始動入賞口
５１　センターケース
５２　窓部
５３　表示装置
５５　振動センサ
６０　可動役物
５００　遊技制御装置
５５０　演出制御装置
５６０　役物駆動ＳＯＬ
５６１　役物駆動ＭＯＴ
５７０　マスタＩＣ
５８０　払出制御装置
６００　中継基板（装飾制御装置）
６１０　装飾制御装置
６２０　装飾装置
２１００　異常判定テーブル

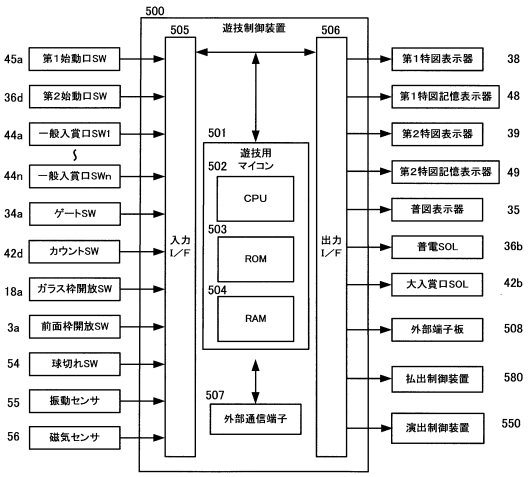
【図１】



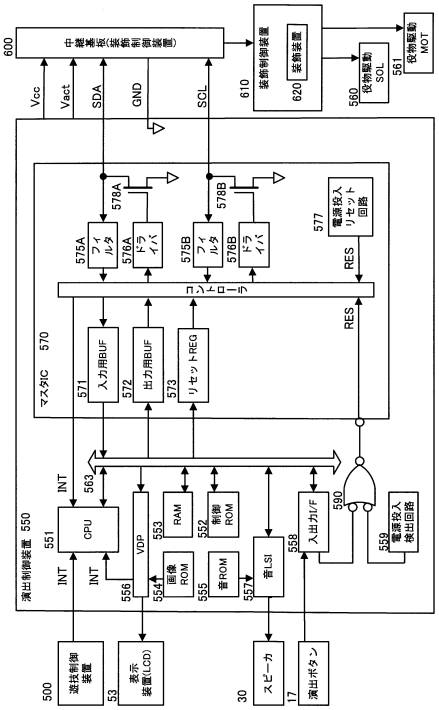
【図２】



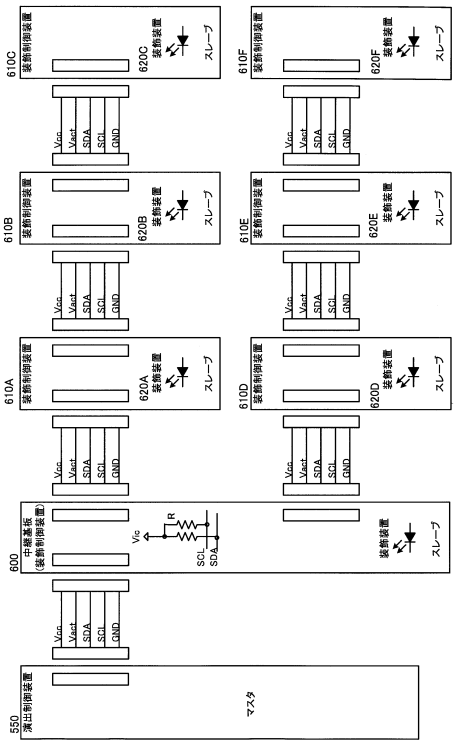
【図３】


500
遊技制御装置
505
506
501
502
503
504
507
CPU
ROM
RAM
遊技用
マイコン
入力
I/F
出力
I/F
外部通信端子
45a 第1始動口SW
36d 第2始動口SW
44a 一般入賞口SW1
44n 一般入賞口SWn
34a ゲートSW
42d カウントSW
18a ガラス枠開放SW
3a 前面枠開放SW
54 球切れSW
55 振動センサ
56 磁気センサ
第1特図表示器 38
第1特図記憶表示器 48
第2特図表示器 39
第2特図記憶表示器 49
普図表示器 35
普電SOL 36b
大入賞口SOL 42b
外部端子板 508
払出制御装置 580
演出制御装置 550

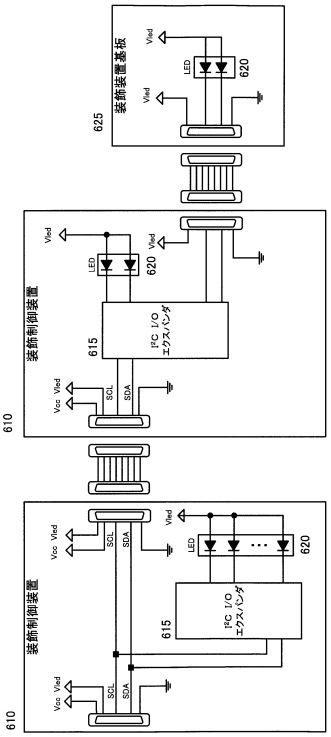
【図４】


600
中継基板(装飾制御装置)
Vcc
Vact
SDA
GND
SCL
610
装飾制御装置
620
装飾装置
560
役物駆動
SOL
561
役物駆動
MOT
578A
578B
575A
フィルタ
576A
ドライバ
575B
フィルタ
576B
ドライバ
577
電源投入
リセット
回路
RES
コントローラ
マスタIC 570
571
入力用BUF
572
出力用BUF
573
リセットREG
演出制御装置 550
INT
563
CPU
551
VDP
553
RAM
552
制御
ROM
554
画像
ROM
555
音ROM
556
音LSI
557
558
入出力I/F
590
539
電源投入
検出回路
500
遊技制御
装置
53
表示
装置(LCD)
30
スピーカ
17
演出ボタン

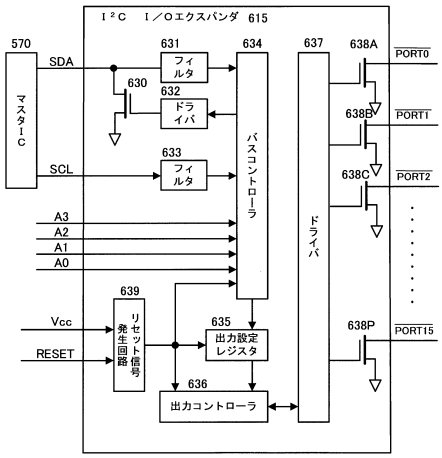
【図５】


610C
装飾制御装置
620C
装飾装置
スレーブ
610F
620F
610B
620B
610E
620E
610A
620A
610D
620D
Vcc
Vact
SDA
SCL
GND
600
中継基板
(装飾制御装置)
R
550
演出制御装置
マスタ

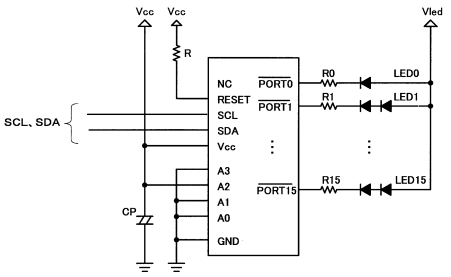
【図６】


装飾装置基板
625
Vled
LED
620
装飾制御装置
610
615
I²C I/O
エクスパンダ
Vcc
SCL
SDA

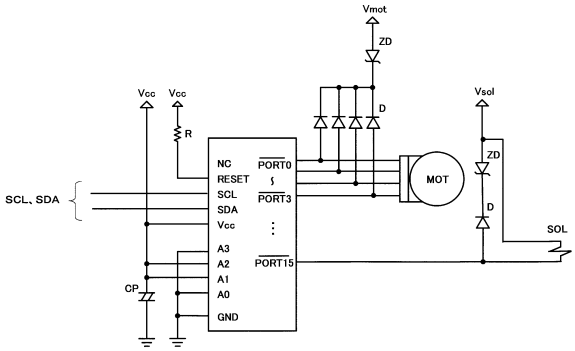
【図７】



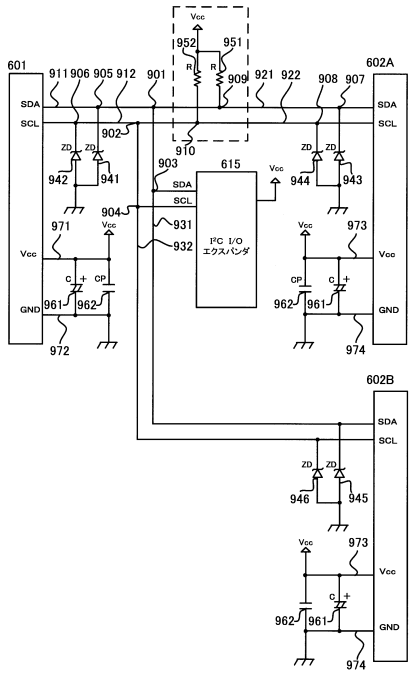
【図８Ａ】



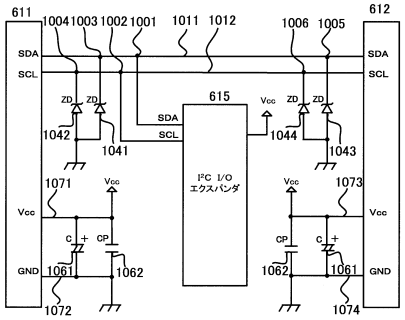
【図８Ｂ】



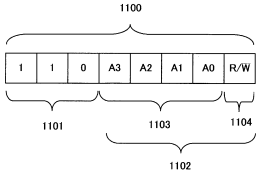
【図９】



【図１０】



【図１１】



【図１２】

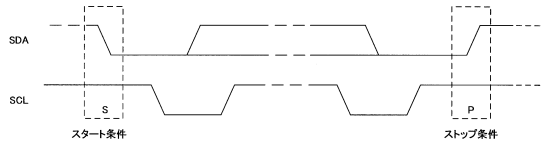
1201　1202　1200

スレーブアドレス	I²C I／Oエクスパンダアドレス			
	A3	A2	A1	A0
C0h	0	0	0	0
C2h	0	0	0	1
C4h	0	0	1	0
C6h	0	0	1	1
C8h	0	1	0	0
CAh	0	1	0	1
CCh	0	1	1	0
CEh	0	1	1	1
D0h	1	0	0	0
D2h	1	0	0	1
D4h	1	0	1	0
D6h	1	0	1	1
D8h	1	1	0	0
DAh	1	1	0	1
DCh	1	1	1	0
DEh	1	1	1	1

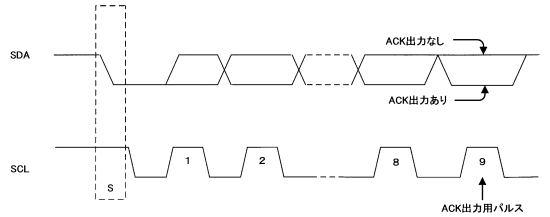
【図１３】

レジスタ番号	レジスタ名	機能
00h	MODE 1	モードレジスタ　1
01h	MODE 2	モードレジスタ　2
02h	PWM 0	輝度調節　LED 0
03h	PWM 1	〃　LED 1
04h	PWM 2	〃　LED 2
05h	PWM 3	〃　LED 3
06h	PWM 4	〃　LED 4
07h	PWM 5	〃　LED 5
08h	PWM 6	〃　LED 6
09h	PWM 7	〃　LED 7
0Ah	PWM 8	〃　LED 8
0Bh	PWM 9	〃　LED 9
0Ch	PWM 10	〃　LED 10
0Dh	PWM 11	〃　LED 11
0Eh	PWM 12	〃　LED 12
0Fh	PWM 13	〃　LED 13
10h	PWM 14	〃　LED 14
11h	PWM 15	〃　LED 15
12h	GRPPWM	グループデューティサイクル制御
13h	GRPFREQ	グループ周波数
14h	LEDOUT 0	LEDドライバ出力状態　LED 0-3
15h	LEDOUT 1	LEDドライバ出力状態　LED 4-7
16h	LEDOUT 2	LEDドライバ出力状態　LED 8-11
17h	LEDOUT 3	LEDドライバ出力状態　LED 12-15
18h	SUBADR 1	サブアドレス設定　1
19h	SUBADR 2	サブアドレス設定　2
1Ah	SUBADR 3	サブアドレス設定　3
1Bh	ALLCALLADR	ALL-CALLアドレス設定

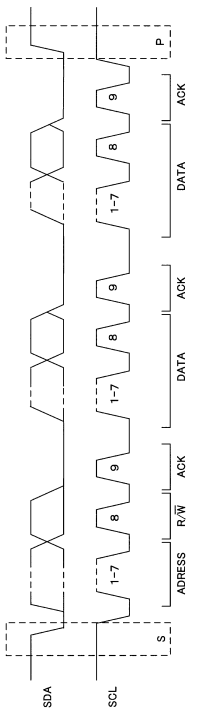
【図１４】



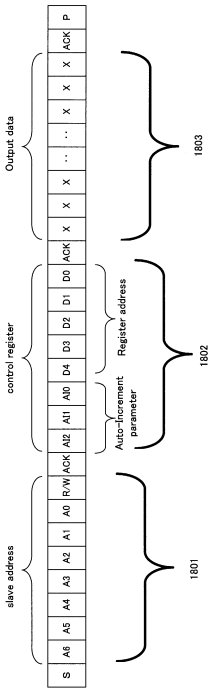
【図１５】



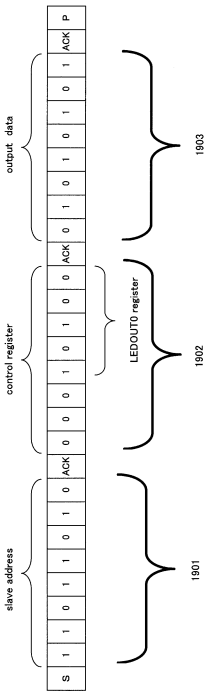
【図１６】



【図１７】



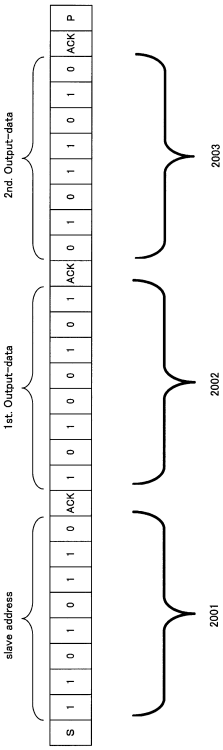
【図１８】



【図１９】

送信順序	送信データ
1	スレーブアドレス+00h
2	コントロールレジスタ設定値
3	MODE 1 レジスタ値
4	MODE 2 レジスタ値
5	PWM 0 レジスタ値
6	PWM 1 レジスタ値
7	PWM 2 レジスタ値
8	PWM 3 レジスタ値
....	.....
19	PWM 14 レジスタ値
20	PWM 15 レジスタ値
21	GRPPWM レジスタ値
22	GRPFREQ レジスタ値
23	LEDOUT 0 レジスタ値
24	LEDOUT 1 レジスタ値
25	LEDOUT 2 レジスタ値
26	LEDOUT 3 レジスタ値
27	SUBADR 1 レジスタ値
28	SUBADR 2 レジスタ値
29	SUBADR 3 レジスタ値
30	ALLCALLADR レジスタ値

【図２０】

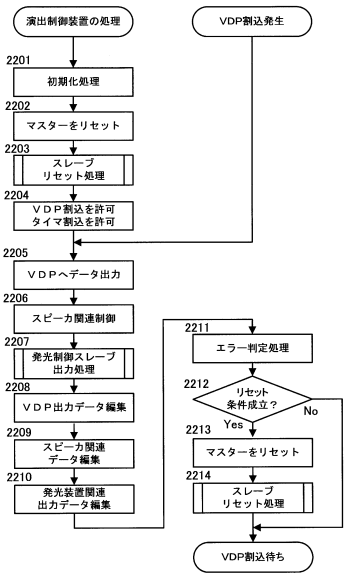


【図２１】

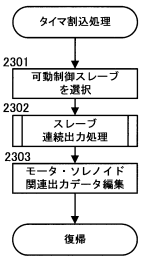
2101 2102 2103 2104 2105 2100

I/Oエクスパンダアドレス	スレーブアドレス	エラーカウンタ	比較値	エラーフラグ
0000	C0h	0～N	300	ON／OFF
0001	C2h	0～N	300	ON／OFF
0010	C4h	0～N	300	ON／OFF
0011	C6h	0～N	300	ON／OFF
0100	C8h	0～N	300	ON／OFF
0101	CAh	0～N	300	ON／OFF
0110	CCh	0～N	100	ON／OFF
0111	CEh	0～N	300	ON／OFF
1001	D2h	0～N	300	ON／OFF
1010	D4h	0～N	300	ON／OFF
1100	D8h	0～N	300	ON／OFF
1101	DAh	0～N	300	ON／OFF
1110	DCh	0～N	300	ON／OFF
1111	DEh	0～N	300	ON／OFF

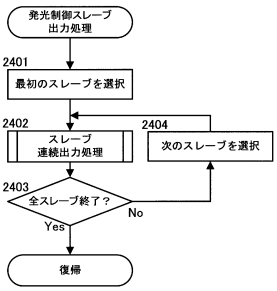
【図２２】



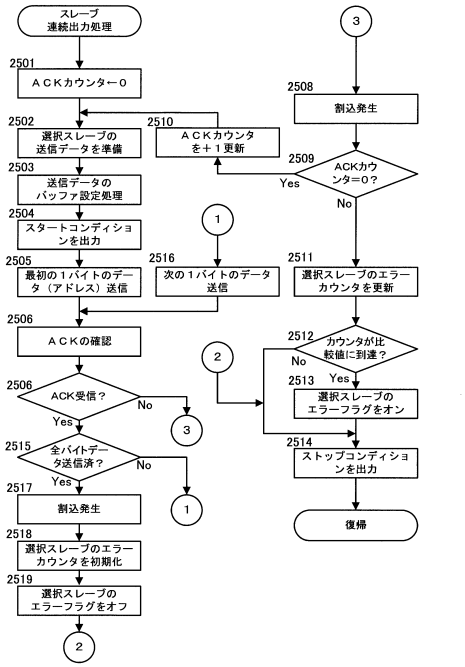
【図２３】



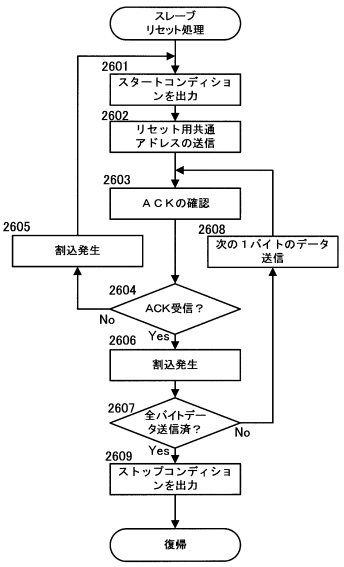
【図２４】



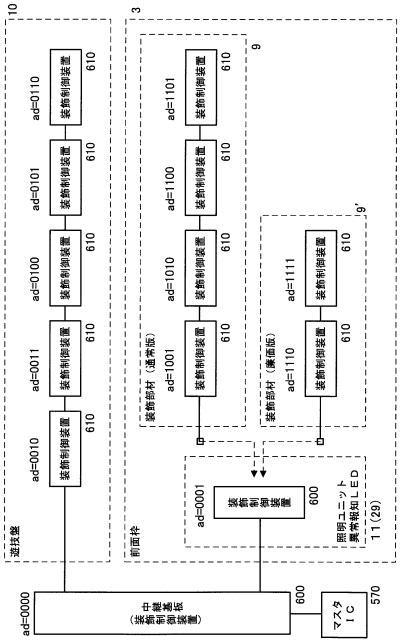
【図２５】



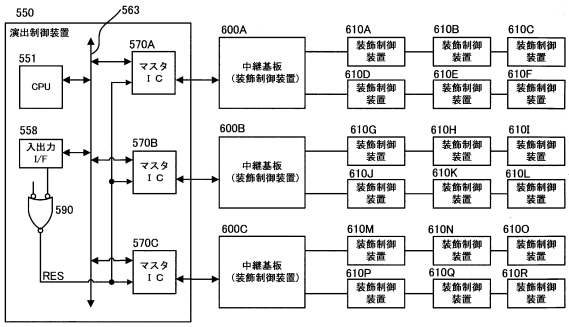
【図２６】


スレーブ
リセット処理
2601
スタートコンディションを出力
2602
リセット用共通アドレスの送信
2603
ＡＣＫの確認
2605
割込発生
2608
次の１バイトのデータ送信
2604
ACK受信？
No
Yes
2606
割込発生
2607
全バイトデータ送信済？
No
Yes
2609
ストップコンディションを出力
復帰

【図２７】


10
3
9
9'
ad=0110
ad=0101
ad=0100
ad=0011
ad=0010
装飾制御装置
610
ad=1101
ad=1100
ad=1010
ad=1001
装飾部材（通常版）
ad=1111
ad=1110
装飾部材（裏面版）
ad=0001
装飾制御装置
600
照明ユニット
異常報知ＬＥＤ
11(29)
遊技盤
前面枠
ad=0000
中継基板
（装飾制御装置）
マスタ
ＩＣ
570

【図２８】


550
563
演出制御装置
551
CPU
558
入出力
I/F
590
RES
570A
570B
570C
マスタ
ＩＣ
600A
600B
600C
中継基板
（装飾制御装置）
610A
610B
610C
610D
610E
610F
610G
610H
610I
610J
610K
610L
610M
610N
610O
610P
610Q
610R
装飾制御
装置

フロントページの続き

(56)参考文献 特開２００６－３４６３６９（ＪＰ，Ａ）
特開２００８－２１２２７１（ＪＰ，Ａ）
特開平７－２４０９６９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ａ６３Ｆ　　７／０２
Ａ６３Ｆ　　５／０４