

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4054598号
(P4054598)

(45) 発行日 平成20年2月27日(2008.2.27)

(24) 登録日 平成19年12月14日(2007.12.14)

(51) Int.Cl.

F 1

G06F 12/02	(2006.01)	G06F 12/02	580J
G06F 12/00	(2006.01)	G06F 12/00	597C
G06F 13/28	(2006.01)	G06F 13/28	310H

請求項の数 2 (全 12 頁)

(21) 出願番号

特願2002-123811 (P2002-123811)

(22) 出願日

平成14年4月25日 (2002.4.25)

(65) 公開番号

特開2003-316642 (P2003-316642A)

(43) 公開日

平成15年11月7日 (2003.11.7)

審査請求日

平成17年4月25日 (2005.4.25)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100090538

弁理士 西山 恵三

(74) 代理人 100096965

弁理士 内尾 裕一

(72) 発明者 黒沼 明

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 中山 亨

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】メモリ制御回路、DMA要求ブロック及びメモリアクセスシステム

(57) 【特許請求の範囲】

【請求項 1】

複数のDMA要求ブロックと、該複数のDMA要求ブロックから受けたDMA要求に基づいてSDRAMへのアクセスを実行するメモリ制御回路とを備えたメモリアクセスシステムであって、

前記メモリ制御回路が、

前記DMA要求とともに、アドレス信号と、バーストDMA要求回数を指示する指示信号とを含むDMA制御情報信号を受信する受信手段と、

前記アドレス信号に基づいて連続アクセス可能な回数を検出する検出手段と、

前記指示信号により指示されたバーストDMA要求回数と前記検出手段により検出された連続アクセス可能な回数とのうちで大きい方を選択する選択手段と、

前記選択手段により選択された回数を、実際に実行する連続DMAの回数として設定する設定手段とを有し、

前記複数のDMA要求ブロックのそれぞれが、

バーストDMA要求回数が前記メモリ制御回路が連続アクセス可能な回数の最大値以下であれば、当該バーストDMA要求回数をそのままバーストDMA要求回数として指示し、前記最大値より大きい場合は、当該最大値をバーストDMA要求回数として指示する指示信号を生成する生成手段と、

アクセス先を指定するメモアドレス信号を前記メモリ制御回路からのデータアクセス信号によりカウントアップするカウントアップ手段と、

10

20

バーストDMA要求回数を前記データアクセス信号によりカウントダウンするカウントダウン手段と、

前記データアクセス信号により1回のバーストDMA制御が終了した時点で、カウントダウンされたバーストDMA要求回数が0か否かを判定する判定手段と、

前記判定手段による判定の結果、前記カウントダウンされたバーストDMA要求回数が0でない場合に、カウントアップされた前記メモリアドレス信号と、当該カウントダウンされたバーストDMA要求回数から前記生成手段によって生成される指示信号とに基づいて、再度DMA要求を行うように制御する要求制御手段とを有することを特徴とするメモリアクセスシステム。

【請求項2】

10

前記バーストDMA要求回数を指示する指示信号の信号線幅を前記連続アクセス可能な回数の最大値に基づいて設計したことを特徴とする請求項1に記載のメモリアクセスシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SDRAMを使用したメモリ制御回路に関するものである。

【0002】

【従来の技術】

SDRAMは非同期DRAMを高速に動作させるために考案された、比較的新しいデバイスである。

20

【0003】

その制御方法は、従来の非同期DRAMと似ているが、同期用にCLK信号を使用する、SDRAMへのアクセスはコマンドによって行う、連続してデータのリード/ライトが実行可能(バーストモード)である、等の点が特徴的である。

【0004】

図4は、標準的なSDRAMへのアクセスを示すタイミングチャートである。ここではバースト長(BL)=2の場合を示す。

【0005】

SDRAMへの実際のアクセス方法において、SDRAMコントローラは、まず、ACTVコマンドの発行とともにRASアドレスを出力し、次にWRITEまたはREADAコマンドの発行とともにCASアドレスを出力する。(以下の説明においては、特にことわりのない限り、ACTVコマンド後1CLKで次のコマンドを受け付け可能とする。)このときWRITEであれば、同時にデータバスラインにライトすべきデータを出力し、ライト動作を行う。READAである場合は、固有のディレイ値(CAS LATENCY=CL)分遅れた後、SDRAMよりリードデータが出力されるので、これを取り込む。

30

【0006】

ところで、上記のWRITE/READAを利用する場合は、バースト回数が、BURST LENGTH(=BL)で指定される値で一定であるため、任意のバースト回数を実行しようとした場合、MRSコマンドを発行してBL値を変更し、組み合わせで所望のバースト回数に到達するように制御する必要があり、トータルのスループットは低下してしまう。そこで、上記WRITE/READAコマンドを使用せず、SDRAMコントローラが所望のバースト回数に到達した場合に、バースト動作を中断させる方法もある。

40

図5は、一般的なDMAコントローラの構成の一例を示したブロック図である。一般に、DMA要求ブロックはアプリケーションによって構成が異なり、一方、メモリコントローラ部はメモリの種類によって回路が異なるため、様々なアプリケーションやメモリへの対応を容易にするため、アビトリレーション部とメモリコントローラ部とは独立した構成をとった方が良い。

【0007】

50

この場合、各DMA要求ブロック1 - 1 . . . 1 - Nからアービタ回路3へは、DMA要求信号DREQ_1 . . . N、及びアドレス信号ADDRESS_1 . . . N、リード/ライトのどちらの要求であるかを示すDR-WX_1 . . . N、バースト回数を表すBSTN_{UM}_1 . . . N、ライトデータ用バスWRDATA_1 . . . N等の信号が出力される。

【0008】

これに対して、アービタ回路3から各DMA要求ブロック1 - 1 . . . 1 - Nには、負論理のDMA要求受諾信号であるREQACKX_1 . . . N、リードデータ用バスのRD-DATA_1 . . . N、負論理のメモリアクセス信号であるDTACKX_1 . . . N信号が出力される。

【0009】

尚、本説明では、全てのDMA要求ブロック1 - 1 . . . 1 - NにWRDATA及びRDDATAが接続されているが、実際には各DMA要求ブロックは、リードまたはライトのどちらか一方しか行わない場合があり、その場合、使用しないデータバスは接続しなくてよい。また、この図ではSDRAMのリフレッシュを制御する回路を省略している。

【0010】

一方、アービタ回路3からSDRAMコントローラ4へは、調停後のDMA要求信号REQ、及び調停後のアドレス信号ADDRS、調停後のリード/ライト識別信号R-WX、バースト回数を表すBSTNUM、ライトデータ用バスWRDATA等の信号が出力される。逆にSDRAMコントローラ4からアービタ回路3には、リードデータ用バスのRDDATA、負論理のメモリアクセス信号であるORG_DTACKXが出力される。上記のような構成をとり、アービタ回路3とメモリコントローラ部4との間のインターフェースを統一することにより、さまざまなアプリケーションやメモリへの対応が容易になる。

【0011】

図6は、このような制御を行う場合のDMAコントローラ全体の動きを示すタイミングチャートである。この例では、バースト長は、予め初期MRSコマンド発行時に、最大値=8に設定されている。

【0012】

また、この図は、最初にDMA要求ブロック1 - 1が単独でバーストリードのDMA要求を発し、DMAの処理中にDMA要求ブロック1 - 2がバーストライトDMA要求を発した場合を示す。

【0013】

詳細な制御の流れは以下の通りとなる。

【0014】

T0において、アービタ回路は、アービトレーション動作許可の状態で、各DMA要求ブロックからのDMA要求を待っている。

【0015】

T1において、DMA要求ブロック1 - 1は、DMA制御情報を出力すると同時に、DREQを有効にする。（ここではバースト2のリードであるとする。）アービタ回路3は、DREQの受信をT2中に確認すると、他のDREQが出力されていないか、さらに他のDREQが出力されている場合には、予め定められた優先順位に基づいてDMA要求ブロックの調停及び選択を行い、選択されたDMA要求ブロックに関するDMA制御情報をラッチする。

【0016】

その後T3にて、選択されたDMA要求ブロック（DMA要求ブロック1）に対してDREQACKXを返送する。

【0017】

同時に、SDRAMコントローラ4に対してラッチしたDMA制御情報を出力すると同時に、REQを有効にする。そしてアービタ回路3は、DMA要求の受付及び調停、選択の禁止状態に入る。

【0018】

10

20

30

40

50

R E Q を受けた S D R A M コントローラ 4 は、まず T 4 にて、A C T V コマンドの発行によってロードレスを出力し、次に T 5 にて、R E A D コマンドの発行と同時にカラムアドレスを出力する。R E A D の場合、C L (この例では C L = 2 とする) 分遅れた後、すなわち T 7 以降、S D R A M 5 よりリードデータが D Q 上に出力されるので、これを取り込む。なお、本例ではコマンドを発行しない場合に N O P 状態としているが、これ以外に D E S L、P D などの状態で待ってもよい。

【 0 0 1 9 】

取り込まれたデータは、一度 S D R A M コントローラ 4 にてラッチされ、各 D M A 要求ブロック 1 に返送される。データアクセス中は、これを各 D M A 要求ブロック 1 が読みめるよう O R G _ D T A C K X を有効にする。

10

【 0 0 2 0 】

O R G _ D T A C K X はアービタ回路に返送され、アービタ回路はこれを選択された D M A 要求ブロック (D M A 要求ブロック 1) に対して、即ち D T A C K X _ 1 のみを有効 (ロー レベル) にする。

【 0 0 2 1 】

D M A 要求ブロック 1 は、D T A C K X _ 1 が有効になるとそのタイミングの R D D A T A _ 1 からデータを読み込む。

【 0 0 2 2 】

一方 S D R A M コントローラ 4 は、所望の回数分 (2 回分) データアクセスを要求した後、T 7 で P R E コマンドの発行によってバースト動作を中止させる。

20

【 0 0 2 3 】

また、所望の回数分 (2 回分) のデータを読み込んだら、T 9 にて O R G _ D T A C K X 信号を無効 (ハイレベル) にする。

【 0 0 2 4 】

アービタ回路 3 は、T 1 0 における O R G _ D T A C K X 信号の立ち上がりを検出したら、D M A 要求の受付、調停、及び選択の禁止状態を T 1 1 にて解除する。

【 0 0 2 5 】

この結果、T 1 2 において D M A 要求ブロック 1 - 2 の D R E Q 2 を認識し、他の D R E Q が出力されていないか、さらに他の D R E Q が出力されている場合には、予め定められた優先順位に基づいて、調停及び選択を行う。

30

【 0 0 2 6 】

本例では、D M A 要求ブロック 1 - 2 からの要求しかないため、D M A 要求ブロック 1 - 2 からの D M A 制御情報をラッチする。

【 0 0 2 7 】

その後 T 1 3 にて、選択された D M A 要求ブロック (D M A 要求ブロック 1 - 2) に対して D R E Q A C K X を返送する。

【 0 0 2 8 】

同時に、S D R A M コントローラ 4 に対して、ラッチした D M A 制御情報を出力し、R E Q を有効にする。そしてアービタ回路 3 は、再び D M A 要求の受付及び調停、選択の禁止状態に入る。

40

【 0 0 2 9 】

R E Q を受けた S D R A M コントローラ 4 は、まず、T 1 4 にて、A C T V コマンドの発行によってロードレスを出力し、次に T 1 5 にて、W R I T コマンドの発行と同時にカラムアドレスを出力する。

【 0 0 3 0 】

W R I T の場合、D M A 要求ブロック 1 - 2 は、W R I T コマンドの発行と同じタイミングで W R D A T A _ 2 バスにデータを出力する。

【 0 0 3 1 】

このデータは、S D R A M コントローラ 4 経由で D Q に出力され、実際にメモリに書き込まれる。メモリに書き込まれている間は、O R G _ D T A C K X が有効になる。

50

【0032】

ORG_DTACKXはアービタ回路3に返送され、アービタ回路3は、これを選択されたDMA要求ブロック(DMA要求ブロック1-2)に対して、即ちDTACKX_2のみを有効にする。

【0033】

この例では3回のバーストライトであるため、3回分のデータを書き込んだら、T18にてPREコマンドを発行し、バーストライトを中断するとともに、ORG_DTACKXは無効にする。

【0034】

アービタ回路3は、T18におけるORG_DTACKX信号の立ち上がりを検出したら10、DMA要求の受付、調停、及び選択の禁止状態をT19より解除する。

【0035】**【発明が解決しようとする課題】**

上記従来の制御方法においては、SDRAMへの最大連続アクセス数はSDRAMへの設定により制限され、一般的なSDRAMにおいてその値は、256、8、4、2である。

【0036】

さらに、バースト長とアドレスの間には特殊な関係が存在する。SDRAMにおいてバーストアクセスする場合、アドレスの更新はSDRAM内部のカウンタで行われる。しかし、アドレスのカウントアップは、設定されたバースト長を超えて桁上がりしないので、任意のアドレスから連続アクセスしようとしても、異なったアドレスにアクセスすることになってしまふ。例えば、バースト長が8に設定されている場合、下位アドレスが0Chから14hまでを5バーストでアクセスしようとしても、実際には、0Ch、0Eh、00、02、04にアクセスされてしまう。

【0037】

一方、プリンタ等の電子機器においては、最大の連続DMA要求は10~100程度である。また搭載されているメモリ容量も大きくは無いため、カラムアドレスの区切りの良いところからアクセスするといったシステムを構築しづらい。

【0038】

このような問題に対して、特開2000-215155号公報では、区切りの良いところまでシングル転送を行い、その後バースト転送を行うと言った制御が記載されているが、このようにすると回路が複雑になるといった問題点がある。

【0039】

さらにDMA要求ブロックの数は10程度であり、1つのDMA要求ブロックが長く連続アクセスを行うと、他のDMA要求ブロックの処理が行えず、プリンタでは、結果としてスループットが遅くなるなどの弊害がある。

【0040】

また、これらの電子機器では、SDRAMへの供給クロックは、SDRAMが受けうる最大のクロック周波数よりもかなり小さく、1つのDMA要求ブロックが長く連続アクセスを行うとメモリのリフレッシュが行えない、といった弊害も発生しうる。

【0041】

よって、これらの電子機器においては、比較的簡単な構成で、8バーストを超える連続アクセスを任意のアドレスより開始しうる、メモリ制御システムが要望されていた。

【0042】**【課題を解決するための手段】**

本発明は、上述した課題に対処するために、SDRAMを用いたシステムであって、SDRAMの標準動作クロックよりも遅いクロックで動作するシステムにおいて、比較的簡単な回路によって、任意のアドレスより連続アクセス可能なメモリ制御システムを提供することを目的とするものである。

【0043】

上記課題を解決するために、本発明によれば、複数のDMA要求ブロックと、該複数の

10

20

30

40

50

DMA要求ブロックから受けたDMA要求に基づいてSDRAMへのアクセスを実行するメモリ制御回路とを備えたメモリアクセスシステムにおいて、前記メモリ制御回路に、前記DMA要求とともに、アドレス信号と、バーストDMA要求回数を指示する指示信号とを含むDMA制御情報信号を受信する受信手段と、前記アドレス信号に基づいて連続アクセス可能な回数を検出する検出手段と、前記指示信号により指示されたバーストDMA要求回数と前記検出手段により検出された連続アクセス可能な回数とのうちで大きくない方を選択する選択手段と、前記選択手段により選択された回数を、実際に実行する連続DMAの回数として設定する設定手段とを有し、前記複数のDMA要求ブロックのそれぞれが、バーストDMA要求回数が前記メモリ制御回路が連続アクセス可能な回数の最大値以下であれば、当該バーストDMA要求回数をそのままバーストDMA要求回数として指示し、前記最大値より大きい場合は、当該最大値をバーストDMA要求回数として指示する指示信号を生成する生成手段と、アクセス先を指定するメモリアドレス信号を前記メモリ制御回路からのデータアクセス信号によりカウントアップするカウントアップ手段と、バーストDMA要求回数を前記データアクセス信号によりカウントダウンするカウントダウン手段と、前記データアクセス信号により1回のバーストDMA制御が終了した時点で、カウントダウンされたバーストDMA要求回数が0か否かを判定する判定手段と、前記判定手段による判定の結果、前記カウントダウンされたバーストDMA要求回数が0でない場合に、カウントアップされた前記メモリアドレス信号と、当該カウントダウンされたバーストDMA要求回数から前記生成手段によって生成される指示信号とに基づいて、再度DMA要求を行うように制御する要求制御手段とを有する。

10

20

【0044】

【発明の実施の形態】

〔実施形態1〕

以下、図面を用いて本発明の1実施形態を詳細に説明する。

【0045】

本実施形態では、DMAコントローラ全体の構成は、従来技術の説明に利用した図5に示す一般的な構成を持つ。本実施形態は、SDRAMコントローラ4内の構成に特徴を有する。

【0046】

図1は、実施形態1におけるSDRAMコントローラ4内のDMA実行回数決定回路のブロック図である。

30

図2は、このような制御を行う場合のDMAコントローラ4全体の動きを示すタイミングチャートである。本例では、バースト長は、予め初期MRSコマンド発行時に、最大値=8に設定しているものとする。

【0047】

また、DMA要求ブロック1-1の最大連続DMA要求数は25回とし、よってBSTN UM_1のバス幅は5とする。

【0048】

処理の流れとして、DMA要求ブロック1-1がアドレス0000Ehから、12回分のバーストリードのDMA要求を発した場合を例とする。

40

【0049】

T0においてアビタ回路3は、アビトレーション動作許可の状態で、各DMA要求ブロック1からのDMA要求を待っている。

【0050】

T1においてDMA要求ブロック1-1は、DMA制御情報を出力すると同時に、DMA要求信号(DREQ_1)を有効にする。

【0051】

アビタ回路3は、DREQ_1の受信をT2中に確認すると、他のDREQが出力されていないか、さらに他のDREQが出力されている場合には、予め定められた優先順位に基づいて調停及び選択を行い、選択されたDMA要求ブロック1に関するDMA制御情報

50

をラッチする。

【0052】

その後T3にて、選択されたDMA要求ブロック(DMA要求ブロック1-1)に対してDREQACKXを返送する。

【0053】

同時に、SDRAMコントローラ4に対してラッチしたDMA制御情報を出力すると同時に、REQを有効にする。そしてアビタ回路3はDMA要求の受付及び調停、選択の禁止状態に入る。

【0054】

REQを受けたSDRAMコントローラ4は、まずT4にて、ACTVコマンドの発行によってロードレスを出力する。 10

【0055】

さらに検出器11により、アドレス[3:1]の下位3ビットから、連続アクセス可能な数=1を検出する。これは、例えば、アドレス[3:1]の3ビットを反転して1加えるなどすれば求められる。これとBSTMNUMの値=12とを比較器12で比較すると、連続アクセス可能な数=1の方が小さいので、この比較結果に基づく選択信号に従って、連続アクセス可能な数=1の方をセレクタ13で選択し、実際のバーストアクセス数としてDMA回数設定カウンタ14に設定する。(ここで、本実施形態では、アドレス0はバイトアクセス時に利用されるものとする。かつ、ここでは簡単のため、16bit幅アクセスとする。) 20

次にT5にて、READコマンドの発行と同時にカラムアドレスを出力する。READの場合、CL(この例ではCL=2とする)分遅れた後、すなわちT7以降SDRAM5よりリードデータが出力されるので、これを取り込む。

【0056】

取り込まれたデータは、一度SDRAMコントローラ4にてラッチされ、各DMA要求ブロック1に返送される。データアクセス中は、これを各DMA要求ブロック1が読みめるようORG_DACKXを有効にする。

【0057】

ORG_DACKXはアビタ回路3に返送され、アビタ回路3はこれを選択されたDMA要求ブロック(DMA要求ブロック1-1)に対して出力、即ちDTACKX_1のみを有効(ローレベル)にする。 30

【0058】

DMA要求ブロック1-1は、DTACKX_1が有効になると、そのタイミングのRD DATA_1からデータを読み込む。図2においては、T9でのCLKの立ち上がりでデータD1を読み込んでいる。

【0059】

一方SDRAMコントローラ4は、DMA回数設定カウンタ14に設定された回数分(1回分)データアクセスを要求した後、T6でPREコマンドの発行によってバースト動作を中止させる。

【0060】

また、T9にてORG_DACKX信号を無効(ハイレベル)にする。 40

【0061】

アビタ回路3は、T10においてORG_DACKX信号の無効を検出したら、DMA要求の受付、調停、及び選択の禁止状態をT11より解除する。(これ以降アビタ回路3に関する動作は、本実施形態の説明には直接関係が無いので省略する。)

一方DMA要求ブロック1-1は、DTACKX_1が有効となっている期間、内部で保持しているアドレスをカウントアップし、同じく内部で保持しているDMA回数をカウントダウンする。この結果DTACKX_1が無効となった時点で、アドレスは00010hとなり、DMA回数は11となる。

【0062】

10

20

30

40

50

ここでDMA要求ブロック1-1は、DMA回数が0になつてないので、再度DMA要求をT11にて出力する。その際のDMA制御情報は、アドレス00010hであり、DMA回数は11である。

【0063】

再びDMA要求を受けたSDRAMコントローラ4は、新たに受信したアドレス00010hより、検出器11にて連続アクセス可能な数=8を求め、これとDMA要求回数=11とを比較器12で比較し、連続アクセス可能な数=8の方をセレクタ13で選択し、実際のバーストアクセス数としてDMA回数設定カウンタ14に設定し、リードDMAを行う。その際ORG_DACKXを8クロックの間有効にする。この結果、DTACKX1も8クロック間有効になる。10

【0064】

DMA要求ブロック1は、前回と同様にアドレスを8カウントアップし、DMA回数を8カウントダウンする。

【0065】

この結果、アドレスは00020hであり、DMA回数は3となる。DMA要求ブロック1は、DMA回数が0になつてないので、再度DMA要求をT28にて出力する。

【0066】

再びDMA要求を受けたSDRAMコントローラ4は、新たに受信したアドレスより連続アクセス可能な数=8を求め、これをDMA要求回数=3と比較する。今回はDMA要求回数の方が小さいため、こちらが選択され、実際のバーストアクセス数を3とし、アクセスを行う。その際ORG_DACKXを3クロック間有効にし、同様にDTACKX1も3クロック間有効になる。20

【0067】

DMA要求ブロック1-1は、前回と同様アドレスを3カウントアップし、DMA回数を3カウントダウンする。

【0068】

この結果、アドレス00026hとなり、DMA回数は0となる。DMA要求ブロック1-1は、DMA回数が0となつたので、DMA処理を終了する。

【0069】

このようにして、12回の連続アクセスを3回に分けて実行するので、この間に、他のDMA要求ブロック1がDMA要求を行った場合や、リフレッシュ要求が発生した場合でも、間に割り込むことが可能である。30

【0070】

〔実施形態2〕

実施形態1では、BSTNUM信号は、DMA要求ブロックの最大連続DMA要求数によって決まっていた。一方比較器12のサイズは、複数のDMA要求ブロックのうち最も大きな最大連続DMA要求数で決定されるため、1つだけしか大きいものが無い場合でも、そのサイズにあわせる必要があり、回路が冗長的になる可能性がある。

【0071】

そこで、本実施形態では、比較器12の大きさをSDRAMコントローラ4が実行できる最大のDMA回数にあわせるために、DMA要求ブロック1側でDMA要求回数からDBSTNUM信号を生成する回路を、図3のように構成する。40

【0072】

図3は、SDRAMコントローラ4が実行できる最大のDMA回数は8の場合の例を示している（あらかじめMRSコマンドにて設定する）。

【0073】

この場合、DBSTNUM信号バス幅は3で良い（DBSTNUM信号+1=実際のDMA要求回数とする。よって“000”でもDMAを1回行い、“111”でDMAを8回実行する）。

【0074】

そこで、DMA要求回数設定カウンタ31の下位3ビットより上をORゲート32に入力し、その出力をORゲート33～35により下位3ビットと個別にORする。

【0075】

このような回路構成とすることで、DMA要求回数設定カウンタ31に設定されたバースト要求回数が8以上の場合、ORゲート32の出力は1となり、更にORゲート33～35の出力も全て1となるので、DBSTNUM信号(DBSTNUM1～3)は必ず“111”となる。

【0076】

このような構成を持つ各DMA要求ブロック1と、実施形態1で示したSDRAMコントローラ4とを組み合わせることにより、動作的には実施形態1で示したものと変わることなく、かつSDRAMコントローラ4内の比較器も3ビット同士を比較するだけで良くなり、回路の冗長性はなくなる。

10

【0077】

また、各DMA要求ブロック1とDMAコントローラ2との間のバス幅も最小で済み、ASIC等の集積回路で構成する場合、配線部分の面積を小さくすることが可能となる。

【0078】

【発明の効果】

以上説明したように、本発明によれば、要求されたDMA回数と、与えられたDMA開始アドレスから連続アクセス可能な回数とを比較し、実際に実行するDMA回数を決定するようにしたので、比較的簡単な構成で、実際にSDRAMコントローラが実行可能な連続DMA回数を超える連続DMAを行うことが可能となる。

20

【0079】

この場合SDRAMコントローラは、実際には、自身が行うことが可能な連続DMAを超えた連続DMAを行うわけではないため、1つのDMA要求ブロックが長時間バスを占有することは無く、比較的低速クロックを利用する電子機器等においても、リフレッシュ等の他の制御を邪魔することは無い。

【0080】

また、1回のバーストDMAは、必ず同一コラム内で行われるため、コラムをまたがるDMAを行うために複雑な制御を行う必要が無く、回路も簡単で済む。

30

【図面の簡単な説明】

【図1】本発明に係る一実施形態のSDRAMコントローラ内のDMA実行回数決定回路のブロック図である。

【図2】第1の実施形態を説明するためのタイミングチャートである。

【図3】第2の実施形態におけるDMA要求ブロック内のBSTNUM信号生成回路を示した図である。

【図4】標準的なSDRAMへのアクセスを示すタイミングチャートである。

【図5】一般的なDMAコントローラの構成の一例を示したブロック図である。

【図6】従来のDMAコントローラ全体の動きを示すタイミングチャートである。

【符号の説明】

1 DMA要求ブロック

40

2 DMAコントローラ

3 アービタ回路

4 SDRAMコントローラ

5 SDRAM

11 検出器

12 比較器

13 セレクタ

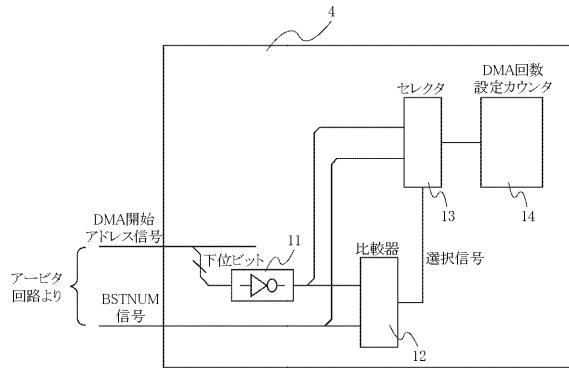
14 DMA回数設定カウンタ

31 DMA要求回数設定カウンタ

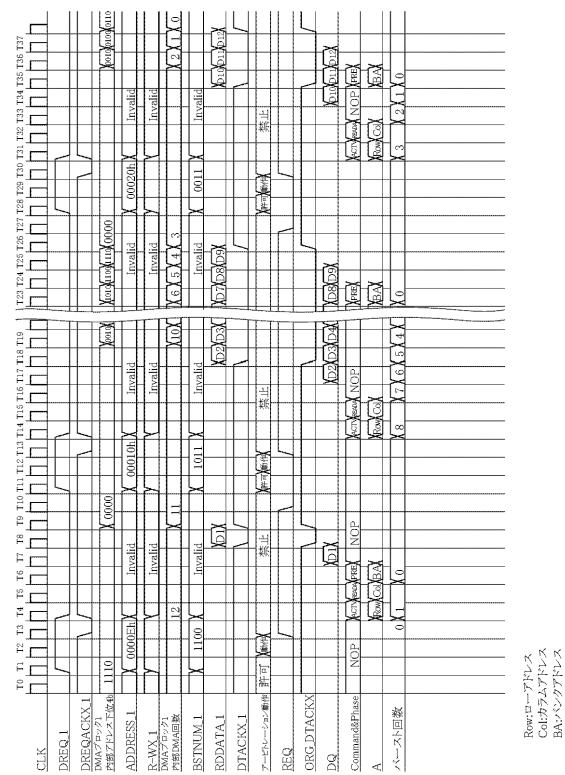
32～35 ORゲート

50

【図1】

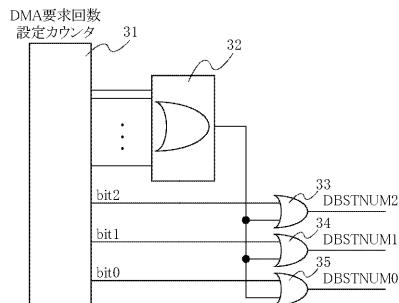


【図2】

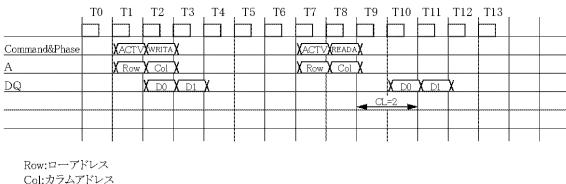


Row:ロードアドレス
Col:カラムアドレス
BA:バッファアドレス

【図3】

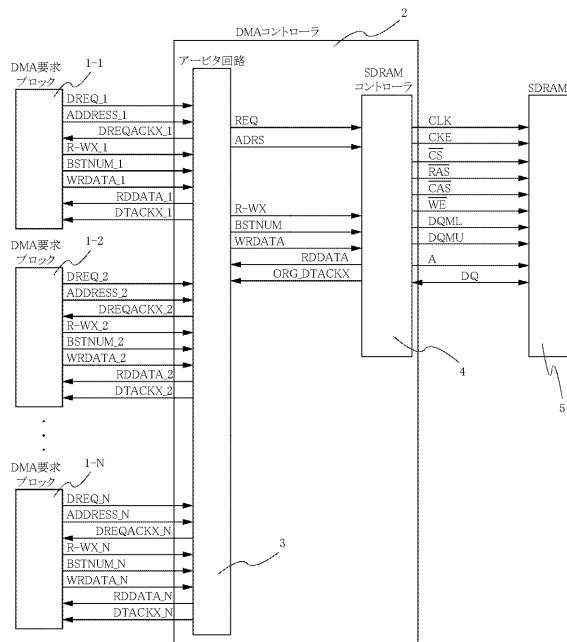


【図4】



Row:ロードアドレス
Col:カラムアドレス

【図5】



【図6】

	T0	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19
CLK	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	
DREQ_1																				
DREQACKX_1																				
ADDRESS_1	X	valid	X																	
R-WX_1																				
BSTNUM_1	X	valid	X																	
RDQDATA_1																				
DTACKX_1																				
DREQ_2																				
DREQACKX_2																				
ADDRESS_2																				
R-WX_2																				
BSTNUM_2																				
WRDATA_2																				
DTACKX_2																				
グーピング&動作許可																				
REQ																				
ADRS	X	valid	X																	
R-WX																				
BSTNUM	X	valid	X																	
WRDATA																				
RDDATA																				
CurRdRdPhase	NOP	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
A	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
DQ																				
ORG_DTACKX																				

Row: ② アドレス
Col: カラムアドレス
BA: バンクアドレス

フロントページの続き

(72)発明者 勝 拓二
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(72)発明者 田中 壮平
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(72)発明者 綿谷 雅文
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 田中 秀人

(56)参考文献 特開2000-227897(JP,A)
特開平08-147238(JP,A)
特開2000-132497(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/02

G06F 13/28