

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5258282号
(P5258282)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年5月2日 (2013.5.2)

(51) Int.Cl.

F I

GO6K 19/07 (2006.01)

GO6K 19/00 H

HO4B 5/02 (2006.01)

GO6K 19/00 J

HO4B 5/02

請求項の数 2 (全 37 頁)

(21) 出願番号	特願2007-332172 (P2007-332172)	(73) 特許権者	000153878
(22) 出願日	平成19年12月25日 (2007.12.25)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2008-181499 (P2008-181499A)		神奈川県厚木市長谷398番地
(43) 公開日	平成20年8月7日 (2008.8.7)	(72) 発明者	高橋 康之
審査請求日	平成22年12月21日 (2010.12.21)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2006-350019 (P2006-350019)		半導体エネルギー研究所内
(32) 優先日	平成18年12月26日 (2006.12.26)		
(33) 優先権主張国	日本国 (JP)	審査官	久保 正典

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

アンテナとチップとを有し、
前記チップは、
前記アンテナを介して供給される入力電圧と基準電圧とを比較し、前記入力電圧に応じて電圧を出力する比較回路と、
変調信号と前記電圧とが入力され、前記変調信号と保護信号との一方又は両方を出力するバイアス回路部と、
前記バイアス回路部から出力された前記変調信号と前記保護信号との一方又は両方に応じて動作するスイッチを具備する保護・変調回路とを有し、
前記バイアス回路部は、差動増幅回路と、第1の抵抗乃至第3の抵抗とを有し、
前記第1の抵抗の一方は、前記差動増幅回路の出力端子と電氣的に接続され、
前記第1の抵抗の他方は、前記第2の抵抗の一方と、前記第3の抵抗の一方と、前記差動増幅回路のプラス端子と電氣的に接続され、
前記第3の抵抗の他方から、前記変調信号が入力され、
前記第2の抵抗の他方から、前記電圧が入力され、
前記差動増幅回路の出力端子から、前記変調信号と前記保護信号との一方又は両方を出力することを特徴とする半導体装置。

【請求項 2】

第1のアンテナと、第2のアンテナと、チップと、充電回路部とを有し、

前記チップは、

前記第 1 のアンテナを介して供給される入力電圧と基準電圧とを比較し、前記入力電圧に応じて電圧を出力する比較回路と、

変調信号と前記電圧とが入力され、前記変調信号と保護信号との一方又は両方を出力するバイアス回路部と、

前記バイアス回路部から出力された前記変調信号と前記保護信号の一方又は両方に応じて動作するスイッチを具備する保護・変調回路とを有し、

前記バイアス回路部は、差動増幅回路と、第 1 の抵抗乃至第 3 の抵抗とを有し、

前記第 1 の抵抗の一方は、前記差動増幅回路の出力端子と電氣的に接続され、

前記第 1 の抵抗の他方は、前記第 2 の抵抗の一方と、前記第 3 の抵抗の一方と、前記差動増幅回路のプラス端子と電氣的に接続され、

前記第 3 の抵抗の他方から、前記変調信号が入力され、

前記第 2 の抵抗の他方から、前記電圧が入力され、

前記差動増幅回路の出力端子から、前記変調信号と前記保護信号の一方又は両方を出力し、

前記充電回路部は、

前記第 2 のアンテナを介して供給される電力を充電し、前記充電した電力により前記比較回路、前記バイアス回路部、及び前記保護・変調回路を動作させるバッテリーと、

前記第 2 のアンテナから受信した電力を交流から直流へ変換するための整流回路部と、

前記第 2 のアンテナから受信した電力が過剰であった場合、内部回路を保護するための充電用保護回路部と、

前記充電用保護回路部を動作させるかどうかを制御するための充電用保護回路制御回路部と、

前記整流回路部において整流された電源電圧をモニタし、前記バッテリーの充電状況を管理するための充電機構制御回路部とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は無線通信によりデータの交信（受信、送信）を行う半導体装置に関する。本発明は、特に無線通信において大電力を受信した場合に半導体装置のチップの素子の劣化や破壊を防止する保護回路とデータ送信にて動作する変調回路とを一つの回路にて動作させる機能を具備する半導体装置に関する。

【背景技術】

【0002】

近年、無線通信を利用した個体識別技術（以下、無線通信システムという）が注目を集めている。特に、無線通信によりデータの交信を行うデータキャリアとして、RFID（Radio Frequency Identification）技術を利用した半導体装置による個体識別技術が注目を集めている。このような、無線通信を利用して情報の送受信が可能である半導体装置は、例えば、RFタグ（IC（Integrated Circuit）タグ、ICチップ、RFIDタグ、無線タグ、電子タグとも呼ばれる）としての利用が考えられ、個々の対象物の生産、管理等に役立てられ始めており、個人認証への応用も進められている。

【0003】

ここでいう無線通信システムとは、リーダ/ライタ等の電力供給源兼送受信器と、半導体装置等の送受信器との間を無線でデータのやりとりをする通信システムである。

【0004】

無線通信システムでは、リーダ/ライタと半導体装置とが物理的に接続されている必要がない。つまり、リーダ/ライタが指定する領域に半導体装置が存在しさえすれば、リーダ/ライタは半導体装置と通信し、データのやりとりをおこなうことができる。

【 0 0 0 5 】

リーダ／ライタと半導体装置間においては、通信距離を伸ばすためにリーダ／ライタからの電力供給効率を高める研究開発が盛んである（例えば特許文献１を参照）。

【特許文献１】特開２００６－５６５１号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

一方、無線通信システムにおいては、リーダ／ライタにより複数の半導体装置を同時に読み取る場合、リーダ／ライタとそれぞれの半導体装置との間の距離（以下、通信距離と記す）は全く同じではない。また、半導体装置が貼り付けられた商品をカートンに詰めてフ

ォークリフトでリーダ／ライタの前を通過するなど、通信距離は時々刻々と変化する場合もあり得る。

10

【 0 0 0 7 】

一般に電力は、電力が放射される点から測定点までの距離の二乗に比例して減衰する。つまり、通信距離によって半導体装置へ供給される電力は異なる。

【 0 0 0 8 】

そのため、特にリーダ／ライタと半導体装置が接触しているときなど通信距離が極端に短い場合には、半導体装置に大電力が供給されてしまう。大電力が半導体装置に供給されてしまった場合、電気的なストレスや発熱などにより半導体装置の内部素子が劣化する。また最悪の場合には、半導体装置自体が破壊されたりする可能性がある。

20

【 0 0 0 9 】

素子の劣化・破壊を抑える為にタグ内部に保護回路を設け、大電力が供給されても電力を分割させる方法があるが、保護回路は保護動作をしていないときでも電力を消費してしまう為、保護回路を追加することにより保護回路が無い半導体装置と比較して、最大通信距離が落ちることが懸念される。

【 0 0 1 0 】

本発明は、以上のような問題を鑑みてなされたものであり、通信距離が極端に短い場合でも正常に動作し、かつ、信頼性の高い半導体装置を提供することを課題とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明は、上記の問題を鑑みなされたものである。本発明は、無線通信によりデータの通信を行う半導体装置において、外部より供給される電力と、基準となる電力との比較を行う比較回路と、比較回路の出力に応じて保護信号と変調信号を出力するバイアス回路部と、半導体装置の素子劣化や破壊を防ぐ保護動作とデータ送信を行う変調動作を一つの回路で行う保護・変調回路を有することを特徴とする。

30

【 0 0 1 2 】

本発明の半導体装置は、アンテナとチップとを有し、チップは、アンテナを介して供給される入力電圧と基準電圧とを比較し、入力電圧に応じて所定の電圧を出力する比較回路と、変調信号と比較回路から出力される電圧が入力され、変調信号と保護信号の一方又は両方を出力するバイアス回路部と、バイアス回路部から出力された変調信号と保護信号の一方又は両方に

に応じて動作するスイッチを具備する保護・変調回路とを有することを特徴としている。

40

【 0 0 1 3 】

また、本発明の半導体装置は、第１のアンテナと、第２のアンテナと、チップと、バッテリーとを有し、チップは、アンテナを介して供給される入力電圧と基準電圧とを比較し、入力電圧に応じて所定の電圧を出力する比較回路と、変調信号と比較回路から出力される電圧が入力され、変調信号と保護信号の一方又は両方を出力するバイアス回路部と、バイアス回路部から出力された変調信号と保護信号の一方又は両方に

に応じて動作するスイッチを具備する保護・変調回路とを有し、バッテリーは、第２のアンテナを介して供給される電力を充電することを特徴としている。

50

【 0 0 1 4 】

なお本発明における半導体装置はアンテナ、入力回路部、ロジック回路部を有し、比較回路及び保護・変調回路部は、入力回路部に設けられていてもよい。

【 0 0 1 5 】

なお、本明細書において接続されているとは、電氣的に接続されているものとする。

【 0 0 1 6 】

また、本明細書においてトランジスタは、様々な形態のトランジスタを適用させることができる。よって、適用可能なトランジスタの種類に限定はない。したがって、非結晶シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、a-InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていても良い。また、トランジスタが配置されている基板の種類は様々なものを用いることができ、特定のものに限定されることはない。したがって、たとえば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板などに配置することができる。また、ある基板でトランジスタを形成した後、別の基板にトランジスタを移動させて配置するようにしても良い。

【 0 0 1 7 】

また、回路を同一基板上に形成することにより、部品点数を減らしてコストを削減し、他回路部品との接続点数を減らして信頼性を向上させることができる。あるいは、回路の一部がある基板上に形成されており、回路の別の一部が別基板上に形成されていても良い。つまり、回路のすべてが同じ基板上に形成されていなくても良い。たとえば、回路の一部はガラス基板上にトランジスタを用いて形成し、回路の別の一部は単結晶基板上に形成し、そのICチップをCOG（Chip On Glass）で接続してガラス基板上に配置しても良い。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いてガラス基板と接続しても良い。このように、回路の一部が同じ基板上に形成されていることにより、部品点数を減らしてコストを削減し、回路と部品との接続点数を減らして、信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数の高い部分を同じ基板上に形成しないようにすれば、消費電力の増大を防ぐことができる。

【 0 0 1 8 】

本発明のデータキャリアに適用するトランジスタの構成として、たとえば、ゲート本数が2本以上になっているマルチゲート構造を用いても良い。マルチゲート構造にすることにより、オフ電流を低減し、トランジスタの耐圧性を向上させて信頼性を良くし、飽和領域で動作するときに、ソース端子とドレイン端子の間の電圧が変化してもソース端子とドレイン端子の間の電流はあまり変化せず、フラットな特性にすることができる。また、チャネルの上下にゲート電極が配置されている構造でも良い。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流量を大きくし、空乏層ができやすくなってS値を良くすることができる。また、トランジスタの構造は、チャネルの上にゲート電極が配置されている構造、チャネルの下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、いずれの構造でも良い。チャネル領域が複数の領域に分かれていても良いし、複数のチャネル領域が並列に接続されていても良いし、直列に接続されていても良い。また、チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていても良い。チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャネルの一部に電荷がたまり、動作が不安定になるのを防ぐことができる。また、ソース領域およびドレイン領域にLDD領域があっても良い。LDD領域を設けることにより、オフ電流を低減し、トランジスタの耐圧性を向上させて信頼性を良くし、飽和領域で動作するときにソース端子とドレイン端子の間の電圧が変化してもソース端子とドレイン端子の間の電流はあまり変化せず、フ

10

20

30

40

50

ラットな特性にすることができる。

【発明の効果】

【0019】

本発明を用いることで、半導体装置を構成するアンテナとチップのインピーダンスを意図的に整合させないようにすることができ、さらにインピーダンス整合の度合いをタグが制御することで、保護と変調のどちらも一つの回路で行うことができる。そのため、半導体装置とリーダ/ライタとの通信距離が極端に短い状況等において半導体装置が大電力を受信することによって生じる不具合を防ぐことができ、半導体装置内部の素子を劣化させたり、半導体装置自体を破壊させたりすることなく、半導体装置を正常に動作させることができる。また、保護と変調動作を一つの回路で行うことによって、保護機能がない半導体装置の最大通信距離を維持することができる。

10

【発明を実施するための最良の形態】

【0020】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

20

(実施の形態1)

本発明の第1実施形態について図1を用いて説明する。

【0022】

本発明の半導体装置は図1に示すとおり、回路部11と、整流回路部15と、入力電圧 V_{IN} と基準電圧 V_{BIAS} を比較するための手段である比較回路12と、変調信号にバイアス電圧(保護信号)をかけるバイアス回路部17と、スイッチ13と負荷14からなる保護・変調回路部10を有する。なお、入力電圧 V_{IN} は、整流回路部15が生成する電圧である。

【0023】

図1の比較回路12は、入力電圧 V_{IN} が一定以上になると、入力電圧 V_{IN} に応じた電圧をバイアス回路部17に出力する。バイアス回路部17は、変調信号に比較回路12の出力電圧に応じた電圧分のバイアス電圧をかけて(変調信号に保護信号を加えて)スイッチ13に出力する。

30

【0024】

図1の保護・変調回路部10において、スイッチ13はバイアス回路部17の出力電圧によって入力インピーダンスを変化させる。

【0025】

図1の保護・変調回路部10において、負荷14はスイッチ13と $-V$ 端子の間に配置しても良い。さらに保護・変調回路部10において、スイッチ13自体が負荷として利用できる場合は、負荷14はなくても構わない。

40

【0026】

なお、入力電圧 V_{IN} と基準電圧 V_{BIAS} とを必ずしも直接比較する必要はない。この場合の構成について、図9(a)、図9(b)を用いて説明する。

【0027】

図9(a)に示すように、入力電圧 V_{IN} が非常に大きい場合、 $+V$ 端子と $-V$ 端子との間に抵抗器 R_1 および抵抗器 R_2 を直列に接続し、抵抗器 R_1 と抵抗器 R_2 の接続地点の電位を入力電圧 V_{IN2} とする。入力電圧 V_{IN2} と基準電圧 V_{BIAS} を比較回路12において比較する方法をとっても良い。

【0028】

また、図9(b)に示すように、入力端子と比較回路12との間に抵抗器 R_1 を介すなど

50

して、電流 I_2 を検出し、検出された電流 I_2 と基準電流 I_1 を比較回路 12 において比較することも可能である。

【0029】

図1のバイアス回路部17は変調信号がない場合においても比較回路12から出力された電圧に応じた電圧（保護信号）を出力する。

【0030】

図1において +V と記した端子にはアンテナの + 端子が接続され、 - V と記した端子にはアンテナの - 端子が接続される。アンテナで受信した電力は、チップ内部へ伝達され、チップの内部回路が動作する。半導体装置が保護動作と変調動作をしていないときの保護・変調回路部10のインピーダンスを Z_a とすると、 Z_a はバイアス回路部17からの電圧によって変化量が異なる。変調動作に必要なインピーダンスの変化量を Z_1 、保護動作に必要なインピーダンスの変化量を Z_2 とすると、変調動作時の Z_a は Z_a と $Z_a + Z_1$ の間で変化し、保護動作と変調動作時の Z_a は Z_a と $Z_a + Z_1 + Z_2$ で変化し、保護動作のみの場合は $Z_a + Z_2$ のインピーダンスとなる。

【0031】

したがって、本発明の半導体装置は内部の回路を保護する動作とリーダ/ライタに信号を送る動作を一つの回路で行うことができる。一つの回路にすることによってアンテナに整流回路と並列して接続されている回路の数を増やす必要が無く、アンテナが受信した RF 電力を効率良く内部へ伝達させることができる。

【0032】

そのため本発明を用いることで、半導体装置に大電力が供給されてしまった場合には、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらし、アンテナが大電力を受け取ったとしても半導体装置内部へはあまり伝達されないようにすることができる。その結果、半導体装置内部の素子を劣化させたり、半導体装置自体を破壊させたりすることなく、半導体装置を正常に動作させることができる。

【0033】

（実施の形態2）

本実施の形態では、上記実施の形態で示した半導体装置のより具体的な構成に関して図面を用いて説明する。

【0034】

本実施の形態で示す半導体装置100は、リーダ/ライタからの電力およびデータを受信するためのアンテナ112と、入力回路部121およびロジック回路部122からなるチップ120を有する（図2参照）。なお、アンテナ112は、チップ120とは別に製版し、別の工程にて接続して半導体装置を形成することができる。より良くは、アンテナ112とチップ120は同じ工程で形成されることが好ましい。

【0035】

半導体装置100の入力回路部121は、アンテナ112から受信した電力を交流から直流へ変換するための整流回路部103と、安定した電圧を内部回路へ供給するための定電圧回路部104と、リーダ/ライタに信号を送る変調動作と過剰な電力が入力されたときに回路を保護する動作をする保護・変調回路部101と、保護動作させるかどうかを制御するための保護動作制御回路部102と、保護動作をする場合に変調信号にバイアス電圧（保護信号）を加えるバイアス回路部111と、内部回路へ供給するクロックを生成するためのクロック生成回路部105と、アンテナ112から受信したデータをデジタル信号へ復調するための復調回路部106と、を有する。

【0036】

また、半導体装置100のロジック回路部122は、復調回路部106で復調されたデータを解析する命令解析部と復調されたデータが正常に受信できたかどうかを判定するための判定回路部107と、記憶装置（以下、メモリと記す）108と、メモリを制御するためのコントローラ回路部109と、データを符号化するための符号化回路部110と、を有する。

【 0 0 3 7 】

次に、図 2 の入力回路部 1 2 1 の構成について図 3 を用いて詳細に説明する。

【 0 0 3 8 】

図 3 において、+ V と記した端子はアンテナ 1 1 2 の + 端子に接続し、- V と記した端子はアンテナ 1 1 2 の - 端子に接続されている。復調回路部 1 0 6 は、+ V 端子から入力された電波に含まれるデータ信号を復調する。整流回路部 1 0 3 は + V 端子と - V 端子より入力される交流電圧を直流電圧 V_{IN} に変換する。定電圧回路部 1 0 4 は、+ V 端子と - V 端子に接続されており、整流回路部 1 0 3 において変換された電圧 V_{IN} が入力され、定電圧化された電源電圧 V_{DD} と基準電圧 V_{BIAS} を出力する。 V_{DD} 端子はクロック生成回路部 1 0 5 やロジック回路部 1 2 2 へ接続され、各回路へ電源を供給している。 V_{BIAS} 端子は保護動作制御回路部 1 0 2 へ接続され、ノード q の電位を決定するための基準電圧となる。クロック生成回路部 1 0 5 は、+ V 端子と - V 端子に接続されており、電源電圧 V_{DD} が入力され、基準クロックを出力する。クロック生成回路部 1 0 5 の出力端子はロジック回路部 1 2 2 へ接続されており、ロジック回路部 1 2 2 内部の各回路へクロックを供給している。

10

【 0 0 3 9 】

整流回路部 1 0 3 は、+ V 端子の電圧が - V 端子の電圧より大きい場合に入力された交流電圧を直流電圧へ変換（整流）し、容量 3 0 2 を充電するためのダイオード 3 0 1 と、- V 端子の電圧が + V 端子の電圧より大きい場合に容量 3 0 4 に電荷を充電するためのダイオード 3 0 3 と、ダイオード 3 0 1 において整流された直流電源電圧を保持するための容量 3 0 2 と、+ V 端子より入力された電波を検波し、ダイオード 3 0 3 において整流された電荷を保持するための容量 3 0 4 と、を有する。また、半導体装置では、リセット（非動作）時にチップ 1 2 0 内部に蓄積された電荷を放電するための抵抗 3 0 5 を備えることが好ましい。

20

【 0 0 4 0 】

ダイオード 3 0 1 の出力端子は容量 3 0 2 に接続され、入力端子は容量 3 0 4 に接続されている。容量 3 0 2 の一端はダイオード 3 0 1 に接続され、他端は - V 端子に接続されている。ダイオード 3 0 3 の出力端子は容量 3 0 4 に接続され、入力端子は - V 端子に接続されている。容量 3 0 4 の一端は + V 端子に接続され、他端はダイオード 3 0 3 に接続されている。

30

【 0 0 4 1 】

また、半導体装置では、リセット（非動作）時にチップ 1 2 0 内部に蓄積された電荷を放電するための抵抗 3 0 5 を備える場合には、抵抗 3 0 5 の一端は V_{IN} 端子に接続され、他端は - V 端子に接続される。

【 0 0 4 2 】

また、本実施の形態において、整流回路部 1 0 3 は半波 2 倍圧整流回路と呼ばれる回路構成を採用した場合について説明したが、これに限らず半波 4 倍圧整流回路や半波 6 倍圧整流回路などの N 倍圧整流回路や全波整流回路などを用いてもよい。

【 0 0 4 3 】

次に図 3 に示した保護・変調回路部 1 0 1 および保護動作制御回路部 1 0 2 およびバイアス回路部 1 1 1 について詳しく説明する。

40

【 0 0 4 4 】

保護動作制御回路部 1 0 2 は、定電圧回路部 1 0 4 で生成された基準電圧（ V_{BIAS} ）によって駆動するトランジスタ 2 0 4 と、ノード p の電位を決定するためのダイオード 2 0 7 と、抵抗 2 0 6 と、ノード p の電位の変化を受け取って、ノード q の電位を変化させるためのトランジスタ 2 0 3 と、を有する。

【 0 0 4 5 】

抵抗 2 0 6 の一端は V_{IN} 端子に接続されており、他端はダイオード 2 0 7 と直列に接続されている。ダイオード 2 0 7 の一端は抵抗 2 0 6 に接続されており、他端は - V 端子に接続されている。図 3 において抵抗 2 0 6 とダイオード 2 0 7 の接続点をノード p とする

50

。トランジスタ 203 は、ゲート電極をノード p に接続され、ソース電極を +V 端子に接続され、ドレイン電極をトランジスタ 204 と接続されている。トランジスタ 204 は、ゲート電極が定電圧回路部 104 の基準電圧 (V_{BIAS}) 出力端子に接続され、ソース電極が -V 端子に接続され、ドレイン電極がトランジスタ 203 と接続されている。図 3 においてトランジスタ 204 とトランジスタ 203 の接続点をノード q とする。

【0046】

図 3 において、ダイオード 207 を 4 つ直列接続する例を示したが、ダイオードの数はこれに限らず、通常動作時 (保護動作をさせたくないとき) にノード p をトランジスタ 203 がオンしないような電位に保つことができれば良い。

【0047】

なお、ダイオード 207 およびダイオード 301、ダイオード 303 は、必ずしもダイオード素子を用いる必要はなく、MOS トランジスタのゲート電極とドレイン電極を導通させて用いても良い。

【0048】

保護・変調回路部 101 は、負荷 201 へ電流を流すかどうかを決定するためのトランジスタ 202 と、トランジスタ 202 に電流が流れ、チップ 120 の入力インピーダンスを変化させるための負荷 201 と、を有する。

【0049】

負荷 201 は、バイアス回路部 111 の出力 (ノード a の電位) に基づいてチップ 120 の入力インピーダンスの変化量を制御する。たとえば、容量素子、抵抗、インダクタ等で構成される。

【0050】

図 3 において、通信距離が適切であり、半導体装置が正常に動作している場合、定電圧回路部 104 の機能により、トランジスタ 204 のゲート電極に印加される電圧 (V_{BIAS}) は一定であり、トランジスタ 204 は定電流源として機能する。

【0051】

また、ノード p の電位がダイオード 207 のしきい値より低い場合は、トランジスタ 203 はオフであり、ノード q の電位は -V 端子の電位よりトランジスタ 204 のしきい値分だけ高い電位のまま一定である。

【0052】

半導体装置へ大電力が供給されてしまった場合、ノード p の電位がダイオード 207 のしきい値より高くなるとダイオード 207 に電流が流れるため、ノード p の電位は下がる。これにともない、トランジスタ 203 はオンし、ノード q の電位は上がる。

【0053】

バイアス回路部 111 は、差動増幅回路 211 と抵抗 215 と抵抗 216 と抵抗 217 にて電圧加算器を構成している。差動増幅回路 211 のノード b はオペアンプの - 端子となり、ノード c はオペアンプの + 端子となり、ノード a はオペアンプの出力端子となる。差動増幅回路 211 は差動回路 212 とトランジスタ 213 にて構成されている。抵抗 215 は差動増幅回路 211 のノード a と差動増幅回路 211 のノード c の間に接続されている。抵抗 216 は保護動作制御回路部 102 のノード q と差動増幅回路 211 のノード c の間に接続されている。抵抗 217 はロジック回路部 122 から変調信号が出力されるノード m と差動増幅回路 211 のノード c の間に接続されている。

【0054】

バイアス回路部 111 はオペアンプを使った電圧加算回路として動作する。バイアス回路部 111 の出力にあたるノード a の電圧は抵抗 215 と抵抗 216 と抵抗 217 のそれぞれの抵抗値とかかる電圧によって決まる。抵抗 215、抵抗 216、抵抗 217 の抵抗値をそれぞれ R_1 、 R_2 、 R_3 とおき、ノード a の電圧を V_a 、ノード q の電圧を V_q 、ノード m の電圧を V_m とおくと、ノード a の電圧 V_a は $V_a = -((R_1 / R_2) \times V_q + (R_1 / R_3) \times V_m)$ にて求められる。式の通り、 V_a の電圧は V_q と V_m に抵抗値の比を掛けて足し合わせたものとなる。 V_q がある電圧になったときの V_a の変化量を V

10

20

30

40

50

V_1 とし、 V_m がある電圧になったときの V_a の変化量を V_2 とし、保護・変調動作時のノード a の電圧の変化を説明する。

【0055】

タグとリーダ/ライタの距離がある程度離れており、保護動作制御回路部 102 が保護動作をしていない場合、バイアス回路部 111 のノード a の電圧 V_a は V_q と V_m 共に 0 の為、ほぼ -V 端子に近い電位を出力している（図 19 (A) 参照）。変調信号が入力されると V_m が変化する為 V_a は V_2 の振幅で変調信号に合わせ時間的に変化する（図 19 (B) 参照）。

【0056】

次に、タグとリーダ/ライタの距離が極端に近く、保護動作制御回路部 102 が保護動作をしている場合、保護信号が入力され V_a は V_1 分変化する、この状態で変調信号が入力されると V_a は V_1 の電圧を基準として V_1 から V_2 を足し合わせた電圧とで変調信号に合わせ時間的に切り替わる（図 19 (C) 参照）。

【0057】

バイアス回路部 111 において、定電流トランジスタ 213 には定電圧回路部 104 から出力された基準電位 (V_{BIAS}) が入力されているが、この電位はある程度安定していればこれに限定されない。

【0058】

負荷 201 へ流す電流量はトランジスタ 202 のゲート電極にかかる電圧と関係している。負荷 201 へ流す電流量を変化させるとチップ 120 の入力インピーダンスも変化する。つまり、トランジスタ 202 のゲート電極の電圧を制御することでチップ 120 の入力インピーダンスを制御することができる。

【0059】

チップ 120 の入力インピーダンスが変化するという事は、アンテナ 112 とチップ 120 とのインピーダンス整合をずらせるということを意味する。整合がずれるとアンテナ 112 は受け取った電力の一部を反射する、この反射した電力の一部はリーダ/ライタまで到達し、反射した電力が時間的に変化するリーダ/ライタ側は半導体装置が応答していると認識する。

【0060】

したがって変調信号がなく保護動作のみしている場合の V_a は時間的な変化をしない為、リーダ/ライタ側はタグからの応答と認識しない。また、変調動作時は変調信号の電圧は時間的な変化をするため、リーダ・ライタ側はタグが応答していると認識する。これは保護と変調動作が同時に行われているときも同様である。

【0061】

以上説明したように本発明を用いることで、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。また、保護と変調の両方の動作を一つの回路に行うことを可能とするため、半導体装置内部の素子が劣化させたり、半導体装置自体を破壊させたりことなく遠距離の通信範囲も確保できる。

【0062】

(実施の形態 3)

本発明の半導体装置は、上記実施の形態 2 に係る入力回路部の変形例として、図 3 の負荷 201 をなくした構成とすることもできる。

【0063】

負荷 201 をなくしても、チップ 120 のインピーダンスはトランジスタ 202 のゲート電極にかかる電圧で制御できる。チップ 120 のインピーダンスを変化させたい度合いによってトランジスタ 202 に流すべき電流量を見積もることができる。よって、トランジスタ 202 のサイズはチップ 120 のインピーダンスが充分変化するような電流量を流すことができるように設計すればよい。

【0064】

よって、負荷 201 がない場合でも、トランジスタ 202 に電流を流すことでチップ 12

10

20

30

40

50

0のインピーダンスを変化させ、アンテナ112とのインピーダンス整合を意図的にずらすことができる。

【0065】

また、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本発明を用いることで、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。また、保護と変調の両方の動作を一つの回路に行うことを可能とするため、半導体装置内部の素子が劣化させたり、半導体装置自体を破壊させたりことなく遠距離の通信範囲も確保できる。

【0066】

(実施の形態4)

本実施の形態では、上記実施の形態2に係る入力回路部の別の変形例として、整流回路部300の容量304とダイオード301の間に保護回路部を配置した構成について図4を用いて説明する。

【0067】

図4において、+Vと記した端子はアンテナ112の+端子に接続し、-Vと記した端子はアンテナ112の-端子に接続されている。保護・変調回路部101は整流回路部300の容量304とダイオード301の間に接続されている。復調回路部106は、+V端子から入力された電波に含まれるデータ信号を復調する。定電圧回路部104は、整流回路部300において整流されることにより得られた電圧VINと-V端子が接続され、定電圧化した電源電圧VDDと基準電圧VBIASを出力する。VDD端子はクロック生成回路部105やロジック回路部122へ接続され、各回路へ電源を供給している。VBIAS端子は保護動作制御回路部102へ接続され、ノードqの電位を決定するための基準電圧となる。クロック生成回路部105は、電源電圧VDDと-V端子が入力され、基準クロックを出力する。クロック生成回路部105の出力端子はロジック回路部122へ接続されており、ロジック回路部122内部の各回路へクロックを供給している。

【0068】

整流回路部300は、+V端子の電圧が-V端子の電圧より大きい場合に入力された交流電源を直流電源へ変換(整流)し、容量302を充電するためのダイオード301と、-V端子の電圧が+V端子の電圧より大きい場合に容量304に電荷を充電するためのダイオード303と、ダイオード301において整流された直流電源電圧を保持するための容量302と、+V端子より入力された電波を検波し、ダイオード303において整流された電荷を保持するための容量304と、を有する。また、半導体装置では、リセット(非動作)時にチップ120内部に蓄積された電荷を放電するための抵抗305を備えることが好ましい。

【0069】

本実施の形態についても、保護・変調動作をするにはトランジスタ202のゲート電極にかかる電圧を制御することによって、負荷201に流れる電流量を変化させチップ120の入力インピーダンスを変化させることができる。

【0070】

また、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本発明を用いることで、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。また、保護と変調の両方の動作を一つの回路に行うことを可能とするため、半導体装置内部の素子が劣化させたり、半導体装置自体を破壊させたりことなく遠距離の通信範囲も確保できる。

(実施の形態4)

【0071】

本発明の半導体装置は、上記実施の形態2に係る入力回路部の変形例として、図4の負荷201をなくした構成とすることもできる。

【0072】

負荷201をなくしたときでも、チップ120のインピーダンスはトランジスタ202の

10

20

30

40

50

ゲート電極にかかる電圧で制御できる。チップ 120 のインピーダンスを変化させたい度合いによってトランジスタ 202 に流すべき電流量を見積もることができる。よって、トランジスタ 202 のサイズはチップ 120 のインピーダンスが充分変化するような電流量を流すことができるように設計すればよい。

【0073】

よって、負荷 201 がない場合でも、トランジスタ 202 に電流を流すことでチップ 120 のインピーダンスを変化させ、アンテナ 112 とのインピーダンス整合を意図的にずらすことができる。

【0074】

また、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本発明を用いることで、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。また、保護と変調の両方の動作を一つの回路に行うことを可能とするため、半導体装置内部の素子が劣化させたり、半導体装置自体を破壊させたりことなく遠距離の通信範囲も確保できる。

【0075】

(実施の形態 5)

本実施の形態では、上記実施の形態 2 に係る入力回路部の変形例として、整流ダイオード 303 の代わりに保護・変調回路を設けた構成について図 5 を用いて説明する。

【0076】

本実施の形態に示す保護・変調回路部 101 は、上記実施の形態 5 におけるダイオード 303 の機能も兼ね備えている。以下に図 5 に示した整流回路部 500 と保護・変調回路部 101 について詳しく説明する。

【0077】

整流回路部 500 は、+V 端子の電圧が -V 端子の電圧より大きい場合に入力された交流電源を直流電源へ変換（整流）し、容量 502 を充電するためのダイオード 501 と、ダイオード 501 において整流された直流電源電圧を保持するための容量 502 と、容量 504 を有する。容量 504 とダイオード 501 の間には保護・変調回路部 101 が接続されている。また、半導体装置では、リセット（非動作）時にチップ 120 内部に蓄積された電荷を放電するための抵抗 505 を備えることが好ましい。

【0078】

次に、リーダ/ライタからタグまでの距離がある程度離れており、保護動作制御回路部 102 が保護動作をしていない場合について説明する。なお、保護・変調回路部 101 内のトランジスタ 208 において、-V 端子に接続されている電極を s とし、整流回路部 500 の容量 504 の一端と接続されている電極を d とする。バイアス回路部 111 に変調信号が入力されていない場合、トランジスタ 208 のゲート電極は -V 端子の電位に近い電圧が入力されている。このとき、トランジスタ 208 は -V 端子の電圧が +V 端子の電圧より高い場合 s から d の方へ電流を流すことによって、ダイオード 303 と同じ働きをし、容量 502 に電荷を充電する。バイアス回路部 111 に変調信号が入力された場合には、トランジスタ 208 のゲート電極には変調信号に応じた電圧が入力され、トランジスタ 208 は d から s の方へも電流を流し、変調信号に合わせチップの入力インピーダンスを変化させる。

【0079】

次に、リーダ/ライタからタグまでの距離が極端に近く、保護動作制御回路部 102 が保護動作をしている場合について説明する。バイアス回路部 111 に変調信号が入力されていない場合、トランジスタ 208 のゲート電極には保護動作の電圧が入力され、トランジスタ 208 は d から s の方へも電流を流すため、整流回路部 500 のダイオード 501 に流れる電流が少なくなる。バイアス回路部 111 に変調信号が入力された場合には、トランジスタ 208 のゲート電極には保護動作と変調動作に応じた電圧がバイアス回路部 111 から出力され、トランジスタ 208 が d から s へ流す電流量は変調信号に合わせ変化するため、チップの入力インピーダンスは変調信号に合わせ変化する。

10

20

30

40

50

【 0 0 8 0 】

ダイオード 5 0 1 は、必ずしもダイオード素子を用いる必要はなく、M O S トランジスタのゲート電極とドレイン電極を導通させて用いても良い。

【 0 0 8 1 】

したがって本実施の形態例では、上記実施の形態 2 の保護・変調動作を維持しながら、アンテナ端子 + V に並列接続されている素子数を減らすことができ、チップの電力変換効率の向上を図ることができる。

【 0 0 8 2 】

また、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本発明を用いることで、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。また、保護と変調の両方の動作を一つの回路に行うことを可能とするため、半導体装置内部の素子が劣化させたり、半導体装置自体を破壊させたりことなく遠距離の通信範囲も確保できる。

【 0 0 8 3 】

(実施の形態 6)

本実施の形態では、上記実施の形態 2 に係るバイアス回路部 1 1 1 の変形例として、差動増幅回路 2 1 1 のトランジスタ 2 1 3 を設けない構成について図 6 を用いて説明する。

【 0 0 8 4 】

本実施の形態に示す差動増幅回路 2 4 1 は差動回路 2 4 2 にて構成され、差動増幅回路 2 4 1 のノードのノード b はオペアンプの - 端子となり、ノード c はオペアンプの + 端子となり、ノード a はオペアンプの出力端子となる。

【 0 0 8 5 】

バイアス回路部 4 1 1 は、差動増幅回路 2 4 1 と抵抗 2 1 5 と抵抗 2 1 6 と抵抗 2 1 7 にて電圧加算器を構成している。差動増幅回路 2 4 1 のノード b はオペアンプの - 端子となり、ノード c はオペアンプの + 端子となり、ノード a はオペアンプの出力端子となる。抵抗 2 1 5 は差動増幅回路 2 4 1 のノード a と保護動作制御回路部 1 0 2 のノード q と差動増幅回路 2 4 1 のノード c の間に接続されている。抵抗 2 1 6 は保護動作制御回路部 1 0 2 のノード q と差動増幅回路 2 4 1 のノード c の間に接続されている。抵抗 2 1 7 はロジック回路の変調信号が出力される線と差動増幅回路 2 4 1 のノード c の間に接続されている。

【 0 0 8 6 】

次に、本実施の形態のバイアス回路部 4 1 1 の動作について説明する。バイアス回路部は上記実施の形態 2 のバイアス回路部 1 1 1 と同じ動作をする。バイアス回路部 4 1 1 の出力にあたるノード a は抵抗 2 1 5 と抵抗 2 1 6 と抵抗 2 1 7 のそれぞれの抵抗値とにかかる電圧によって決まる。抵抗 2 1 5、抵抗 2 1 6、抵抗 2 1 7 の抵抗値をそれぞれ R_1 、 R_2 、 R_3 とおき、ノード a の電圧を V_a 、ノード q の電圧を V_q 、ノード m の電圧を V_m とおくと、ノード a の電圧 V_a は $V_a = - ((R_1 / R_2) \times V_q + (R_1 / R_3) \times V_m)$ にて求められる。式の通り、 V_a の電圧は V_q と V_m に抵抗値の比を掛けて足し合わせたものとなる。 V_q がある電圧になったときの V_a の変化量を V_1 とし、 V_m がある電圧になったときの V_a の変化量を V_2 とし、保護・変調動作時のノード a の変化を説明する。

【 0 0 8 7 】

タグとリーダ/ライタの距離がある程度離れており、保護動作制御回路部 1 0 2 が保護動作をしていない場合、バイアス回路部 4 1 1 のノード a の電圧 V_a は V_q と V_m 共に 0 の為、ほぼ - V 端子に近い電位を出力している。変調信号が入力されると V_m が変化する為 V_a は V_2 の振幅で変調信号に合わせ時間的に変化する。

【 0 0 8 8 】

次に、タグとリーダ/ライタの距離が極端に近く、保護動作制御回路部 1 0 2 が保護動作をしている場合、 V_a は V_1 分変化する、この状態で変調信号が入力されると V_a は V_1 の電圧を基準として V_1 から V_2 を足し合わせた電圧とで変調信号に合わせ時間

10

20

30

40

50

的に切り替わる。

【0089】

本実施の形態では差動回路の変形例を説明したが、バイアス回路部が電圧加算器として動作するならば、差動回路の構成はこれに限定されない。

【0090】

また、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本発明を用いることで、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。また、保護と変調の両方の動作を一つの回路に行うことを可能とするため、半導体装置内部の素子が劣化させたり、半導体装置自体を破壊させたりことなく遠距離の通信範囲も確保できる。

10

【0091】

(実施の形態7)

本実施の形態で示す半導体装置の構成について図8を用いて説明する。

【0092】

図8は図2の半導体装置にバッテリー機能を搭載したものである。本明細書においてバッテリー機能とは、充電することで連続使用時間を回復させることができることをいう。

【0093】

本実施の形態で示す半導体装置700は、図2の半導体装置に充電バッテリー部124接続させたものである。充電バッテリー部124はバッテリー401と、充電用の電力を受け取るアンテナ113と、アンテナで受けた電力を充電する為の充電回路部123からなる。充電バッテリー部124はチップ120の定電圧回路部104に接続されている。

20

【0094】

本実施の形態の充電回路部123について図7を用いて説明する。

【0095】

また、本実施の形態の入力回路部121には、前記実施の形態1～実施の形態7で示したいずれかの構成を適用することができる。

【0096】

充電回路部123は、バッテリー401と、整流回路部600において整流された電源電圧をモニタし、バッテリー401の充電状況を管理するための充電機構制御回路部410と、アンテナ113から受信した電力を交流から直流へ変換するための整流回路部600と、アンテナ113から受信した電力が過剰であった場合、内部回路を保護するための充電用保護回路部101bと、充電用保護回路部101bを動作させるかどうかを制御するための充電用保護回路制御回路部102b(充電用比較回路ともいう)と、を有する。

30

【0097】

整流回路部600は+V端子の電圧が-V端子の電圧より大きい場合に入力された交流電源を直流電源へ変換(整流)し、容量602を充電するためのダイオード601と、-V端子の電圧が+V端子の電圧より大きい場合に容量604を電荷を充電するためのダイオード603と、ダイオード601において整流された直流電源電圧を保持するための容量602と、+V端子より入力された電波を検波し、ダイオード603において整流された電荷を保持するための容量604と、を有する。

40

【0098】

ダイオード601の出力端子は容量602に接続され、入力端子は容量604に接続されている。容量602の一端はダイオード601に接続され、他端は-V端子に接続されている。ダイオード603の出力端子は容量604に接続され、入力端子は-V端子に接続されている。容量604の一端は+V端子に接続され、他端はダイオード603に接続されている。

【0099】

また本実施の形態において、整流回路部600は半波2倍圧整流回路と呼ばれる回路構成を採用した場合について説明したが、これに限らず半波4倍圧整流回路や半波6倍圧整流回路などのN倍圧整流回路や全波整流回路などを用いてもよい。

50

【0100】

充電用保護回路制御回路部102bは、充電機構制御回路部410で生成された基準電圧（V2_BIAS）によって駆動されるトランジスタ204と、位相補償容量205と、ノードp'の電位を決定するためのダイオード207と、抵抗206と、ノードp'の電位の変化を受け取って、ノードq'の電位を変化させるためのトランジスタ203と、を有する。

【0101】

充電用保護回路部101bは、負荷251へ電流を流すかどうかを決定するためのトランジスタ252と、トランジスタ252がオンしたときに電流が流れ、充電バッテリー部124の入力インピーダンスを変化させるための負荷251と、を有する。

10

【0102】

負荷251は、充電用保護回路制御回路部102bの出力（ノードqの電位）に基づいて充電バッテリー部124の入力インピーダンスの変化量を制御する。たとえば、容量素子や抵抗やインダクタなどである。

【0103】

バッテリーは、たとえば、リチウム電池、より好ましくはゲル状電解物質を用いるリチウムポリマー電池やリチウムイオン電池のようなシート状に形成されたものが好ましい。シート状に形成された電池を用いることで、小型化（薄型化）が可能である。もちろん、充電可能な電池であればこれらに限定されるものではなく、ニッケル水素電池、ニカド電池などの充電放電可能な電池であっても良いし、また、大容量のコンデンサーなどを用いても良い。大容量のコンデンサーとしては、電極の対向面積が大きいものであることが望ましい。活性炭、フラーレン、カーボンナノチューブなど比表面積の大きい電極用材料を用いた電気二重層コンデンサーを用いることが好適である。コンデンサーは電池に較べ構成が単純であり薄膜化や積層化も容易である。電気二重層コンデンサーは蓄電機能を有し、充放電の回数が増えても劣化が小さく、急速充電特性にも優れているため好適である。

20

【0104】

充電用保護回路制御回路部102bは通信距離が極端に短く、半導体装置へ大電力が供給されてしまった場合、ノードpの電位がダイオード207のしきい値より高くなるとダイオード207に電流が流れるため、ノードp'の電位は下がる。これにともない、トランジスタ203はオンする。

30

【0105】

充電用保護回路部101bは上述した実施の形態の保護・変調回路部101と同じ素子にて構成されているが、本実施の形態では保護動作のみをする回路となっている。トランジスタ203がオンしてノードq'に電流が流れ込むと、ノードq'の電位はあがる。ノードq'の電位があがるとトランジスタ252がオンして、負荷251に電流が流れる。電流が流れることによって充電バッテリー部124の入力インピーダンスが変化し、素子の劣化や破壊を防ぐことができる。

【0106】

負荷251に電流が流れると、充電バッテリー部124の入力インピーダンスが変化する。

40

【0107】

充電バッテリー部124の入力インピーダンスが変化するということは、アンテナ112およびアンテナ113と充電バッテリー部124とのインピーダンス整合がずれるということの意味する。言い換えれば、反射係数が大きくなるということである。

【0108】

一般に、電力を供給する側の出力インピーダンスと電力を受け取る側の入力インピーダンスの整合がずれると電力の反射が起こり、電力の伝達効率が悪くなる。つまり、アンテナ112およびアンテナ113が受け取った電力をチップ120および充電バッテリー部124へ効率良く伝達するためには、アンテナ112およびアンテナ113と充電バッテリー部124とのインピーダンス整合を合わせる必要がある。

50

【 0 1 0 9 】

本実施の形態においてもこの性質を利用する。通信距離が極端に短く半導体装置に大電力が供給されてしまった場合には、負荷 2 5 1 に電流を流して充電バッテリー部 1 2 4 のインピーダンスを変化させ、アンテナ 1 1 3 とのインピーダンス整合を意図的にずらす。このため、アンテナ 1 1 3 が大電力を受け取ったとしても充電バッテリー部 1 2 4 へはあまり伝達されないで、半導体装置の内部素子が劣化し、半導体装置自体が破壊されたりすることなく動作させることができる。

【 0 1 1 0 】

また、本実施の形態を用いることで、通信距離が遠く、リーダ/ライタからの受信電波のみでは半導体装置の内部回路を動作させるのに必要な電力が得られない場合にも、バッテリーに充電された電源を利用してリーダ/ライタとの通信をすることができる。

10

【 0 1 1 1 】

また、バッテリーの充電容量が充分大きければ、半導体装置 7 0 0 の記憶装置として、たとえば、DRAM (Random Access Memory) や SDAM (Static Random Access Memory) などの揮発性メモリを搭載させることも可能になる。

【 0 1 1 2 】

また、本実施の形態例ではアンテナ 1 1 2 およびアンテナ 1 1 3 アンテナを 2 種類使用している場合を示した。2 種類のアンテナをそれぞれ異なる共振周波数を持つように設計することで、リーダ/ライタとの通信時以外にバッテリーを充電することができるようになる。

20

【 0 1 1 3 】

また、上記実施の形態 7 に係る入力回路部の変形例として、アンテナ 1 1 2 とアンテナ 1 1 3 を同一のものとすることも可能である。

【 0 1 1 4 】

同一のアンテナをリーダ/ライタとの通信とバッテリー充電両方の用途で利用できるので、半導体装置のサイズを小型化することができる。

【 0 1 1 5 】

また、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本発明を用いることで、半導体装置を構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。そのため、半導体装置とリーダ/ライタとの通信距離が極端に短い状況等において半導体装置が大電力を受信することによって生じる不具合を防ぐことができ、半導体装置の信頼性の向上を図ることができる。すなわち、半導体装置内部の素子を劣化させたり、半導体装置自体を破壊させたりことなく、半導体装置を正常に動作させることができる。

30

【 0 1 1 6 】

(実施の形態 8)

本実施の形態では、本発明の無線通信によりデータの交信を行う半導体装置を RF タグとして用いた場合及びそれを用いた通信システムの用途について説明する。本発明の RF タグは、例えば、紙幣、硬貨、有価証券、無記名債券類、証書類 (運転免許証や住民票等) 、包装用容器類 (包装紙やボトル等) 、DVD (Digital Versatile Disc) ソフトや CD (コンパクトディスク) に設けて使用することができる。また、ビデオテープ等の記録媒体、車やバイクや自転車等の乗物類、鞆や眼鏡等の身の回り品、食品類、衣類、生活用品類、電子機器等に設けて使用することができる。電子機器とは、液晶表示装置、EL (エレクトロルミネッセンス) 表示装置、テレビジョン装置 (単にテレビまたはテレビ受像器とも呼ぶ) および携帯電話機等を指す。

40

【 0 1 1 7 】

本発明の RF タグは、物品の表面に貼り付けたり、物品に埋め込んだりして物品に固定することができる。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証書類

50

等にＲＦタグを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等にＲＦタグを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。また乗物類にＲＦタグを設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物に無線タグを埋め込むことによって、生まれた年や性別または種類等を容易に識別することが可能となる。

【０１１８】

以上のように、本発明のＲＦタグは物品（生き物を含む）であればどのようなものにでも設けて使用することができる。

10

【０１１９】

次に、ＲＦタグを用いたシステムの一形態について、図１０（Ａ）を用いて説明する。表示部９５２１を含む端末９５２０には、アンテナ及び当該アンテナに接続されたリーダ／ライタが設けられている。物品Ａ９５３２には本発明のＲＦタグ９５３１が設けられ、物品Ｂ９５２２には本発明のＲＦタグ９５２３が設けられている。図１０（Ａ）では、物品Ａや物品Ｂの一例として内服薬を示した。物品Ａ９５３２が含むＲＦタグ９５３１に端末９５２０のアンテナをかざすと、表示部９５２１に物品Ａ９５３２の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴、商品の説明等の商品に関する情報が表示される。物品Ｂ９５２２が含むＲＦタグ９５２３に端末９５２０のアンテナをかざすと、表示部９５２１に物品Ｂ９５２２の原材料や原産地、生産工程ごとの検査結果や流通過程の履歴、商品の説明等の商品に関する情報が表示される。

20

図１０（Ａ）に示すシステムを利用したビジネスモデルの一例を図１０（Ｂ）のフローチャートを用いて説明する。

【０１２０】

端末９５２０において、アレルギーの情報を入力しておく（第１のステップ９００１）。アレルギーの情報とは、所定の人物がアレルギー反応を起こす医薬品またはその成分等の情報である。端末９５２０に設けられたアンテナによって、前述のとおり物品Ａ９５３２である内服薬Ａの情報を取得する（第２のステップ９００２）。内服薬Ａの情報には内服薬Ａの成分等の情報が含まれる。アレルギーの情報と取得した内服薬Ａの成分等の情報とを比較し、一致するか否かを判断する（第３のステップ９００３）。一致する場合、所定の人物は内服薬Ａに対してアレルギー反応を起こす危険性があるとし、端末９５２０の使用者に注意を呼びかける（第４のステップ９００４）。一致しない場合、所定の人物は内服薬Ａに対してアレルギー反応を起こす危険性が少ないとし、端末９５２０の使用者にその旨（安全である旨）を知らせる（第５のステップ９００５）。第４のステップや第５のステップにおいて、端末９５２０の使用者に情報を知らせる方法は、端末９５２０の表示部９５２１に表示を行う方法であっても良いし、端末９５２０のアラーム等を鳴らす方法であっても良い。

30

【０１２１】

また、別のビジネスモデルの例を図１０（Ｃ）に示す。端末９５２０に、同時に服用すると危険な内服薬または同時に服用すると危険な内服薬の成分の組み合わせの情報（以下、組み合わせの情報という）を入力しておく（第１のステップ９１０１）。端末９５２０に設けられたアンテナによって、前述のとおり物品Ａ９５３２である内服薬Ａの情報を取得する（第２のステップ９１０２）。内服薬Ａの情報には内服薬Ａの成分等の情報が含まれる。次いで、端末９５２０に設けられたアンテナによって、前述のとおり物品Ｂ９５２２である内服薬Ｂの情報を取得する（第３のステップ９１０３）。内服薬Ｂの情報には内服薬Ｂの成分等の情報が含まれる。こうして、複数の内服薬の情報を取得する。組み合わせの情報と取得した複数の内服薬の情報とを比較し、一致するか否か、即ち、同時に服用すると危険な内服薬の成分の組み合わせが有るか否かを判断する（第４のステップ９１０４）。一致する場合、端末９５２０の使用者に注意を呼びかける（第５のステップ９１０５）。一致しない場合、端末９５２０の使用者にその旨（安全である旨）を知らせる（第６

40

50

のステップ 9106)。第5のステップ 9105や第6のステップ 9106において、端末 9520の使用者に情報を知らせる方法は、端末 9520の表示部 9521に表示を行う方法であっても良いし、端末のアラーム等を鳴らす方法であっても良い。

【0122】

また、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本発明を用いることで、RFタグを構成するアンテナとチップとのインピーダンス整合を意図的にずらすことができる。そのため、RFタグとリーダ/ライタとの通信距離が極端に短い状況等においてRFタグが大電力を受信することによって生じる不具合を防ぐことができ、RFタグの信頼性の向上を図ることができる。すなわち、RFタグ内部の素子を劣化させたり、RFタグ自体を破壊させたりすることなく、RFタグを正常に動作させることができる。

10

【0123】

(実施の形態9)

本実施の形態では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。本実施の形態においては、半導体装置の入力回路部、ロジック回路部、充電バッテリー部に含まれる素子等を同一基板上に薄膜トランジスタを用いて設ける場合について説明する。また、充電バッテリー部に設けるバッテリーとして薄膜の二次電池を用いた例について説明する。もちろん、二次電池の代わりに電気二重層コンデンサー等を設けた構成とすることも可能である。なお、本実施の形態では、薄膜トランジスタ等の素子を一度支持基板に設けた後、可撓性を有する基板に転置する場合に関して説明する。

20

【0124】

まず、基板 1301の一表面に絶縁膜 1302を介して剥離層 1303を形成し、続けて下地膜として機能する絶縁膜 1304と半導体膜 1305(例えば、非晶質シリコンを含む膜)を積層して形成する(図14(A)参照)。なお、絶縁膜 1302、剥離層 1303、絶縁膜 1304および半導体膜 1305は、連続して形成することができる。

【0125】

基板 1301は、ガラス基板、石英基板、ステンレス等の金属基板、セラミック基板、Si基板等の半導体基板、SOI(Silicon on Insulator)基板等などから選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層 1303は、絶縁膜 1302を介して基板 1301の全面に設けているが、必要に応じて、基板 1301の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。

30

【0126】

絶縁膜 1302、絶縁膜 1304は、CVD法やスパッタリング法等を用いて、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)($x > y > 0$)、窒化酸化シリコン(SiN_xO_y)($x > y > 0$)等の絶縁材料を用いて形成する。例えば、絶縁膜 1302又は絶縁膜 1304を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜 1302は、基板 1301から剥離層 1303又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜 1304は基板 1301、剥離層 1303からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜 1302、1304を形成することによって、基板 1301からNaなどのアルカリ金属やアルカリ土類金属が、剥離層 1303から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板 1301として石英を用いるような場合には絶縁膜 1302、1304を省略

40

50

してもよい。

【0127】

剥離層1303は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)から選択された元素または元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気酸化またはN₂O雰囲気気下におけるプラズマ処理、酸素雰囲気酸化またはN₂O雰囲気気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。他にも、例えば、金属膜(例えば、タングステン)を形成した後に、当該金属膜上にスパッタ法で酸化シリコン等の絶縁膜を設けると共に、金属膜上に金属酸化物(例えば、タングステン上にタングステン酸化物)を形成してもよい。

10

【0128】

非晶質半導体膜1305は、スパッタリング法、LPCVD法、プラズマCVD法等により、25~200nm(好ましくは30~150nm)の厚さで形成する。

20

【0129】

次に、非晶質半導体膜1305にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質半導体膜1305の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶質半導体膜1305a~結晶質半導体膜1305fを形成し、当該結晶質半導体膜1305a~1305fを覆うようにゲート絶縁膜1306を形成する(図14(B)参照)。

【0130】

ゲート絶縁膜1306は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜1306を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

30

【0131】

結晶質半導体膜1305a~1305fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50~60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理(500℃、1時間)と、熱結晶化の処理(550℃、4時間)を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることによって結晶質半導体膜1305a~1305fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

40

【0132】

結晶化に用いるレーザー発振器としては、連続発振型のレーザービーム(CWレーザービーム)やパルス発振型のレーザービーム(パルスレーザービーム)を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃

50

、 YVO_4 、 $YAlO_3$ 、 $GdVO_4$ に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti：サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd： YVO_4 レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザーのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。なお、単結晶のYAG、 YVO_4 、フォルステライト（ Mg_2SiO_4 ）、 $YAlO_3$ 、 $GdVO_4$ 、若しくは多結晶（セラミック）のYAG、 Y_2O_3 、 YVO_4 、 $YAlO_3$ 、 $GdVO_4$ に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、またはTi：サファイアレーザーは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって溶解してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

10

20

【0133】

また、ゲート絶縁膜1306は、結晶質半導体膜1305a～1305fに対し前述の高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素（ NO_2 ）、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）や窒素ラジカル（NHラジカルを含む場合もある）によって、半導体膜の表面を酸化又は窒化することができる。

30

【0134】

このような高密度プラズマを用いた処理により、1～20nm、代表的には5～10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜（結晶性シリコン、或いは多結晶シリコン）を直接酸化（若しくは窒化）するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くされることがないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

40

【0135】

ゲート絶縁膜は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用したCVD法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0136】

また、半導体膜に対し、連続発振レーザー若しくは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた結晶質半導体膜1305a～1305fは、そのビームの走査方向に結晶が成長する特性がある。その走査方

50

向をチャネル長方向（チャネル形成領域が形成されたときにキャリアが流れる方向）に合わせてトランジスタを配置し、上記ゲート絶縁膜を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ（ＴＦＴ）を得ることができる。

【０１３７】

次に、ゲート絶縁膜１３０６上に、第１の導電膜と第２の導電膜とを積層して形成する。ここでは、第１の導電膜は、ＣＶＤ法やスパッタリング法等により、２０～１００ｎｍの厚さで形成する。第２の導電膜は、１００～４００ｎｍの厚さで形成する。第１の導電膜と第２の導電膜は、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、クロム（Ｃｒ）、ニオブ（Ｎｂ）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成する。第１の導電膜と第２の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第１の導電膜と第２の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、２層構造ではなく、３層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

10

【０１３８】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、結晶質半導体膜１３０５ａ～１３０５ｆの上方にゲート電極１３０７を形成する。ここでは、ゲート電極１３０７として、第１の導電膜１３０７ａと第２の導電膜１３０７ｂの積層構造で設けた例を示している。

20

【０１３９】

次に、ゲート電極１３０７をマスクとして結晶質半導体膜１３０５ａ～１３０５ｆに、イオンドープ法またはイオン注入法により、ｎ型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、ｐ型を付与する不純物元素を高濃度に添加する。ｎ型を示す不純物元素としては、リン（Ｐ）やヒ素（Ａｓ）等を用いることができる。ｐ型を示す不純物元素としては、ボロン（Ｂ）やアルミニウム（Ａｌ）やガリウム（Ｇａ）等を用いることができる。ここでは、ｎ型を付与する不純物元素としてリン（Ｐ）を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように結晶質半導体膜１３０５ａ～１３０５ｆに選択的に導入し、ｎ型を示す不純物領域１３０８を形成する。また、ｐ型を付与する不純物元素としてボロン（Ｂ）を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に結晶質半導体膜１３０５ｃ、１３０５ｅに導入し、ｐ型を示す不純物領域１３０９を形成する（図１４（Ｃ）参照）。

30

【０１４０】

続いて、ゲート絶縁膜１３０６とゲート電極１３０７を覆うように、絶縁膜を形成する。絶縁膜は、プラズマＣＶＤ法やスパッタリング法等により、シリコン、シリコンの酸化物又はシリコンの窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極１３０７の側面に接する絶縁膜１３１０（サイドウォールともよばれる）を形成する。絶縁膜１３１０は、ＬＤＤ（Ｌｉｇｈｔｌｙ Ｄoped ｄｒａｉｎ）領域を形成する際のドーピング用のマスクとして用いる。

40

【０１４１】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極１３０７および絶縁膜１３１０をマスクとして用いて、結晶質半導体膜１３０５ａ、１３０５ｂ、１３０５ｄ、１３０５ｆにｎ型を付与する不純物元素を高濃度に添加して、ｎ型を示す不純物領域１３１１を形成する。ここでは、ｎ型を付与する不純物元素としてリン（Ｐ）を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように結晶質半導体膜１３０５ａ、１３０５ｂ、１３０５ｄ、１３０５ｆに選択的に導入し、不純物領域１３

50

08より高濃度のn型を示す不純物領域1311を形成する。

【0142】

以上の工程により、nチャネル型薄膜トランジスタ1300a、1300b、1300d、1300fとpチャネル型薄膜トランジスタ1300c、1300eが形成される(図14(D)参照)。

【0143】

nチャネル型薄膜トランジスタ1300aは、ゲート電極1307と重なる結晶質半導体膜1305aの領域にチャネル形成領域が形成され、ゲート電極1307及び絶縁膜1310と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1311が形成され、絶縁膜1310と重なる領域であってチャネル形成領域と不純物領域1311の間に低濃度不純物領域(LDD領域)が形成されている。また、nチャネル型薄膜トランジスタ1300b、1300d、1300fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域1311が形成されている。

10

【0144】

pチャネル型薄膜トランジスタ1300cは、ゲート電極1307と重なる結晶質半導体膜1305cの領域にチャネル形成領域が形成され、ゲート電極1307と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1309が形成されている。また、pチャネル型薄膜トランジスタ1300eも同様にチャネル形成領域及び不純物領域1309が形成されている。なお、ここでは、pチャネル型薄膜トランジスタ1300c、1300eには、LDD領域を設けていないが、pチャネル型薄膜トランジスタにLDD領域を設けてもよいし、nチャネル型薄膜トランジスタにLDD領域を設けない構成としてもよい。

20

【0145】

次に、結晶質半導体膜1305a~1305f、ゲート電極1307等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ1300a~1300fのソース領域又はドレイン領域を形成する不純物領域1309、1311と電氣的に接続する導電膜1313を形成する(図15(A)参照)。絶縁膜は、CVD法、スパッタ法、SOG法、液滴吐出法、スクリーン印刷法等により、シリコンの酸化物やシリコンの窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を2層で設け、1層目の絶縁膜1312aとして窒化酸化シリコン膜で形成し、2層目の絶縁膜1312bとして酸化窒化シリコン膜で形成する。また、導電膜1313は、薄膜トランジスタ1300a~1300fのソース電極又はドレイン電極を形成する。

30

【0146】

なお、絶縁膜1312a、1312bを形成する前、または絶縁膜1312a、1312bのうちの1つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法またはRTA法などを適用するとよい。

【0147】

導電膜1313は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜1313は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チ

40

50

タンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1313 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0148】

次に、導電膜 1313 を覆うように、絶縁膜 1314 を形成し、当該絶縁膜 1314 上に、薄膜トランジスタ 1300a、1300f のソース電極又はドレイン電極を形成する導電膜 1313 とそれぞれ電氣的に接続する導電膜 1315a、1315b を形成する。また、薄膜トランジスタ 1300b のソース電極又はドレイン電極を形成する導電膜 1313 とそれぞれ電氣的に接続する導電膜 1316 を形成する。なお、導電膜 1315a、1315b と導電膜 1316 は同一の材料で同時に形成してもよい。導電膜 1315a、1315b と導電膜 1316 は、上述した導電膜 1313 で示したいずれかの材料を用いて形成することができる。

【0149】

続いて、導電膜 1316 にアンテナとして機能する導電膜 1317 が電氣的に接続されるように形成する（図 15（B）参照）。

【0150】

絶縁膜 1314 は、CVD 法やスパッタ法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜や DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0151】

導電膜 1317 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、ニッケル（Ni）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0152】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜 1317 を形成する場合には、粒径が数 nm から数十 μ m の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）、白金（Pt）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）およびチタン（Ti）等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコーン樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子（例えば粒径 1 nm 以上 100 nm 以下）を用いる場合、150 ~ 300 の温度範囲で焼成することにより硬化させて導

10

20

30

40

50

電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径 $20\mu\text{m}$ 以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。

【0153】

また、導電膜1315a、1315bは、後の工程において本発明の半導体装置に含まれる二次電池と電氣的に接続される配線として機能しうる。また、アンテナとして機能する導電膜1317を形成する際に、導電膜1315a、1315bに電氣的に接続するように別途導電膜を形成し、当該導電膜を二次電池に接続する配線として利用してもよい。

【0154】

次に、導電膜1317を覆うように絶縁膜1318を形成した後、薄膜トランジスタ1300a~1300f、導電膜1317等を含む層（以下、「素子形成層1319」と記す）を基板1301から剥離する。ここでは、レーザー光（例えばUV光）を照射することによって、薄膜トランジスタ1300a~1300fを避けた領域に開口部を形成後（図15（C）参照）、物理的な力を用いて基板1301から素子形成層1319を剥離することができる。なお、素子形成層1319を剥離する際に、水等の液体で濡らしながら行うことによって、静電気により素子形成層1319に設けられた薄膜トランジスタの破壊を防止することができる。また、素子形成層1319が剥離された基板1301を再利用することによって、コストの削減をすることができる。

【0155】

絶縁膜1318は、CVD法やスパッタ法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ペンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0156】

本実施の形態では、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面（絶縁膜1318の露出した面）に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する（図16（A）参照）。

【0157】

次に、素子形成層1319の他方の面（剥離により露出した面）に、第2のシート材1321を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第2のシート材1321を貼り合わせる（図16（B）参照）。第1のシート材1320、第2のシート材1321として、ホットメルトフィルム等を用いることができる。

【0158】

また、第1のシート材1320、第2のシート材1321として、静電気等を防止する帯電防止対策を施したフィルム（以下、帯電防止フィルムと記す）を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯電防止可能な材料としては、金属、インジウムと錫の酸化物（ITO）、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤を用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部か

10

20

30

40

50

らの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0159】

なお、半導体装置の充電バッテリー部に設けられるバッテリーは、薄膜の二次電池を導電膜1315a、1315bに接続して形成されるが、二次電池との接続は、基板1301から素子形成層1319を剥離する前(図15(B)又は図15(C)の段階)に行ってもよいし、基板1301から素子形成層1319を剥離した後(図16(A)の段階)に行ってもよいし、素子形成層1319を第1のシート材及び第2のシート材で封止した後(図16(B)の段階)に行ってもよい。以下に、素子形成層1319と二次電池を接続して形成する一例を図17、図18を用いて説明する。

【0160】

図16(B)において、アンテナとして機能する導電膜1317と同時に導電膜1315a、1315bにそれぞれ電氣的に接続する導電膜1331a、1331bを形成する。続けて、導電膜1317、導電膜1331a、1331bを覆うように絶縁膜1318を形成した後、導電膜1331a、1331bの表面が露出するように開口部1332a、1332bを形成する。その後、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面(絶縁膜1318の露出した面)に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する(図17(A)参照)。

【0161】

次に、素子形成層1319の他方の面(剥離により露出した面)に、第2のシート材1321を貼り合わせた後、素子形成層1319を第1のシート材1320から剥離する。従って、ここでは第1のシート材1320として粘着力が弱いものを用いる。続けて、開口部を介して導電膜1331a、1331bとそれぞれ電氣的に接続する導電膜1334a、1334bを選択的に形成する(図17(B)参照)。

【0162】

導電膜1334a、導電膜1334bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0163】

なお、ここでは、基板1301から素子形成層1319を剥離した後に導電膜1334a、1334bを形成する例を示しているが、導電膜1334a、1334bを形成した後に基板1301から素子形成層1319の剥離を行ってもよい。

【0164】

次に、基板上に複数の素子を形成している場合には、素子形成層1319を素子ごとに分断する(図18(A)参照)。分断は、レーザー照射装置、ダイシング装置、スクライブ装置等を用いることができる。ここでは、レーザー光を照射することによって1枚の基板に形成された複数の素子を各々分断する。

【0165】

次に、分断された素子を二次電池と電氣的に接続する(図18(B)参照)。本実施の形態においては、半導体装置の充電バッテリー部のバッテリーとして薄膜の二次電池が用いられ、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される。

【0166】

導電膜1336a、導電膜1336bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タ

10

20

30

40

50

ンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。導電性材料としては、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

【0167】

薄膜の二次電池の構成について次いで詳述すると、導電膜1336a上に負極活物質層1381を成膜する。一般には酸化バナジウム (V_2O_5) などが用いられる。次に負極活物質層1381上に固体電解質層1382を成膜する。一般にはリン酸リチウム (Li_3PO_4) などが用いられる。次に固体電解質層1382上に正極活物質層1383を成膜する。一般にはマンガン酸リチウム ($LiMn_2O_4$) などが用いられる。コバルト酸リチウム ($LiCoO_2$) やニッケル酸リチウム ($LiNiO_2$) を用いても良い。次に正極活物質層1383上に電極となる集電体薄膜1384を成膜する。集電体薄膜1384は正極活物質層1383と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

10

【0168】

上述の負極活物質層1381、固体電解質層1382、正極活物質層1383、集電体薄膜1384の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。それぞれの層の厚さは0.1 μm ~ 3 μm が望ましい。

【0169】

次に樹脂を塗布し、層間膜1385を形成する。そしてその層間膜をエッチングしコンタクトホールを形成する。層間膜は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜上に配線層1386を形成し、導電膜1336bと接続することにより、二次電池の電気接続を確保する。

20

【0170】

ここでは、素子形成層1319に設けられた導電膜1334a、1334bと予め薄膜の二次電池1389の接続端子となる導電膜1336a、1336bとをそれぞれ接続する。ここで、導電膜1334aと導電膜1336aとの接続、又は導電膜1334bと導電膜1336bとの接続は、異方導電性フィルム (ACF (Anisotropic Conductive Film)) や異方導電性ペースト (ACP (Anisotropic Conductive Paste)) 等の接着性を有する材料を介して圧着させることにより電氣的に接続する場合を示している。ここでは、接着性を有する樹脂1337に含まれる導電性粒子1338を用いて接続する例を示している。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

30

【0171】

なお、トランジスタの構成は、様々な形態をとることができる。本実施の形態で示した特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流値を大きくし、空乏層ができやすくなってS値をよくすることができる。チャネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

40

【0172】

また、チャネルの上にゲート電極が配置されている構造でもよいし、チャネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造

50

でもよい。また、チャネル領域が複数の領域に分かれていてもよいし、複数のチャネル領域が並列に接続されていてもよいし、直列に接続されていてもよい。また、チャネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることができる。

【0173】

なお、本実施の形態の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。

【0174】

（実施の形態10）

本実施の形態では、上記実施の形態9とは異なる半導体装置の作製方法に関して、図面を参照して説明する。本実施の形態においては、半導体装置の入力回路部、ロジック回路部、充電バッテリー部に含まれる素子等を同一の半導体基板上に設ける場合について説明する。また、充電バッテリー部に設けるバッテリーとして上記実施の形態10で説明した二次電池を用いた例について説明する。もちろん、二次電池の代わりに電気二重層コンデンサー等を設けた構成とすることも可能である。

【0175】

まず、半導体基板2300に絶縁膜2302（フィールド酸化膜ともいう）を形成し、それにより領域2304、2306、素子形成領域または素子分離領域2304、2306とも呼ぶ）分離する（図11（A）参照）。半導体基板2300に設けられた領域2304、2306は、それぞれ絶縁膜2302（フィールド酸化膜ともいう）によって分離されている。また、ここでは、半導体基板2300としてn型の導電性を有する単結晶Si基板を用い、半導体基板2300の領域2306にpウェル2307を設けた例を示している。

【0176】

また、半導体基板2300は、半導体であれば特に限定されず用いることができる。例えば、n型又はp型の導電性を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0177】

領域2304、2306は、選択酸化法（LOCOS（Local Oxidation of Silicon）法）又はトレンチ分離法等を適宜用いることができる。

【0178】

また、半導体基板2300の領域2306に形成されたpウェルは、半導体基板2300にp型の導電性を有する不純物元素を選択的に導入することによって形成することができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。

【0179】

なお、本実施の形態では、半導体基板2300としてn型の導電性を有する半導体基板を用いているため、領域2304には不純物元素の導入を行っていないが、n型を示す不純物元素を導入することにより領域2304にnウェルを形成してもよい。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。一方、p型の導電性を有する半導体基板を用いる場合には、領域2304にn型を示す不純物元素を導入してnウェルを形成し、領域2306には不純物元素の導入を行わない構成としてもよい。

【0180】

次に、領域2304、2306を覆うように絶縁膜2332、2334をそれぞれ形成する(図11(B)参照)。

【0181】

絶縁膜2332、2334は、例えば、熱処理を行い半導体基板2300に設けられた領域2304、2306の表面を酸化させることにより酸化シリコン膜で絶縁膜2332、2334を形成することができる。また、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有する膜(酸窒化シリコン膜)との積層構造で形成してもよい。

【0182】

他にも、上述したように、プラズマ処理を用いて絶縁膜2332、2334を形成してもよい。例えば、半導体基板2300に設けられた領域2304、2306の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜2332、2334として酸化シリコン膜又は窒化シリコン膜で形成することができる。また、高密度プラズマ処理により領域2304、2306の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域2304、2306の表面に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に酸窒化シリコン膜が形成され、絶縁膜2332、2334は酸化シリコン膜と酸窒化シリコン膜とが積層された膜となる。また、熱酸化法により領域2304、2306の表面に酸化シリコン膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0183】

また、半導体基板2300の領域2304、2306に形成された絶縁膜2332、2334は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0184】

次に、領域2304、2306の上方に形成された絶縁膜2332、2334を覆うように導電膜を形成する(図11(C)参照)。ここでは、導電膜として、導電膜2336と導電膜2338を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0185】

導電膜2336、2338としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0186】

ここでは、導電膜2336として窒化タンタルを用いて形成し、その上に導電膜2338としてタングステンを用いて積層構造で設ける。また、他にも、導電膜2336として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜2338として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用

【0187】

次に、積層して設けられた導電膜2336、2338を選択的にエッチングして除去することによって、領域2304、2306の上方の一部に導電膜2336、2338を残存させ、それぞれゲート電極2340、2342を形成する(図12(A)参照)。

【0188】

次に、領域2304を覆うようにレジストマスク2348を選択的に形成し、当該レジストマスク2348、ゲート電極2342をマスクとして領域2306に不純物元素を導入することによって不純物領域を形成する(図12(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素

としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を用いる。

【0189】

図12（B）においては、不純物元素を導入することによって、領域2306にソース領域又はドレイン領域を形成する不純物領域2352とチャネル形成領域2350が形成される。

【0190】

次に、領域2306を覆うようにレジストマスク2366を選択的に形成し、当該レジストマスク2366、ゲート電極2340をマスクとして領域2304に不純物元素を導入することによって不純物領域を形成する（図12（C）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、図12（B）で領域2306に導入した不純物元素と異なる導電型を有する不純物元素（例えば、ボロン（B））を導入する。その結果、領域2304にソース領域又はドレイン領域を形成する不純物領域2370とチャネル形成領域2368を形成される。

【0191】

次に、絶縁膜2332、2334、ゲート電極2340、2342を覆うように第2の絶縁膜2372を形成し、当該第2の絶縁膜2372上に領域2304、2306にそれぞれ形成された不純物領域2352、2370と電氣的に接続する配線2374を形成する（図13（A）参照）。

【0192】

第2の絶縁膜2372は、CVD法やスパッタ法等により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素または窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0193】

配線2374は、CVD法やスパッタリング法等により、アルミニウム（Al）、タンゲステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、シリコン（Si）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線2374は、例えば、バリア膜とアルミニウムシリコン（Al-Si）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Al-Si）膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線2374を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとして

10

20

30

40

50

も、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0194】

なお本発明のトランジスタを構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンFET構造等の構造のトランジスタの構造を取り得る。フィンFET構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0195】

本実施の形態において二次電池は、トランジスタに接続された配線2374上に積層して形成される。二次電池は、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される(図13(B))。そのため、二次電池の集電体薄膜と兼用される配線2374の材料は、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

10

【0196】

薄膜二次電池の構成について次いで詳述すると、配線2374上に負極活物質層2391を成膜する。一般には酸化バナジウム(V_2O_5)などが用いられる。次に負極活物質層2391上に固体電解質層2392を成膜する。一般にはリン酸リチウム(Li_3PO_4)などが用いられる。次に固体電解質層2392上に正極活物質層2393を成膜する。一般にはマンガン酸リチウム($LiMn_2O_4$)などが用いられる。コバルト酸リチウム($LiCoO_2$)やニッケル酸リチウム($LiNiO_2$)を用いても良い。次に正極活物質層2393上に電極となる集電体薄膜2394を成膜する。集電体薄膜2394は正極活物質層2393と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

20

【0197】

上述の負極活物質層2391、固体電解質層2392、正極活物質層2393、集電体薄膜2394の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。また、それぞれの層の厚さは0.1 μm ~3 μm が望ましい。

【0198】

次に樹脂を塗布し、層間膜2396を形成する。そして層間膜2396をエッチングしコンタクトホールを形成する。層間膜は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜2396上に配線層2395を形成し、配線2397と接続することにより、二次電池の電気接続を確保する。

30

【0199】

以上のような構成にすることにより、本発明の半導体装置においては、単結晶基板上にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。従って本発明の半導体装置においては、極薄化、小型化を達成した柔軟性を達成することができる。

【0200】

なお、本実施の形態の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。

40

【図面の簡単な説明】

【0201】

【図1】本発明の半導体装置の一構成例を示す図。

【図2】本発明の半導体装置の一構成例を示す図。

【図3】本発明の半導体装置の入力回路部の一構成例を示す図。

【図4】本発明の半導体装置の入力回路部の一構成例を示す図。

【図5】本発明の半導体装置の入力回路部の一構成例を示す図。

【図6】本発明の半導体装置の入力回路部の一構成例を示す図。

【図7】本発明の半導体装置の充電回路部の一構成例を示す図。

【図8】本発明の半導体装置の一構成例を示す図。

50

【図 9】本発明の半導体装置の入力回路部の一構成例を示す図。

【図 10】本発明の半導体装置の使用形態の一例を示す図。

【図 11】本発明の半導体装置の作製方法の一例を示す図。

【図 12】本発明の半導体装置の作製方法の一例を示す図。

【図 13】本発明の半導体装置の作製方法の一例を示す図。

【図 14】本発明の半導体装置の作製方法の一例を示す図。

【図 15】本発明の半導体装置の作製方法の一例を示す図。

【図 16】本発明の半導体装置の作製方法の一例を示す図。

【図 17】本発明の半導体装置の作製方法の一例を示す図。

【図 18】本発明の半導体装置の作製方法の一例を示す図。

10

【図 19】本発明の半導体装置の動作の一例を示す図。

【符号の説明】

【 0 2 0 2 】

1 0 保護・変調回路部

1 1 回路部

1 2 比較回路

1 3 スイッチ

1 4 負荷

1 5 整流回路部

1 6 比較回路

20

1 7 バイアス回路部

1 0 0 半導体装置

1 0 1 保護・変調回路部

1 0 2 保護動作制御回路部

1 0 3 整流回路部

1 0 4 定電圧回路部

1 0 5 クロック生成回路部

1 0 6 復調回路部

1 0 7 判定回路部

1 0 9 コントローラ回路部

30

1 1 0 符号化回路部

1 1 1 バイアス回路部

1 1 2 アンテナ

1 1 3 アンテナ

1 2 0 チップ

1 2 1 入力回路部

1 2 2 ロジック回路部

1 2 3 充電回路部

1 2 4 充電バッテリー部

2 0 1 負荷

40

2 0 2 トランジスタ

2 0 3 トランジスタ

2 0 4 トランジスタ

2 0 5 位相補償容量

2 0 6 抵抗

2 0 7 ダイオード

2 0 8 トランジスタ

2 1 1 差動増幅回路

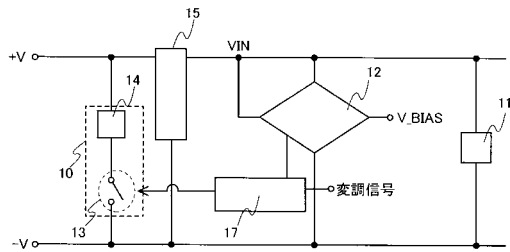
2 1 2 差動回路

2 1 3 トランジスタ

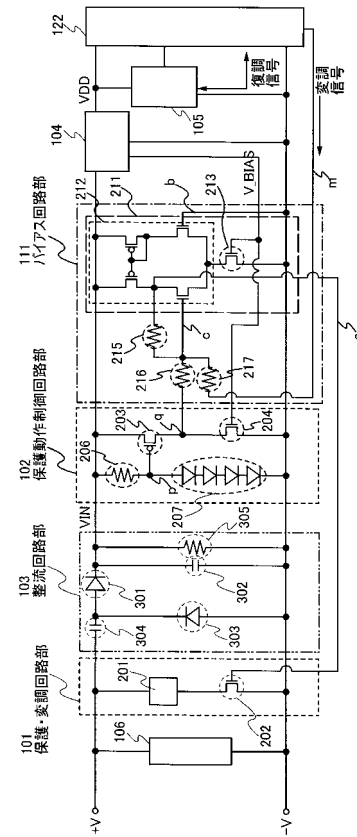
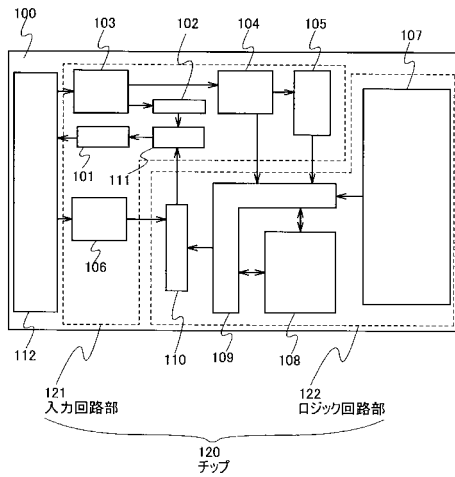
50

2 1 5	抵抗	
2 1 6	抵抗	
2 1 7	抵抗	
2 4 1	差動増幅回路	
2 4 2	差動回路	
2 5 1	負荷	
2 5 2	トランジスタ	
3 0 0	整流回路部	
3 0 1	ダイオード	
3 0 2	容量	10
3 0 3	ダイオード	
3 0 4	容量	
3 0 5	抵抗	
4 0 0	半導体装置	
4 0 1	バッテリー	
4 1 0	充電機構制御回路部	
4 1 1	バイアス回路部	
5 0 0	整流回路部	
5 0 1	ダイオード	
5 0 2	容量	20
5 0 4	容量	
5 0 5	抵抗	
6 0 0	整流回路部	
6 0 1	ダイオード	
6 0 2	容量	
6 0 3	ダイオード	
6 0 4	容量	
7 0 0	半導体装置	
1 0 1 b	充電用保護回路部	
1 0 2 b	充電用保護回路制御回路部	30

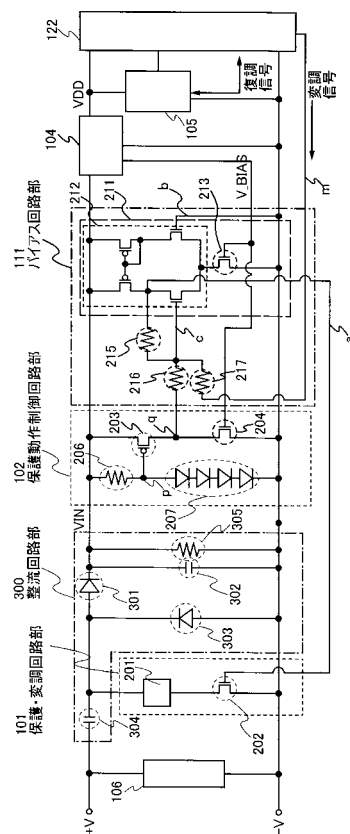
【 図 3 】



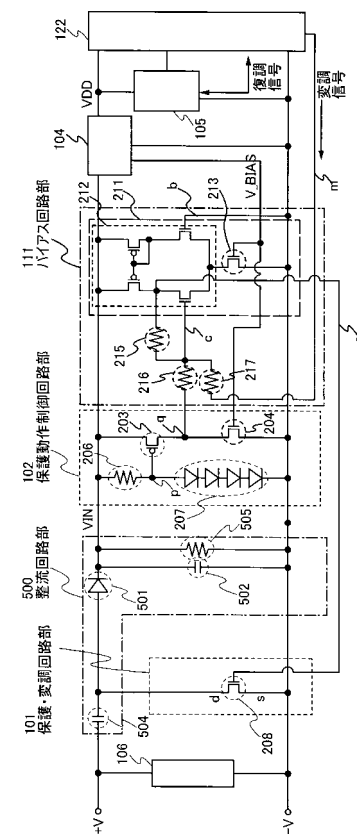
【 圖 2 】



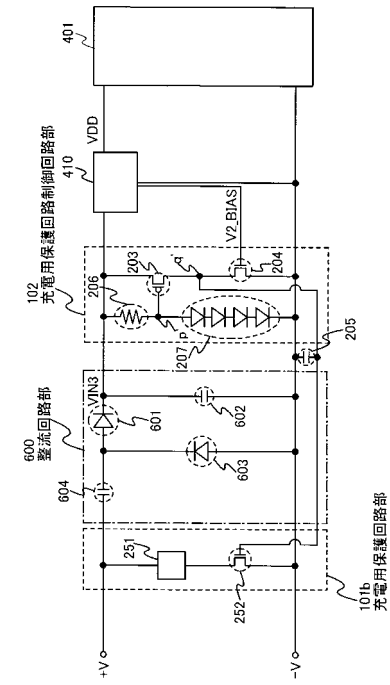
【圖 4】



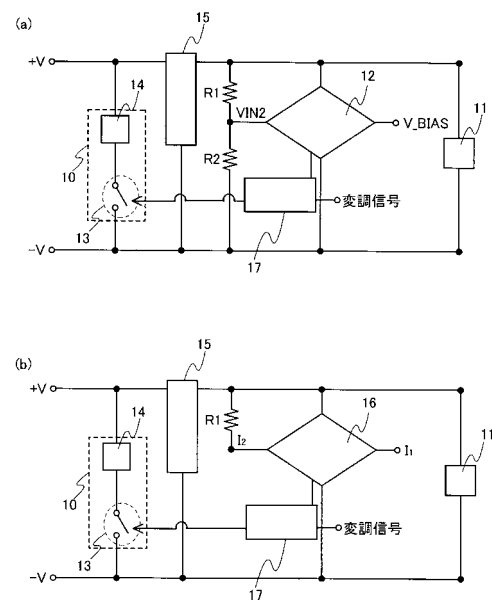
【 図 5 】



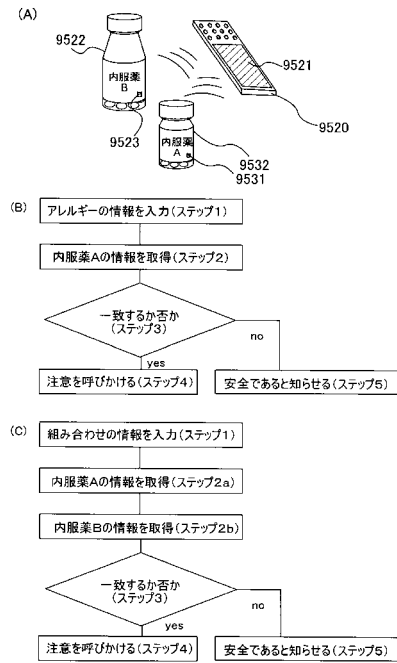
【 図 7 】



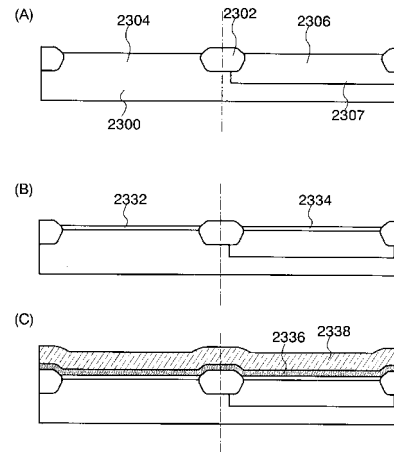
【 図 9 】



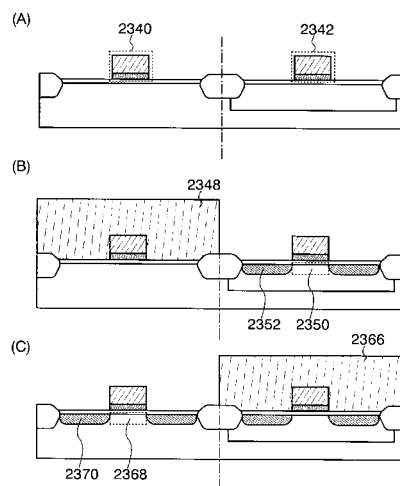
【図 10】



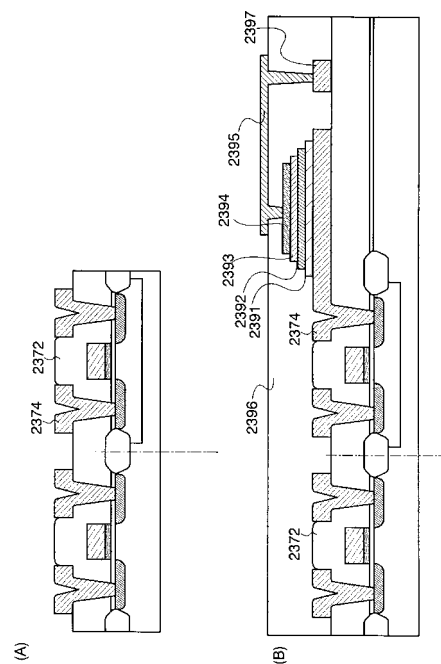
【図 11】



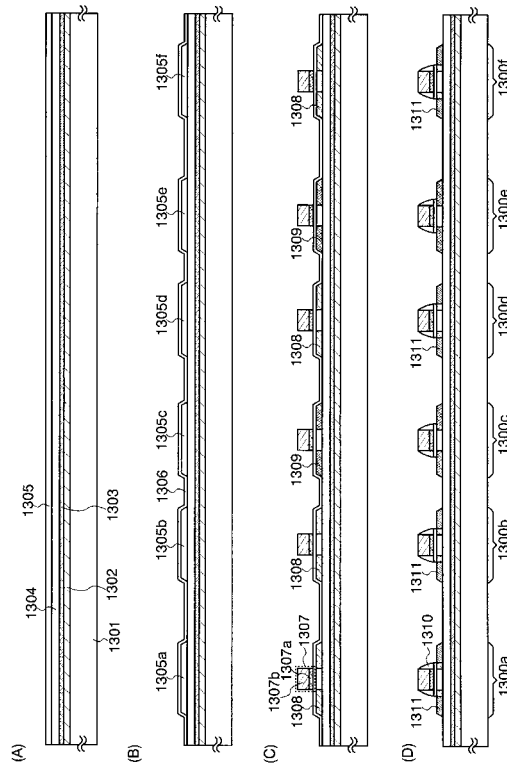
【図 12】



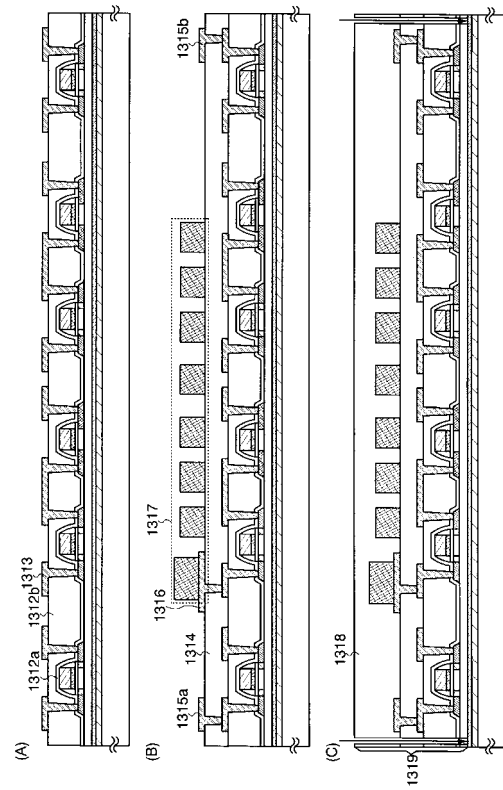
【図 13】



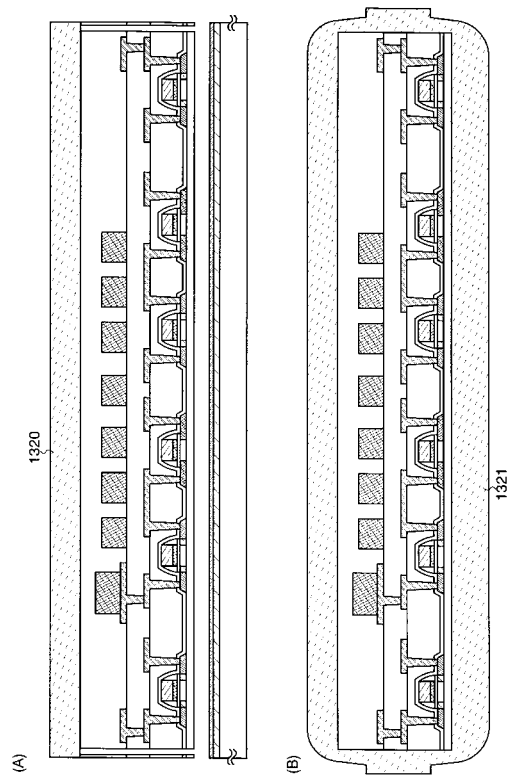
【 図 1 4 】



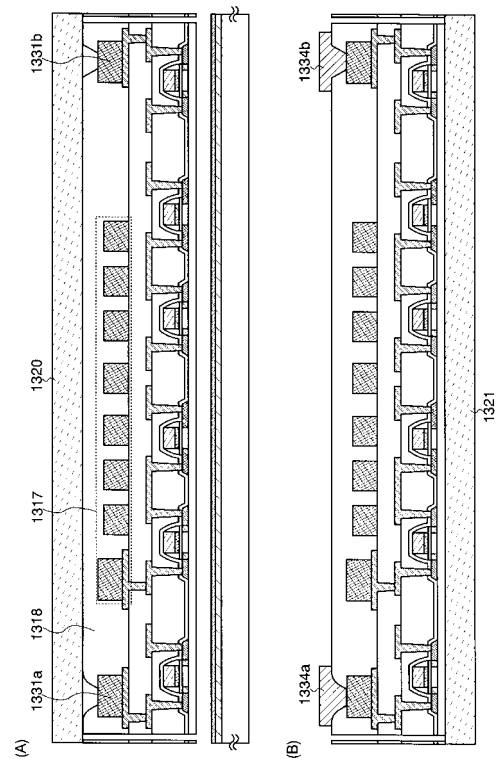
【 図 1 5 】



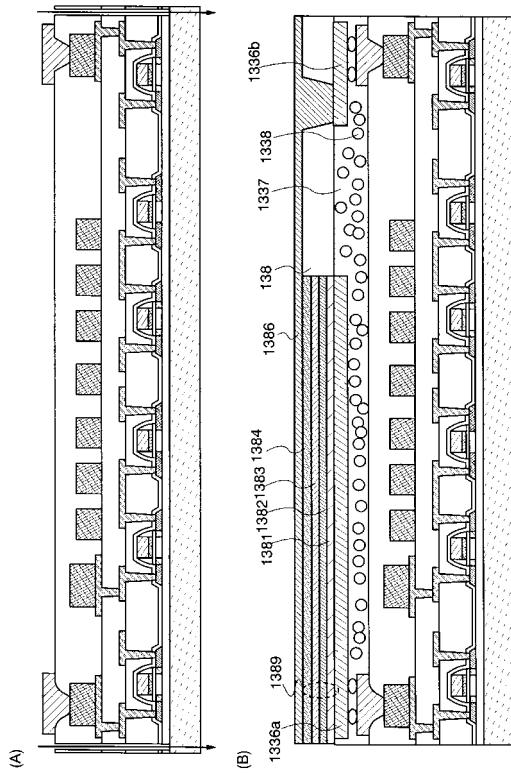
【 図 1 6 】



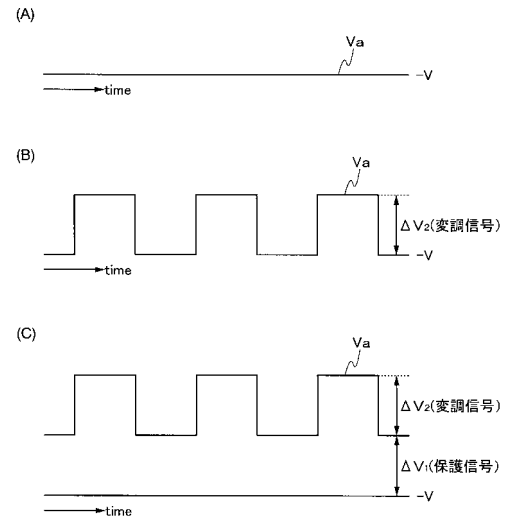
【 図 1 7 】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開平 1 0 - 1 4 5 9 8 7 (J P , A)
特開 2 0 0 2 - 2 0 9 3 4 3 (J P , A)
特開 2 0 0 5 - 2 0 4 4 9 3 (J P , A)
特開 2 0 0 5 - 2 0 2 7 2 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 K 1 9 / 0 0 - 1 9 / 1 8
G 0 6 K 1 7 / 0 0
H 0 4 B 5 / 0 0 - 5 / 0 6