

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3671062号

(P3671062)

(45) 発行日 平成17年7月13日(2005.7.13)

(24) 登録日 平成17年4月22日(2005.4.22)

(51) Int. Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 7 1 A

H O 1 L 21/76

H O 1 L 21/76 L

H O 1 L 27/108

H O 1 L 27/10 6 8 1 B

H O 1 L 29/78

H O 1 L 27/10 6 2 1 C

H O 1 L 29/78 3 0 1 X

請求項の数 12 (全 23 頁)

(21) 出願番号 特願平6-112985
 (22) 出願日 平成6年5月26日(1994.5.26)
 (65) 公開番号 特開平7-273221
 (43) 公開日 平成7年10月20日(1995.10.20)
 審査請求日 平成13年4月11日(2001.4.11)
 (31) 優先権主張番号 94P6232
 (32) 優先日 平成6年3月28日(1994.3.28)
 (33) 優先権主張国 韓国(KR)

前置審査

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeon-
 g-tong-gu, Suwon-si
 Gyeonggi-do, Republic
 of Korea

(74) 代理人 100072349
 弁理士 八田 幹雄
 (74) 代理人 100110995
 弁理士 奈良 泰男
 (74) 代理人 100111464
 弁理士 齋藤 悦子

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板に活性領域を限定するために形成された第1トレンチ分離領域と、
 前記第1トレンチ分離領域の間に形成され、前記半導体基板の表面部分から下へ順にトランジスタのソース、チャンネル及びドレイン領域を形成してなるシリコンピラーと、
 前記シリコンピラーの上面から前記シリコンピラーのドレイン領域まで形成された第2トレンチと、
 前記第2トレンチの底部に形成されたビットラインと、前記第2トレンチの内部を埋め立てる絶縁膜と、
 前記シリコンピラーを取り囲んでその上に順に形成されたゲート絶縁膜及びゲートラインと、

隣接する前記ゲートラインの間に形成された平坦化層と、前記ゲートライン上に形成され、前記トランジスタのソース領域を露出させるコンタクトホールを有する絶縁層と、
 前記絶縁層上に形成され、前記コンタクトホールを通じて前記トランジスタのソース領域に接続されるキャパシタのストレージノードとを具備することを特徴とする半導体装置。

【請求項2】

第1導電型の半導体基板に活性領域を限定するためのトレンチ分離領域を形成する段階と、

10

20

前記トレンチ分離領域の形成された前記半導体基板上にビットラインを形成する段階と、

前記トレンチ分離領域上に第1絶縁膜とこの第1絶縁膜に積層された第2絶縁膜とからなる絶縁膜柱を形成する段階と、

前記絶縁膜柱から露出された前記半導体基板上に、下から順にトランジスタのドレイン、チャンネル及びソース領域を形成してなるシリコンピラーを形成する段階と、

前記第2絶縁膜を取り除く段階と、前記シリコンピラーを取り囲むようにゲート絶縁膜及びゲートラインを順に形成する段階と、

前記ゲートラインの形成された結果物上に絶縁物質を沈積し、これをエッチバックして平坦化層を形成する段階と、前記平坦化層の形成された結果物上に絶縁層を形成する段階と、

10

前記絶縁層を部分的に蝕刻して前記シリコンピラーのソース領域を露出させるコンタクトホールを形成する段階と、

前記コンタクトホールの形成された結果物上に、前記コンタクトホールを通じて前記ソース領域に接続されるキャパシタのストレージノードを形成する段階とを具備することを特徴とする半導体装置の製造方法。

【請求項3】

前記ビットラインは不純物のドーパされたポリシリコン層からなることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】

20

前記シリコンピラーを形成する段階は、

前記絶縁膜柱から露出された前記半導体基板上に、トランジスタのドレイン領域として利用される第2導電型の第1エピタキシャル半導体層を形成する段階と、

前記第1エピタキシャル半導体層上に、トランジスタのチャンネル領域として利用される第1導電型の第2エピタキシャル半導体層を形成する段階と、

前記第2エピタキシャル半導体層上に、トランジスタのソース領域として用いられる第2導電型の第3エピタキシャル半導体層を形成する段階とからなることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】

前記シリコンピラーを形成する段階は、

30

前記絶縁膜柱から露出された前記半導体基板上に第1導電型のエピタキシャル半導体層を形成する段階と、

前記エピタキシャル半導体層の形成された結果物上に第2導電型の第1不純物イオンを第1エネルギーで注入することにより、前記エピタキシャル半導体層の下部にトランジスタのドレイン領域を形成する段階と、

前記ドレイン領域の形成された結果物上に第2導電型の第2不純物イオンを前記第1エネルギーよりも低い第2エネルギーで注入することにより、前記エピタキシャル半導体層の上部にトランジスタのソース領域を形成する段階とからなることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項6】

40

前記キャパシタのストレージノードを形成する段階は、前記コンタクトホールの形成された結果物上に第1導電層を形成する段階と、

前記第1導電層上に物質パターンを形成する段階と、

前記物質パターンの形成された結果物上に第2導電層を形成する段階と、

前記第2導電層及び前記第1導電層をエッチバックする段階と、

前記物質パターンを取り除く段階とからなることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項7】

第1導電型の半導体基板上に導電層及び物質層を順に形成する段階と、

前記物質層、前記導電層及び前記半導体基板を蝕刻してビットラインを形成すると同時

50

にトレンチを形成する段階と、

前記トレンチの内部を絶縁物質で埋め立ててトレンチ分離領域を形成する段階と、

前記物質層を取り除く段階と、

前記トレンチ分離領域を除く前記半導体基板に、下から順にトランジスタのドレイン、チャンネル及びソース領域を形成してなるシリコンピラーを形成する段階と、

前記トレンチ分離領域内部の絶縁物質層を前記シリコンピラーのドレイン領域まで蝕刻する段階と、

前記シリコンピラーを取り囲むようにゲート絶縁膜及びゲートラインを順に形成する段階と、

前記ゲートラインの形成された結果物上に絶縁物質を沈積し、これをエッチバックして平坦化層を形成する段階と、 10

前記平坦化層の形成された結果物上に絶縁層を形成する段階と、

前記絶縁層を部分的に蝕刻して前記シリコンピラーのソース領域を露出させるコンタクトホールを形成する段階と、

前記コンタクトホールの形成された結果物上に、前記コンタクトホールを通じて前記ソース領域に接続されるキャパシタのストレージノードを形成する段階とを具備することを特徴とする半導体装置の製造方法。

【請求項 8】

前記ビットラインはエピタキシャル工程により形成されることを特徴とする請求項 7 記載の半導体装置の製造方法。 20

【請求項 9】

前記ゲート絶縁膜及びゲートラインを形成する段階は、前記シリコンピラーの表面上にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜の形成された結果物上に導電層を形成する段階と、

前記導電層、前記ゲート絶縁膜及び前記シリコンピラーを前記ドレイン領域まで蝕刻して前記シリコンピラーを取り囲むゲートラインを形成する段階とからなることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 10】

第 1 導電型の半導体基板内に第 2 導電型の埋没不純物層を形成する段階と、

前記埋没不純物層の形成された前記半導体基板の表面に第 2 導電型の表面不純物層を形成する段階と、 30

前記表面不純物層の形成された前記半導体基板に活性領域を限定するための第 1 トレンチ分離領域を形成する段階と、

前記活性領域の部分の前記半導体基板を前記埋没不純物層まで蝕刻して第 2 トレンチを形成する段階と、

前記第 2 トレンチの底部にビットラインを形成する段階と、

前記ビットラインの形成された前記第 2 トレンチの内部を絶縁物質で埋め立てる段階と、

前記第 1 トレンチ分離領域を前記埋没不純物層まで蝕刻して、前記第 2 導電型の埋没不純物層、前記第 1 導電型の半導体基板及び前記第 2 導電型の表面不純物層からなるシリコンピラーを形成する段階と、 40

前記シリコンピラーを取り囲むようにゲート絶縁膜及びゲートラインを順に形成する段階と、

前記ゲートラインの形成された結果物上に絶縁物質を沈積し、これをエッチバックして平坦化層を形成する段階と、

前記平坦化層の形成された結果物上に絶縁層を形成する段階と、

前記絶縁層を部分的に蝕刻して前記シリコンピラーの表面不純物層を露出させるコンタクトホールを形成する段階と、

前記コンタクトホールの形成された結果物上に、前記コンタクトホールを通じて前記表面不純物層に接続されるキャパシタのストレージノードを形成する段階とを具備するこ 50

とを特徴とする半導体装置の製造方法。

【請求項 1 1】

前記第 2 導電型の埋没不純物層及び表面不純物層はエピタキシャル工程により形成されることを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【請求項 1 2】

前記第 2 導電型の埋没不純物層は前記半導体基板に第 2 導電型の第 1 不純物イオンを第 1 エネルギーで注入して形成し、また、前記第 2 導電型の表面不純物層は前記半導体基板に第 2 導電型の第 2 不純物イオンを前記第 1 エネルギーよりも低い第 2 エネルギーで注入して形成することを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【発明の詳細な説明】

10

【0 0 0 1】

【産業上の利用分野】

本発明は半導体装置及びその製造方法に係り、特に埋没ビットラインとシリンダー形のゲートセルとを有する半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体メモリセル、特に D R A M セルの集積度を上げるためには、できるだけ小さい面積にできるだけ多い数の素子を集積させることが重要である。

【0 0 0 3】

次世代素子のギガビット級 D R A M セルは一つのトランジスタと一つのキャパシターとからなるメモリセルの面積が $0.3 \mu\text{m}^2$ 以下の水準であり、これはメガビット級 D R A M セルにおいて相互接続用のコンタクトホール一つの面積に過ぎない。このように小さい面積に単位セル構成のためトランジスタ、キャパシター及び相互接続用のコンタクトホールをそれぞれ一つずつ共に形成することはほとんど不可能である。

20

【0 0 0 4】

今まで用いられてきた大部分のメモリセルはトランジスタ、キャパシター及びコンタクトホールが平面レイアウト上、互いに横に並べられており、それぞれそれら面積の和がメモリセルの面積を決定する要素として作用した。従って、ギガビット級のメモリセルを構成しようとするれば、約 $0.3 \mu\text{m}^2$ 以下の面積中にトランジスタ、キャパシター、及びソースとドレイン領域を接続するためのコンタクトホールをすべて形成しなければならないので、面積の限界を克服するためには 3 次元的なセル構造が必要となり、ラテラルレイアウトから垂直レイアウト構造にセル構造を変更すべきである。

30

【0 0 0 5】

また、分離領域間の間隔を縮小して活性領域の面積を最大化し、追加的な活性領域の損失を招かない垂直構造のコンタクトホールを形成することによって有効活性領域の面積を最大に活用することが必須である。

【0 0 0 6】

ケイ・スノウチ (K. Sunouchi) 等は、単位メモリセルを構成するすべての素子が、マトリックス状のトレンチによって分離されたシリコンピラー内に形成される S G T セルを提案している (参照文献、IDEM 89, "A Surrounding Gate Transistor(SGT) Cell for 6 4/256Mbit DRAMs")。

40

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、前記 S G T セルの製造方法には次のような問題点がある。

第 1 に、シリコンピラーとキャパシターを形成する工程が複雑である。

第 2 に、トレンチキャパシターを形成するため、ストレージノードとして用いられる n - ドーピング領域が高濃度に形成された場合、基板内でトレンチ間にタッキング (tacking) 現象が生じる場合があるので、メモリセル間の分離特性が脆弱である。

第 3 に、ゲート電極を形成するための蝕刻工程時にキャパシターのプレートノードを絶縁する絶縁層が蝕刻されるので、ゲート電極形成時にキャパシタープレートノードとゲート

50

電極間にショートが発生する可能性が大きい。

【0008】

本発明の目的は、上記した従来方法の問題点を解決できる高集積半導体装置を提供することである。

【0009】

本発明の他の目的は、上記半導体装置を製造するのに特に適した高集積半導体装置の製造方法を提供することである。

【0010】

【課題を達成するための手段】

【0014】

本発明の半導体装置は、半導体基板と、前記半導体基板に活性領域を限定するために形成された第1トレンチ分離領域と、前記第1トレンチ分離領域の間に形成され、前記半導体基板の表面部分から下へ順にトランジスタのソース、チャンネル及びドレイン領域を形成してなるシリコンピラーと、前記シリコンピラーの上面から前記シリコンピラーのドレイン領域まで形成された第2トレンチと、前記第2トレンチの底部に形成されたビットラインと、前記第2トレンチの内部を埋め立てる絶縁膜と、前記シリコンピラーを取り囲んでその上に順に形成されたゲート絶縁膜及びゲートラインと、隣接する前記ゲートラインの間に形成された平坦化層と、前記ゲートライン上に形成され、前記トランジスタのソース領域を露出させるコンタクトホールを有する絶縁層と、前記絶縁層上に形成され、前記コンタクトホールを通じて前記トランジスタのソース領域に接続されるキャパシタのストレージノードとを具備して構成されている。

10

【0015】

そして、上記半導体装置の製造方法としては、第1導電型の半導体基板に活性領域を限定するためのトレンチ分離領域を形成する段階と、前記トレンチ分離領域の形成された前記半導体基板上にビットラインを形成する段階と、前記トレンチ分離領域上に第1絶縁膜とこの第1絶縁膜に積層された第2絶縁膜とからなる絶縁膜柱を形成する段階と、前記絶縁膜柱から露出された前記半導体基板上に、下から順にトランジスタのドレイン、チャンネル及びソース領域を形成してなるシリコンピラーを形成する段階と、前記第2絶縁膜を取り除く段階と、前記シリコンピラーを取り囲むようにゲート絶縁膜及びゲートラインを順に形成する段階と、前記ゲートラインの形成された結果物上に絶縁物質を沈積し、これをエッチバックして平坦化層を形成する段階と、前記平坦化層の形成された結果物上に絶縁層を形成する段階と、前記絶縁層を部分的に蝕刻して前記シリコンピラーのソース領域を露出させるコンタクトホールを形成する段階と、前記コンタクトホールの形成された結果物上に、前記コンタクトホールを通じて前記ソース領域に接続されるキャパシタのストレージノードを形成する段階とを具備して構成されている。

20

30

【0016】

ビットラインを通常の蒸着方法で容易に形成するために、前記ビットラインは不純物のドーパされたポリシリコン層からなっている。

【0017】

また、選択的エピタキシャル工程により活性領域上のみシリコンピラーを形成し、また、相異なる導電型のエピタキシャル半導体層を連続的に順次成長させてトランジスタのドレイン、チャンネル及びソース領域を形成するために、前記シリコンピラーを形成する段階は、前記絶縁膜柱から露出された前記半導体基板上に、トランジスタのドレイン領域として利用される第2導電型の第1エピタキシャル半導体層を形成する段階と、前記第1エピタキシャル半導体層上に、トランジスタのチャンネル領域として利用される第1導電型の第2エピタキシャル半導体層を形成する段階と、前記第2エピタキシャル半導体層上に、トランジスタのソース領域として用いられる第2導電型の第3エピタキシャル半導体層を形成する段階とからなっている。

40

【0018】

あるいは、1回のエピタキシャル工程と2回のイオン注入工程によりトランジスタのドレ

50

イン、チャンネル及びソース領域を形成するために、前記シリコンピラーを形成する段階は、前記絶縁膜柱から露出された前記半導体基板上に第1導電型のエピタキシャル半導体層を形成する段階と、前記エピタキシャル半導体層の形成された結果物上に第2導電型の第1不純物イオンを第1エネルギーで注入することにより、前記エピタキシャル半導体層の下部にトランジスタのドレイン領域を形成する段階と、前記ドレイン領域の形成された結果物上に第2導電型の第2不純物イオンを前記第1エネルギーよりも低い第2エネルギーで注入することにより、前記エピタキシャル半導体層の上部にトランジスタのソース領域を形成する段階とからなっている。

【0019】

さらに、二重円筒形のストレージノードを形成するために、前記キャパシターのストレージノードを形成する段階は、前記コンタクトホール形成された結果物上に第1導電層を形成する段階と、前記第1導電層上に物質パターンを形成する段階と、前記物質パターンの形成された結果物上に第2導電層を形成する段階と、前記第2導電層及び前記第1導電層をエッチバックする段階と、前記物質パターンを取り除く段階とからなっている。

【0020】

上記半導体装置の他の製造方法としては、第1導電型の半導体基板上に導電層及び物質層を順に形成する段階と、前記物質層、前記導電層及び前記半導体基板を蝕刻してビットラインを形成すると同時にトレンチを形成する段階と、前記トレンチの内部を絶縁物質で埋め立ててトレンチ分離領域を形成する段階と、前記物質層を取り除く段階と、前記トレンチ分離領域を除く前記半導体基板上に、下から順にトランジスタのドレイン、チャンネル及びソース領域を形成してなるシリコンピラーを形成する段階と、前記トレンチ分離領域内部の絶縁物質層を前記シリコンピラーのドレイン領域まで蝕刻する段階と、前記シリコンピラーを取り囲むようにゲート絶縁膜及びゲートラインを順に形成する段階と、前記ゲートラインの形成された結果物上に絶縁物質を沈積し、これをエッチバックして平坦化層を形成する段階と、前記平坦化層の形成された結果物上に絶縁層を形成する段階と、前記絶縁層を部分的に蝕刻して前記シリコンピラーのソース領域を露出させるコンタクトホールを形成する段階と、前記コンタクトホール形成された結果物上に、前記コンタクトホールを通じて前記ソース領域に接続されるキャパシターのストレージノードを形成する段階とを具備して構成されている。

【0021】

エピタキシャル半導体層により形成されたビットラインを活性領域として用いるために、前記ビットラインはエピタキシャル工程によって形成される。

【0022】

また、ビットライン方向に各トランジスタを絶縁させるためにシリコンピラーのドレイン領域まで蝕刻してゲートラインを形成すべく、前記ゲート絶縁膜及びゲートラインを形成する段階は、前記シリコンピラーの表面上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜の形成された結果物上に導電層を形成する段階と、前記導電層、前記ゲート絶縁膜及び前記シリコンピラーを前記ドレイン領域まで蝕刻して前記シリコンピラーを取り囲むゲートラインを形成する段階とからなっている。

【0023】

上記半導体装置のさらに他の製造方法としては、第1導電型の半導体基板内に第2導電型の埋没不純物層を形成する段階と、前記埋没不純物層の形成された前記半導体基板の表面に第2導電型の表面不純物層を形成する段階と、前記表面不純物層の形成された前記半導体基板に活性領域を限定するための第1トレンチ分離領域を形成する段階と、前記活性領域の部分の前記半導体基板を前記埋没不純物層まで蝕刻して第2トレンチを形成する段階と、前記第2トレンチの底部にビットラインを形成する段階と、前記ビットラインの形成された前記第2トレンチの内部を絶縁物質で埋め立てる段階と、前記第1トレンチ分離領域を前記埋没不純物層まで蝕刻して、前記第2導電型の埋没不純物層、前記第1導電型の半導体基板及び前記第2導電型の表面不純物層からなるシリコンピラーを形成する段階と、前記シリコンピラーを取り囲むようにゲート絶縁膜及びゲートラインを順に形成する段

10

20

30

40

50

階と、前記ゲートラインの形成された結果物上に絶縁物質を沈積し、これをエッチバックして平坦化層を形成する段階と、前記平坦化層の形成された結果物上に絶縁層を形成する段階と、前記絶縁層を部分的に蝕刻して前記シリコンピラーの表面不純物層を露出させるコンタクトホールを形成する段階と、前記コンタクトホールの形成された結果物上に、前記コンタクトホールを通じて前記表面不純物層に接続されるキャパシターのストレージノードを形成する段階とを具備して構成されている。

【0024】

エピタキシャル工程を連続的に施してトランジスタのドレイン、チャネル及びソースを形成するために、前記第2導電型の埋没不純物層及び表面不純物層はエピタキシャル工程により形成される。

10

【0025】

あるいは、容易なイオン注入工程により埋没不純物層及び表面不純物層を形成するために、前記第2導電型の埋没不純物層は前記半導体基板に第2導電型の第1不純物イオンを第1エネルギーで注入して形成し、また、前記第2導電型の表面不純物層は前記半導体基板に第2導電型の第2不純物イオンを前記第1エネルギーよりも低い第2エネルギーで注入して形成する。

【0026】

【作用】

上記のように構成された半導体装置にあっては、ビットライン上にトランジスタとキャパシターとが形成されて埋没ビットラインを構成し、シリコンピラーを取り囲む形態で垂直ゲートラインが形成されているので、メモリ有効活性領域の面積が最大限に活用される。

20

【0027】

また、トレンチキャパシターではなくスタックキャパシターが形成されるので、基板内でトレンチ間にタッキング現象が生じるといことがなく、メモリセル間の分離特性が強化される。

【0028】

さらに、ゲートライン上にコンタクトホールを有する絶縁層を形成し、この絶縁層上にキャパシターのストレージノードを形成したので、ゲートラインとキャパシターのストレージノード間のショート発生の可能性が少なくなる。

【0029】

更に上記した半導体装置にあっては、キャパシターのストレージノードとトランジスタのソース領域とのコンタクトホール面積が、シリコンピラーの中心部に位置する埋没ビットラインによって低減される。

30

【0030】

そして、上記のように構成された半導体装置の製造方法にあっては、簡略化された工程で、ビットライン上にトランジスタ及びキャパシターを形成し、シリコンピラーを取り囲む垂直ゲートラインを形成することができる。

【0031】

また、ゲートラインを形成した後このゲートライン上に絶縁層（好ましくは、少なくとも2つの物質からなる）を形成し、この絶縁層を蝕刻してソース領域を露出させるコンタクトホールを形成した後、このコンタクトホールの側壁に絶縁スペーサを形成するので、前記絶縁層をなしている物質のうちの1つを、コンタクトホールを形成するための蝕刻工程時に蝕刻阻止層の役割をはたす物質として使えるため、前記蝕刻工程時にゲートラインが露出されるのが防止される。さらに、前記絶縁スペーサによってゲートラインとキャパシターとの電気的なショートが確実に防止される。

40

【0032】

上記した他の製造方法にあっては、更に、活性領域とビットラインを同一のパターンに形成し、1回の写真蝕刻工程のみでトレンチ分離領域及びシリコンピラーを形成することができる。

【0033】

50

上記したさらに他の製造方法によっては、更に、簡略化された工程で、キャパシターストレージノードとトランジスタのソース領域とのコンタクトホール面積がシリコンピラーの中心部に位置する埋没ビットラインにより低減される。

【0034】

【実施例】

以下、添付した図面に基づいて本発明を詳細に説明する。

【0035】

(第1実施例)

図1～図11は本発明の第1実施例による半導体装置の製造方法を説明するための図面である。

10

【0036】

図1A～Cはトレンチ分離領域12を形成する段階を示し、図1Bと図1Cはそれぞれ図1AのAA線及びBB線に沿う断面図である。第1導電型、例えばp-型の半導体基板10上に窒化物を沈積しこれを写真蝕刻工程でパターニングすることによって、前記半導体基板10の活性領域が形成される部分にのみ窒化物パターン11を形成する。次いで、この窒化物パターン11を蝕刻マスクとして利用して前記基板10を所定の深さに蝕刻してトレンチ(図示せず)を形成した後、素子間の電氣的絶縁を強化させるためにp+型の不純物イオンを注入することによって前記トレンチの底部領域の下にp+不純物層14を形成する。次に、前記トレンチの形成された基板10の全面に絶縁物質、例えば酸化物を沈積し、これをエッチバックして前記トレンチの内部を絶縁物質で埋め立てることによってトレンチ分離領域12を形成する。

20

【0037】

図2A～Cはビットライン18を形成する段階を示し、図2Bと図2Cはそれぞれ図2AのAA線及びBB線に沿う断面図である。前記活性領域上の窒化物パターン11を取り除いてから、半導体基板10の全面に第2導電型、例えばn+型の不純物イオンを注入して前記基板10の表面にn+型の不純物層16を形成する。このn+型の不純物層16は後に続く工程で形成されるビットラインとトランジスタのドレイン領域間のコンタクト抵抗を減少させるために提供される。次いで、前記n+型の不純物層16の形成された基板10上に導電物質、例えば不純物のドーパされたポリシリコンを沈積しこれを写真蝕刻工程でパターニングすることによってビットライン18を形成する。

30

【0038】

図3A～Bは絶縁膜柱Iを形成する段階を示し、図3Aと図3Bはそれぞれ図2AのAA線及びBB線に沿う断面図である。前記ビットライン18の形成された結果物全面に、例えば窒化物及び酸化物を順に沈積して第1絶縁膜20及び第2絶縁膜22を形成した後、写真蝕刻工程で前記第1絶縁膜20及び第2絶縁膜22をパターニングすることによって絶縁膜柱Iを形成する。この絶縁膜柱Iは、平面的に眺めると格子状の枠になっている。

【0039】

図4A～C及び図5はトランジスタのドレイン23、チャネル24及びソース領域25を形成する段階を示し、図4Bと図4Cはそれぞれ図4AのAA線及びBB線に沿う断面図であり、図5は前記BB線に沿う断面斜視図である。前記絶縁膜柱Iの隣接部の露出された半導体基板をシードとして利用してn-型の第1エピタキシャル半導体層23を成長させてから、続けてその上にp-型の第2エピタキシャル半導体層24及びn-型の第3エピタキシャル半導体層25を連続して成長させることによってシリコンピラーを形成する。前記n-型の第1エピタキシャル半導体層23はnMOSトランジスタのドレイン領域として利用され、p-型の第2エピタキシャル半導体層24及びn-型の第3エピタキシャル半導体層25はそれぞれnMOSトランジスタのチャネル及びソース領域として用いられる。ここで、ドレイン領域として利用される前記n-型の第1エピタキシャル半導体層23はビットライン18と接続されている。

40

【0040】

50

また、前記絶縁膜柱 I の隣接部の露出された基板をシードとして利用して nMOS トランジスタのチャネル領域として利用される p- 型のエピタキシャル半導体層を前記絶縁膜柱 I の上部まで成長させた後、n- 型の不純物イオンを高エネルギー及び低エネルギーでそれぞれ 2 回ずつ注入して前記 p- 型のエピタキシャル半導体層の下部と上部にそれぞれドレイン 23 及びソース領域 25 を形成することもできる。

【0041】

次いで、前記絶縁膜柱 I を構成している第 2 絶縁膜 22 を取り除く。その結果物は図 5 に示されている。

【0042】

図 6 A ~ C はゲート絶縁膜 26 及びゲートライン 28 を形成する段階を示し、図 6 B と図 6 C はそれぞれ図 6 A の AA 線及び BB 線に沿う断面図である。トランジスタのドレイン 23、チャネル 24 及びソース 25 として利用されるシリコンピラーの形成された結果物上に熱酸化工程を施して前記シリコンピラーの表面上にゲート絶縁膜 26 を形成する。次いで、このゲート絶縁膜 26 の形成された結果物上に導電物質、例えば不純物のドーパされたポリシリコンを沈積してから、写真蝕刻工程で前記導電層をパターンニングすることによって前記シリコンピラーを取り囲むゲートライン 28 を形成する。このとき、トレンチ分離領域 12 上のビットライン 18 と前記ゲートライン 28 とは第 1 絶縁膜 20 によって相互に絶縁されている。

【0043】

図 7 A ~ B は平坦化層 30 を形成する段階を示している。前記ゲートライン 28 の形成された結果物上に絶縁物質を沈積した後、ゲートライン 28 の上部表面が露出されるまで前記絶縁物質層をエッチバックすることによって、前記シリコンピラーによる段差を調節するための平坦化層 30 を形成する。

【0044】

図 8 A ~ B はコンタクトホール及び第 1 導電層 40 を形成する段階を示している。前記平坦化層 30 の形成された結果物上に絶縁物質、例えば高温酸化物及び窒化物を順に沈積して第 1 絶縁層 32 及び第 2 絶縁層 34 を形成する。このとき、前記第 2 絶縁層 34 上に、例えば高温酸化物からなる第 3 絶縁層を更に形成することもできる。次いで、写真蝕刻工程で前記トランジスタのソース領域 25 上に積層された第 2 絶縁層 34、第 1 絶縁層 32、ゲートライン 28 及びゲート絶縁膜 26 を蝕刻してソース領域 25 を露出させるコンタクトホール（図示せず）を形成する。次に、前記コンタクトホールの形成された結果物上に絶縁物質、例えば高温酸化物を沈積しこれをエッチバックして前記コンタクトホールの側面部に絶縁スペーサ 36 を形成する。この絶縁スペーサ 36 はゲートライン 28 と後に続く工程で形成されるキャパシタのストレージノードとの電気的な短絡を防止するために提供される。次に、前記絶縁スペーサ 36 の形成された結果物上に n+ 型の不純物イオンを注入して前記ソース領域 25 の上部表面に n+ 型のプラグ層 38 を形成する。この n+ 型プラグ層は後に続く工程で形成されるストレージノードとソース領域 25 間のコンタクト抵抗を減少させるために提供される。次に、前記 n+ 型プラグ層 38 の形成された結果物上に導電物質、例えば不純物のドーパされたポリシリコンを沈積して第 1 導電層 40 を形成する。

【0045】

図 9 A ~ B は物質パターン 42 及び第 2 導電層 44 を形成する段階を示し、図 9 A は図 9 B に示される物質パターン 42 を上から見た平面図である。前記第 1 導電層 40 の形成された結果物上に、任意の異方性蝕刻工程に対し前記第 1 導電層 40 を構成する物質とは異なる蝕刻率を有する物質、例えば高温酸化物を沈積して物質層（図示せず）を形成した後、写真蝕刻工程で前記物質層をパターンニングして物質パターン 42 を形成する。次いで、前記物質パターン 42 の形成された結果物上に、任意の異方性蝕刻工程に対し前記物質パターン 42 を構成する物質とは異なる蝕刻率を有し前記第 1 導電層 40 を構成する物質とは同程度の蝕刻率を有する導電物質、例えば不純物のドーパされたポリシリコンを沈積して第 2 導電層 44 を形成する。

10

20

30

40

50

【0046】

図10及び図11はキャパシターストレージノード46を形成する段階を示している。前記物質パターン42を蝕刻マスクとして利用して前記第1及び第2導電層40、44をエッチバックすることによって、トランジスタのソース領域25に接続される二重円筒形のストレージノード46を形成する。次に、前記物質パターン42を取り除く。

【0047】

(第2実施例)

図12～図18は本発明の第2実施例による半導体装置の製造方法を説明するための図面である。

【0048】

図12はn+型のエピタキシャル半導体層52aと第1及び第2物質層54、56とを形成する段階を示している。p-型の半導体基板50上に、この基板をシードとして利用してn+型エピタキシャル半導体層52aを成長させる。このn+型エピタキシャル半導体層52aはイオン注入工程により形成することもできる。次いで、前記n+型エピタキシャル半導体層52aの形成された結果物上に、例えば酸化物及び窒化物を順に沈積して第1物質層54及び第2物質層56を形成する。このとき、前記第2物質層56はトランジスタを形成するのに十分なだけの高さに形成しておく。

【0049】

図13A～Bはビットライン52及びトレンチ分離領域60を形成する段階を示し、図13Bは図13AのAA線に沿う断面図である。写真蝕刻工程により分離領域の形成される部分の前記第1及び第2物質層54、56を蝕刻してから、残された第1及び第2物質層54、56をマスクとして利用して前記n+型エピタキシャル半導体層52aを蝕刻し、続けて前記基板50を所定の深さに蝕刻してトレンチ(図示せず)を形成する。このとき、前記蝕刻工程によりn+型エピタキシャル半導体層52aがパターンニングされて埋没ビットライン52が形成され、また、分離領域として利用される前記トレンチが同時に形成される。従って、活性領域と埋没ビットライン52とは同一に形成され、前記ビットライン方向(図13AのBB方向)の活性領域は分離領域を介することなく連続的に伸長している。

【0050】

次いで、素子間の電氣的な絶縁を強化させるために前記ビットライン52及びトレンチの形成された結果物上にp+型の不純物イオン57を注入することによって、前記トレンチの底部領域にp+不純物層58を形成する。次に、前記基板50の全面に絶縁物質、例えば酸化物を沈積しこれをエッチバックして前記トレンチの内部を絶縁物質で埋め立てることによってトレンチ分離領域60を形成する。このとき、上記のように第2物質層56は十分に高いので、前記トレンチ分離領域60を埋め立てる絶縁物質層も相当に高くなる。

【0051】

図14はトランジスタのドレイン62、チャネル64及びソース領域66を形成する段階を示している。前記第1及び第2物質層54、56を除去した後、トレンチ分離領域60を除いた半導体基板50上に、この基板をシードとして利用してn-型の第1エピタキシャル半導体層62を成長させる。続けて、このn-型の第1エピタキシャル半導体層62上にp-型の第2エピタキシャル半導体層64及びn-型の第3エピタキシャル半導体層66を連続して成長させることによってシリコンピラーを形成する。前記n-型の第1エピタキシャル半導体層62はnMOSトランジスタのドレイン領域として利用され、p-型の第2エピタキシャル半導体層64及びn-型の第3エピタキシャル半導体層66はそれぞれnMOSトランジスタのチャネル及びソース領域として利用される。ここで、ドレイン領域として利用される前記n-型の第1エピタキシャル半導体層62は、ビットライン52として用いられるn+型のエピタキシャル半導体層と接続されている。

【0052】

また、前記トレンチ分離領域60を除く基板をシードとして利用してnMOSトランジスタのチャネル領域として利用されるp-型のエピタキシャル半導体層を前記トレンチ分離

10

20

30

40

50

領域 60 の上部まで成長させた後、 n -型の不純物イオンを高エネルギー及び低エネルギーでそれぞれ 2 回ずつ注入して前記 p -型のエピタキシャル半導体層の下部と上部にそれぞれドレイン 62 及びソース領域 66 を形成することもできる。

【0053】

図 15 はゲート絶縁膜 68 を形成する段階を示している。トランジスタのドレイン 62、チャンネル 64 及びソース 66 として利用されるシリコンピラーを露出させるために、前記トレンチ分離領域 60 の内部の絶縁物質層を前記ドレイン領域 62 まで蝕刻する。次いで、前記結果物上に熱酸化工程を施して前記シリコンピラーの表面上にゲート絶縁膜 68 を形成する。

【0054】

図 16 A ~ B はゲートライン 70 を形成する段階を示し、図 16 A は図 16 B に示された平面図の A A 線に沿う断面図であり、図 16 B に示された断面図は前記平面図の B B 線に沿う断面図である。前記ゲート絶縁膜 68 の形成された結果物上に導電物質、例えば不純物のドーパされたポリシリコンを沈積した後、写真蝕刻工程で前記導電層、ゲート絶縁膜 68 及びシリコンピラーを蝕刻することによって前記シリコンピラーを取り囲むゲートライン 70 を形成する。このとき、ビットライン方向 (B B 方向) に各トランジスタを絶縁させるために、前記ゲートライン 70 を形成するための蝕刻工程時においてシリコンピラーのドレイン領域 62 まで蝕刻する。

【0055】

図 17 は平坦化層 72 を形成する段階を示している。前記ゲートライン 70 の形成された結果物上に絶縁物質を沈積してから、ゲートライン 70 の上部表面が露出されるまで前記絶縁物質層をエッチバックすることによって、前記シリコンピラーによる段差を調節するための平坦化層 72 を形成する。このとき、前記平坦化層 72 は前記ゲートライン形成のための蝕刻工程時に形成されたホールを完全に埋め立てる。

【0056】

図 18 はコンタクトホール及び第 1 導電層 82 を形成する段階を示している。前記平坦化層 72 の形成された結果物上に絶縁物質、例えば高温酸化物及び窒化物を順に沈積して第 1 絶縁層 74 及び第 2 絶縁層 76 を形成する。次いで、写真蝕刻工程で前記トランジスタのソース領域 66 上に積層された第 2 絶縁層 76、第 1 絶縁層 74、ゲートライン 70 及びゲート絶縁膜 68 を蝕刻してソース領域 66 を露出させるコンタクトホール (図示せず) を形成する。次に、前記コンタクトホールの形成された結果物上に絶縁物質、例えば高温酸化物を沈積しこれをエッチバックして前記コンタクトホールの側面部に絶縁スペーサ 78 を形成する。次いで、前記絶縁スペーサ 78 の形成された結果物上に $n+$ 型の不純物イオンを注入して前記ソース領域 66 の上部表面に $n+$ 型のフラグ層 80 を形成する。次に、前記 $n+$ 型のフラグ層 80 の形成された結果物上に導電物質、例えば不純物のドーパされたポリシリコンを沈積して第 1 導電層 82 を形成する。次いで、図示していないが、前記第 1 実施例で説明した方法を参照してキャパシターストレージノード製造工程を実施する。

【0057】

上記した本発明の第 2 実施例によれば、高濃度でドーパされたエピタキシャル半導体層を活性領域及びビットラインとして同時に利用し、1 回の写真蝕刻工程のみでトレンチ分離領域及びシリコンピラーを形成できるので、2 回の写真蝕刻工程を省くことができる (前述した第 1 実施例によれば、トレンチ分離領域を形成した後にビットライン及びシリコンピラーを形成するための絶縁膜柱を形成する写真蝕刻工程が必要である)。

【0058】

(第 3 実施例)

図 19 ~ 図 28 は本発明の第 3 実施例による半導体装置の製造方法を説明するための図面である。

【0059】

図 19 は $n+$ 型の埋没不純物層 102 を形成する段階を示している。 p -型の半導体基板

10

20

30

40

50

100の全面にn+型の第1不純物イオン101を高エネルギーで注入して前記基板100の所定の深さにn+型の埋没不純物層102を形成する。また、もちろん前記n+型の埋没不純物層102をエピタキシャル工程により形成することも可能であり、この場合には基板100上に埋没不純物層102が形成される。

【0060】

図20はn+型の表面不純物層104を形成する段階を示している。前記n+型の埋没不純物層102の形成された基板100の全面にn+型の第2不純物イオン103を注入して、前記基板100の表面にn+型の表面不純物層104を形成する。前記n+型の表面不純物層104はnMOSトランジスタのソース領域として用いられ、n+型の埋没不純物102はドレイン領域として利用され、それらの間のp-型基板100はチャンネル領域として利用される。

10

【0061】

ここで、図19と関連して前記n+型の埋没不純物102をエピタキシャル工程で形成する場合には、n+型の埋没不純物102上にp-型のエピタキシャル半導体層を成長させ、更にその上にn+型の表面不純物層104を形成する。また、n+型の表面不純物層104は前記基板100上にn+型不純物でドーパされたポリシリコンを沈積して形成することもできる。

【0062】

図21A~Bはトレンチ分離領域116を形成する段階を示している。トランジスタのドレイン102、チャンネル100及びソース領域104の形成された結果物上に、トレンチ分離領域を形成するためのマスク層として第1酸化膜106、ポリシリコン膜108、第2酸化膜110及び窒化膜112を順に形成する。次いで、写真蝕刻工程で前記マスク層を蝕刻した後、残された前記マスク層を蝕刻マスクとして利用して前記基板100をドレイン領域102よりも深く蝕刻することによって第1トレンチ(図示せず)を形成する。次に、素子間の電気的な絶縁を強化させるために、前記第1トレンチの形成された結果物上にp+型の不純物イオン113を注入することによって、前記第1トレンチの底部領域の下にp+不純物層114を形成する。次いで、前記結果物の全面に絶縁物質、例えば酸化物を沈積しこれをエッチバックして前記第1トレンチの内部を絶縁物質で埋め立てることによってトレンチ分離領域116を形成する。このとき、前記絶縁物質層は第1酸化膜106までエッチバックする。

20

30

【0063】

図22及び図23A~Bは埋没ビットライン122を形成する段階を示し、図23Aと23Bはそれぞれ図22のAA線及びBB線に沿う断面図である。写真蝕刻工程で前記トレンチ分離領域116により限定された活性領域の所定部分をドレイン領域102まで蝕刻することによって、埋没ビットラインを形成するための第2トレンチ(図示せず)を形成する。このとき、前記第2トレンチの蝕刻工程時、埋没ビットラインに屈曲が生じることを防止するためにトレンチ分離領域116を埋め立てている酸化物とシリコンとの蝕刻選択比は1:1に維持しておく。

【0064】

次に、前記第2トレンチの形成された結果物全面にn+型の不純物イオン121を注入して第2トレンチの底部領域にn+型の不純物層(図示せず)を形成する。次いで、前記第2トレンチの形成された結果物上に導電物質、例えば不純物のドーパされたポリシリコンを沈積しこれをエッチバックしてビットライン122を形成する。次に、前記ビットライン122の形成された結果物上に酸化物を沈積しこれをエッチバックして前記ビットライン122上に第1絶縁膜124を形成し、更にこの第1絶縁膜124上に窒化物を沈積しこれをエッチバックして前記第1絶縁膜124上に第2絶縁膜126を形成する。この時、前記マスク層として利用された窒化膜112が取り除かれる。次いで、前記結果物上に酸化物を更に沈積しこれをエッチバックして第3絶縁膜128を形成する。この時、前記マスク層として用いられた第2酸化膜110が取り除かれる。ここで、窒化膜からなる前記第2絶縁膜126の位置(厚さ)によって、後に続くシリコンピラー形成工程時にビツ

40

50

トライン 1 2 2 と第 1 絶縁膜 1 2 4 の厚さが決定され、また、同前記第 2 絶縁膜 1 2 6 によってシリコンピラー間の段差が低められ、後に続くゲートライン蝕刻工程時にゲートストリンガー (gate stringer) の発生が防止される。

【 0 0 6 5 】

図 2 4 A ~ B はシリコンピラーを形成する段階を示し、図 2 4 A と図 2 4 B はそれぞれ図 2 2 の A A 線及び B B 線に沿う断面図である。前記トレンチ分離領域 1 1 6 内の絶縁物質層をドレイン領域 1 0 2 まで蝕刻して、ドレイン 1 0 2、チャネル 1 0 0 及びソース領域 1 0 4 からなるシリコンピラーを形成する。このとき、前記蝕刻工程時に第 2 絶縁膜 1 2 8 は共に蝕刻され、また、トレンチ分離領域を形成するためのマスク層として用いられるポリシリコン膜 1 0 8 はシリコンピラーの形成される基板領域が蝕刻されることを防止する。次いで、前記ポリシリコン膜 1 0 8 及び第 1 酸化膜 1 0 6 を湿式蝕刻工程で全部除去する。

10

【 0 0 6 6 】

図 2 5 A ~ B はゲート絶縁膜 1 3 0 及びゲートライン 1 3 2 を形成する段階を示している。前記シリコンピラーの形成された結果物上に熱酸化工程を施してシリコンピラーの表面上にゲート絶縁膜 1 3 0 を形成する。次いで、前記ゲート絶縁膜 1 3 0 の形成された結果物上に導電物質、例えば不純物のドーブされたポリシリコンを沈積した後、写真蝕刻工程で前記導電層を蝕刻することによって前記シリコンピラーを取り囲むゲートライン 1 3 2 を形成する。

【 0 0 6 7 】

図 2 6 は前記ゲートライン 1 3 2 の形成された結果物を示す斜視図である。

20

【 0 0 6 8 】

図 2 7 は平坦化層 1 3 4 を形成する段階を示している。前記ゲートライン 1 3 2 の形成された結果物上に絶縁物質を沈積した後、ゲートライン 1 3 2 の上部表面が露出されるまで前記絶縁物質層をエッチバックすることによって、前記シリコンピラーによる段差を調節するための平坦化層 1 3 4 を形成する。

【 0 0 6 9 】

図 2 8 はコンタクトホール及び第 1 導電層 1 4 4 を形成する段階を示している。前記平坦化層 1 3 4 の形成された結果物上に絶縁物質、例えば高温酸化物及び窒化物を順に沈積して第 1 絶縁層 1 3 6 及び第 2 絶縁層 1 3 8 を形成する。次いで、写真蝕刻工程で前記トランジスタのソース領域 1 0 4 上に積層された第 2 絶縁層 1 3 8、第 1 絶縁層 1 3 6、ゲートライン 1 3 2 及びゲート絶縁膜 1 3 0 を蝕刻してソース領域 1 0 4 を露出させるコンタクトホール (図示せず) を形成する。次に、前記コンタクトホールの形成された結果物上に絶縁物質、例えば高温酸化物を沈積しこれをエッチバックして前記コンタクトホールの側面部に絶縁スペーサ 1 4 0 を形成する。それから、前記絶縁スペーサ 1 4 0 の形成された結果物上に n+ 型の不純物イオンを注入して前記ソース領域 1 0 4 の上部表面に n+ 型のフラグ層 1 4 2 を形成する。次に、前記 n+ 型のフラグ層 1 4 2 の形成された結果物上に導電物質、例えば不純物のドーブされたポリシリコンを沈積して第 1 導電層 1 4 4 を形成する。次いで、図示していないが、前記第 1 実施例で説明した方法を参照してキャパシタのストレージノード製造工程を実施する。

30

40

【 0 0 7 0 】

上記した本発明の第 3 実施例によれば、選択的にエピタキシャル半導体層を成長させなくても埋没ビットライン及びシリコンピラーを形成することができる。また、キャパシタのストレージノードとトランジスタのソース領域とのコンタクトホール面積が前記シリコンピラーの中心部に位置する埋没ビットライン領域によって減少する。

【 0 0 7 1 】

なお、本発明は上記した実施例に限定されるものではなく、本発明の思想を逸脱しない範囲内において種々の改変をなし得ることはもちろんである。

【 0 0 7 2 】

【 発明の効果 】

50

【 0 0 7 6 】

請求項1の発明によれば、埋没ビットライン構造とシリコンピラーを取り囲む垂直ゲート構造とが提供されるので、有効活性領域の面積を最大限活用することができる。また、スタックキャパシターが形成されるので、メモリセル間にすぐれた分離特性が得られる。さらに、ゲートライン上にコンタクトホールを有する絶縁層を形成し、この絶縁層上にキャパシターのストレージノードを形成したので、電極間のショート発生の可能性が少なくなる。本発明によれば、さらに、キャパシターのストレージノードとトランジスタのソース領域とのコンタクトホール面積をシリコンピラーの中心部に位置する埋没ビットラインにより低減することができる。

【 0 0 7 7 】

請求項2の発明によれば、簡略化された工程で、ビットライン上にトランジスタ及びキャパシターを形成し、シリコンピラーを取り囲む垂直ゲートラインを形成することができる。

【 0 0 7 8 】

請求項3の発明によれば、ビットラインを通常の蒸着方法で容易に形成することができる。

【 0 0 7 9 】

請求項4の発明によれば、選択的エピタキシャル工程により活性領域上にのみシリコンピラーを形成し、また、相異なる導電型のエピタキシャル半導体層を連続的に順次成長させてトランジスタのドレイン、チャンネル及びソース領域を形成することができる。

【 0 0 8 0 】

請求項5の発明によれば、1回のエピタキシャル工程と2回のイオン注入工程によりトランジスタのドレイン、チャンネル及びソース領域を形成することができる。

【 0 0 8 1 】

請求項6の発明によれば、容易に二重円筒形のストレージノードを形成することができる。

【 0 0 8 2 】

請求項7の発明によれば、請求項2の発明の効果に加えて、活性領域とビットラインを同一のパターンに形成し、1回の写真蝕刻工程のみでトレンチ分離領域及びシリコンピラーを形成することができる。

【 0 0 8 3 】

請求項8の発明によれば、エピタキシャル半導体層により形成されたビットラインを活性領域として用いることができる。

【 0 0 8 4 】

請求項9の発明によれば、ビットライン方向に各トランジスタを絶縁させることができる。

【 0 0 8 5 】

請求項10の発明によれば、請求項2の発明の効果に加えて、簡略化された工程で、キャパシターのストレージノードとトランジスタのソース領域とのコンタクトホール面積をシリコンピラーの中心部に位置する埋没ビットラインにより低減することができる。

【 0 0 8 6 】

請求項11の発明によれば、エピタキシャル工程を連続的に施してトランジスタのドレイン、チャンネル及びソースを形成することができる。

【 0 0 8 7 】

請求項12の発明によれば、容易なイオン注入工程により埋没不純物層及び表面不純物層を形成することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 実施例による半導体装置の製造工程を示す図

【 図 2 】 図 1 の製造工程に続く工程図

【 図 3 】 図 2 の製造工程に続く工程図

10

20

30

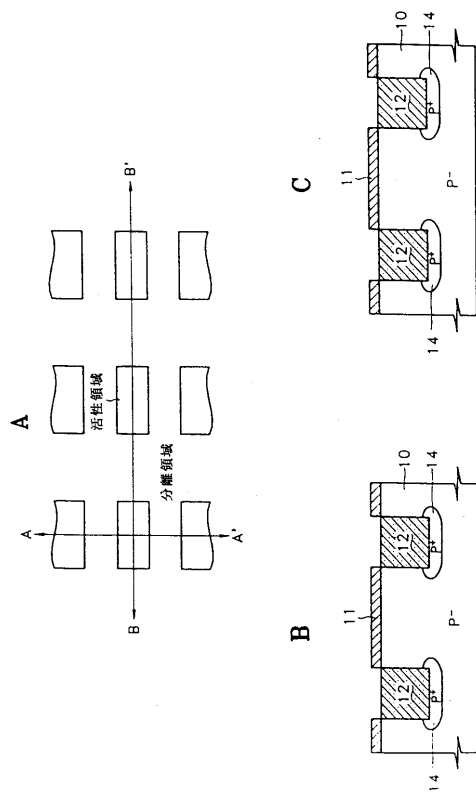
40

50

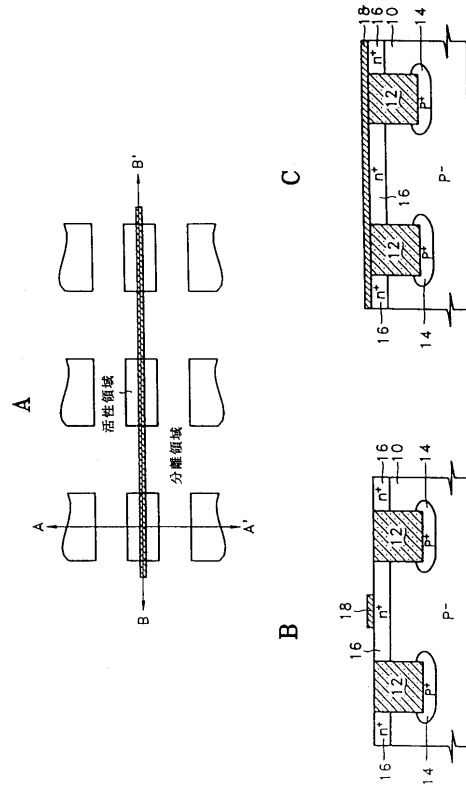
【図 4】	図 3 の製造工程に続く工程図	
【図 5】	図 4 の製造工程に続く工程図	
【図 6】	図 5 の製造工程に続く工程図	
【図 7】	図 6 の製造工程に続く工程図	
【図 8】	図 7 の製造工程に続く工程図	
【図 9】	図 8 の製造工程に続く工程図	
【図 10】	図 9 の製造工程に続く工程図	
【図 11】	図 10 の製造工程に続く工程図	
【図 12】	本発明の第 2 実施例による半導体装置の製造工程を示す図	
【図 13】	図 12 の製造工程に続く工程図	10
【図 14】	図 13 の製造工程に続く工程図	
【図 15】	図 14 の製造工程に続く工程図	
【図 16】	図 15 の製造工程に続く工程図	
【図 17】	図 16 の製造工程に続く工程図	
【図 18】	図 17 の製造工程に続く工程図	
【図 19】	本発明の第 3 実施例による半導体装置の製造工程を示す図	
【図 20】	図 19 の製造工程に続く工程図	
【図 21】	図 20 の製造工程に続く工程図	
【図 22】	図 21 の製造工程に続く工程図	
【図 23】	同じく図 21 の製造工程に続く工程図	20
【図 24】	図 21 及び図 22 の製造工程に続く工程図	
【図 25】	図 24 の製造工程に続く工程図	
【図 26】	図 25 の製造工程に続く工程図	
【図 27】	図 26 の製造工程に続く工程図	
【図 28】	図 27 の製造工程に続く工程図	
【符号の説明】		
10, 50	半導体基板	
12, 60	トレンチ分離領域	
18, 52, 122	ビットライン	
20	第 1 絶縁膜	30
22	第 2 絶縁膜	
23, 62	第 1 エピタキシャル半導体層 (ドレイン領域)	
24, 64	第 2 エピタキシャル半導体層 (チャネル領域)	
25, 64	第 3 エピタキシャル半導体層 (ソース領域)	
26, 68, 130	ゲート絶縁膜	
28, 70, 132	ゲートライン	
30, 72, 134	平坦化層	
32, 74, 136	第 1 絶縁層	
34, 76, 138	第 2 絶縁層	
36, 78, 140	絶縁スペーサ	40
40	第 1 導電層	
42	物質パターン	
44	第 2 導電層	
46	ストレージノード	
52a	エピタキシャル半導体層 (導電層)	
54	第 1 物質層	
56	第 2 物質層	
100	半導体基板 (チャネル領域)	
102	埋没不純物層	
104	表面不純物層	50

- 1 1 6 ... トレンチ分離領域 (第1トレンチ分離領域)
- 1 2 4 ... 第1絶縁膜
- 1 2 6 ... 第2絶縁膜
- I ... 絶縁膜柱

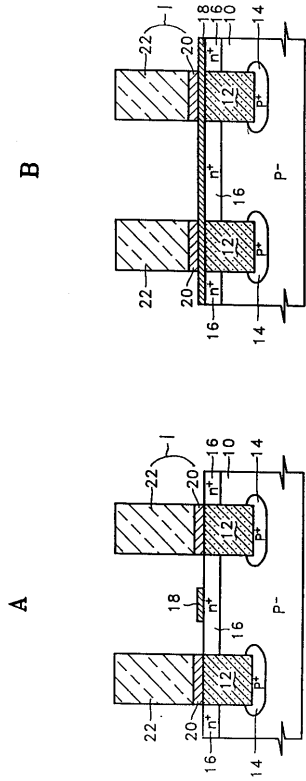
【図1】



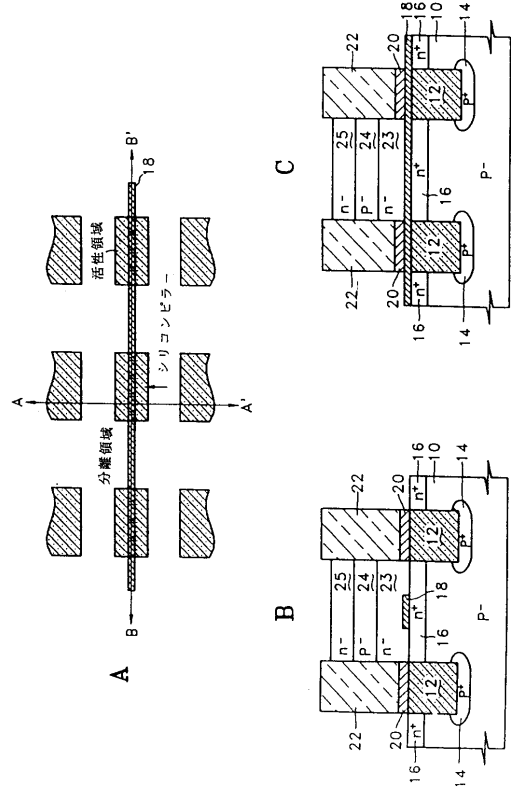
【図2】



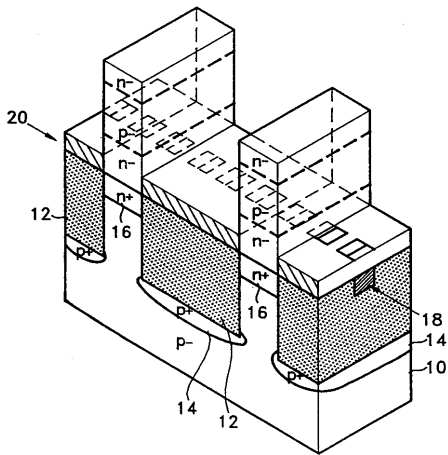
【 図 3 】



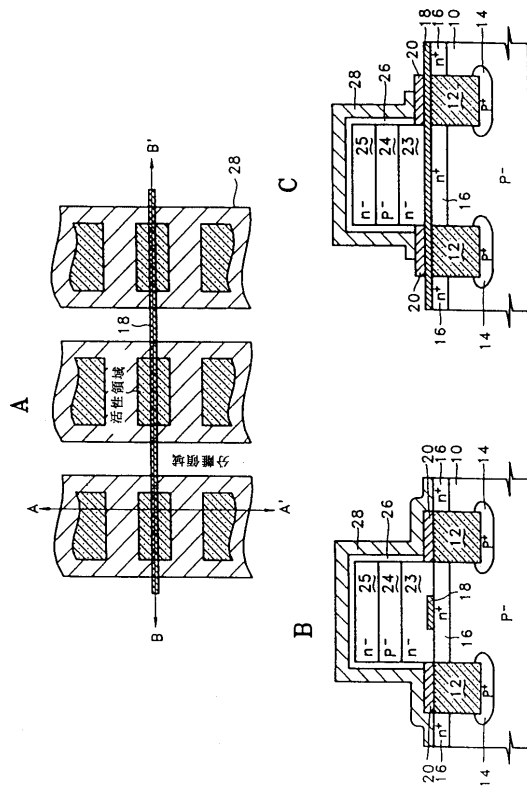
【 図 4 】



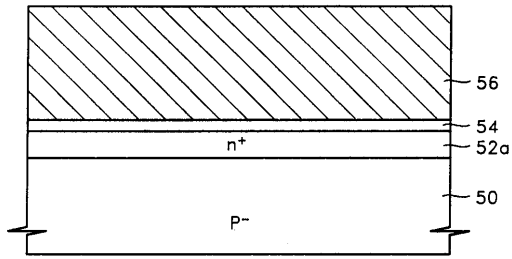
【 図 5 】



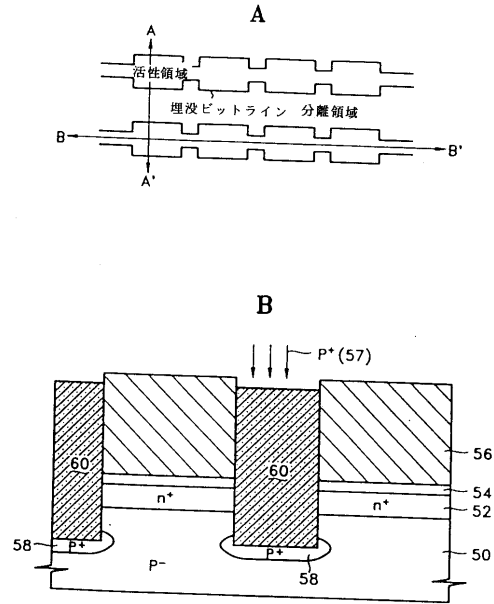
【 図 6 】



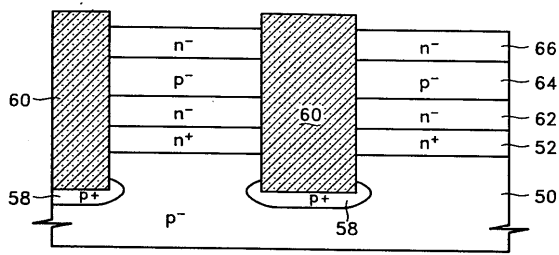
【図12】



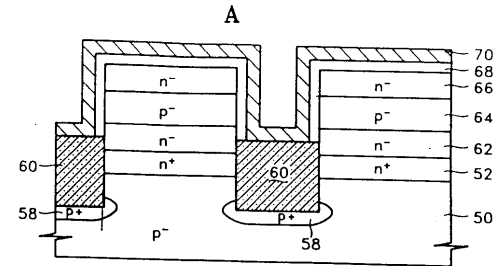
【図13】



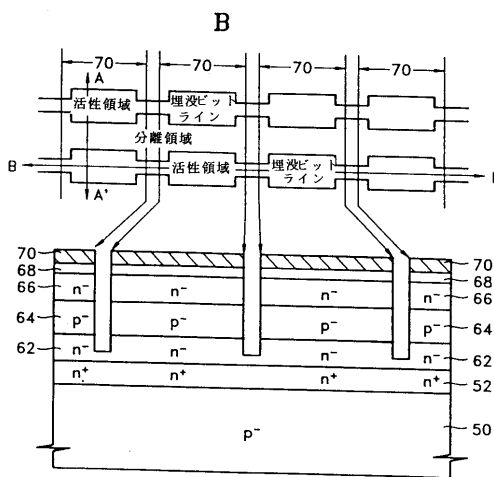
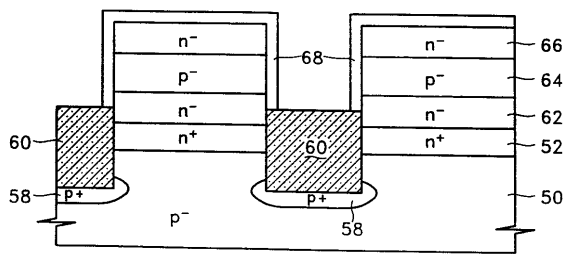
【図14】



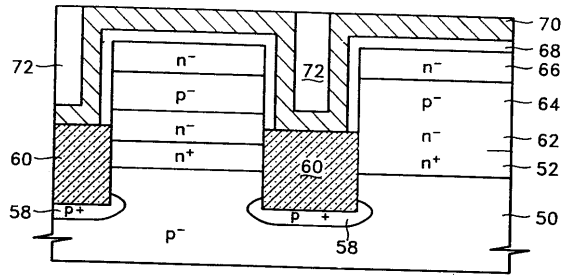
【図16】



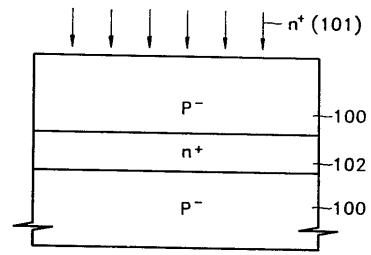
【図15】



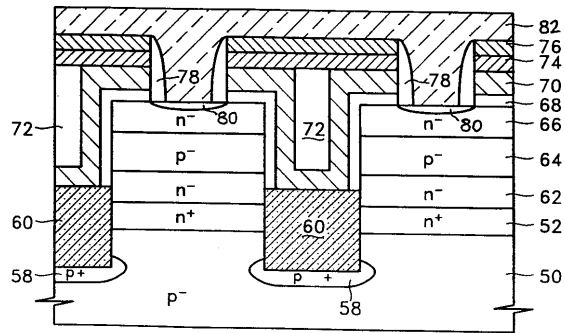
【 図 17 】



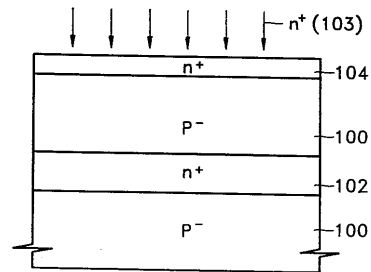
【 図 19 】



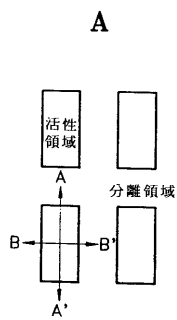
【 図 18 】



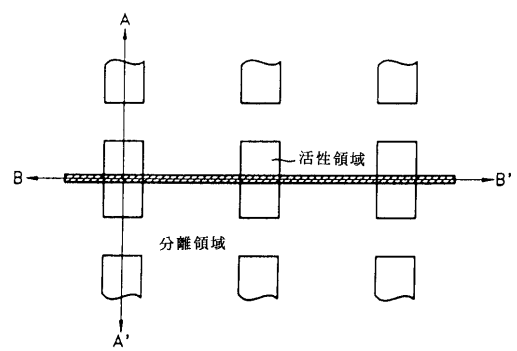
【 図 20 】



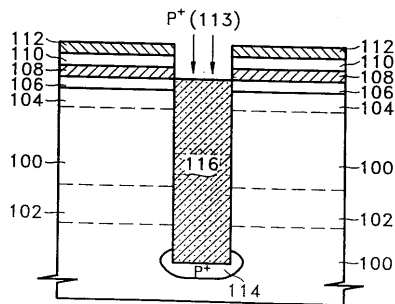
【 図 21 】



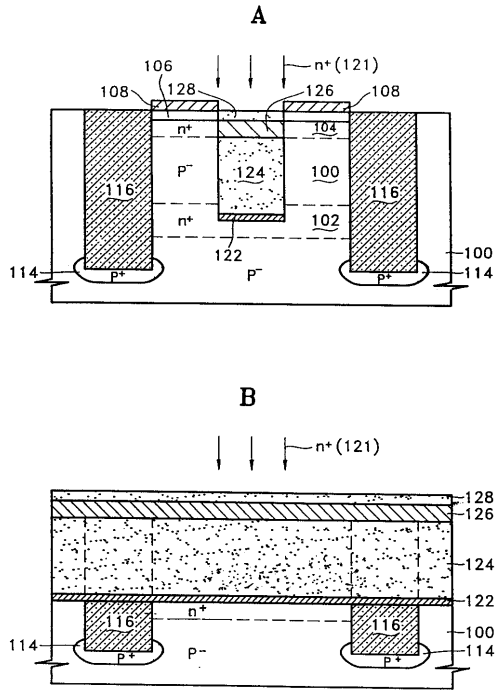
【 図 22 】



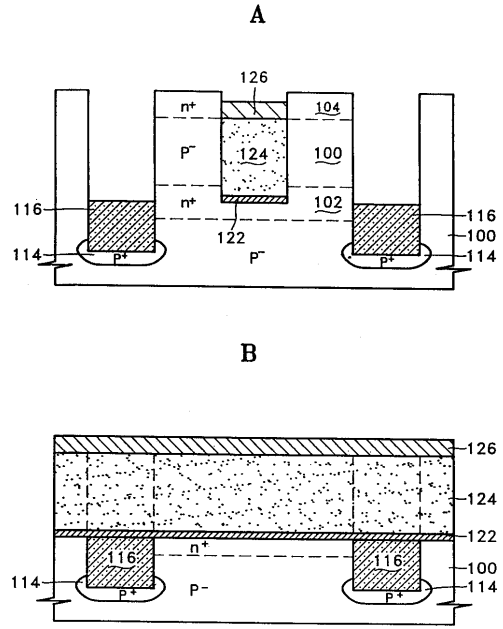
B



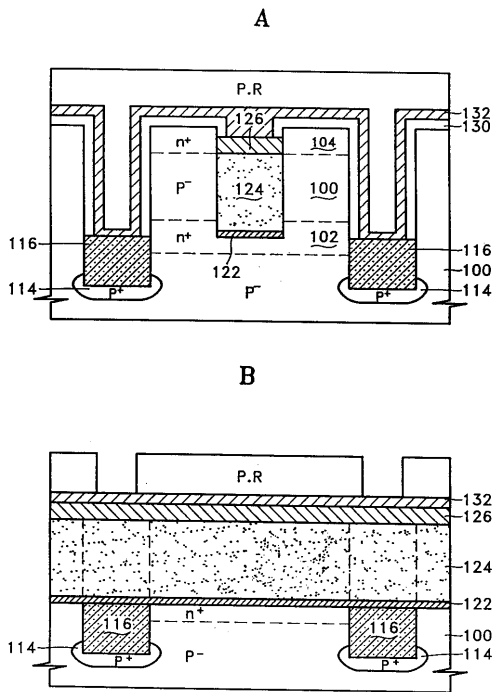
【 図 2 3 】



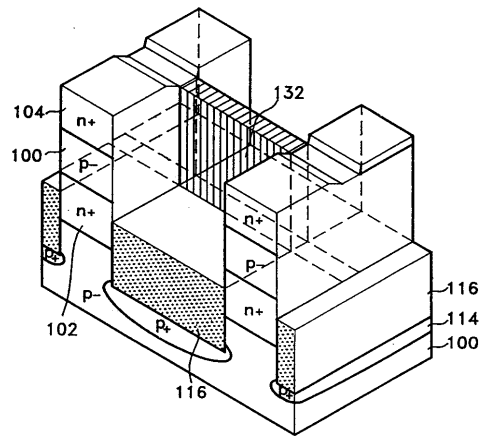
【 図 2 4 】



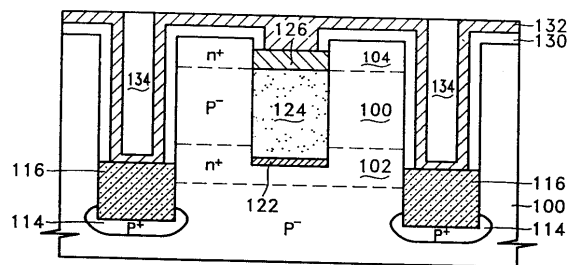
【 図 2 5 】



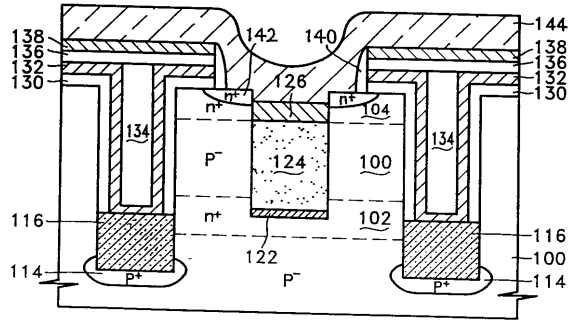
【 図 2 6 】



【 図 2 7 】



【 図 28 】



フロントページの続き

(74)代理人 100114649

弁理士 宇谷 勝幸

(72)発明者 金 亨燮

大韓民国京畿道水原市八達區梅灘2洞74 - 18番地 三星1次アパート2棟708號

審査官 正山 旭

(56)参考文献 特開平04 - 239767 (JP, A)

特開平04 - 257257 (JP, A)

特開平05 - 029573 (JP, A)

特開平05 - 055504 (JP, A)

特開平04 - 176168 (JP, A)

特開平06 - 260610 (JP, A)

特開平04 - 005856 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/108

H01L 21/8242

H01L 29/78