(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3688443号
(P3688443)
(45)発行日　平成17年8月31日(2005.8.31)　(24)登録日　平成17年6月17日(2005.6.17)

(51)Int.Cl.[7]　F I
G11C 29/00　G11C 29/00　603F
G11C 11/401　G11C 11/34　371D

請求項の数 8　(全 18 頁)

(21)出願番号　特願平9-232397
(22)出願日　平成9年8月28日(1997.8.28)
(65)公開番号　特開平11-73792
(43)公開日　平成11年3月16日(1999.3.16)
審査請求日　平成14年3月28日(2002.3.28)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
正規のメモリセルおよび欠陥救済用の冗長メモリセルを含むセルアレイと、
それぞれ複数の前記正規のメモリセルが共通に接続された複数本の正規のビット線と、
それぞれ複数の前記冗長メモリセルが共通に接続された複数本の冗長ビット線と、
前記正規のメモリセルおよび冗長メモリセルを選択するために接続されたワード線と、
前記正規のメモリセルから前記正規のビット線に読み出された電位をセンス増幅する正規のセンスアンプと、
前記正規のカラムを選択するための正規のカラム選択トランジスタと、
前記正規のカラム選択トランジスタを選択するための正規のカラム選択線と、
それぞれ複数本（ｎ本）の前記正規のビット線に前記正規のカラム選択トランジスタを介して共通に接続された複数本の正規のデータ線と、
前記冗長メモリセルから前記冗長ビット線に読み出された電位をセンス増幅する冗長センスアンプと、
前記冗長カラムを選択するための冗長カラム選択トランジスタと、
前記冗長カラム選択トランジスタを選択するための冗長カラム選択線と、
それぞれ前記ｎ本より少数の少なくとも１本の前記冗長ビット線に前記冗長カラム選択トランジスタを介して接続された複数本の冗長データ線と、
前記正規のメモリセルのうちの欠陥メモリセルが存在する不良ビット線が前記正規のカラム選択トランジスタを介して接続されている正規のデータ線に代えて冗長データ線を選

択する冗長メモリセル置換制御回路とを具備し、
前記各データ線は前記セルアレイの領域上を前記各ビット線の長さ方向に沿って配置され、前記各カラム選択線は前記ワード線の長さ方向に沿って配線されていることを特徴とする半導体記憶装置。
【請求項２】
正規のメモリセルおよび欠陥救済用の冗長メモリセルを含むセルアレイと、
それぞれ複数の前記正規のメモリセルが共通に接続された複数本の正規のビット線と、
それぞれ複数の前記冗長メモリセルが共通に接続された複数本の冗長ビット線と、
前記正規のメモリセルおよび冗長メモリセルを選択するために接続されたワード線と、
前記正規のメモリセルから前記正規のビット線に読み出された電位をセンス増幅する正規のセンスアンプと、
前記正規のカラムを選択するための正規のカラム選択トランジスタと、
前記正規のカラム選択トランジスタを選択するための正規のカラム選択線と、
それぞれ複数本（ｎ本）の前記正規のビット線に前記正規のカラム選択トランジスタを介して共通に接続された複数本の正規のデータ線と、
前記冗長メモリセルから前記冗長ビット線に読み出された電位をセンス増幅する冗長センスアンプと、
前記冗長カラムを選択するための冗長カラム選択トランジスタと、
前記冗長カラム選択トランジスタを選択するための冗長カラム選択線と、
それぞれ前記ｎ本より少数の少なくとも１本の前記冗長ビット線に前記冗長カラム選択トランジスタを介して接続された複数本の冗長データ線と、
前記正規のメモリセルのうちの欠陥メモリセルが存在する不良ビット線が前記正規のカラム選択トランジスタを介して接続されている正規のデータ線に代えて冗長データ線を選択する冗長メモリセル置換制御回路とを具備し、
前記各データ線は前記セルアレイの領域上を前記各ビット線の長さ方向に沿って配置され、前記各カラム選択線は前記ワード線の長さ方向に沿って配線され、
前記複数本の正規のデータ線のグループと複数本の冗長データ線のグループとは、前記セルアレイ領域上で前記ワード線の長さ方向を２分した２つの領域に分離されて配設されており、
前記正規のカラム選択線と前記冗長カラム選択線とは、前記２つの領域に分離されて配設されており、
前記正規のカラム選択線を駆動するためのカラム選択回路と前記冗長カラム選択線を駆動するための冗長カラム選択回路とは、前記ワード線の長さ方向の両端側に分離して配設されていることを特徴とする半導体記憶装置。
【請求項３】
正規のメモリセルおよび欠陥救済用の冗長メモリセルを含むセルアレイと、
それぞれ複数の前記正規のメモリセルが共通に接続された複数本の正規のビット線と、
それぞれ複数の前記冗長メモリセルが共通に接続された複数本の冗長ビット線と、
前記正規のメモリセルおよび冗長メモリセルを選択するために接続されたワード線と、
前記正規のメモリセルから前記正規のビット線に読み出された電位をセンス増幅する正規のセンスアンプと、
前記正規のカラムを選択するための正規のカラム選択トランジスタと、
前記正規のカラム選択トランジスタを選択するための正規のカラム選択線と、
それぞれ複数本（ｎ本）の前記正規のビット線に前記正規のカラム選択トランジスタを介して共通に接続された複数本の正規のデータ線と、
前記冗長メモリセルから前記冗長ビット線に読み出された電位をセンス増幅する冗長センスアンプと、
前記冗長カラムを選択するための冗長カラム選択トランジスタと、
前記冗長カラム選択トランジスタを選択するための冗長カラム選択線と、
それぞれ前記ｎ本より少数の少なくとも１本の前記冗長ビット線に前記冗長カラム選択

トランジスタを介して接続された複数本の冗長データ線と、
前記正規のメモリセルのうちの欠陥メモリセルが存在する不良ビット線が前記正規のカラム選択トランジスタを介して接続されている正規のデータ線に代えて冗長データ線を選択する冗長メモリセル置換制御回路とを具備し、
前記各データ線は前記セルアレイの領域上を前記各ビット線の長さ方向に沿って配置され、前記各カラム選択線は前記ワード線の長さ方向に沿って配線され、
前記複数本の正規のデータ線のグループと複数本の冗長データ線のグループとは、前記セルアレイ領域上で前記ワード線の長さ方向を２分した２つの領域に分離されて配設されており、
前記正規のカラム選択線は、前記２つの領域のうちの少なくとも一方の領域に配設されており、
前記冗長カラム選択線は、前記２つの領域にわたって連続的に配設されており、
前記正規のカラム選択線を駆動するためのカラム選択回路と前記冗長カラム選択線を駆動するための冗長カラム選択回路とは、前記ワード線の長さ方向の一端側に配設されていることを特徴とする半導体記憶装置。
【請求項４】
正規のメモリセルおよび欠陥救済用の冗長メモリセルを含むセルアレイと、
それぞれ複数の前記正規のメモリセルが共通に接続された複数本の正規のビット線と、
それぞれ複数の前記冗長メモリセルが共通に接続された複数本の冗長ビット線と、
前記正規のメモリセルおよび冗長メモリセルを選択するために接続されたワード線と、
前記正規のメモリセルから前記正規のビット線に読み出された電位をセンス増幅する正規のセンスアンプと、
前記正規のカラムを選択するための正規のカラム選択トランジスタと、
前記正規のカラム選択トランジスタを選択するための正規のカラム選択線と、
それぞれ複数本（ｎ本）の前記正規のビット線に前記正規のカラム選択トランジスタを介して共通に接続された複数本の正規のデータ線と、
前記冗長メモリセルから前記冗長ビット線に読み出された電位をセンス増幅する冗長センスアンプと、
前記冗長カラムを選択するための冗長カラム選択トランジスタと、
前記冗長カラム選択トランジスタを選択するための冗長カラム選択線と、
それぞれ前記ｎ本より少数の少なくとも１本の前記冗長ビット線に前記冗長カラム選択トランジスタを介して接続された複数本の冗長データ線と、
前記正規のメモリセルのうちの欠陥メモリセルが存在する不良ビット線が前記正規のカラム選択トランジスタを介して接続されている正規のデータ線に代えて冗長データ線を選択する冗長メモリセル置換制御回路とを具備し、
前記各データ線は前記セルアレイの領域上を前記各ビット線の長さ方向に沿って配置され、前記各カラム選択線は前記ワード線の長さ方向に沿って配線され、
前記複数本の正規のデータ線と複数本の冗長データ線とは、前記セルアレイ領域上で前記ワード線の長さ方向に混在するように配設されており、
前記正規のカラム選択線および前記冗長カラム選択線は並設されており、
前記正規のカラム選択線を駆動するためのカラム選択回路と前記冗長カラム選択線を駆動するための冗長カラム選択回路とは、前記ワード線の長さ方向の一端側に配設されていることを特徴とする半導体記憶装置。
【請求項５】
請求項１ないし４のいずれか１項に記載の半導体記憶装置において、
前記正規のカラム選択線と前記冗長カラム選択線とが独立に駆動されることを特徴とする半導体記憶装置。
【請求項６】
請求項１ないし４のいずれか１項に記載の半導体記憶装置において、
前記正規のメモリセルおよび冗長用のメモリセルは、それぞれ電荷蓄積用キャパシタお

よび電荷転送ゲート用トランジスタからなり、
前記ワード線は、前記セルアレイの同一行のメモリセルの電荷転送ゲート用トランジスタのゲートに接続され、
前記ビット線は、前記セルアレイの同一列のメモリセルの電荷転送ゲート用トランジスタの一端に接続され、
前記複数本の正規のビット線に共通に接続された正規のデータ線は、物理的に隣接した複数のカラムで共有されている
ことを特徴とする半導体記憶装置。
【請求項７】
請求項１ないし４のいずれか１項に記載の半導体記憶装置において、
前記冗長メモリセル置換制御回路は、前記欠陥メモリセルが存在する箇所に応じて冗長メモリセルのカラムアドレスを変更するカラムアドレス変更手段を具備することを特徴とする半導体記憶装置。
【請求項８】
請求項７記載の半導体記憶装置において、
前記カラムアドレス変更手段は、メモリセル動作の検査後にヒューズ素子により変更すべきカラムアドレスを記憶することを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体記憶装置に係り、特に欠陥救済用の冗長メモリセルの置換制御回路を有する半導体記憶装置に関するもので、例えばＤＲＡＭ（ダイナミック型メモリ）に使用されるものである。
【０００２】
【従来の技術】
図１５は、オーバーレイドＤＱ方式を採用したＤＲＡＭのメモリセルアレイおよび周辺回路のパターンレイアウトの一例を示している。
図１５に示すＤＲＡＭは、相補的なデータ線ＤＱ、ＢＤＱがメモリセルアレイ・センスアンプ（Ｓ／Ａ）領域上をビット線ＢＬ、ＢＢＬと平行に横切るパターンレイアウトを有する。そして、各データ線ＤＱ、ＢＤＱは、それぞれカラム選択線ＣＳＬにより選択制御されるカラム選択トランジスタを介して複数本のビット線ＢＬ、ＢＢＬが共通に接続されている。
【０００３】
このようなＤＲＡＭにおいて、欠陥メモリセルに対してカラム方向の置換を行う（欠陥メモリセルが存在するカラムを冗長カラムに置き換える）ように制御して救済する場合、個々のデータ線ＤＱを単位として行うように構成されている。
【０００４】
即ち、正規のデータ線ＤＱ、ＢＤＱとは別に冗長データ線ＲＤＱ、ＲＢＤＱを設けておき、欠陥メモリセルが存在する不良ビット線が接続されている正規のデータ線に代えて冗長データ線を選択し、この冗長データ線に接続されている冗長ビット線の冗長メモリセルを使用する。
【０００５】
しかし、正規のデータ線ＤＱ、ＢＤＱの１本に接続されているビット線ＢＬ、ＢＢＬの数が比較的多いので、救済単位が大きくなり、救済効率が悪かった。
この救済効率を向上させるために、本願出願人に係る特開平８－２２１９９８号により、１つの冗長データ線に接続されている複数本のビット線を２つのグループに分け、２つのグループのビット線群を２つのデータ線に別々に割り当てることにより、置換単位を小さくする方法が提案されている。
【０００６】
この方法は、例えば図１６に示すように、冗長データ線ＲＤＱに接続されている８対のビ

ット線ＢＬＲ０～ＢＬＲ７、ＢＢＬＲ０～ＢＢＬＲ７を４対つづ２つのグループに分け、一方のグループのビット線群を第１の正規のデータ線ＤＱ１に接続されている８対のビット線ＢＬ０～ＢＬ７、ＢＢＬ０～ＢＢＬ７に不良が存在する場合に使用し、他方のグループのビット線群を第２の正規のデータ線ＤＱ２に接続されている８対のビット線ＢＬ８～ＢＬ１５、ＢＢＬ８～ＢＢＬ１５に不良が存在する場合に使用するものである。

【０００７】

しかし、図１６に示すように、正規のデータ線ＤＱ１、ＤＱ２にそれぞれ接続されている複数本のビット線にそれぞれ接続されているカラム選択トランジスタと冗長データ線ＲＤＱに接続されている複数本のビット線にそれぞれ接続されているカラム選択トランジスタとが同じカラム選択線ＣＳＬを共有する構成は、１つの冗長データ線ＲＤＱに接続されているビット線ＢＬＲ０～ＢＬＲ７、ＢＢＬＲ０～ＢＢＬＲ７を２つの正規のデータ線ＤＱ１、ＤＱ２のそれぞれの不良ビット線の救済に別々に割り当てることが不能になるモードが存在し、不良カラムの救済効率が必ずしも高くはならない。

【０００８】

即ち、第１の正規のデータ線ＤＱ１に接続されている不良ビット線と第２の正規のデータ線ＤＱ２に接続されている不良ビット線とが同じカラム選択線ＣＳＬにより選択されるモードの場合には、１つの冗長データ線ＲＤＱに接続されているビット線ＢＬＲ０～ＢＬＲ７、ＢＢＬＲ０～ＢＢＬＲ７を２つの正規のデータ線ＤＱ１、ＤＱ２のそれぞれの不良ビット線の救済に別々に割り当てることが不能になる。

【０００９】

【発明が解決しようとする課題】

上記したように１本のデータ線に複数本のビット線が接続された構成でカラム救済を行う半導体記憶装置における従来の冗長メモリセルの置換制御回路は、１本の不良ビット線を救済するためには、不良ビット線とデータ線を共有する全てのカラムを同時に置換する必要があり、不良ビット線の救済効率が低いという問題があった。

本発明は上記の問題点を解決すべくなされたもので、不良の救済単位が小さく、不良の救済効率が向上する半導体記憶装置を提供することを目的とする。

【００１０】

【課題を解決するための手段】

本発明の半導体記憶装置は、正規のメモリセルおよび欠陥救済用の冗長メモリセルを含むセルアレイと、それぞれ複数の前記正規のメモリセルが共通に接続された複数本の正規のビット線と、それぞれ複数の前記冗長メモリセルが共通に接続された複数本の冗長ビット線と、前記正規のメモリセルおよび冗長メモリセルを選択するために接続されたワード線と、前記正規のメモリセルから前記正規のビット線に読み出された電位をセンス増幅する正規のセンスアンプと、前記正規のカラムを選択するための正規のカラム選択トランジスタと、前記正規のカラム選択トランジスタを選択するための正規のカラム選択線と、それぞれ複数本（ｎ本）の前記正規のビット線に前記正規のカラム選択トランジスタを介して共通に接続された複数本の正規のデータ線と、前記冗長メモリセルから前記冗長ビット線に読み出された電位をセンス増幅する冗長センスアンプと、前記冗長カラムを選択するための冗長カラム選択トランジスタと、前記冗長カラム選択トランジスタを選択するための冗長カラム選択線と、それぞれ前記ｎ本より少数の少なくとも１本の前記冗長ビット線に前記冗長カラム選択トランジスタを介して接続された複数本の冗長データ線と、前記正規のメモリセルのうちの欠陥メモリセルが存在する不良ビット線が前記正規のカラム選択トランジスタを介して接続されている正規のデータ線に代えて冗長データ線を選択する冗長メモリセル置換制御回路とを具備し、前記各データ線は前記セルアレイの領域上を前記各ビット線の長さ方向に沿って配置され、前記各カラム選択線は前記ワード線の長さ方向に沿って配線されていることを特徴とする。

【００１１】

本発明の半導体記憶装置は、正規のメモリセルおよび欠陥救済用の冗長メモリセルを含むセルアレイと、それぞれ複数の前記正規のメモリセルが共通に接続された複数本の正規

のビット線と、それぞれ複数の前記冗長メモリセルが共通に接続された複数本の冗長ビット線と、前記正規のメモリセルおよび冗長メモリセルを選択するために接続されたワード線と、前記正規のメモリセルから前記正規のビット線に読み出された電位をセンス増幅する正規のセンスアンプと、前記正規のカラムを選択するための正規のカラム選択トランジスタと、前記正規のカラム選択トランジスタを選択するための正規のカラム選択線と、それぞれ複数本（ｎ本）の前記正規のビット線に前記正規のカラム選択トランジスタを介して共通に接続された複数本の正規のデータ線と、前記冗長メモリセルから前記冗長ビット線に読み出された電位をセンス増幅する冗長センスアンプと、前記冗長カラムを選択するための冗長カラム選択トランジスタと、前記冗長カラム選択トランジスタを選択するための冗長カラム選択線と、それぞれ前記ｎ本より少数の少なくとも１本の前記冗長ビット線に前記冗長カラム選択トランジスタを介して接続された複数本の冗長データ線と、前記正規のメモリセルのうちの欠陥メモリセルが存在する不良ビット線が前記正規のカラム選択トランジスタを介して接続されている正規のデータ線に代えて冗長データ線を選択する冗長メモリセル置換制御回路とを具備し、前記各データ線は前記セルアレイの領域上を前記各ビット線の長さ方向に沿って配置され、前記各カラム選択線は前記ワード線の長さ方向に沿って配線され、前記複数本の正規のデータ線のグループと複数本の冗長データ線のグループとは、前記セルアレイ領域上で前記ワード線の長さ方向を２分した２つの領域に分離されて配設されており、前記正規のカラム選択線と前記冗長カラム選択線とは、前記２つの領域に分離されて配設されており、前記正規のカラム選択線を駆動するためのカラム選択回路と前記冗長カラム選択線を駆動するための冗長カラム選択回路とは、前記ワード線の長さ方向の両端側に分離して配設されていることを特徴とする。

【００１２】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

図１は、本発明の半導体記憶装置の第１の実施の形態に係るオーバーレイドＤＱ方式を採用したＤＲＡＭのメモリセルアレイおよび周辺回路の一部のパターンレイアウトを概略的に示している。

【００１３】

図１において、１０はメモリセルアレイ・センスアンプ領域であり、その上を第１のデータ線に相当するビット線（図示せず）と平行に第２のデータ線に相当するデータ線（複数本の正規のデータ線ＤＱ、複数本の冗長データ線ＲＤＱ）が横切っている。

【００１４】

１１はそれぞれカラムアドレス入力をデコードしてカラム選択信号を生成して正規のカラム選択線ＣＳＬを駆動する（正規のカラムを選択する）ための複数個のカラム選択線駆動回路（ＣＳＬＤ）であり、１本のカラム選択線毎に１個づつ設けられている。

【００１５】

１２はそれぞれ前記正規のデータ線ＤＱｉに対応して設けられ、これらのデータ線ＤＱｉにそれぞれ読み出されたデータが一斉に入力する複数個のデータ線バッファ回路（ＤＱＢ）である。

【００１６】

１３はカラムアドレス入力のうちの不良ビット線のアドレスを冗長ビット線のアドレスに変換して出力するヒューズロジック（FUSE & Logic）回路である。

１４はそれぞれ前記ヒューズロジック回路１３からのカラムアドレスをデコードして冗長用カラム選択信号を生成して冗長カラム選択線ＲＣＳＬを駆動する　（冗長カラムを選択する）ための複数個の冗長カラム選択線駆動回路（ＲＣＳＬＤ）であり、１本の冗長カラム選択線毎に１個づつ設けられている。

【００１７】

１５はそれぞれ前記冗長データ線ＲＤＱに対応して設けられ、これらのデータ線ＲＤＱに読み出されたデータが入力する複数個の冗長データ線バッファ回路　（ＲＤＱＢ）である。但し、本実施形態では、冗長データ線バッファ回路１５が２個の例を示している。

【００１８】
１６はそれぞれ１つの正規のデータ線バッファ回路１２の出力と前記複数個の冗長データ線バッファ回路１５の出力とが入力し、一方の入力を選択して出力する複数個のマルチプレクサ回路（ＲＷＤＭＵＸ）であり、その選択制御信号として前記ヒューズロジック回路１３のアドレス変換出力が入力する。本例では、２つの冗長データ線バッファ回路１５の出力のうちの一方と１つの正規のデータ線バッファ回路１２の出力とを切り換え選択する。

【００１９】
上記マルチプレクサ回路１６は、通常は正規のデータ線バッファ回路１２群からの入力を選択して出力するが、前記ヒューズロジック回路１３のアドレス変換出力が選択制御信号として入力した場合には、このアドレス変換出力に応じて指定されるマルチプレクサ回路１６では、正規のデータ線バッファ回路１２の出力に代えて冗長データ線バッファ回路１５からの入力を選択して出力するように動作する。

【００２０】
図２は、図１中のセルアレイ・センスアンプ領域の一部を取り出して構成を概略的に示している。ここでは、折り返しビット線方式のビット線構成を持つセルアレイを例にとり、正規のメモリセル、相補的な正規のビット線対ＢＬ、ＢＢＬ、相補的な正規のデータ線対ＤＱ、ＢＤＱ、正規のセンスアンプ（Ｓ／Ａ）２２を示している。

【００２１】
図２において、メモリセルアレイ（Ｃ／Ａ）２１は、電荷転送ゲート用のＭＯＳトランジスタＱのソースに電荷蓄積用のキャパシタＣの電荷蓄積ノードが接続された１トランジスタ・１キャパシタ構成のＤＲＡＭセルＭＣが全体として行列状に配置されている。

【００２２】
この場合、ビット線対ＢＬ、ＢＢＬとそれに交差する方向に配設されたワード線ＷＬとの各交点にＤＲＡＭセルＭＣが設けられており、各ＤＲＡＭセルＭＣは、前記ワード線ＷＬに前記ＭＯＳトランジスタＱのゲートが接続され、前記ビット線ＢＬあるいはＢＢＬに前記ＭＯＳトランジスタＱのドレインが接続されている。そして、前記正規のビット線ＢＬ、ＢＢＬに接続されているＤＲＡＭセル群は正規のメモリセルブロックを形成している。

【００２３】
また、前記正規のビット線ＢＬ、ＢＢＬは、センスアンプ２２および正規のカラム選択トランジスタＣＱを介して正規のデータ線ＤＱ、ＢＤＱに接続されている。

【００２４】
なお、図示していないが、冗長メモリセル、冗長ビット線、冗長データ線、冗長センスアンプ、冗長カラム選択トランジスタも、上記構成とほぼ同様に構成されており、前記冗長ビット線に接続されているＤＲＡＭセル群は冗長メモリセルブロックを形成している。

【００２５】
図３は、図１中の正規のデータ線ＤＱおよび冗長データ線ＲＤＱの一部を取り出してビット線との回路接続を示している。
図３においては、図１中の正規のデータ線ＤＱ群の一部としてＤＱｉ（ＤＱ１、ＤＱ２、ＤＱ３、ＤＱ４）を示しており、図１中の冗長データ線ＲＤＱ群の一部としてＲＤＱｉ（ＲＤＱ１、ＲＤＱ２、ＲＤＱ３、ＲＤＱ４）を示している。

【００２６】
第１の実施の形態に係るＤＲＡＭにおいては、図３中に示すように、正規のデータ線ＤＱｉにそれぞれ接続されている複数本のビット線ＢＬの本数と、冗長データ線ＲＤＱｉにそれぞれ接続されている冗長ビット線ＲＢＬの本数とが異なっている。

【００２７】
本例では、図３に示すように、正規のデータ線ＤＱにはそれぞれ物理的に隣接した複数対（本例では４対、８本）のビット線ＢＬがそれぞれ正規のカラム選択トランジスタＣＱを介して共通に接続されているが、冗長データ線ＲＤＱｉにはそれぞれ例えば１対（２本）の冗長ビット線ＲＢＬがそれぞれ冗長カラム選択トランジスタＲＣＱを介して共通に接続

されている。

【００２８】

また、正規のデータ線ＤＱｉに接続されている各ビット線ＢＬに挿入されている正規のカラム選択トランジスタＣＱを選択するための正規のカラム選択線ＣＳＬと、前記冗長データ線ＲＤＱに接続されている各ビット線ＲＢＬに挿入されている冗長カラム選択トランジスタＲＣＱを選択するための冗長カラム選択線ＲＣＳＬとは、互いに分離されて設けられており、独立に駆動されるように構成されている。

【００２９】

そして、欠陥メモリセルに対してカラム方向の置換を行う（欠陥メモリセルが存在するカラムを冗長カラムに置き換える）ように、換言すれば、正規のデータ線ＤＱｉのうちで欠陥メモリセルが存在する不良ビット線が接続されている正規のデータ線に代えて、冗長データ線ＲＤＱｉのいずれかを選択するための冗長メモリセル置換制御回路が設けられている。

【００３０】

上記したように、第１の実施の形態に係るオーバーレイドＤＱ方式を採用したＤＲＡＭは、正規のメモリセルおよび欠陥救済用の冗長メモリセルを含むセルアレイと、正規のメモリセルを選択するための正規メモリセル選択回路と、前記正規メモリセル選択回路による正規のメモリセルの選択単位よりも小さい選択単位で前記冗長メモリセルを選択するための冗長メモリセル選択回路と、正規のメモリセルの欠陥部分を冗長メモリセルに置換して救済するために設けられた冗長メモリセル置換制御回路とを具備している。具体的には、正規のデータ線に接続されているビット線の本数と冗長データ線に接続されているビット線の本数とが異なり、正規のデータ線に接続されているビット線に接続されているカラム選択トランジスタを選択するためのカラム選択線と冗長データ線に接続されているビット線に接続されているカラム選択トランジスタを選択するためのカラム選択線とが独立に駆動される。

【００３１】

次に、第１の実施の形態に係るＤＲＡＭにおける冗長メモリセルの置換制御動作を説明する。

例えば図３中に示すように、正規のデータ線ＤＱ１を共有する正規のカラムに不良カラム（fail 1）が存在し、正規のデータ線ＤＱ３を共有する正規のカラムに不良カラム（fail 2）が存在する場合には、図１中のヒューズロジック回路１３は、正規のデータ線ＤＱ１のカラムアドレス入力を冗長データ線ＲＤＱ３のカラムアドレスに変換し、正規のデータ線ＤＱ３のカラムアドレス入力を冗長データ線ＲＤＱ４のカラムアドレスに変換するようにアドレスの書込みが行われている。

【００３２】

これにより、上記ヒューズロジック回路１３を一部に含む冗長メモリセル置換制御回路は、冗長データ線ＲＤＱ３に接続されている冗長ビット線ＲＢＬのカラム選択トランジスタＲＣＱを選択して正規のデータ線ＤＱ１を冗長データ線ＲＤＱ３に置換し、冗長データ線ＲＤＱ４に接続されている冗長ビット線ＲＢＬのカラム選択トランジスタＲＣＱを選択して正規のデータ線ＤＱ３を冗長データ線ＲＤＱ４に置換するように制御する。つまり、データ線を単位として救済を行う。

【００３３】

この場合、前述したように正規のデータ線ＤＱｉに接続されている正規のビット線ＢＬの本数よりも冗長データ線ＲＤＱｉに接続されている冗長ビット線ＲＢＬの本数が少ないので、従来例のように全てのデータ線にそれぞれ同数のビット線が接続されている場合と比べて不良ビット線の救済単位が小さくなっている。

【００３４】

しかも、正規のデータ線ＤＱｉに接続されている各ビット線ＢＬに挿入されているカラム選択トランジスタＣＱを選択するためのカラム選択線ＣＳＬと冗長データ線ＲＤＱｉに接続されている各ビット線ＲＢＬに挿入されているカラム選択トランジスタＲＣＱを選択す

るためのカラム選択線ＲＣＳＬとは独立に駆動される。
【００３５】
従って、正規のデータ線ＤＱｉのうちの複数本のデータ線にそれぞれ不良ビット線が存在し、それぞれの不良ビット線が同じカラム選択線ＣＳＬにより選択されるモードであった場合でも、上記複数本のデータ線に対応して存在した不良ビット線をそれぞれ別々の冗長データ線ＲＤＱｉにより独立に救済することが可能になり、不良ビット線の救済効率が向上する。
【００３６】
図４は、図１中の正規のデータ線バッファ回路１２の構成の一例を示しており、この構成は従来例と同様である。
即ち、図４において、ＤＱ、ＢＤＱは相補的な一対のデータ線、４１は前記一対のデータ線間に接続されているプリチャージ・イコライズ回路、４２は前記一対のデータ線に接続されている読み出しバッファ回路、４３は前記一対のデータ線に接続されている書込みバッファ回路である。
【００３７】
上記読み出しバッファ回路４２において、４２１は読み出し制御スイッチ用ＰＭＯＳトランジスタ、４２２は読み出しバッファ回路のラッチ型センスアンプ、４２３は上記センスアンプ４２２の一対の入力ノード間に接続されているイコライズ回路、４２４は出力回路である。
【００３８】
なお、図１中の冗長データ線バッファ回路１５も、上記正規のデータ線バッファ回路の構成に準じて構成される。
図５は、図１中のマルチプレクサ回路１６の構成の一例を示しており、この構成は従来例と同様である。
【００３９】
即ち、図５のマルチプレクサ回路は、メモリの読み出し動作時には、冗長読み出し制御信号１、２に基づいて２つの冗長データ線バッファ出力（２つの冗長カラムの読み出しデータ）のうちの一方または１つの正規のデータ線バッファ出力（通常カラム読み出しデータ）を切り換え選択して読み出し出力とするように構成されている。
【００４０】
また、メモリの書込み動作時には、書込みデータ入力を冗長書込み制御信号１、２に基づいて２つの冗長カラムのうちの一方または１つの正規のカラム（通常カラム）を切り換え選択して書込み入力とするように構成されている。
【００４１】
図６は、図１中のヒューズロジック回路１３の一部（カラムヒューズ部分）を示しており、このカラムヒューズ部分は１組の救済カラム単位につき１つづつ設けられている。
【００４２】
図６において、６０はヒューズセット、７０はイネーブルロジック回路（一致比較回路）、８０はデータ線バッファ選択回路である。
前記ヒューズセット６０において、各ヒューズＦＥＮ、ＦＵＬ０、ＦＵＬ１、Ｆ０～Ｆ６は、切断されている場合にはその出力端側が“Ｈ”レベルになり、切断されていない場合にはその出力端側が“Ｌ”レベルになる。
【００４３】
前記ヒューズＦＥＮは、ヒューズセット６０に書き込まれた内容を参照するかどうかを決定するためのヒューズであり、切断されている場合はヒューズセット６０に書き込まれた内容を参照する（ヒューズセット６０を使用する）ことを意味する。
【００４４】
前記ヒューズＦＵＬ０、ＦＵＬ１は、置換の対象となるデータ線ＤＱに接続されている８カラムのうちでどのカラムを置換するかを決定するためのヒューズである。
【００４５】

前記ヒューズＦ０～Ｆ６は、図１中のデータ線バッファ回路１２のうちの置換すべきデータ線バッファ回路を示すためのヒューズである。
図７は、図６中のイネーブルロジック回路（一致比較回路）７０の一例を示している。
【００４６】
このイネーブルロジック回路（一致比較回路）７０において、ＡＣ１、ＡＣ２はカラムアドレスの最下位ビットから２ビット目、３ビット目に相当する入力である。
【００４７】
７１は前記ヒューズセット６０のＦＵＬ０の出力レベルとＡＣ１の入力レベルとの一致／不一致を検出する第１の一致回路、７２は前記ヒューズセット６０のＦＵＬ１の出力レベルとＡＣ２の入力レベルとの一致／不一致を検出する第２の一致回路、７３は前記２つの一致回路の各出力と前記ヒューズセット６０のＦＥＮの出力との一致／不一致を検出し、一致時には一致出力ＭＡＴＣＨを活性状態（“Ｈ”レベル）にする第３の一致回路である。
【００４８】
このように、ヒューズＦＵＬ０、ＦＵＬ１の内容がカラムアドレスのＡＣ１、ＡＣ２と一致するか否かを比較することにより、ヒューズＦＵＬ０、ＦＵＬ１の内容によって置換制御されるカラムの先頭アドレスを決定する、つまり、ＦＵＬ０、ＦＵＬ１の出力レベルの組み合わせにより、１組の救済カラム（本例では２ビット線）を正規のカラム（本例では８ビット線で１組）の何番目のカラムと置換するかを決定することが可能になる。この関係を以下に示す。
【００４９】

ＦＵＬ０	ＦＵＬ１	置換カラム
“Ｌ”	“Ｌ”	０、１
“Ｈ”	“Ｌ”	２、３
“Ｌ”	“Ｈ”	４、５
“Ｈ”	“Ｈ”	６、７

＊“Ｌ”はヒューズの非切断状態、“Ｈ”はヒューズの切断状態
さらに、ヒューズセット６０自体のイネーブルヒューズＦＥＮも持っているので、このヒューズＦＥＮの内容も参照して全て合致していればＭＡＴＣＨ信号が活性化することになる。
【００５０】
図８は、図６中のデータ線バッファ選択回路８０の一例を示す。
このデータ線バッファ選択回路は、インバータ回路群、ナンド回路群からなる通常のデコード回路を用いており、前記ヒューズセット６０のＦ０～Ｆ６の出力レベルの組み合わせをデコードし、図１中のデータ線バッファ回路１２のうちのどのデータ線バッファ回路を置換するかを表わすデコード信号ＤＱ０～ＤＱ６３を出力する。
【００５１】
従って、図６乃至図８の回路の動作によれば、ヒューズセット６０のヒューズＦＥＮが切断されていて、ヒューズＦＵＬ０の出力とＡＣ１入力、ヒューズＦＵＬ１の出力とＡＣ２入力とが一致していれば、イネーブルロジック回路７０によって一致出力ＭＡＴＣＨが活性状態になり、図１中のデータ線バッファ回路１２のうちでヒューズＦ０～Ｆ６で示された１個のデータ線バッファ回路の出力をデータ線バッファ選択回路８０により選択し、図１中の冗長データ線バッファ回路１５のうちの１個の冗長データ線バッファ回路の出力と置換制御することが可能になる。
【００５２】
なお、本例では、図３の回路に示したように２カラムを有する冗長データ線を単位として置換しているので、置換効率が比較的高い。なお、置換効率の最大化を図るためにカラムの最小単位（１カラム）を有する冗長データ線を単位として置換してもよい。
【００５３】
また、図１に示すように、冗長カラム選択線ドライバ回路１４と正規のカラム選択線ドラ

イバ回路１１）とをメモリセルアレイ・センスアンプ領域１０の相対する位置に配置し、冗長用のメモリセルアレイ・センスアンプ領域の近くに冗長カラム選択線ドライバ回路１４を配置しているので、冗長カラム選択線ＲＣＳＬの長さが短くなり、冗長用のメモリセルアレイに高速にアクセスすることができる。さらに、カラム選択線ＣＳＬの長さも短くなるので、正規のメモリセルアレイにも高速にアクセスすることができる。

【００５４】

なお、前記第１の実施の形態では、冗長カラムがメモリセルアレイのワード線ＷＬ方向の一端側に集中しており、正規のカラム選択線ドライバ回路１１と冗長カラム選択線ドライバ回路１４とがカラム選択線方向の両端に分離している例を示したが、本発明は上記構成に限定されるものではない。

【００５５】

図９は、第１の実施の形態の変形例として、冗長カラム選択線ドライバ回路　（図１中１４）と正規のカラム選択線ドライバ回路（図１中１１）とを含むカラム選択線ドライバ回路（CSLD & RCSLD）９０をカラム選択線方向の一端側に配置したパターンの一例を示しており、図１中と同一部分には同一符号を付している。このパターン配置によれば、カラム選択線ドライバ回路全体のパターン面積を縮小することが可能になる。

【００５６】

図１０に示す第２の実施の形態に係るＤＲＡＭは、図１を参照して前述したＤＲＡＭと比べて、メモリセルアレイの正規カラム群の中間に冗長カラムが配置されている点が異なり、その他の部分（データ線バッファ回路、ヒューズロジック回路、マルチプレクサ回路など）は同じである。

【００５７】

この場合、セルアレイ２１・センスアンプ２２の領域のデータ線方向の側方領域に正規のカラム選択線ＣＳＬ、冗長カラム選択線ＲＣＳＬを配置するので、この配置領域が若干広がるが、図９に示したパターンと同様に、冗長カラム選択線ドライバ回路と正規のカラム選択線ドライバ回路とをカラム選択線方向の一端側に纏めたカラム選択線ドライバ回路を配置することにより、カラム選択線ドライバ回路全体のパターン面積を縮小することが可能になる。

【００５８】

また、救済対象となるカラムからデータ入出力部（図１中 Data I/O ）までのデータ経路の配線距離をメモリセルアレイ全体でほぼ均一化することが可能になり、データ遅延が特に目立つ経路がなくなるので、ＤＲＡＭの動作速度が向上する。

【００５９】

　なお、図１に示したように、冗長データ線ＲＤＱ１～ＲＤＱ４が纏まって配置された領域にはこれらに接続されている冗長ビット線（図３中ＲＢＬ）の本数が少ないので、データ線ＤＱｉが配置された領域における冗長データ線ＲＤＱ１～ＲＤＱ４が密集する。これに対応して冗長データ線バッファ回路１５のサイズを縮小させると、そのパターンレイアウトが厳しくなる。

【００６０】

これに対して、図１０に示したように正規のデータ線ＤＱ１～ＤＱ４、冗長データ線ＲＤＱ１～ＲＤＱ４が混在して配置されていると、全てのデータ線バッファ回路１２、冗長データ線バッファ回路１５を少しづづサイズを縮小させることにより全体のパターンを所望領域内にレイアウトすることが可能になる。

【００６１】

換言すれば、第２の実施の形態は、第１の実施の形態と比べて、冗長データ線バッファ回路１５のパターンレイアウト上の余裕が大きくなるという利点がある。

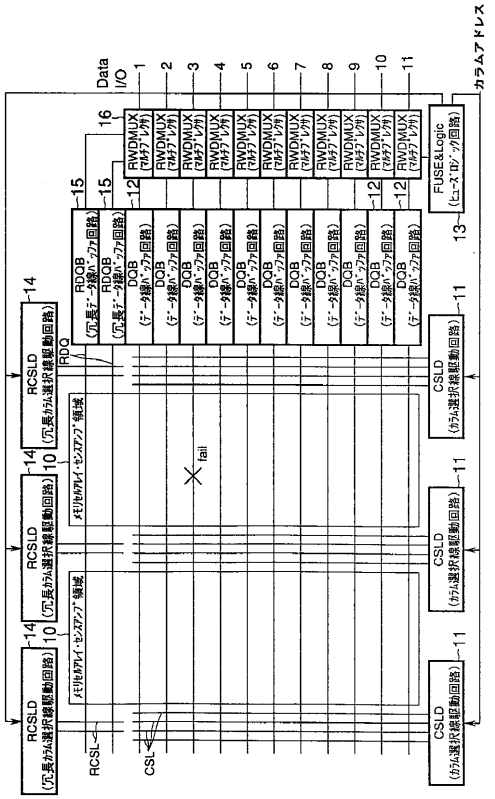
【００６２】

図１１は、本発明の第３の実施の形態に係るＤＲＡＭのメモリセルアレイおよび周辺回路の一部の構成を概略的に示しており、図１２は、図１１中の一部を取り出して回路構成を詳細に示している。

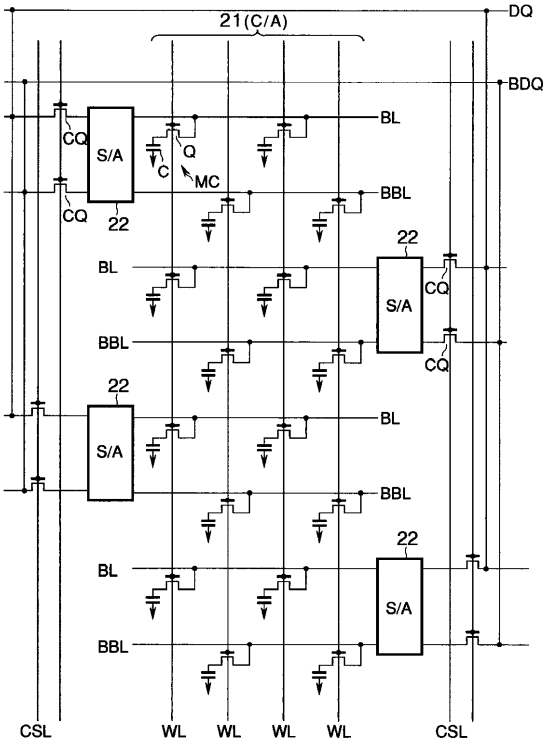
【００６３】
この第３の実施の形態に係るＤＲＡＭは、前述した第１、第２の実施の形態に係るＤＲＡＭと比べて、データ線ＤＱおよび冗長データ線ＲＤＱがワード線ＷＬと平行（ビット線ＢＬ、ＢＢＬと交差する方向）にセンスアンプ２２の側方領域に配設され、正規のカラム選択線ＣＳＬ０、ＣＳＬ１…および冗長カラム選択線ＲＣＳＬ０、ＲＣＳＬ１…がメモリセルアレイ・センスアンプ領域上をビット線と平行に横切るパターンレイアウトを有する点が異なり、その他は同じであるので同じ符号を付してその説明を省略する。
【００６４】
図１３は、本発明の第４の実施の形態に係るＤＲＡＭのメモリセルアレイおよび周辺回路の一部の構成を概略的に示しており、図１４は、図１３中の一部を取り出して回路構成を詳細に示している。
【００６５】
この第４の実施の形態に係るＤＲＡＭは、前述した第１、第２の実施の形態に係るＤＲＡＭと比べて、正規のカラム選択線ＣＳＬ１、ＣＳＬ２…および冗長カラム選択線ＲＣＳＬ１、ＲＣＳＬ２…が、正規のデータ線ＤＱ１、ＤＱ２…および冗長データ線ＲＤＱ１、ＲＤＱ２…と同様に、メモリセルアレイ・センスアンプ領域上をビット線ＢＬ、ＢＢＬと平行に横切るパターンレイアウトを有する点が異なり、その他は同じであるので同じ符号を付してその説明を省略する。
【００６６】
なお、前記図１１に示した第３の実施の形態のパターンレイアウト方式や図１３に示した第４の実施の形態のパターンレイアウト方式でも、前述したオーバーレイドＤＱ方式における効果とほぼ同様の効果が得られるものであり、本発明は、上記３つの方式のいずれにも適用可能である。
【００６７】
これらのうちのどの方式を採用するかは、本発明を適用しようとする半導体メモリの構成によって変わる。例えばメモリの入出力端子数が多い場合（データ線ＤＱが多い場合）にはオーバーレイドＤＱ方式が適しており、メモリの入出力端子数が少ない場合（カラム選択線ＣＳＬが少ない場合）には図１１に示した第３の実施の形態のパターンレイアウト方式が適しており、メモリの入出力端子数が上記２つの場合の中間であれば、図１３に示した第４の実施の形態のパターンレイアウト方式が適している。
【００６８】
また、上記各実施の形態では、カラム不良をカラム置換により救済する場合を示したが、ロウ不良をロウ置換により救済する場合にも、正規のメモリセルを選択するための正規メモリセル選択回路による正規のメモリセルの選択単位よりも小さい選択単位で冗長メモリセルを選択するための冗長メモリセル選択回路を設けることにより、正規のメモリセルの欠陥部分を冗長メモリセルに置換して救済する際に、不良の救済効率を向上させることが可能になる。
【００６９】
【発明の効果】
上述したように本発明の半導体記憶装置によれば、正規のメモリセルを選択するための正規メモリセル選択回路による正規のメモリセルの選択単位よりも小さい選択単位で冗長メモリセルを選択するための冗長メモリセル選択回路を有するので、不良の救済単位を小さくして不良の救済効率を向上させることができる。
【００７０】
例えば正規のデータ線のうちの複数本のデータ線にそれぞれ同じカラム選択線により選択される不良ビット線が存在した場合でも不良ビット線の救済が可能になり、不良ビット線の救済効率を向上させることが可能になる。従って、特に正規のデータ線の１本に共通接続されるビット線の本数が多くなるオーバーレイドＤＱ方式を採用した半導体メモリに適用して有効である。
【図面の簡単な説明】

【図１】本発明の半導体記憶装置の第１の実施の形態に係るオーバーレイドＤＱ方式を採用したＤＲＡＭの一部の構成のパターンレイアウトを概略的に示す図。
【図２】図１中のメモリセルアレイおよびセンスアンプの一部を取り出して構成を概略的に示す回路図。
【図３】図１中の正規のデータ線および冗長データ線の一部を取り出してビット線との回路接続を示す回路図。
【図４】図１中のデータ線バッファ回路、冗長データ線バッファ回路の構成の一例を示す回路図。
【図５】図１中のマルチプレクサ回路の構成の一例を示す回路図。
【図６】図１中のヒューズロジック回路の一部（カラムヒューズ部分）を示す回路図。
【図７】図６中のイネーブルロジック回路（一致比較回路）の一例を示す回路図。
【図８】図６中のカラム置換制御回路（冗長データ線選択回路）の一例を示す回路図。
【図９】本発明の第１の実施の形態の変形例に係るＤＲＡＭのメモリセルアレイおよび周辺回路の一部の構成のパターンレイアウトを概略的に示す図。
【図１０】本発明の第２の実施の形態に係るＤＲＡＭのメモリセルアレイおよび周辺回路の一部の構成のパターンレイアウトを概略的に示す図。
【図１１】本発明の第３の実施の形態に係るＤＲＡＭのメモリセルアレイおよび周辺回路の一部の構成のパターンレイアウトを概略的に示す図。
【図１２】図１１中の一部を取り出して詳細に示す回路図。
【図１３】本発明の第４の実施の形態に係るＤＲＡＭのメモリセルアレイおよび周辺回路の一部の構成のパターンレイアウトを概略的に示す図。
【図１４】図１３中の一部を取り出して詳細に示す回路図。
【図１５】オーバーレイドＤＱ方式を採用したＤＲＡＭのメモリセルアレイおよび周辺回路のパターンレイアウトの一例を示す図。
【図１６】図１５のＤＲＡＭにおけるカラム救済効率を向上させるために提案された半導体記憶装置における冗長データ線および正規データ線を取り出して示す回路図。
【符号の説明】
ＤＱｉ…データ線、
ＲＤＱｉ…冗長データ線、
ＢＬ…ビット線、
ＲＢＬ…冗長ビット線、
ＣＱ…正規のカラム選択トランジスタ、
ＲＣＱ…冗長カラム選択トランジスタ、
ＣＳＬ…正規のカラム選択線、
ＲＣＳＬ…冗長カラム選択線、
２１…セルアレイ、
２２…センスアンプ回路。

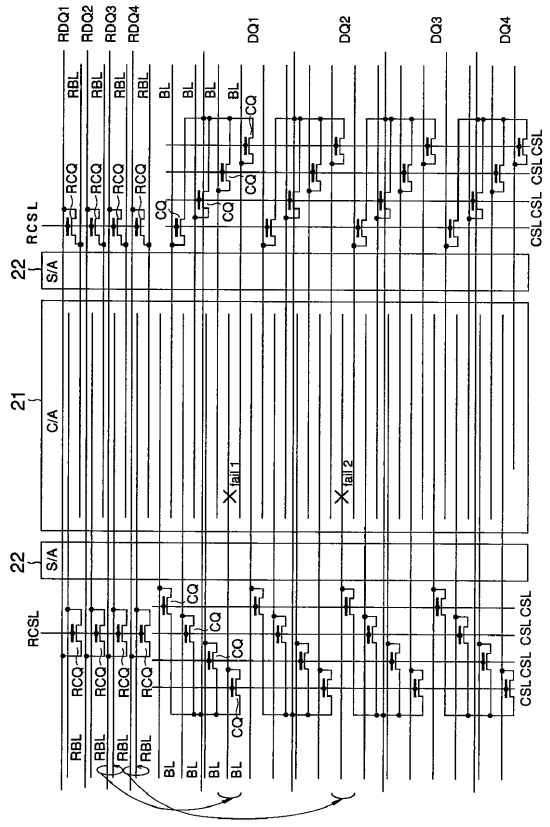
【図１】


Data I/O
カラムアドレス
RCSLD
CSLD
RDQB
DOB
RWDMUX
FUSE&Logic
RDQ
RCSL
CSL
fail

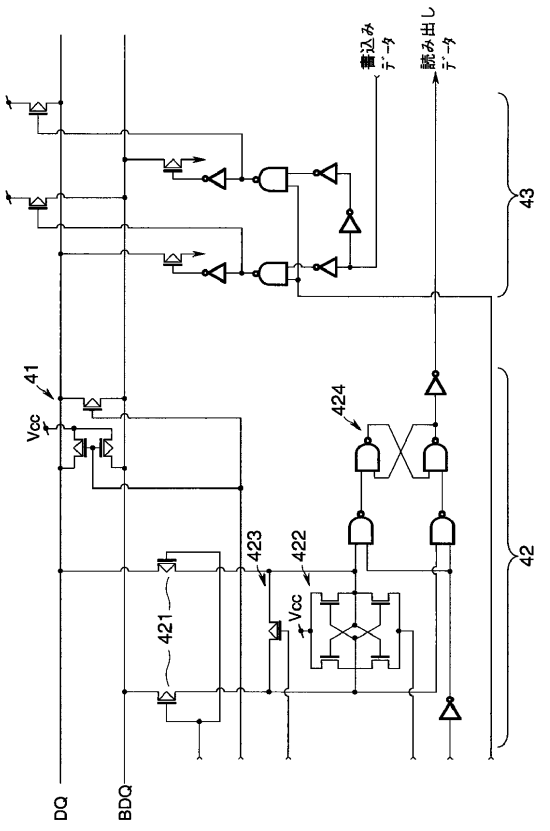
【図２】


21(C/A)
DQ
BDQ
BL
BBL
CQ
S/A
22
C
Q
MC
CSL
WL

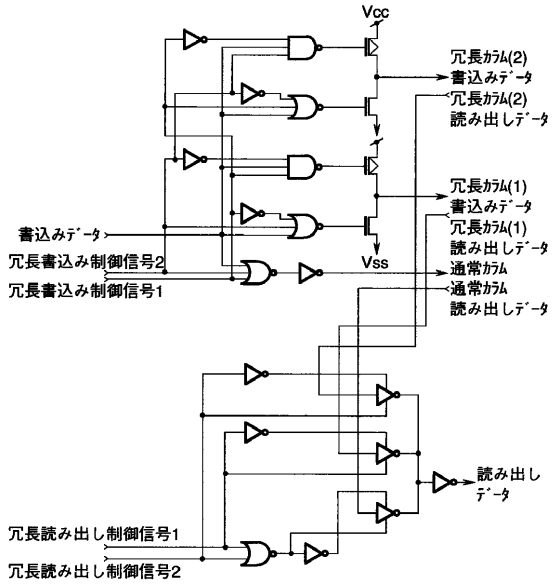
【図３】


RDQ1
RDQ2
RDQ3
RDQ4
DQ1
DQ2
DQ3
DQ4
RCSL
CSL
22
S/A
21
C/A
RBL
RCQ
BL
CQ
fail1
fail2

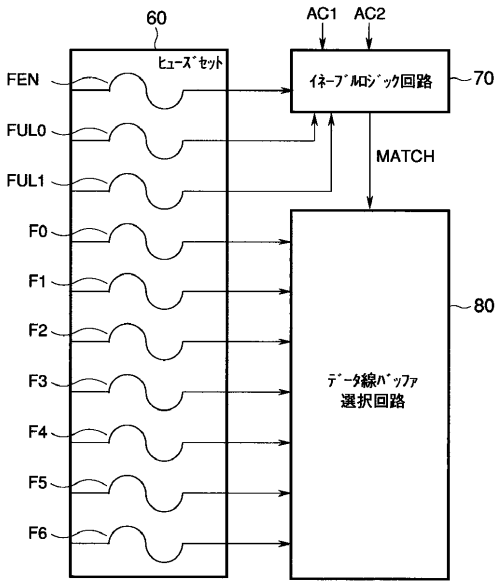
【図４】


書込みデータ
読み出しデータ
41
Vcc
421
422
423
424
43
42
DQ
BDQ

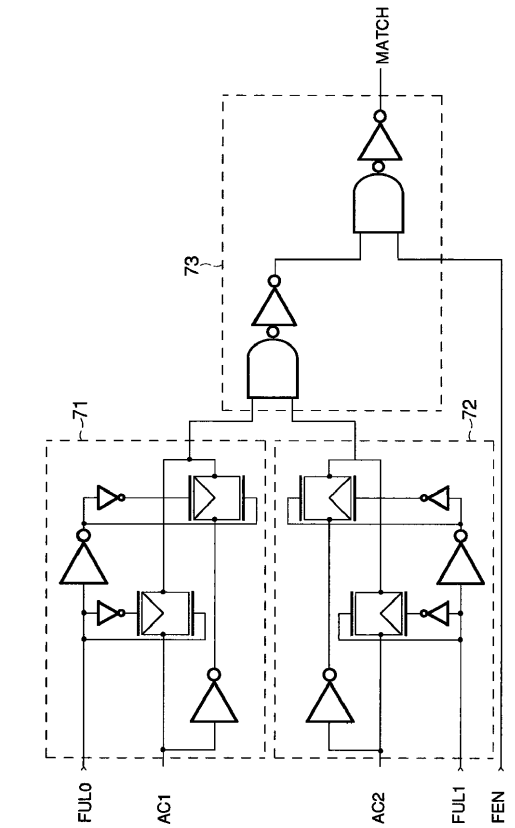
【図５】


Vcc
冗長ｶﾗﾑ(2)
書込みﾃﾞｰﾀ
冗長ｶﾗﾑ(2)
読み出しﾃﾞｰﾀ
冗長ｶﾗﾑ(1)
書込みﾃﾞｰﾀ
冗長ｶﾗﾑ(1)
読み出しﾃﾞｰﾀ
通常ｶﾗﾑ
通常ｶﾗﾑ
読み出しﾃﾞｰﾀ
書込みﾃﾞｰﾀ
冗長書込み制御信号2
冗長書込み制御信号1
Vss
読み出しﾃﾞｰﾀ
冗長読み出し制御信号1
冗長読み出し制御信号2

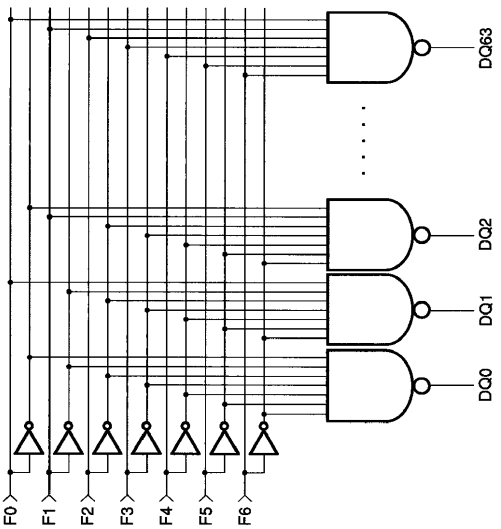
【図６】


60
ﾋｭｰｽﾞｾｯﾄ
AC1
AC2
ｲﾈｰﾌﾞﾙﾛｼﾞｯｸ回路
70
MATCH
FEN
FUL0
FUL1
F0
F1
F2
F3
F4
F5
F6
80
ﾃﾞｰﾀ線ﾊﾞｯﾌｧ
選択回路

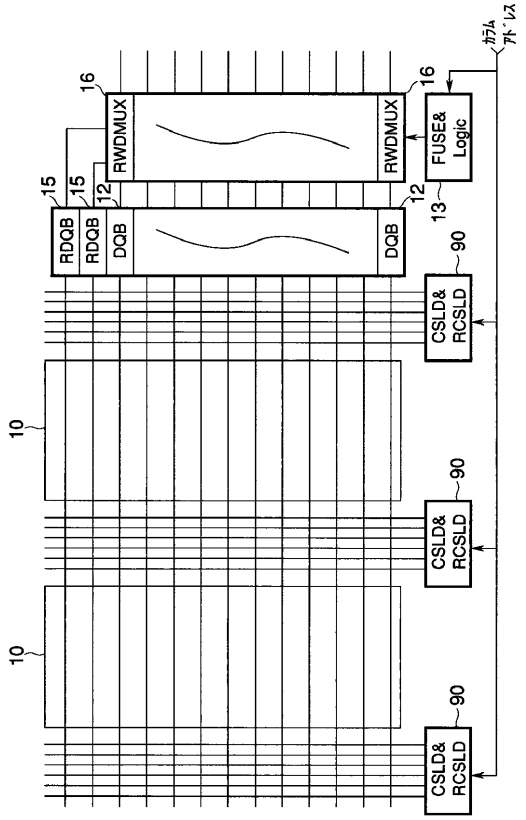
【図７】


MATCH
73
71
72
FUL0
AC1
AC2
FUL1
FEN

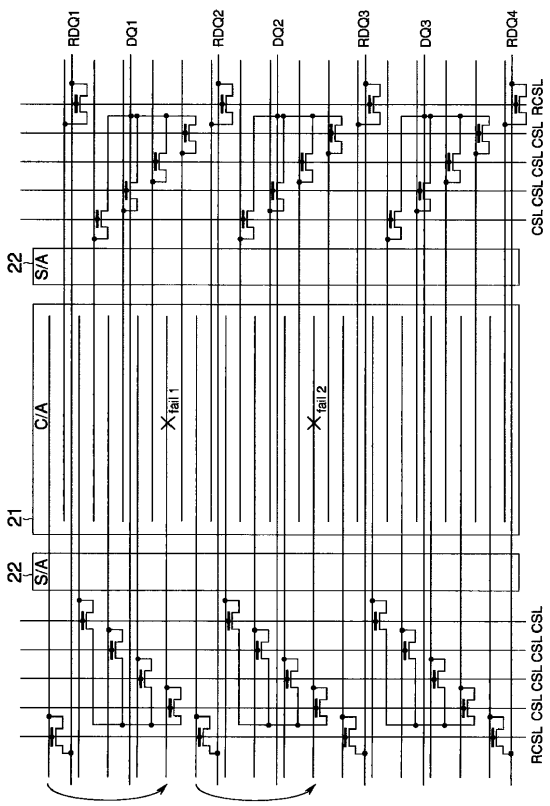
【図８】


DQ63
DQ2
DQ1
DQ0
F0
F1
F2
F3
F4
F5
F6

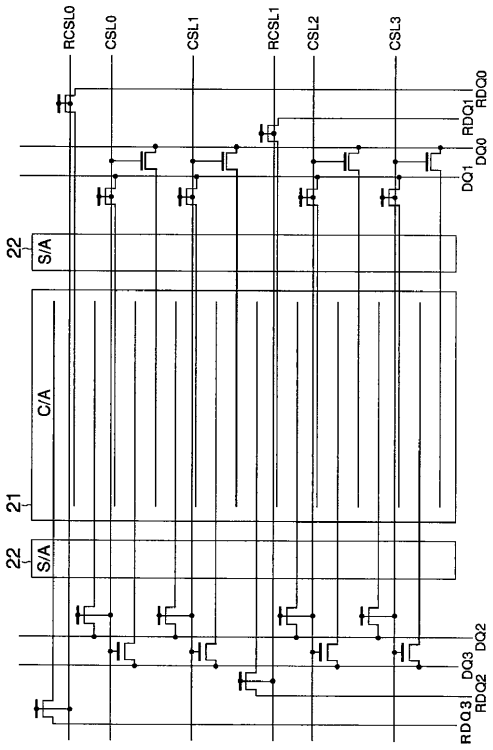
【図９】



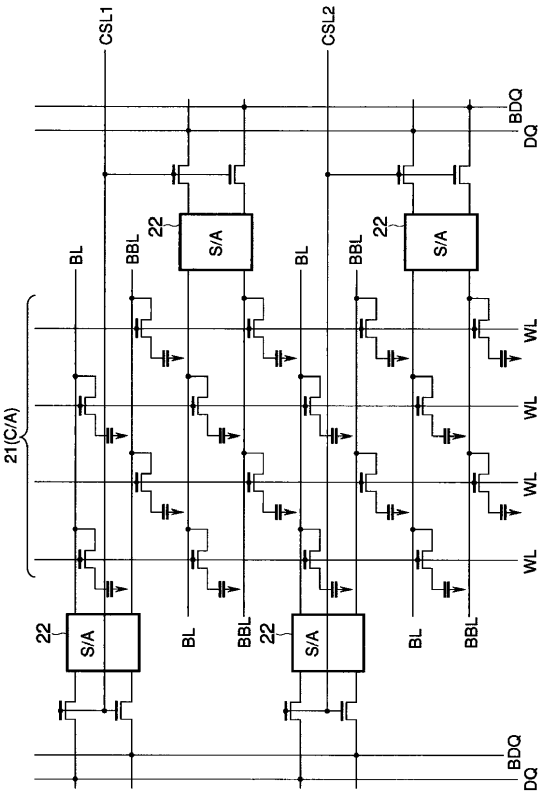
【図１０】



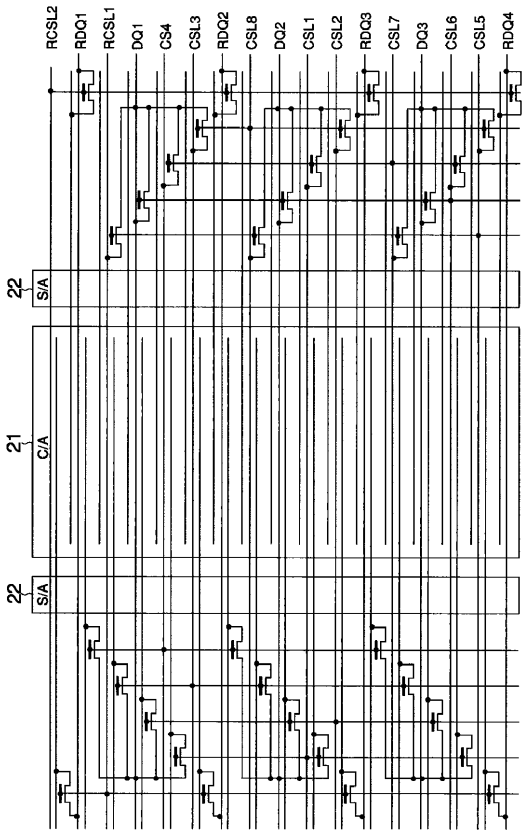
【図１１】



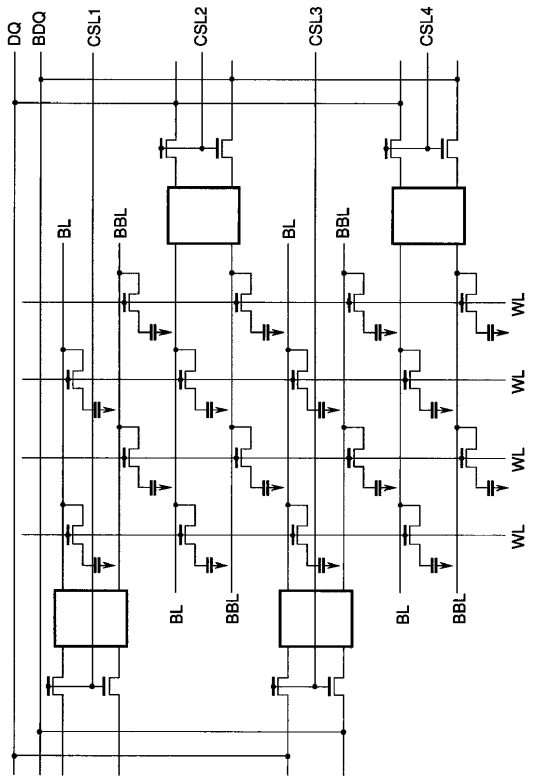
【図１２】



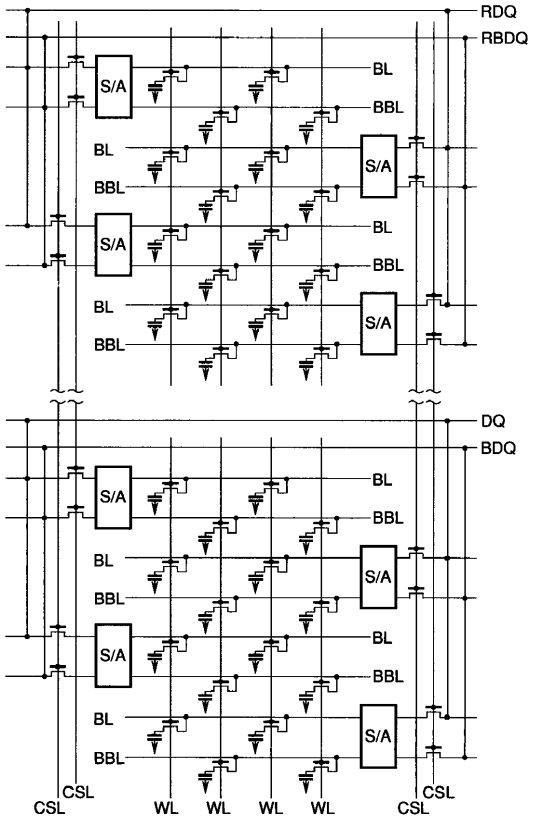
【図１３】



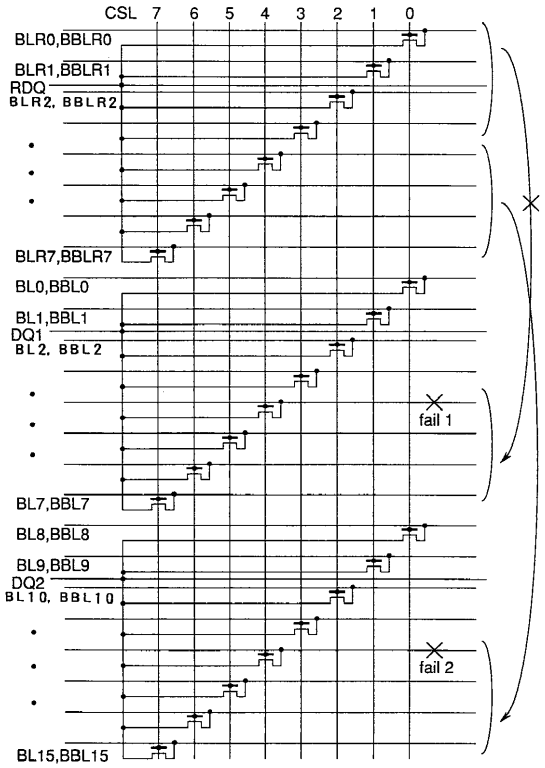
【図１４】



【図１５】



【図１６】



フロントページの続き

(74)代理人 100070437
弁理士 河井 将次
(72)発明者 芳賀 亮
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内

審査官 小松 正

(56)参考文献 特開平０５－０７４１８９（ＪＰ，Ａ）
特開平０６－０７６５９６（ＪＰ，Ａ）
特開平０７－３２０４８０（ＪＰ，Ａ）
特表昭５９－５００１１７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099