



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I416537 B

(45) 公告日：中華民國 102 (2013) 年 11 月 21 日

(21) 申請案號：098101247

(22) 申請日：中華民國 98 (2009) 年 01 月 14 日

(51) Int. Cl. : G11C8/08 (2006.01)

(30) 優先權：2008/09/08 南韓 10-2008-0088324

(71) 申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72) 發明人：尹泰植 YUN, TAE-SIK (KR) ; 李康設 LEE, KANG-SEOL (KR)

(74) 代理人：陳長文

(56) 參考文獻：

| | | | |
|----|----------------|----|-----------|
| US | 6337831B1 | US | 6603701B2 |
| US | 6643175B2 | US | 6937535B2 |
| US | 7068561B2 | US | 7363460B2 |
| US | 2005/0144419A1 | | |

審查人員：蕭明椿

申請專利範圍項數：13 項 圖式數：19 共 0 頁

(54) 名稱

半導體記憶體裝置和其字線驅動方法

SEMICONDUCTOR MEMORY DEVICE AND WORD LINE DRIVING METHOD THEREOF

(57) 摘要

本發明係關於一種具有複數個單元區塊之半導體記憶體裝置，其包括：一區塊解碼單元，其經組態以解碼一用於選擇一對應單元區塊之輸入位址從而產生一區塊選擇信號；一區塊資訊位址產生單元，其經組態以對該區塊選擇信號及一用於選擇該對應單元區塊內之一待啟動之字線的指派位址執行一邏輯運算以產生一僅在選擇該對應單元區塊時經啟動之區塊資訊位址；及一字線驅動單元，其經組態以回應於該區塊資訊位址而選擇一字線。

A semiconductor memory device having a plurality of cell blocks includes: a block decoding unit configured to decode an input address for selecting a corresponding cell block to generate a block selection signal; a block information address generating unit configured to perform a logic operation on the block selection signal and an assignment address for selecting a word line to be activated within the corresponding cell block to generate a block information address activated only when the corresponding cell block is selected; and a word line driving unit configured to select a word line in response to the block information address.

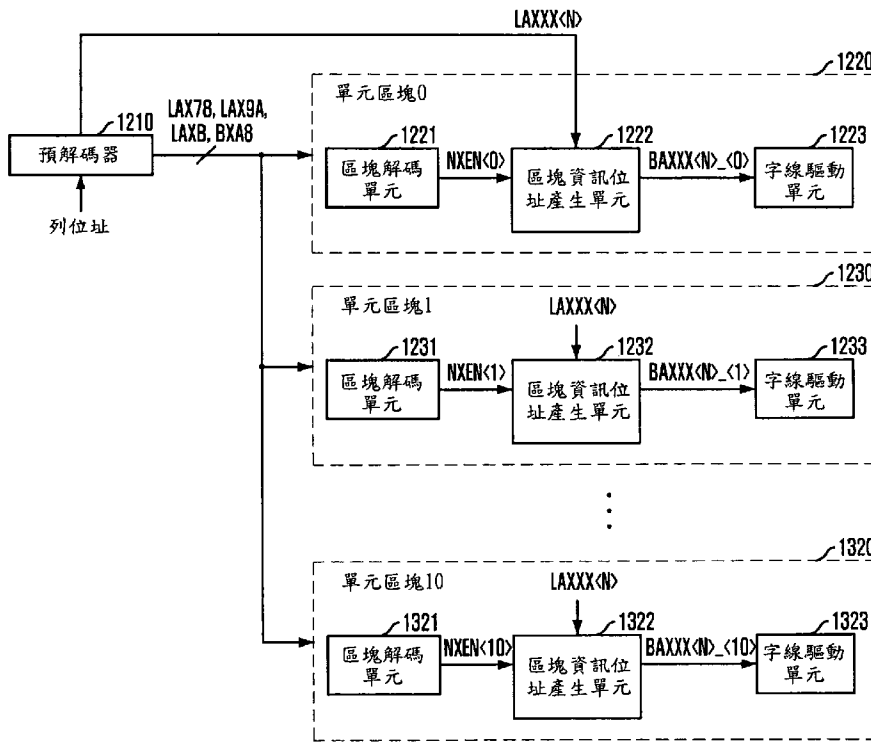


圖12

- 1210 . . . 預解碼器
- 1220 . . . 單元區塊
- 1221 . . . 區塊解碼單元
- 1222 . . . 區塊資訊位址產生單元
- 1223 . . . 字線驅動單元
- 1230 . . . 單元區塊
- 1231 . . . 區塊解碼單元
- 1232 . . . 區塊資訊位址產生單元
- 1233 . . . 字線驅動單元
- 1320 . . . 單元區塊
- 1321 . . . 區塊解碼單元
- 1322 . . . 區塊資訊位址產生單元
- 1323 . . . 字線驅動單元

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98101247

※ 申請日：98-1-14

※IPC 分類：G11C

一、發明名稱：(中文/英文)

G11C 8/08 (2006.01)

半導體記憶體裝置和其字線驅動方法

SEMICONDUCTOR MEMORY DEVICE AND WORD LINE DRIVING
METHOD THEREOF

二、中文發明摘要：

本發明係關於一種具有複數個單元區塊之半導體記憶體裝置，其包括：一區塊解碼單元，其經組態以解碼一用於選擇一對應單元區塊之輸入位址從而產生一區塊選擇信號；一區塊資訊位址產生單元，其經組態以對該區塊選擇信號及一用於選擇該對應單元區塊內之一待啟動之字線的指派位址執行一邏輯運算以產生一僅在選擇該對應單元區塊時經啟動之區塊資訊位址；及一字線驅動單元，其經組態以回應於該區塊資訊位址而選擇一字線。

三、英文發明摘要：

A semiconductor memory device having a plurality of cell blocks includes: a block decoding unit configured to decode an input address for selecting a corresponding cell block to generate a block selection signal; a block information address generating unit configured to perform a logic operation on the block selection signal and an

assignment address for selecting a word line to be activated within the corresponding cell block to generate a block information address activated only when the corresponding cell block is selected; and a word line driving unit configured to select a word line in response to the block information address.

四、指定代表圖：

(一)本案指定代表圖為：第(12)圖。

(二)本代表圖之元件符號簡單說明：

| | |
|------|------------|
| 1210 | 預解碼器 |
| 1220 | 單元區塊 |
| 1221 | 區塊解碼單元 |
| 1222 | 區塊資訊位址產生單元 |
| 1223 | 字線驅動單元 |
| 1230 | 單元區塊 |
| 1231 | 區塊解碼單元 |
| 1232 | 區塊資訊位址產生單元 |
| 1233 | 字線驅動單元 |
| 1320 | 單元區塊 |
| 1321 | 區塊解碼單元 |
| 1322 | 區塊資訊位址產生單元 |
| 1323 | 字線驅動單元 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體記憶體裝置，且更特定言之係關於一種用於藉由解碼一位址來驅動一字線的方法。

本發明主張2008年9月8日申請之韓國專利申請案第10-2008-0088324號之優先權，該案之全文以引用的方式併入。

【先前技術】

一半導體記憶體裝置包括位於其中之複數個單元區塊，且該等單元區塊中之每一者包括複數個記憶體單元。在每一單元區塊中之字線的數目係2的冪(例如，256或512)的狀況下，根據一位址來選擇一待驅動之字線係相對簡單的。若單元區塊包括256條字線，則使用八個位址來選擇一對一地對應於位址之字線；且若單元區塊包括512條字線，則使用九個位址來選擇一對一地對應於位址之字線。然而，可以每一單元區塊中所提供之字線的數目非為2的冪的組態來設計半導體記憶體裝置。舉例而言，當單元區塊包括512條字線時，電流消耗及計時之效率可歸因於該單元區塊之大尺寸而降級。然而，當單元區塊包括256條字線時，儲存於一個單元區塊中之資料的數目減少，此導致單元區塊之總數目增加。因此，常常以字線之數目非為2的冪(例如，每一單元區塊中所提供之字線的數目為384)之方式設計記憶體裝置。

在此狀況下，因為在單元區塊中之每一者中待選擇之字

線的數目並非一對一地對應於位址之數目，所以選擇一字線的程序變得複雜。將在下文詳細描述此。

圖1係一習知半導體記憶體裝置之方塊圖，該習知半導體記憶體裝置具有一用於藉由解碼一位址來選擇一字線的電路組態。

如所示，習知半導體記憶體裝置包括：十一個單元區塊120至220，該等單元區塊120至220中之每一者具備384條字線；及一預解碼器110。亦即，字線之總數目為4,224。預解碼器110預解碼第七至第十一位址 $X\langle 7:11 \rangle$ 以輸出位址 $PMS\langle 0:10 \rangle$ 。該等位址 $PMS\langle 0:10 \rangle$ 僅將其形式自第七至第十一位址 $X\langle 7:11 \rangle$ 改變，但亦類似於第七至第十一位址 $X\langle 7:11 \rangle$ 。儘管未展示，但亦將不同於位址 $PMS\langle 0:10 \rangle$ 之位址輸入至單元區塊120至220中之每一者。

自預解碼器110輸出之位址及本文中未展示之其他位址經輸入至單元區塊120至220中之每一者，並控制一主字線驅動單元121、一 ϕX 驅動單元124、一副字線驅動單元127及其類似物以驅動一由位址選擇之特定字線。

圖2係一說明單元區塊與位址 $X\langle 7:11 \rangle$ 之間的映射關係的映射表。單元區塊分別由如圖2中所說明之位址組合來選擇。由於十一個單元區塊中之一者係使用五個位址來選擇，所以一些單元區塊(例如，第零個至第九個單元區塊)係由五個位址之三個組合來選擇，且其他單元區塊(例如，第十個單元區塊)係由五個位址之兩個組合來選擇。

圖3至圖6係電路圖，其例示性地說明了如何在圖1中所

示之預解碼器110中解碼位址。

參看圖3，參考符號'BXA7'指示第七位址，且參考符號'BXA8'指示第八位址。參考符號'AXI<70>'係一在第七位址BXA7及第八位址BXA8兩者具有值'0'時具有值'1'的信號，且參考符號'AXI<73>'係一在第七位址BXA7及第八位址BXA8兩者具有值'1'時具有值'1'的信號。同樣，儘管未展示，但參考符號'AXI<71>'係一在第七位址BXA7具有值'1'且第八位址BXA8具有值'0'時具有值'1'的信號，且參考符號'AXI<72>'係一在第七位址BXA7具有值'0'且第八位址BXA8具有值'1'時具有值'1'的信號。參考符號'BXA8B'僅指示第八位址BXA8之反信號，參考符號'AXBI<70>'僅指示信號AXI<70>之反信號，且參考符號'AXBI<73>'僅指示信號AXI<73>之反信號。

亦即，位址AXI<70>、BXA8B及AXI<73>係藉由預解碼各別位址而獲得。在各種種類之區塊中使用以此方式預解碼之位址AXI<XX>，其將在稍後經描述。

參看圖4，第九至第十一位址BXA9、BXA10及BXA11經預解碼以產生位址MMS<0:7>。該等位址MMS<0:7>係藉由將第九至第十一位址BXA9、BXA10及BXA11變換為二進位數而獲得的二進位碼。當所有第九至第十一位址BXA9、BXA10及BXA11具有值'0'時，位址MMS<0>具有值'1'；且當所有第九至第十一位址BXA9、BXA10及BXA11具有值'1'時，位址MMS<7>具有值'1'。位址MMS<0:7>將其形式自位址BXA9、BXA10及BXA11改變，但其亦為位

址，將在稍後描述之各種種類之區塊中使用其。

參看圖 5，可見，位址 PMS<0:3>係經由解碼預解碼位址 MMS<X>及 AXBI<X>而產生。該等位址 PMS<0:3>中之每一者係一在選擇單元區塊<0:3>中之每一者時被啟動的信號。此可自用以產生位址 PMS<0:3>之位址及圖 2 之映射表來理解。儘管未展示，但可以與位址 PMS<0:3>相同之方式產生位址 PMS<4:7>。參考符號 'R3DI' 指示一在一用於測試冗餘單元之測試模式中所使用之信號，且在正常操作期間經固定至值 '1'。

參看圖 6，可見，位址 PMS<8:10>係藉由解碼位址 MMS<X>及位址 AXBI<X>而產生。當選擇單元區塊<8:10>中之每一者時，該等位址 PMS<8:10>經啟動，此可自圖 2 之映射表來理解。

圖 7 及圖 8 係圖 1 中所示之主字線驅動單元 121 的電路圖。圖 7 說明了主字線驅動單元 121 之接收位址的一部分。特定言之，圖 7 說明了主字線驅動單元 121 之經提供於第零個單元區塊 120 中的部分，且因此，藉由位址 PMS<0>來啟用主字線驅動單元 121。此係因為在選擇第零個單元區塊 120 時位址 PMS<0>被啟動。

亦即，圖 7 之電路根據在位址 PMS<0>之啟動期間位址 AXI<60:65>當中的哪一位址經啟動而產生經啟動至邏輯 '低' 的信號 MWDI<60:65>。位址 AXI<60:65>係藉由解碼第六至第八位址 BXA6、BXA7 及 BXA8 而獲得。視待驅動之字線的數目而定，圖 7 之電路以複數之形式而被提供於主

字線驅動單元121中。

圖8說明了主字線驅動單元121之另一部分，其用於基於信號MWDI<60>與位址AXI<30>之組合來驅動一第零條主字線MWLB<0>。當基於第三至第五位址之組合而達成的位址AXI<30>在信號MWDI<60>經啟動至邏輯'低'的狀態下被啟動至邏輯'高'時，第零條主字線MWLB<0>經啟用至邏輯'低'。亦以與第零條主字線MWLB<0>相同之方式基於各別位址的組合而經啟用其他主字線(亦即，不同於第零條主字線MWLB<0>的主字線)。參考符號'WPHMW'指示主字線驅動單元121之一控制信號，其無關於選擇字線之程序。

圖9及圖10係圖1中所示之phi X驅動單元124的電路圖。圖9說明了phi X驅動單元124之接收位址的一部分。類似於主字線驅動單元121，亦基於位址PMS<0>而啟用phi X驅動單元124，因為phi X驅動單元124亦提供於第零個單元區塊120中。phi X驅動單元124基於位址AXI<20:21>之組合而產生經啟動至邏輯'低'的信號FXD20及信號FXD21，該等位址AXI<20:21>係基於第二至第四位址之組合而獲得。

圖10說明了phi X驅動單元124之產生一第零個phi X控制信號FXB<0>的另一部分。當第零個位址AXI<0>在產生於圖9中之phi X驅動單元124之部分中的信號FXD20經啟動至邏輯'低'的狀態下具有值'1'時，第零個phi X控制信號FXB<0>經啟動至邏輯'低'。其他phi X控制信號亦以與第零

個 phi X 控制信號 $FXB<0>$ 相同之方式基於各別位址之組合而經啟動。參考符號 'WPHFX' 指示 phi X 驅動單元 124 之一控制信號，其無關於選擇字線之程序。

圖 11 係圖 1 中所示之副字線驅動單元 127 的電路圖。特定言之，圖 11 說明了副字線驅動單元 127 之一部分，該部分驅動由第零條主字線 MWLB0 控制之第零條、第二條、第四條、第六條、第八條、第十條、第十二條及第十四條副字線 SWL0、SWL2、SWL4、SWL6、SWL8、SWL10 及 SWL12。當對應之主字線 MWLB 及對應之 phi X 控制信號 FXB 經啟動至邏輯 '低' 時，每一副字線 SWL 經啟用至邏輯 '高'。

若每一單元區塊中所提供之字線的數目非為 2 的冪，則位址與字線並非一對一地彼此對應。因此，一些位址應同時執行選擇單元區塊中之字線及選擇單元區塊。

需要複數個控制一解碼器之控制電路來執行連續選擇操作，因為選擇單元區塊中之字線與選擇單元區塊係同時執行的。此使得主字線驅動單元、phi X 驅動單元等具有複雜組態。

詳言之，可在通過複數個解碼端子之後產生用於選擇單元區塊之信號 $PMS<0:10>$ ，從而在此程序期間產生延遲。在產生選擇單元區塊的信號 $PMS<0:10>$ 之後，執行一後續解碼操作(字線選擇操作)，以在單元區塊中之字線驅動單元及 phi X 驅動單元係藉由所產生之信號 $PMS<0:10>$ 而啟用的狀態下選擇單元區塊之字線。因此，時間延遲增加。若

用於選擇及啟用字線所花費的時間如上文而增加，則存在感測放大器之感測容限及AC特徵(例如，tRCD及tRP)退化的問題。

此外，用於解碼字線之電路的總面積係大的，此導致電流消耗及布局面積增大。

【發明內容】

本發明之實施例係針對提供一種半導體記憶體裝置及其字線驅動方法，其可減少用以選擇字線所花費之延遲時間且亦藉由使用一簡單解碼方法來選擇一單元區塊及字線來減小一解碼電路之總面積。

本發明之實施例係針對提供一種半導體記憶體裝置及其字線驅動方法，其可藉由最大量地減少用於選擇一字線所花費之時間來改良AC特徵，即使每一單元區塊中所提供之字線的數目非為2的冪亦如此。

根據本發明之一態樣，提供一種包括複數個單元區塊之半導體記憶體裝置，其包括：一區塊解碼單元，其經組態以解碼一用於選擇一對應單元區塊之位址從而產生一區塊選擇信號；一區塊資訊位址產生單元，其經組態以對該區塊選擇信號及一用於選擇該對應單元區塊內之一待啟動之字線的指派位址執行一邏輯運算以產生一僅在選擇該對應單元區塊時經啟動之區塊資訊位址；及一字線驅動單元，其經組態以回應於該區塊資訊位址而選擇一字線。

根據本發明之另一態樣，提供一種一半導體記憶體裝置之字線驅動方法，該方法包括：解碼一用於選擇單元區塊

之輸入位址以產生一在選擇一對應單元區塊時經啟動之區塊選擇信號；對該區塊選擇信號及一用於選擇該對應單元區塊內之一待啟動之字線的指派位址執行一邏輯運算以產生一僅在啟動該區塊選擇信號時經啟動的區塊資訊位址；及回應於該區塊資訊位址而驅動每一單元區塊中之一字線。

【實施方式】

本發明之其他目標及優點可藉由以下描述來理解，且參考本發明之實施例而變得顯而易見。

下文中，將例示性地說明在每一單元區塊中包括384條字線的半導體記憶體裝置。然而，本發明之要素係藉由允許一用以選擇單元區塊中之字線的位址亦含有單元區塊選擇資訊來簡化字線選擇操作。因此，明顯地，本發明之要素亦適用於多種半導體記憶體裝置。

圖12係根據本發明之一實施例之半導體記憶體裝置的方塊圖。

參看圖12，根據本發明之該實施例的半導體記憶體裝置包括分別對應於單元區塊1220至1320的區塊解碼單元1221至1321、區塊資訊位址產生單元1222至1322及字線驅動單元1223至1323。

區塊解碼單元1221至1321藉由解碼用以選擇對應單元區塊1220至1320之位址LAX9A、LAXB、LAX78及BXA8而產生區塊選擇信號NXEN<0:10>。區塊解碼單元1221對應於第零個單元區塊1220，且藉由解碼用以選擇第零個單元區

塊 1220 之位址 LAX9A、LAXB、LAX78 及 BXA8 而產生一區塊選擇信號 NXEN<0>。當選擇第零個單元區塊 1220 時，區塊選擇信號 NXEN<0> 經啟動。本文中，將在稍後具體描述在位址 LAX9A、LAXB、LAX78、BXA8 之名稱後面的下標。同樣，區塊解碼單元 1231 對應於第一個單元區塊 1230，且產生一在選擇第一個單元區塊 1230 時經啟動之區塊選擇信號 NXEN<1>。

區塊資訊位址產生單元 1222 至 1322 對區塊選擇信號 NXEN<0:10> 及一位址 LAXXX<N> 執行一邏輯運算，以藉此產生僅在選擇對應單元區塊時經啟動的區塊資訊位址 BAXXX<N>__{<0:10>}。位址 LAXXX 係一用於選擇對應單元區塊中之一字線的信號。區塊資訊位址 BAXXX<N>__{<0:10>} 僅在啟動區塊選擇信號 NXEW<0:10> 中之對應一者時具有一原始位址值；且若否，則其總是具有值 '0'。舉例而言，自區塊資訊位址產生單元 1222 輸出之區塊資訊位址 BAXXX<N>__{<0>} 僅在啟動區塊選擇信號 NXEN<0> 時具有與位址相同之值。然而，當撤銷區塊選擇信號 NXEN<0> 時，區塊資訊位址 BAXXX<N>__{<0>} 總是具有值 '0'。

每一字線驅動單元 1223 至 1323 使用區塊資訊位址 BAXXX<N>__{<0:10>} 中之對應一者來選擇一字線。該等區塊資訊位址 BAXXX<N>__{<0:10>} 包括關於待驅動之字線所屬之對應單元區塊 1220 至 1320 的資訊。因此，藉由使用區塊資訊位址 BAXXX<N>__{<0:10>}，字線驅動單元 1223 至

1323可偵測是否選擇對應單元區塊，且亦偵測待驅動之字線。字線驅動單元1223至1323不僅可使用區塊資訊位址BAXXX<N>_<0:10>，而且使用一正常位址(諸如，LAX)連同區塊資訊位址BAXXX<N>_<0:10>。如類似於習知字線驅動單元之組態，字線驅動單元1223至1323可包括一主字線驅動單元、一phi X驅動單元及一副字線驅動單元。

預解碼器1210預解碼一位址ROW_ADDRESS以將經預解碼之位址傳送至對應單元區塊1220至1320。自預解碼器1210輸出之位址(例如，LAX或BAX)將其形式自輸入至預解碼器1210之位址ROW_ADDRESS改變。將在稍後參看隨附圖式來詳細描述此。

不同於習知半導體記憶體裝置，並未獨立使用用於選擇單元區塊1220至1320之信號及用於選擇單元區塊1220至1320中之字線的位址，而是由相同區塊資訊位址BAXXX<N>_<0:10>來選擇單元區塊1220至1320與字線，該等相同區塊資訊位址BAXXX<N>_<0:10>包括用於選擇單元區塊1220至1320及單元區塊1220至1320中之字線的資訊。因此，選擇單元區塊1220至1320與選擇字線係同時執行的。此使得不必考慮用於選擇單元區塊1220至1320之計時容限及用於選擇字線之計時容限兩者，因為單元區塊1220至1320與字線係同時選擇的。結果，可減少用於選擇字線所花費之延遲時間，從而改良一記憶體裝置之AC特徵。

由於單元區塊1220至1320中之每一者包括對應之區塊解

碼單元 1221 至 1321 及對應之區塊資訊位址產生單元 1222 至 1322，所以在將此等電路安置於以列為基礎之電路及以行為基礎之電路彼此交叉的區域處時，可減小記憶體裝置之總面積。本文中，區塊解碼單元 1221 至 1321 具有相同組態，但接收不同輸入信號，且區塊資訊位址產生單元 1222 至 1322 亦具有相同組態但接收不同輸入信號。

在習知半導體記憶體裝置中，單元區塊之所有選擇信號由預解碼器產生且用於解碼所有單元區塊之選擇信號的電路應需要大面積。因此，難在單元區塊中之每一者中獨立地配置用於選擇單元區塊之電路。然而，在本發明之半導體記憶體裝置中，可將用於選擇單元區塊之電路獨立地安置於單元區塊 1220 至 1320 中之每一者中，因為區塊解碼單元 1221 至 1321，及區塊資訊位址產生單元 1222 至 1322 經提供於單元區塊 1220 至 1320 中之每一者中。

圖 13 及圖 14 係圖 12 中所示之預解碼器 1210 中所包括之電路的電路圖。

參看圖 13，一位址 BX 由一位址啟用信號 XAEN 鎖存，且接著輸出作為一位址 BXA。其意謂可僅在啟動列位址啟用信號 XAEN 之同時輸入一新的位址。

將圖 13 之電路提供用於每一位址。亦即，提供圖 13 之電路以接收各別位址(例如，第零個位址或第一個位址)。然而，出於一般說明，並未給予圖 13 中之位址 BX 及 BXA 一特定位址數。

參看圖 14，可見，藉由解碼第七個址 BXA7 及第八個位

址 BXA8 而產生位址 LAX78<0:3>。此處，在參考符號 'LAX78<0:3>' 中，'78' 意謂此位址具有第七個位址 BXA7 之資訊及第八個位址 BXA8 之資訊，且 '<0:3>' 意謂藉由將第七個位址 BXA7 及第八個位址 BXA8 變換為二進位數所獲得之二進位碼的值。舉例而言，若第七個位址 BXA7 及第八個位址 BXA8 兩者具有值 '0'，則位址 LAX78<0> 具有值 '1'；且若第七個位址 BXA7 及第八個位址 BXA8 兩者具有值 '1'，則位址 LAX78<3> 具有值 '1'。

圖 15 係圖 12 中所示之區塊解碼單元 1221 的電路圖。區塊解碼單元 1221 解碼用於選擇單元區塊 1220 之位址以產生在選擇單元區塊 1220 時經啟動之區塊選擇信號 NXEN<0>。

圖 15 之區塊解碼單元對應於第零個單元區塊 1220 中所包括之區塊解碼單元 1221，且以在輸入用於選擇第零個單元區塊 1220 之位址之組合時區塊選擇信號 NXEN<0> 經啟動之方式經組態。如何由位址之組合來選擇單元區塊 1220 至 1320 中之每一者已描述於圖 2 之映射表中。

自圖 2 之映射表，第八個位址 X<8> 之三個值中的兩個在用於選擇單元區塊 1220 至 1320 中之每一者的位址之組合中係相同的。舉例而言，第八個位址 X<8> 之三個值中的兩個在用於選擇第零個單元區塊之位址之組合中係 '0'，且第八個位址 X<8> 之三個值中的兩個在用於選擇第二個單元區塊之位址之組合中係 '1'。

當第八個位址 X<8> 具有上文所描述之值時，第九個、第十個及第十一個位址 X<9:11> 之值未改變。舉例而言，

若用於選擇第零個單元區塊的第八個位址 $X\langle 8 \rangle$ 之三個值中的兩個係 '0'，則第九個、第十個及第十一個位址 $X\langle 9:11 \rangle$ 分別具有值 '0'、'0' 及 '0'。同樣，若用於選擇第二個單元區塊的第八個位址 $X\langle 8 \rangle$ 之三個值中的兩個係 '1'，則第九個、第十個及第十一個位址 $X\langle 9:11 \rangle$ 分別具有值 '1'、'0' 及 '0'。

在此狀況下，輸入位於圖 15 之虛線下面的位址以選擇單元區塊。舉例而言，當第八個位址 $X\langle 8 \rangle$ 具有值 '0' 且第九個、第十個及第十一個位址 $X\langle 9:11 \rangle$ 分別具有值 '0'、'0' 及 '0' 時，總是選擇第零個單元區塊而不管另一位址之值。因此，如圖 15 中所說明，當輸入至展示於圖 15 之虛線下面之電路的位址 $LAX9A\langle 0 \rangle$ 、位址 $LAXB\langle 0 \rangle$ 及位址 $BXA8\langle 0 \rangle$ 具有值 '1' 時，區塊選擇信號 $NXEN\langle 0 \rangle$ 具有值 '1'。此處，位址 $LAX9A\langle 0 \rangle$ 係基於第九個位址及第十個位址之組合而產生，且位址 $LAXB\langle 0 \rangle$ 意謂第十一個位址。

在第八個位址 $X\langle 8 \rangle$ 具有一不同於上文之值的狀況下，輸入位於圖 15 之虛線上方的位址以選擇單元區塊。舉例而言，當第八個位址 $X\langle 8 \rangle$ 具有值 '1' 時，可僅在第七個位址 $X\langle 7 \rangle$ 具有值 '0' 且第九個、第十個及第十一個位址 $X\langle 9:11 \rangle$ 分別具有值 '0'、'0' 及 '0' 時選擇第零個單元區塊。因此，電路經組態使得在位於圖 15 之虛線上方的所有位址 $LAX9A\langle 0 \rangle$ 、 $LAXB\langle 0 \rangle$ 及 $LAX78\langle 1 \rangle$ 具有值 '1' 時，區塊選擇信號 $NXEN\langle 0 \rangle$ 具有值 '1'。

同樣，若設計一電路以產生選擇第一個單元區塊之區塊

選擇信號 $NXEN<1>$ ，則將位址 $LAX9A<0>$ 、 $LAXB<0>$ 、 $LAX78<3>$ 、 $LAX9A<1>$ 、 $LAXB<0>$ 及 $BXA8<0>$ 自圖 15 中之上部分輸入至下部分。又，若設計一電路以產生一選擇第五個單元區塊之區塊選擇信號 $NXEN<5>$ ，則將位址 $LAX9A<3>$ 、 $LAXB<0>$ 、 $LAX78<3>$ 、 $LAX9A<0>$ 、 $LAXB<1>$ 及 $BXA8<0>$ 自圖 15 中之上部分輸入至下部分。

一般熟習此項技術者可參看圖 2 及圖 15 來設計所需之用於選擇各別單元區塊 1220 至 1320 的位址，且由此本文中將省略對其之進一步描述。

圖 16 係圖 12 中所示之區塊資訊位址產生單元 1222 的電路圖。

參看圖 16，區塊資訊位址產生單元 1222 藉由組合位址 $LAX34<0:3>$ 與在選擇單元區塊 1220 時經啟動之區塊選擇信號 $NXEN<0>$ 而產生區塊資訊位址 $BAX34<0:3>_{<0>}$ 。

圖 16 中所示之區塊資訊位址產生單元係對應於第零個單元區塊 1220 之區塊資訊位址產生單元 1222，其具有一用以接收區塊選擇信號 $NXEN<0>$ 與位址 $LAX34<0:3>$ 之組合的組態。若區塊資訊位址產生單元屬於其他單元區塊 1230 至 1320，則其使用用於選擇其他單元區塊 1230 至 1320 之區塊選擇信號 $NXEN<N>$ 。

關於操作，當啟動區塊選擇信號 $NXEN<0>$ 時（亦即，當選擇第零個單元區塊 1220 時），位址 $LAX34<0:3>$ 與區塊資訊位址 $BAX34<0:3>_{<0>}$ 具有相同值。然而，當撤銷區塊選擇信號 $NXEN<0>$ 時（亦即，當未選擇第零個單元區塊

1220時)，區塊資訊位址 $BAX34<0:3>_{<0>}$ 必須具有值 '0'。

若區塊資訊位址產生單元屬於第五個單元區塊，則其對位址 $LAX34<0:3>$ 及區塊選擇信號 $NXEN<5>$ 執行一邏輯運算以產生區塊資訊位址 $BAX34<0:3>_{<5>}$ 。儘管圖 16 說明了位址 $BAX34$ 係使用具有第三位址及第四位址之資訊的位址 $LAX34$ 而產生的狀況，但使用 $LAX56$ 來產生位址 $BAX56$ 及使用 $LAX78$ 來產生位址 $BAX78$ 的原理與上文相同。

圖 17 至圖 19 係圖 12 中所示之字線驅動單元 1223 的電路圖。圖 17 係一主字線驅動單元之電路圖，圖 18 係一 ϕX 驅動單元之電路圖，且圖 19 係一副字線驅動單元之電路圖。

圖 17 說明了主字線驅動單元之一部分。主字線驅動單元之另一部分(本文中未展示)具有與圖 17 之電路的組態相同的組態，除區塊位址 BAX 及位址 LAX 以外。主字線驅動單元回應於區塊資訊位址 $BAX56<3>_{<0>}$ 及 $BAX78<0>_{<0>}$ 以及位址 $LAX34<0:3>$ 而驅動主字線 $MWLB<0:3>$ 。

如上文所描述，若未選擇第零個單元區塊，則區塊資訊位址 $BAX56<3>_{<0>}$ 及 $BAX78<0>_{<0>}$ 總是具有值 '0'。因此，若未選擇第零個單元區塊，則圖 17 之主字線驅動單元不驅動主字線 $MWLB<0:3>$ 。然而，若選擇第零個單元區塊，則主字線 $MWLB<0:3>$ 中之一者僅藉由第五個、第六個、第七個及第八個位址 $BAX56<3>_{<0>}$ 及 $BAX78<0>_{<0>}$ 以及第三個及第四個位址 $LAX34<0:3>$ 之組合而驅動至邏輯 '低'。

亦即，當未選擇第零個單元區塊時，區塊資訊位址 $BAX56<3>_{<0>}$ 及 $BAX78<0>_{<0>}$ 並未驅動第零個單元區塊中之任何主字線 $MWLB<0:3>$ ，且亦起作用以使用位址資訊(例如，第五個、第六個、第七個及第八個位址之資訊)來選擇主字線 $MWLB<0:3>$ 中之一者。

使用一由參考符號 'WLOFF' 指示之信號來去能所有字線，且若啟動信號 WLOFF，則所有主字線 $MWLB$ 經去能至邏輯 '高'。

圖 18 說明了 ϕX 驅動單元之一部分。 ϕX 驅動單元之另一部分(本文中未展示)具有與圖 18 之電路的組態相同的組態，除區塊位址 BAX 及位址 LAX 以外。類似於主字線驅動單元，當未選擇第零個單元區塊時，區塊資訊位址 $BAX2<0>_{<0>}$ 具有值 '0'。因此，任何 ϕX 控制信號 $FXB<0:3>$ 未經撤銷至邏輯 '低'。當選擇第零個單元區塊時，使用第二位址 $BAX2<0>_{<0>}$ 及第零個與第一個位址 $LAX01<0:3>$ 之資訊來啟動 ϕX 控制信號 $FXB<0:3>$ 中之一者。

圖 19 說明了副字線驅動單元之一部分。副字線驅動單元之另一部分(本文中未展示)具有與圖 19 之電路的組態相同的組態，除區塊位址 BAX 及位址 LAX 以外。

關於操作，當 ϕX 控制信號 $FXB<0>$ 經啟動至邏輯 '低' 且主字線 $MWLB<0>$ 經驅動至邏輯 '低' 時，實際上控制一記憶體單元之副字線 $SWL<0>$ 經驅動至邏輯 '高'。

再次參看圖 12 至圖 19，下文將描述根據本發明之半導體

記憶體裝置的字線驅動方法。

根據本發明之該實施例的半導體記憶體裝置之字線驅動方法包括：解碼用於選擇一單元區塊之位址 LAX9A、LAXB、LAX78及BXA78以產生一在選擇一對應單元區塊時經啟動之區塊選擇信號 NXEN<0:10>；對區塊選擇信號 NXEN<0:10>及一位址 LAXXX<N>執行一邏輯運算以產生一僅在啟動區塊選擇信號 NXEN<0:10>時經啟動之區塊資訊位址 BAXXX<N>_<0:10>；及使用區塊資訊位址 BAXXX<N>_<0:10>來驅動每一單元區塊中之一字線。

如上文所描述，位址 LAXXX<N>可與區塊資訊位址 BAXXX<N>_<0:10>一起使用以便驅動字線。驅動字線之操作包括：使用區塊資訊位址 BAXXX<N>_<0:10>來驅動一主字線 MWLB<N>；藉由使用區塊資訊位址 BAXXX<N>_<0:10>來產生一 phi X 控制信號 FXB<N>；及回應於主字線 MWLB<N>及 phi X 控制信號 FXB<N>而驅動一副字線 SWL<N>。

根據本發明，關於單元區塊之資訊被包括於一位址中，且使用此位址來選擇待驅動之字線及單元區塊。

因此，有可能減小一解碼電路之尺寸。因此，可減小記憶體裝置之總面積，且由此亦可減小電流消耗。

另外，有可能減少用於選擇及啟用字線所花費之延遲時間，由此改良 AC 特徵。

此外，由於將具有相同組態之區塊解碼單元提供於每一單元區塊中，所以可將此等解碼電路安置於單元區塊之以

列為基礎的電路及以行為基礎的電路彼此交叉的區域處。因此，可經由一有效布局來減小記憶體裝置之總面積。

儘管已關於特定實施例來描述了本發明，但熟習此項技術者將顯而易見，可在不背離如在以下申請專利範圍中界定的本發明之精神及範疇的情況下做出各種改變及修改。

【圖式簡單說明】

圖1係一習知半導體記憶體裝置之方塊圖，該習知半導體記憶體裝置具有一用於藉由解碼一位址來選擇一字線的電路組態。

圖2係一說明單元區塊與位址($X<7:11>$)之間的映射關係的映射表。

圖3至圖6係電路圖，其例示性地說明如何在圖1中所示之預解碼器中解碼位址。

圖7至圖8係圖1中所示之主字線驅動單元的電路圖。

圖9及圖10係圖1中所示之 ϕX 驅動單元的電路圖。

圖11係圖1中所示之副字線驅動單元的電路圖。

圖12係根據本發明之一實施例之半導體記憶體裝置的方塊圖。

圖13及圖14係圖12中所示之預解碼器中所包括之電路的電路圖。

圖15係圖12中所示之區塊解碼單元的電路圖。

圖16係圖12中所示之區塊資訊位址產生單元的電路圖。

圖17至圖19係圖12中所示之字線驅動單元中所包括之電路的電路圖。

【主要元件符號說明】

| | |
|----------|---------------|
| 110 | 預解碼器 |
| 120 | 單元區塊 |
| 121 | 主字線驅動單元 |
| 124 | phi X驅動單元 |
| 127 | 副字線驅動單元 |
| 130 | 單元區塊 |
| 220 | 單元區塊 |
| 1210 | 預解碼器 |
| 1220 | 單元區塊 |
| 1221 | 區塊解碼單元 |
| 1222 | 區塊資訊位址產生單元 |
| 1223 | 字線驅動單元 |
| 1230 | 單元區塊 |
| 1231 | 區塊解碼單元 |
| 1232 | 區塊資訊位址產生單元 |
| 1233 | 字線驅動單元 |
| 1320 | 單元區塊 |
| 1321 | 區塊解碼單元 |
| 1322 | 區塊資訊位址產生單元 |
| 1323 | 字線驅動單元 |
| AXBI<70> | 信號AXI<70>之反信號 |
| AXBI<73> | 信號AXI<73>之反信號 |
| AXI<0> | 第零個位址 |

| | |
|--------------|--------------|
| AXI<30> | 位址 |
| AXI<60:65> | 位址 |
| AXI<70> | 信號 |
| AXI<73> | 信號 |
| BAX2<0>_<0> | 區塊資訊位址 |
| BAX56<3>_<0> | 區塊資訊位址 |
| BAX78<0>_<0> | 區塊資訊位址 |
| BX | 位址 |
| BXA | 位址 |
| BXA7 | 第七位址 |
| BXA8 | 第八位址 |
| BXA8<0> | 位址 |
| BXA8B | 第八位址BXA8之反信號 |
| BXA9 | 第九位址 |
| BXA10 | 第十位址 |
| BXA11 | 第十一位址 |
| FXB<0:3> | phi X控制信號 |
| FXB<0> | phi X控制信號 |
| FXD20 | 信號 |
| FXD21 | 信號 |
| LAX01<0:3> | 第零個及第一個位址 |
| LAX34<0:3> | 位址 |
| LAX78 | 位址 |
| LAX78<0> | 位址 |

| | |
|-------------|-------------------|
| LAX78<1> | 位址 |
| LAX78<3> | 位址 |
| LAX9A | 位址 |
| LAX9A<0> | 位址 |
| LAXB | 位址 |
| LAXB<0> | 位址 |
| MMS<0:7> | 位址 |
| MWDI<60:65> | 信號 |
| MWLB | 主字線 |
| MWLB0 | 第零條主字線 |
| MWLB<0> | 第零條主字線 |
| NXEN<0> | 區塊選擇信號 |
| PMS<0:10> | 位址 |
| R3DI | 信號 |
| SWL0 | 第零條副字線 |
| SWL2 | 第二條副字線 |
| SWL4 | 第四條副字線 |
| SWL6 | 第六條副字線 |
| SWL8 | 第八條副字線 |
| SWL10 | 第十條副字線 |
| SWL12 | 第十二條副字線 |
| WLOFF | 信號 |
| WPHFX | phi X驅動單元124之控制信號 |
| WPHMW | 主字線驅動單元121之控制信號 |

X<7:11>

位址

XAEN

列位址啟用信號

七、申請專利範圍：

1. 一種包括複數個單元區塊之半導體記憶體裝置，其包含：

一區塊解碼單元，其經組態以解碼一用於選擇一對應單元區塊之輸入位址從而產生一區塊選擇信號；

一區塊資訊位址產生單元，其經組態以對該區塊選擇信號及一用於選擇該對應單元區塊內之一待啟動之字線的指派位址執行一邏輯運算以產生一僅在選擇該對應單元區塊時經啟動的區塊資訊位址；及

一字線驅動單元，其經組態以回應於該區塊資訊位址而選擇一字線。

2. 如請求項1之半導體記憶體裝置，其中該字線驅動單元藉由對該區塊資訊位址及一不包括區塊資訊之位址執行一邏輯運算來選擇該字線。
3. 如請求項1之半導體記憶體裝置，其中該區塊資訊位址僅在啟動該區塊選擇信號時具有一原始位址值，且在撤銷該區塊選擇信號時經固定至一預定邏輯位準。
4. 如請求項1之半導體記憶體裝置，其中該區塊資訊位址產生單元包含一NAND閘，該NAND閘經組態以接收該指派位址及該區塊選擇信號，從而輸出該區塊資訊位址。
5. 如請求項1之半導體記憶體裝置，其中回應於該區塊資訊位址而啟用該字線驅動單元。
6. 如請求項1之半導體記憶體裝置，其中該字線驅動單元包含：

一主字線驅動單元，其經組態以基於該區塊資訊位址來驅動一主字線驅動單元；

一 ϕX 驅動單元，其經組態以基於該區塊資訊位址而產生一 ϕX 控制信號；及

一副字線驅動單元，其經組態以回應於該主字線及該 ϕX 控制信號來驅動一副字線。

7. 如請求項6之半導體記憶體裝置，其中該主字線驅動單元及該 ϕX 驅動單元使用一不同於該區塊資訊位址之不包括區塊資訊的位址。

8. 如請求項1之半導體記憶體裝置，其中該區塊解碼單元安置於一以列為基礎之電路與一以行為基礎之電路彼此交叉的一區域處。

9. 如請求項1之半導體記憶體裝置，其中該區塊資訊位址產生單元安置於該單元區塊中所提供的一以列為基礎的電路與一以行為基礎的電路彼此交叉的一區域處。

10. 一種一半導體記憶體裝置之字線驅動方法，該方法包含：

解碼一用於選擇一單元區塊之輸入位址以產生一在選擇一對應單元區塊時經啟動的區塊選擇信號；

對該區塊選擇信號及一用於選擇該對應單元區塊內之一待啟動之字線的指派位址執行一邏輯運算以產生一僅在啟動該區塊選擇信號時經啟動的區塊資訊位址；及

回應於該區塊資訊位址來驅動每一單元區塊中之一字線。

11. 如請求項10之字線驅動方法，其中驅動該字線係使用一不同於該區塊資訊位址之不包括區塊資訊的位址來執行。
12. 如請求項10之字線驅動方法，其中在撤銷該區塊選擇信號時，該區塊資訊位址經固定至一預定邏輯值。
13. 如請求項10之字線驅動方法，其中驅動該字線包含：
 - 基於該區塊資訊位址來驅動一主字線；
 - 基於該區塊資訊位址而產生一 ϕX 控制信號；及
 - 回應於該主字線及該 ϕX 控制信號來驅動一副字線。

八、圖式：

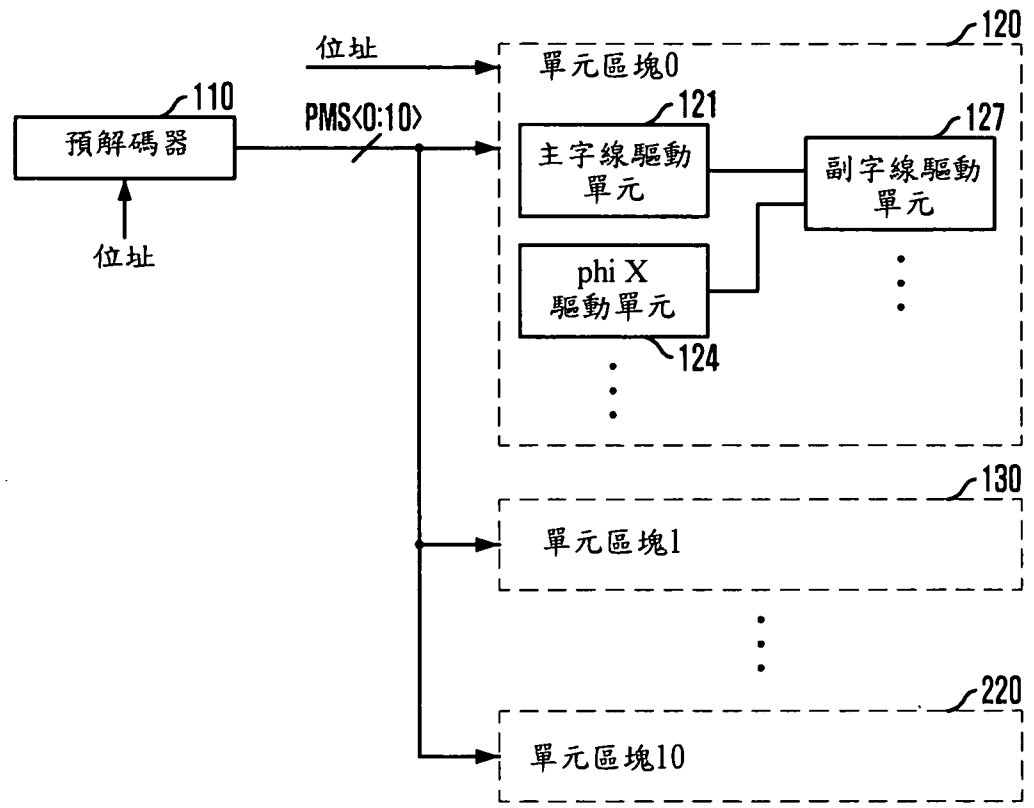


圖 1

| X<11> | X<10> | X<9> | X<8> | X<7> | MAT |
|-------|-------|------|------|------|-----|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | |
| 0 | 0 | 0 | 1 | 0 | |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | |
| 0 | 0 | 1 | 0 | 1 | |
| 0 | 0 | 1 | 1 | 0 | 2 |
| 0 | 0 | 1 | 1 | 1 | |
| 0 | 1 | 0 | 0 | 0 | |
| 0 | 1 | 0 | 0 | 1 | 3 |
| 0 | 1 | 0 | 1 | 0 | |
| 0 | 1 | 0 | 1 | 1 | |
| 0 | 1 | 1 | 0 | 0 | 4 |
| 0 | 1 | 1 | 0 | 1 | |
| 0 | 1 | 1 | 1 | 0 | |
| 0 | 1 | 1 | 1 | 1 | 5 |
| 1 | 0 | 0 | 0 | 0 | |
| 1 | 0 | 0 | 0 | 1 | |
| 1 | 0 | 0 | 1 | 0 | 6 |
| 1 | 0 | 0 | 1 | 1 | |
| 1 | 0 | 1 | 0 | 0 | |
| 1 | 0 | 1 | 0 | 1 | 7 |
| 1 | 0 | 1 | 1 | 0 | |
| 1 | 0 | 1 | 1 | 1 | |
| 1 | 1 | 0 | 0 | 0 | 8 |
| 1 | 1 | 0 | 0 | 1 | |
| 1 | 1 | 0 | 1 | 0 | |
| 1 | 1 | 0 | 1 | 1 | 9 |
| 1 | 1 | 1 | 0 | 0 | |
| 1 | 1 | 1 | 0 | 1 | |
| 1 | 1 | 1 | 1 | 0 | 10 |
| 1 | 1 | 1 | 1 | 1 | |

圖2

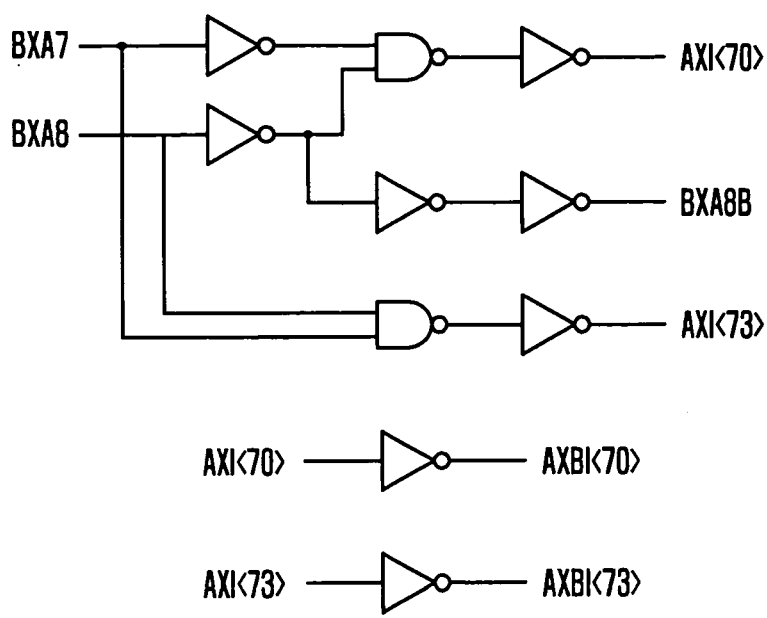


圖 3

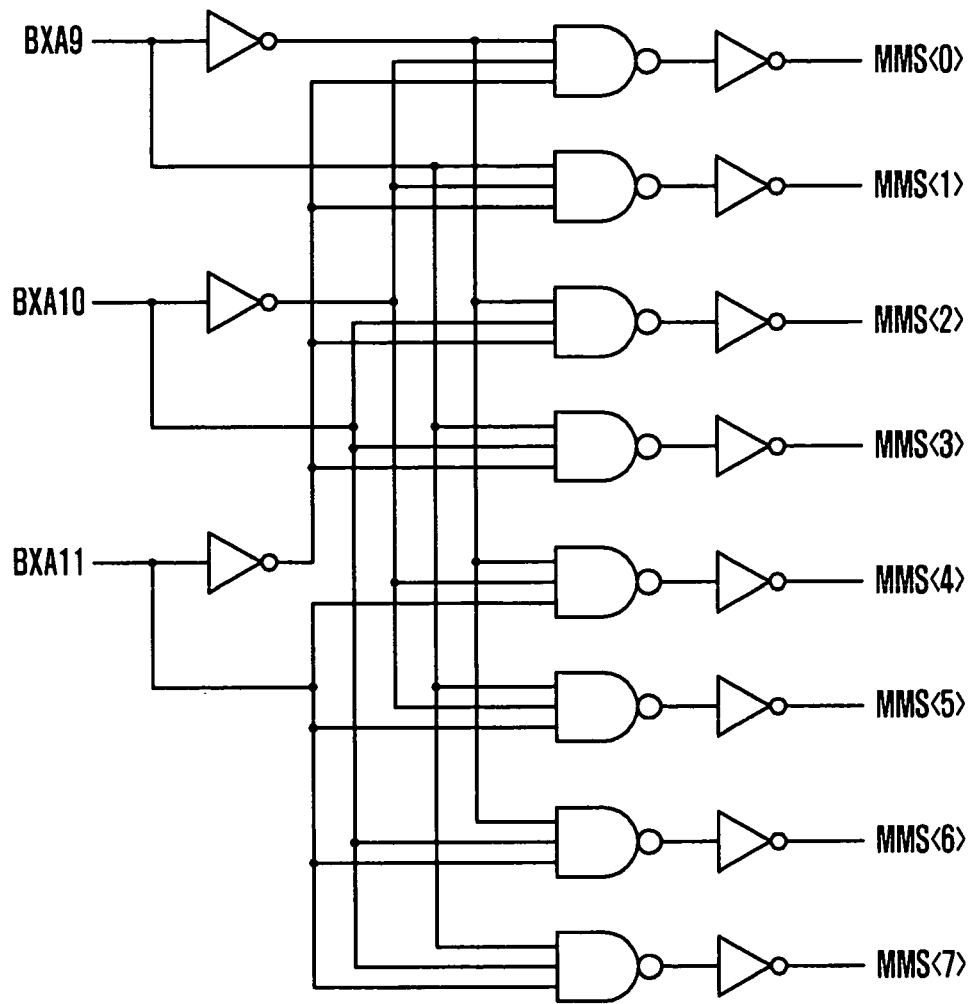


圖 4

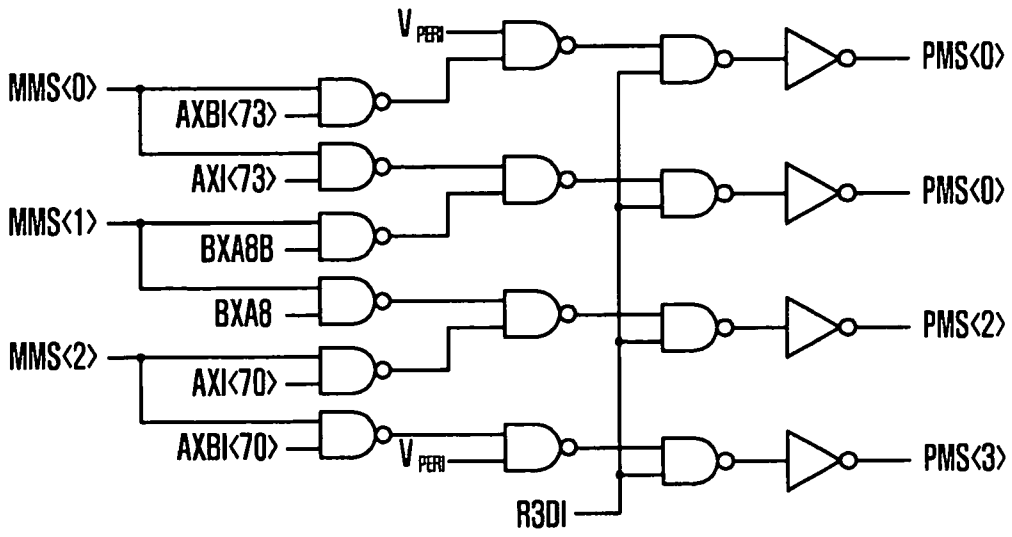


圖 5

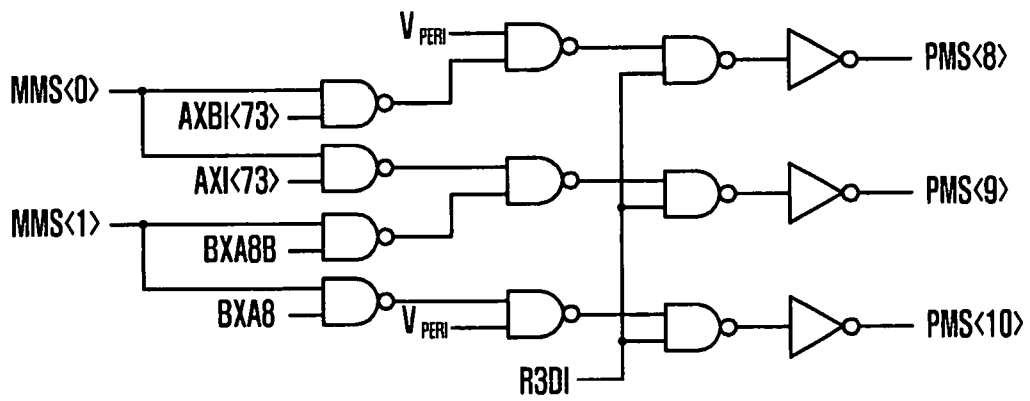


圖 6

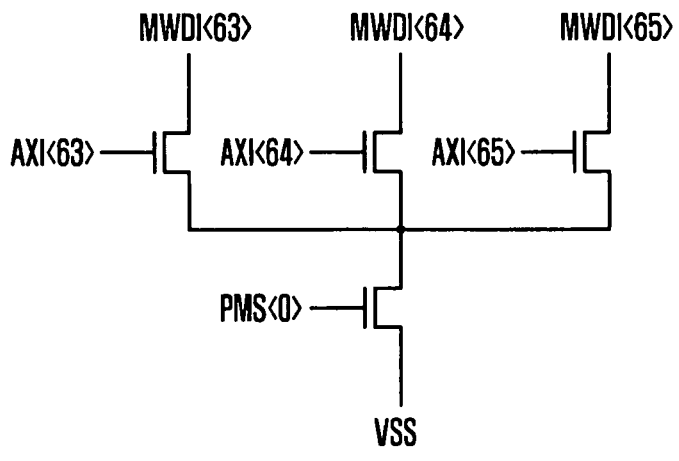
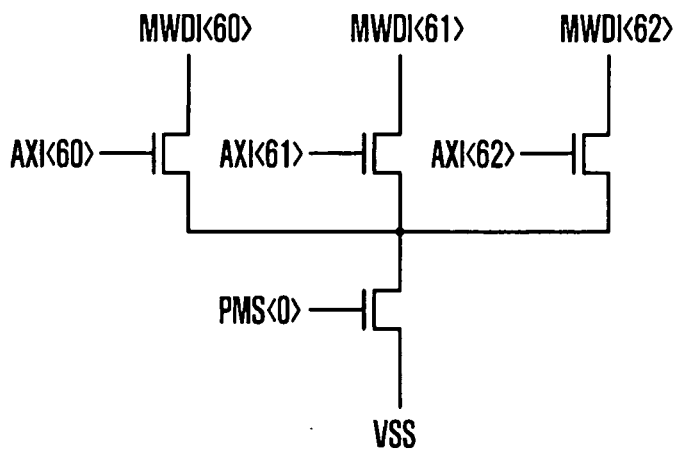


圖 7

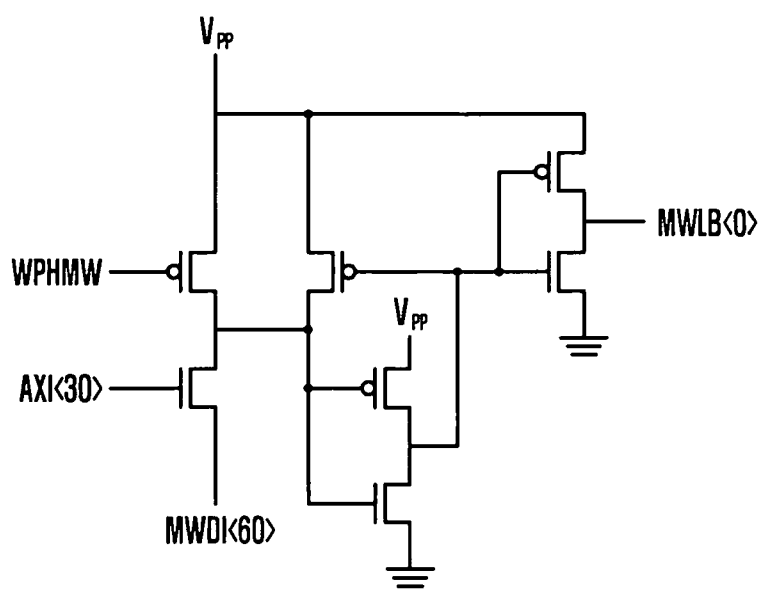


圖 8

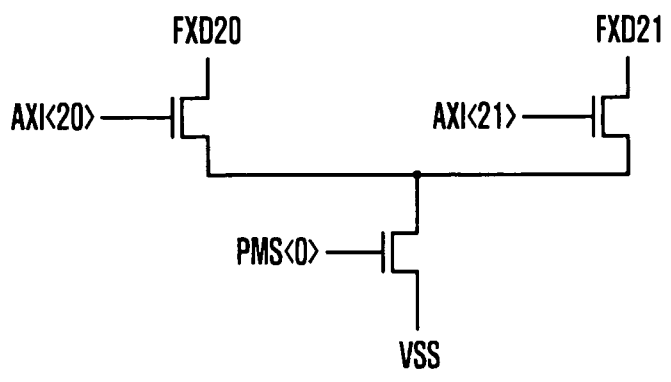


圖 9

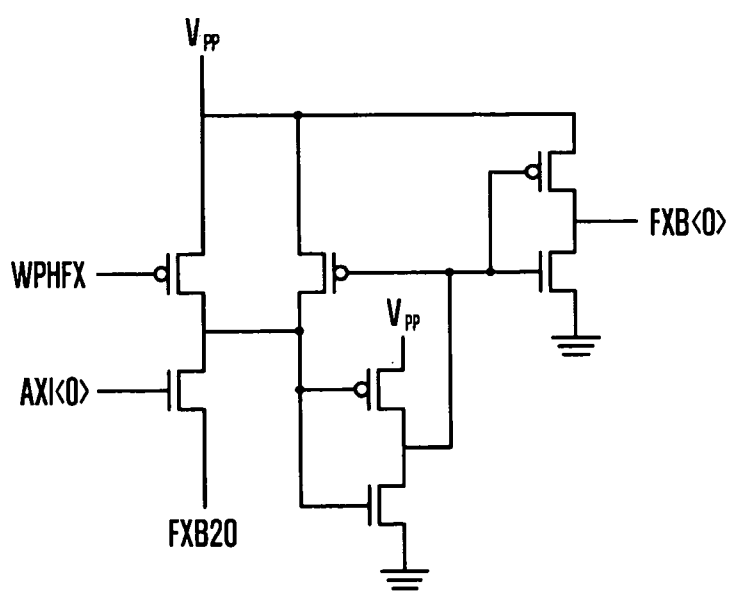


圖 10

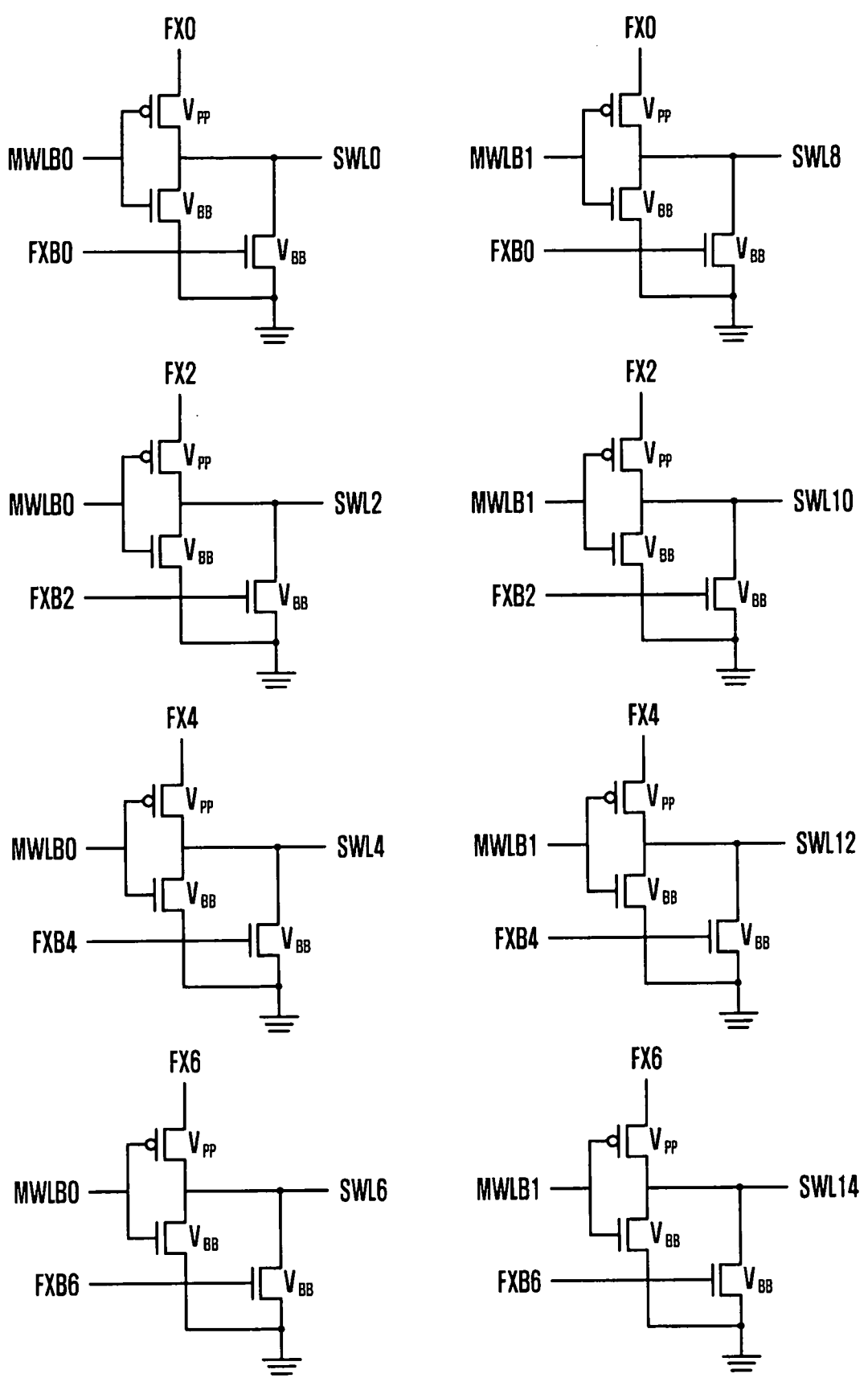


圖 11

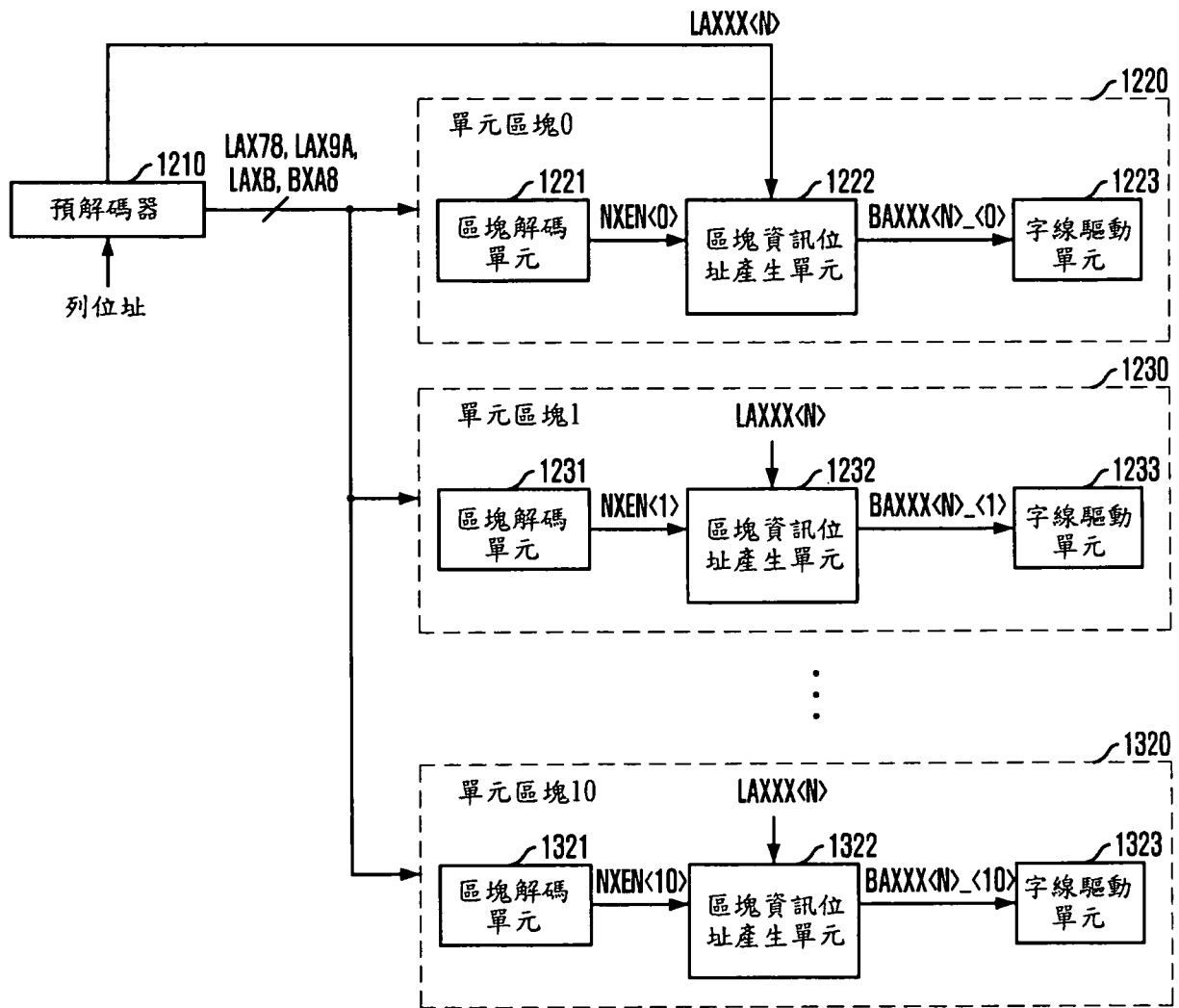


圖12

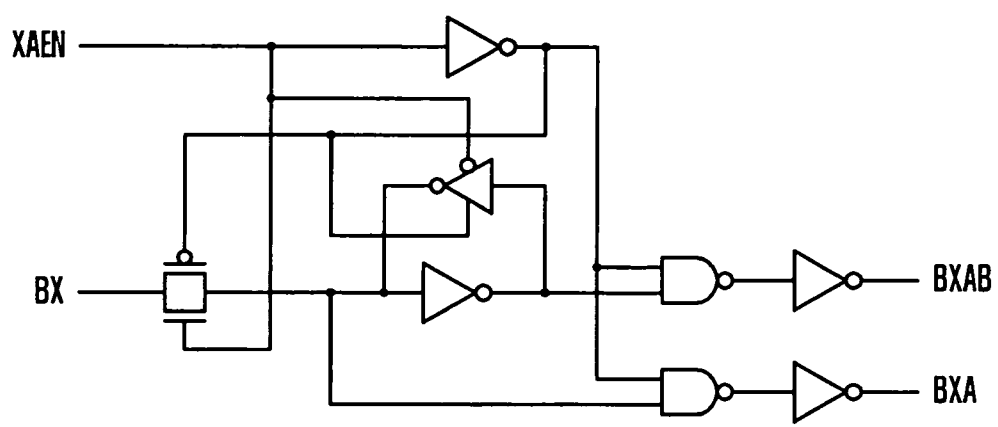


圖13

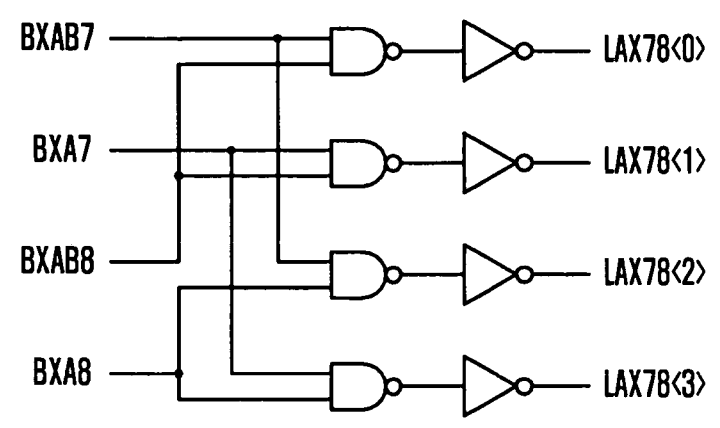


圖14

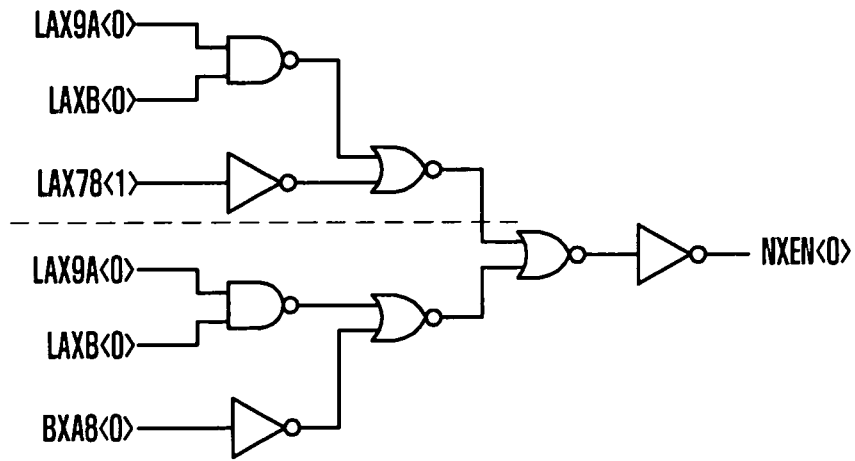


圖 15

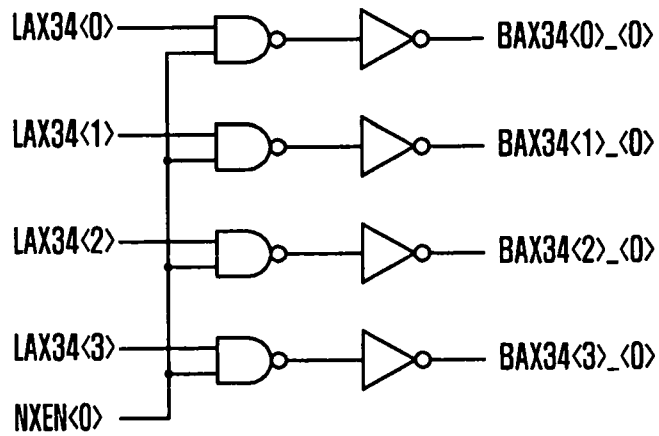


圖 16

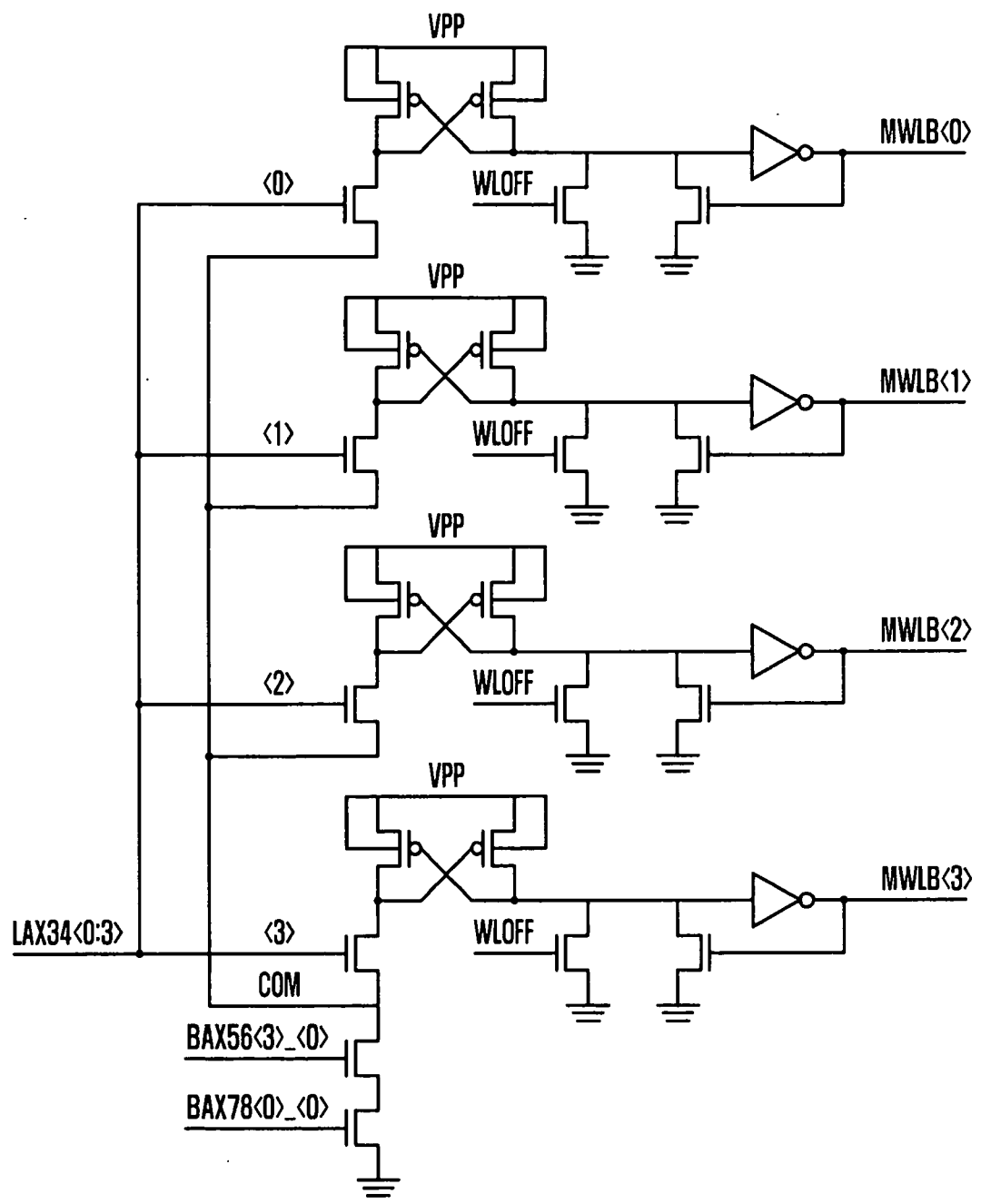


圖17

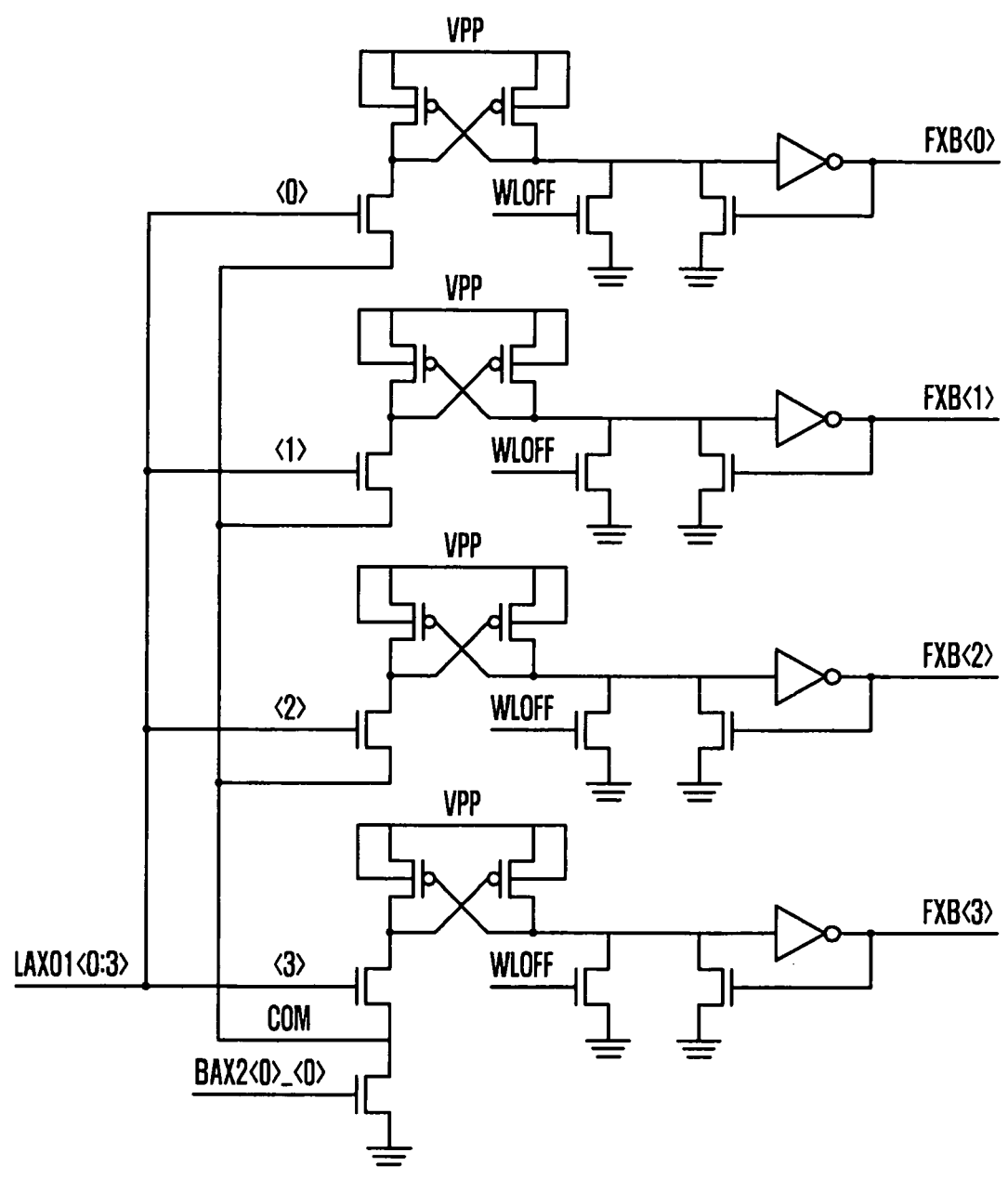


圖18

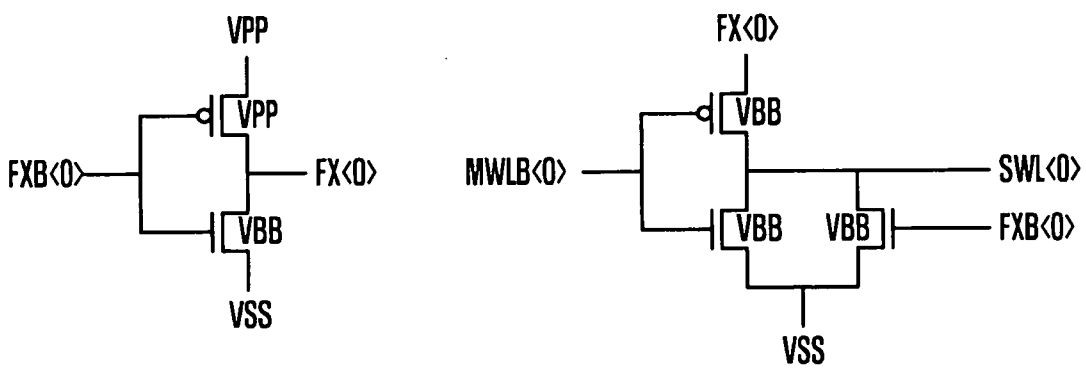


圖 19