

(此處由本局於收
文時黏貼條碼)

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

94145426

※ 申請日期：

94.12.21

※IPC 分類：

H01L 29/86, 2/336, 2/84

一、發明名稱：(中文/英文)

Golf 1/36 (2006.01)

顯示裝置

DISPLAY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文)(簽章) 井植敏雅 / IUE, TOSHIMASA

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

5-5, Keihan-Hondori 2-chome, Moriguchi-shi, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 7 人)

姓名：(中文/英文)

1. 野口幸宏 / NOGUCHI, YUKIHIRO
2. 松本昭一郎 / MATSUMOTO, SHOICHIRO
3. 曾谷直哉 / SOTANI, NAOYA
4. 井手大輔 / IDE, DAISUKE
5. 小林康孝 / KOBAYASHI, YASUTAKA
6. 石塚良行 / ISHIZUKA, YOSHIYUKI
7. 長谷川勳 / HASEGAWA, ISAO

國籍：(中文/英文) 1. 至 7. 日本國 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本國；2004 年 12 月 24 日；特願 2004-372448（主張優先權）
2. 日本國；2005 年 12 月 20 日；特願 2005-365699（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於顯示裝置，尤其是關於包含電晶體之顯示裝置。

【先前技術】

以往，液晶顯示裝置及有機電激發光顯示裝置等之包含電晶體之顯示裝置，乃為人所知。於這些以往的顯示裝置當中，不僅於像素部中設置電晶體，並且於像素部的周邊上所配置之周邊電路部中設置電晶體。於如此之以往的顯示裝置當中，於外部光線以及來自於構成顯示裝置之背光源的光線入射至電晶體的情況下，會有由於該入射光而於電晶體的主動層當中使載子激發之情況。於此情況下，即使電晶體保持在非導通的狀態下，亦會產生因所激發的載子使電流於電晶體的源極—汲極之間流通之問題。為瞭解決此問題，以往為人所知的顯示裝置，係以包覆像素部及周邊電路部的電晶體之方式來設置遮光膜，藉此來防止光線入射於電晶體。如此之顯示裝置，例如有揭示於日本特開平 10-189999 號公報者。而於如此之顯示裝置當中，由於包覆電晶體之遮光膜乃具有非意欲之閘極的功能，因此在遮光膜的電位產生變動的情況下，會使電晶體的閾值電壓產生變動。因而產生電晶體的動作成為不安定之問題。因此，於上述日本特開平 10-189999 號公報當中，為了抑制此問題，係將遮光膜的電位固定在接地電位。

於上述日本特開平 10-189999 號公報中所揭示之顯示

裝置當中，在將不同的信號電位供應至像素部中所設置之電晶體的汲極區、以及周邊電路部中所設置之電晶體的汲極區之情況下，會有因施加於汲極區之信號電位所形成的電場，導致即使電晶體為非導通狀態下，亦會使像素部中所設置之電晶體的通道區的電位、以及周邊電路部中所設置之電晶體的通道區的電位，各自改變至不同的電位之情況。於此情況下，在將共通的接地電位施加於對應像素部及周邊電路部中所設置之所有的電晶體之遮光膜之際，由於遮光膜的接地電位與像素部的電晶體之通道區的電位之電位差、及遮光膜的接地電位與周邊電路部的電晶體之通道區的電位之電位差變得不同，因此會有使遮光膜的接地電位與像素部的電晶體之通道區的電位之電位差、及遮光膜的接地電位與周邊電路部的電晶體之通道區的電位之電位差之當中一者，超過電晶體的閾值電壓的情形。於此情況下，會產生即使電晶體保持在非導通的狀態下，亦會由於接地電位供應至遮光膜，而使電晶體成為導通之問題。結果為導致顯示裝置產生不良動作之問題點。

【發明內容】

本發明係用於解決上述課題而研創者，本發明的目的之一在於提供一種顯示裝置，可將起因於遮光膜的電位變動所導致之電晶體的動作成為不安定之情況加以抑制，並且可抑制不良動作的產生。

為了達成上述目的，本發明之一個型態之顯示裝置係具備：第1區域，係具有預定功能，且包含第1電晶體；

第 1 遮光膜，係設置於第 1 區域，且配置於對應第 1 電晶體之區域，並供應有第 1 電位；第 2 區域，係具有預定功能，且包含第 2 電晶體；及第 2 遮光膜，係設置於第 2 區域，且配置於對應第 2 電晶體之區域，並供應有第 2 電位。

於此一型態之顯示裝置當中，如上述般，係將第 1 電位供應至對應第 1 電晶體之區域上所配置之第 1 遮光膜，並將第 2 電位供應至對應第 2 電晶體之區域上所配置之第 2 遮光膜，藉此，可將第 1 遮光膜及第 2 遮光膜的電位，各自固定在第 1 電位及第 2 電位。藉此，由於第 1 遮光膜及第 2 遮光膜的電位不會產生變動，因此可抑制，伴隨著第 1 遮光膜及第 2 遮光膜的電位的變動所導致之第 1 及第 2 電晶體之閾值電壓的變動。因此可使第 1 及第 2 電晶體的動作達到安定。此外，將第 1 電位供應至第 1 區域上所設置之第 1 遮光膜，並將第 2 電位供應至第 2 區域上所設置之第 2 遮光膜，藉此，可將個別的電位供應至各自具有預定功能之第 1 及第 2 區域上所設置之第 1 遮光膜及第 2 遮光膜。因此，例如在第 1 及第 2 電晶體的非導通狀態下，於起因於將各自不同的電位施加於第 1 及第 2 電晶體的汲極區，而導致第 1 區域中所包含之第 1 電晶體的通道區的電位、與第 2 區域中所包含之第 2 電晶體的通道區的電位成為不同的值之情況下，可因應第 1 電晶體的通道區的電位，而將供應至第 1 遮光膜之第 1 電位加以調節，藉此，使第 1 遮光膜與第 1 電晶體的通道區之間的電位差不會超過第 1 電晶體的閾值電壓。此外，可因應第 2 電晶體的通

道區的電位，而將供應至第 2 遮光膜之第 2 電位加以調節，藉此，使第 2 遮光膜與第 2 電晶體的通道區之間的電位差不會超過第 2 電晶體的閾值電壓。因此，即使在將第 1 電位及第 2 電位各自供應至第 1 及第 2 遮光膜的情況下，亦可對非導通時第 1 電晶體及第 2 電晶體成為導通狀態的情形加以控制，因此可抑制顯示裝置產生不良動作。此外，係設置有，在具有預定功能之第 1 區域上供應有第 1 電位之第 1 遮光膜、以及在具有預定功能之第 2 區域上供應有第 2 電位之第 2 遮光膜，藉此，相較於在每個電晶體中設置遮光膜，且將個別的預定電位供應至每個遮光膜之情況，可減少將電位供應至遮光膜之配線等的數目，因此可抑制對應於該體積之空間的增大。藉此可抑制顯示裝置之大型化。

於上述一項型態之顯示裝置當中，較理想為，包含第 1 電晶體之第 1 區域係包含具有預定功能之第 1 電路部；包含第 2 電晶體之第 2 區域係包含具有預定功能之第 2 電路部。根據此構成，於具有預定功能之第 1 電路部中設置第 1 電晶體、且於具有預定功能之第 2 電路部中設置第 2 電晶體之顯示裝置當中，可容易將個別的電位供應至各自具有預定功能之第 1 電路部及第 2 電路部中所設置之第 1 遮光膜及第 2 遮光膜。

於此情況下，較理想為，第 1 電路部係包含具有第 1 電晶體之像素部；第 2 電路部係設置於包含像素部之顯示部的周邊，且包含具有第 2 電晶體之周邊電路部；第 1 遮

光膜係包含，配置於像素部中所包含之第 1 電晶體的下方之像素部遮光膜；第 2 遮光膜係包含，配置於周邊電路部中所包含之第 2 電晶體的下方之周邊電路部遮光膜。根據此構成，例如於在第 1 及第 2 電晶體的非導通狀態下，於起因於將各自不同的電位施加於第 1 及第 2 電晶體的汲極區，而導致像素部中所包含之第 1 電晶體的通道區的電位、與周邊電路部中所包含之第 2 電晶體的通道區的電位成為不同的值之情況下，可因應第 1 電晶體的通道區的電位，而將供應至像素部遮光膜之第 1 電位加以調節，藉此，使像素部遮光膜與第 1 電晶體的通道區之間的電位差，不會超過第 1 電晶體的閾值電壓。此外，可因應第 2 電晶體的通道區的電位，而將供應至周邊電路部遮光膜之第 2 電位加以調節，藉此，使周邊電路部遮光膜與第 2 電晶體的通道區之間的電位差，不會超過第 2 電晶體的閾值電壓。因此，於像素部及周邊電路部當中，即使在將第 1 電位及第 2 電位各自供應至像素部遮光膜及周邊電路部遮光膜的情況下，亦可抑制，於非導通時第 1 電晶體及第 2 電晶體成為導通狀態的情形。

於包含上述像素部遮光膜之構成當中，像素部遮光膜上所供應之第 1 電位，可與施加於所對應之第 1 電晶體的閘極之電位為相同的電位。根據此構成，於將使第 1 電晶體成為非導通狀態之預定電位予以施加於第 1 電晶體的閘極之情況下，像素部遮光膜上所施加之第 1 電位，亦成為使第 1 電晶體成為非導通狀態之電位。藉此，藉由將上述

預定的電位施加於閘極，而將像素部的第 1 電晶體保持在非導通狀態之際，可藉由將第 1 電位供應至像素部遮光膜，而抑制第 1 電晶體成為導通。此外，可將與施加於所對應之第 1 電晶體的閘極之電位為相同的電位之第 1 電位，予以施加於像素部遮光膜，藉此，可使像素部遮光膜亦具有第 1 電晶體閘極之功能，因此可採用第 1 電晶體的閘極與像素部遮光膜兩者，而驅動第 1 電晶體。因此，可提升第 1 電晶體之驅動能力。

於此情況下，較理想為，像素部遮光膜係電性連接於第 1 電晶體的閘極。根據此構成，可易於將與施加於所對應之第 1 電晶體的閘極電位為相同的電位，予以施加於像素部遮光膜。

於包含上述像素部遮光膜之構成當中，像素部遮光膜上所供應之第 1 電位，亦可與施加於所對應之第 1 電晶體的源極區及汲極區當中一者之電位為相同的電位。根據此構成，第 1 電晶體的通道區的電位，為源極區及汲極區當中一者上所施加之電位所產生變化的電壓範圍內的電位，並且為對應於該源極區及汲極區當中之一項上所施加的電位之電位。因此，可藉由將與施加於所對應之第 1 電晶體的源極區及汲極區當中一者之電位為相同之第 1 電位，予以施加於像素部遮光膜，而將像素部遮光膜與第 1 電晶體的通道區之間的電位差控制在預定的電壓範圍內。據此，若是將像素部遮光膜與第 1 電晶體的通道區之間的電位差控制在第 1 電晶體的非導通區域之電壓範圍內，則起因於

將第 1 電位施加於像素部遮光膜而導致於像素部的第 1 電晶體非導通之際、第 1 電晶體成為導通之情況係可輕易加以抑制。

於此情況下，較理想為，像素部遮光膜係電性連接於第 1 電晶體的源極區及汲極區當中之二者。根據此構成，可容易將與施加於所對應之第 1 電晶體的源極區及汲極區當中之二者之電位為相同的電位，予以施加於像素部遮光膜。

於上述第 1 電路部包含像素部之構成當中，較理想為，像素部係包含 p 通道電晶體，而配置於像素部的 p 通道電晶體下方之像素部遮光膜上所供應之第 1 電位係為施加於 p 通道電晶體汲極區之正側電位。根據此構成，p 通道電晶體通道區的電位，係成為對應於汲極區的正側電位之預定範圍內的電位。藉此，藉由將施加於 p 通道電晶體的汲極區之正側電位為相同之第 1 電位予以施加於像素部遮光膜，從而將像素部遮光膜與 p 通道電晶體的通道區之間的電位差予以控制在預定的電壓範圍內。因此，若是可將像素部遮光膜與 p 通道電晶體的通道區之間的電位差控制在 p 通道電晶體的非導通區域之電壓範圍內，則起因於將第 1 電位(正側電位)施加於像素部遮光膜而導致於像素部的 p 通道電晶體非導通之際、p 通道電晶體成為導通之情況可輕易加以抑制。

於上述第 1 電路部包含像素部之構成當中，較理想為，像素部係包含多數個第 1 電晶體；像素部的多數個第 1 電晶體當中至少一個係具有切換元件的功能；像素部遮

光膜係以至少包覆具有切換元件的功能之第 1 電晶體下方之方式而配置。根據此構成，例如以僅僅包覆具有切換元件的功能之第 1 電晶體之下方之方式而配置像素部遮光膜，藉此，相較於個別將像素部遮光膜配置於具有切換元件的功能之第 1 電晶體及不具有切換元件的功能之第 1 電晶體各者下方之情況，可防止讓用於將電位供應至像素部遮光膜之配線的安排變得複雜。此外，係藉由具有切換元件的功能之第 1 電晶體來控制影像信號之對像素部的供應，因此若將像素部遮光膜配置於具有切換元件的功能之第 1 電晶體之下方，則可將起因於光照射時所產生的漏電流所導致之供應至像素部之影像信號的信號電位產生變化之問題加以抑制。此外，當將做為具有切換元件的功能之第 1 電晶體的主動層以結晶層加以形成之際係採用雷射光來進行結晶層的結晶化之情況下，即使因雷射光於像素部遮光膜產生反射而使結晶層(主動層)的結晶性降低，由於具有切換元件的功能之第 1 電晶體的特性，不易受到結晶層(主動層)的結晶性之影響，因此可抑制具有切換元件的功能之第 1 電晶體的特性惡化。因此，若以僅僅包覆具有切換元件的功能之第 1 電晶體之下方之方式而配置像素部遮光膜，則可防止讓用於將電位供應至像素部遮光膜之配線的安排變得複雜，並且可將以因應於影像信號的信號電位之階調以外的階調來顯示畫像之情況加以抑制。

於上述第 1 電路部包含像素部之構成當中，較理想為，第 1 電路部係包含多數個具有第 1 電晶體之像素部；

並藉由 1 個的像素部遮光膜，將多數個像素部之各個第 1 電晶體的下方加以包覆。根據此構成，於第 1 電路部當中，相較於在多數個第 1 電晶體中各設置 1 個像素部遮光膜、且各別將預定的電位供應至該多數個像素部遮光膜之情況，可減少將電位供應至像素部遮光膜之配線等的數目。藉此，可因應配線數目的減少量而抑制第 1 電路部之增大，因而可抑制顯示裝置之大型化。

於上述第 2 電路部包含周邊電路部之構成當中，較理想為，周邊電路部係至少包含 p 通道電晶體；而周邊電路部遮光膜係配置於至少為 p 通道電晶體的下方。根據此構成，例如於周邊電路部包含 n 通道電晶體及 p 通道電晶體的情況下，藉由以僅僅包覆 p 通道電晶體的下方之方式而配置周邊電路部遮光膜，相較於個別將周邊電路部遮光膜配置於 n 通道電晶體及 p 通道電晶體各者下方之情況，可防止讓用於將電位供應至周邊電路部遮光膜之配線的安排變得複雜。在此，一般而言，由於 n 通道電晶體之載子移動度係較 p 通道電晶體還大，因此，n 通道電晶體係構成為，具有較 p 通道電晶體的閘極寬度還小之閘極寬度。藉此，由於 n 通道電晶體之閘極寬度變小的量，而不易引起因光線入射於主動層所造成之錯誤動作。因此，即使不於 n 通道電晶體的下方上配置周邊電路部遮光膜，亦不易引起周邊電路部之動作的不安定。因此，若以僅僅包覆 p 通道電晶體的下方之方式而配置周邊電路部遮光膜，則可防止讓用於將電位供應至周邊電路部遮光膜之配線的安排變

得複雜，並且可抑制周邊電路部之動作的不安定。

於此情況下，較理想為，周邊電路部，除了 p 通道電晶體，更包含 n 通道電晶體；而周邊電路部遮光膜係配置於 n 通道電晶體及 p 通道電晶體的下方。根據此構成，可抑制周邊電路部的 n 通道電晶體及 p 通道電晶體之動作的不安定。

於上述一項型態之顯示裝置當中，較理想為，更具備：第 1 電晶體的第 1 閘極絕緣膜係具有第 1 厚度；第 1 絕緣膜，係設置於第 1 電晶體及第 1 遮光膜之間，且具有第 1 閘極絕緣膜的第 1 厚度之 3 倍以上的第 2 厚度；第 2 電晶體的第 2 閘極絕緣膜，係具有第 3 厚度；及第 2 絕緣膜，係設置於第 2 電晶體及第 2 遮光膜之間，且具有第 2 閘極絕緣膜的第 3 厚度之 3 倍以上的第 4 厚度。根據此構成，於第 1 遮光膜(第 2 遮光膜)具有未意料到之閘極的功能的情況下，由於係以較大的厚度，來形成具有閘極絕緣膜的功能之第 1 絕緣膜(第 2 絕緣膜)，因此即使將第 1 電位(第 2 電位)施加於第 1 遮光膜(第 2 遮光膜)之情況下，第 1 電晶體(第 2 電晶體)的通道區亦不易受到第 1 遮光膜(第 2 遮光膜)之電位的影響。於此情況下，藉由施加於第 1 遮光膜(第 2 遮光膜)之第 1 電位(第 2 電位)而供應至第 1 電晶體(第 2 電晶體)的通道區之實效電壓，係成為將與第 1 電位(第 2 電位)為相同的電位施加於第 1 電晶體(第 2 電晶體)的閘極的情況下之供應至通道區的電壓之幾乎為 1/3。因此，可將起因於將第 1 電位(第 2 電位)施加於

第 1 遮光膜(第 2 遮光膜)，所導致之第 1 電晶體(第 2 電晶體)的閾值電壓的變化加以降低。

於此情況下，較理想為，第 1 閘極絕緣膜及第 1 絕緣膜，係由相同材料所組成；第 2 閘極絕緣膜及第 2 絕緣膜，係由相同材料所組成。根據此構成，可容易使藉由施加於第 1 遮光膜(第 2 遮光膜)之第 1 電位(第 2 電位)而供應至第 1 電晶體(第 2 電晶體)的通道區之實效電壓，成為將與第 1 電位(第 2 電位)為相同的電位施加於第 1 電晶體(第 2 電晶體)的閘極的情況下之供應至通道區的電壓之幾乎為 $1/3$ 。

於上述一項型態之顯示裝置當中，較理想為，第 1 電位為，供應至第 1 電晶體的閘極之正側電位及負側電位之中間的電位；第 2 電位為，供應至第 2 電晶體的閘極之正側電位及負側電位之中間的電位。上述正側電位係意味著，施加於信號線之較高的電位，上述負側電位係意味著，施加於信號線之較低的電位。此外，於上述中間的電位中，係包含有正側電位及負側電位之實質上為中間的電位。根據此構成，即使第 1 及第 2 電晶體為 p 通道電晶體或是 n 通道電晶體當中任一種之情況下，亦可容易將供應有第 1 電位之第 1 遮光膜與第 1 電晶體的通道區之間的電位差，控制在第 1 電晶體的非導通區域之電壓範圍內，並將施加有第 2 電位之第 2 遮光膜與第 1 電晶體的汲極區之間的電位差，控制在第 2 電晶體的非導通區域之電壓範圍內。藉此，即使第 1 及第 2 電晶體為 p 通道電晶體或是 n 通道電晶體當中任一種之情況下，亦可容易將於非導通之際使第

1 及第 2 電晶體成為導通之情況加以抑制。此外，係使第 1 及第 2 電位，各自成為供應至第 1 及第 2 電晶體的閘極之正側電位及負側電位之實質上為中間的電位，藉此，可採用各自供應至第 1 及第 2 電晶體的閘極之正側電位及負側電位，而容易的生成第 1 及第 2 電位。

於此情況下，較理想為，更具備用於生成正側電位及負側電位之中間的電位之電位生成電路部。根據此構成，可容易藉由電位生成電路部，將正側電位及負側電位之中間的電位加以生成。

於上述第 1 電位為供應至第 1 電晶體的閘極之正側電位及負側電位之中間的電位，且第 2 電位為供應至第 2 電晶體的閘極之正側電位及負側電位之中間的電位之構成當中，較理想為，第 1 區域及第 2 區域的至少一者係包含 n 通道電晶體及 p 通道電晶體兩者。根據此構成，於第 1 區域包含 n 通道電晶體及 p 通道電晶體兩者的情況下，係將第 1 區域包含 n 通道電晶體(p 通道電晶體)的閘極上所供應之正側電位及負側電位之中間的電位，施加於第 1 區域的 n 通道電晶體及 p 通道電晶體下方上所配置之第 1 遮光膜，藉此，可容易將第 1 遮光膜與 n 通道電晶體的通道區之間的電位差，控制在 n 通道電晶體的非導通區域之電壓範圍內，並且將第 1 遮光膜與 p 通道電晶體的通道區之間的電位差，控制在 p 通道電晶體的非導通區域之電壓範圍內。此外，於第 2 區域包含 n 通道電晶體及 p 通道電晶體兩者的情況下，係將第 2 區域包含 n 通道電晶體(p 通道電

晶體)的閘極上所供應之正側電位及負側電位之中間的電位，施加於第2區域的n通道電晶體及p通道電晶體下方上所配置之第2遮光膜，藉此，可容易將第2遮光膜與n通道電晶體的通道區之間的電位差，控制在n通道電晶體的非導通區域之電壓範圍內，並且將第2遮光膜與p通道電晶體的通道區之間的電位差，控制在p通道電晶體的非導通區域之電壓範圍內。

於上述一項型態之顯示裝置當中，包含第1電晶體之第1區域及包含第2電晶體之第2區域係可設置於像素部；第1遮光膜係配置於像素部的第1區域中所包含之第1電晶體的下方；第2遮光膜可配置於像素部的第2區域中所包含之第2電晶體的下方。根據此構成，例如在第1及第2電晶體的非導通狀態下，於起因於將各自不同的電位施加於第1及第2電晶體的汲極區，而導致像素部中所包含之第1電晶體及第2電晶體的各個通道區的電位成為不同的值之情況下，可因應第1電晶體的通道區的電位，而將供應至第1遮光膜之第1電位加以調節，藉此，使第1遮光膜與第1電晶體的通道區之間的電位差不會超過第1電晶體的閾值電壓。此外，可因應第2電晶體的通道區的電位，而將供應至第2遮光膜之第2電位加以調節，藉此，使第2遮光膜與第2電晶體的通道區之間的電位差不會超過第2電晶體的閾值電壓。因此，於像素部當中，即使在將第1電位及第2電位各自供應至第1及第2遮光膜的情況下，亦可抑制，於非導通時第1電晶體及第2電晶體成

為導通狀態的情事。

於此情況下，較理想為，第 1 區域的第 1 電晶體及第 2 區域的第 2 電晶體係具有互為不同的導電型。根據此構成，於像素部包含具有互為不同的導電型之第 1 電晶體及第 2 電晶體的情況下，可因應第 1 電晶體的通道區的電位，而將供應至第 1 遮光膜之第 1 電位加以調節，藉此，使第 1 遮光膜與第 1 電晶體的通道區之間的電位差不會超過第 1 電晶體的閾值電壓。此外，可因應第 2 電晶體的通道區的電位，而將供應至第 2 遮光膜之第 2 電位加以調節，藉此，使第 2 遮光膜與第 2 電晶體的通道區之間的電位差不會超過第 2 電晶體的閾值電壓。

於上述一項型態之顯示裝置當中，第 1 區域可包含具有第 1 電晶體之像素部、及具有第 1 電晶體之第 1 周邊電路部；第 2 區域可包含具有第 2 電晶體之第 2 周邊電路部；第 1 遮光膜係配置於，像素部中所包含之第 1 電晶體及第 1 周邊電路部所包含之第 1 電晶體的下方；第 2 遮光膜係配置於，第 2 周邊電路部所包含之第 2 電晶體的下方。根據此構成，例如在第 1 及第 2 電晶體的非導通狀態下，於起因於將各自不同的電位施加於第 1 及第 2 電晶體的汲極區，而導致像素部及第 1 周邊電路部中所包含之第 1 電晶體的通道區的電位、及第 2 周邊電路部中所包含之第 2 電晶體的通道區的電位成為不同的值之情況下，可因應第 1 電晶體的通道區的電位，而將供應至第 1 遮光膜之第 1 電位加以調節，藉此，使第 1 遮光膜與第 1 電晶體的通道區

之間的電位差不會超過第 1 電晶體的閾值電壓。此外，可因應第 2 電晶體的通道區的電位，而將供應至第 2 遮光膜之第 2 電位加以調節，藉此，使第 2 遮光膜與第 2 電晶體的通道區之間的電位差不會超過第 2 電晶體的閾值電壓。因此，於像素部、第 1 周邊電路部、第 2 周邊電路部當中，即使在將第 1 電位及第 2 電位各自供應至第 1 及第 2 遮光膜的情況下，亦可抑制，於非導通時第 1 電晶體及第 2 電晶體成為導通狀態的情事。

【實施方式】

以下係根據圖式，說明本發明的實施型態。

(第 1 實施型態)

首先參照第 1 圖至第 3 圖，說明第 1 實施型態之液晶顯示裝置的構成。

如第 1 圖所示般，第 1 實施型態之液晶顯示裝置係具備液晶顯示面板 1、及裝設於液晶顯示面板 1 之外部電路部 2。液晶顯示面板 1 係包含顯示部 3、及設置於顯示部 3 的周邊之 H 系列驅動器 4 與 V 系列驅動器 5。此外，於顯示部 3 中係配置有多數個像素部 6。於各個像素部 6 中，係設置有切換元件部 7，其配置有做為切換元件之 n 通道電晶體 8。此外，如第 2 圖所示般，各個像素係包含輔助電容 9、像素電極 10、對向配置於像素電極 10 且對各個像素部 6 為共通之對向電極 11、及包夾於像素電極 10 及對向電極 11 之間之液晶 12。像素部 6 為本發明之「第 1 區域」及「第 1 電路部」之一例，n 通道電晶體 8 為本發明

之「第 1 電晶體」之一例。

此外，於 n 通道電晶體 8 的閘極 8a 上，係連接有閘極線，正側電位 V_{dd} 及負側電位 V_{bb} 係經介此閘極線而施加於 n 通道電晶體 8 的閘極 8a 上。此外，n 通道電晶體 8 的汲極區 8b 係連接於汲極線，且源極區 8c 係連接於輔助電容 9 之一邊的電極以及像素電極 10。此外，於 n 通道電晶體 8 的汲極區 8b 上，係經介汲極線而施加有影像信號的信號電位 V_{sig} 。此外，輔助電容 9 之另一邊的電極與對向電極 11，係連接於對各個像素部 6 為共通之共通電位 V_{com} 。

此外，如第 1 圖所示般，於顯示部 3 上係設置有顯示部遮光膜 13。此顯示部遮光膜 13 係由，以包覆像素部 6 之切換元件部 7 的下方之方式而形成之像素部遮光區域 13a、及以包覆閘極線與汲極線的下方之方式而形成之格子狀的配線部遮光區域 13b 所構成。此像素部遮光區域 13a 本發明之「第 1 遮光膜」及「像素部遮光膜」之一例。像素部遮光區域 13a 係用於將入射於像素部 6 的切換元件部 7 上所配置之 n 通道電晶體 8 的光線加以遮光而設置，係與配線部遮光區域 13b 為一體形成。此外，配線部遮光區域 13b 係用於將入射於閘極線與汲極線的光線加以遮光而設置。此外，顯示部遮光膜 13 之對應於像素部 6 的切換元件部 7 以外的區域之區域係形成開口。此外係構成為，顯示出影像之光線係經介顯示部遮光膜 13 之開口的區域而入射。

此外，像素部 6 中所包含的 n 通道電晶體 8 係以 TFT(薄

膜電晶體)所構成，具有第 3 圖所示之構造。具體而言，係於玻璃基板 14 上，形成有由具有大約 300nm 的厚度的絕緣膜所組成之緩衝層 15。於此緩衝層 15 的預定區域上，設置有上述顯示部遮光膜 13 的像素部遮光區域 13a。此顯示部遮光膜 13 係由具有大約 100nm 的厚度的 Mo 膜所構成。此外，於上述顯示部遮光膜 13 的像素部遮光區域 13a 及緩衝層 15 上，係以包覆像素部遮光區域 13a 的方式而形成有由具有大約 300nm 的厚度之 SiO_2 膜所組成之絕緣膜 16。

此外，於絕緣膜 16 的預定區域上，形成有具有大約 70nm 的厚度之結晶矽膜 17。此結晶矽膜 17 係具有 n 通道電晶體 8 的主動層之功能。於結晶矽膜 17 上，係形成有 n 通道電晶體 8 的通道區 8d，以及以包夾通道區 8d 之方式設置之汲極區 8b 及源極區 8c。此外，於 n 通道電晶體 8 當中，係構成為，藉由對結晶矽膜 17 進行通道摻雜，而使 n 通道電晶體 8 的閾值電壓 V_{th} 成為預定的正電壓。此預定的正閾值電壓 V_{th} 係設定為，在將 $1/2(V_{dd}+V_{bb})$ 的電位供應至顯示部遮光膜 13 的像素部遮光區域 13a 之際，不會使 n 通道電晶體 8 的下部通道成為導通狀態之值。此外，係以覆蓋結晶矽膜 17 方式，而形成有由具有大約 100nm 的厚度之 SiO_2 膜所組成之 n 通道電晶體 8 的閘極絕緣膜 18。

亦即，於第 1 實施型態當中，係構成為，顯示部遮光膜 13 的像素部遮光區域 13a 與結晶矽膜 17 之間所設置之

絕緣膜 16 的厚度(約 300nm)，為 n 通道電晶體 8 的閘極絕緣膜 18 的厚度(約 100nm)之大約為 3 倍。於以約 500nm 的厚度來形成絕緣膜 16 的情況下，有可能會導致形成絕緣膜 16 之製程時間增加，或是於成膜時或之後的製程當中，因絕緣膜 16 所產生的應力而導致絕緣膜 16 之破損的產生等問題。如第 1 實施型態所述般，於以約 300nm 的厚度來形成絕緣膜 16 的情況下，可抑制上述問題的產生。此外，於閘極絕緣膜 18 上之對應通道區 8d 的區域上，係形成有由具有大約 150nm 的厚度之金屬膜所組成之閘極 8a。之後，藉由形成有汲極區 8b、源極區 8c 及通道區 8d 之結晶矽膜 17、閘極絕緣膜 18、及閘極 8a，而形成 n 通道電晶體 8(TFT)。

此外，於閘極 8a 及閘極絕緣膜 18 上，係以包覆閘極 8a 之方式而形成有絕緣膜 19。於此絕緣膜 19、以及閘極絕緣膜 18 之對應於結晶矽膜 17 的汲極區 8b 與源極區 8c 之區域上，各設置有到達絕緣膜 19 上之栓塞 20a 及 20b。此外，汲極區 8b 係構成為，經介所對應的栓塞 20a 而連接於上述汲極線，並且源極區 8c 係構成為，經介所對應的栓塞 20b 而連接於上述輔助電容 9 之一邊的電極以及像素電極 10。

此外，於絕緣膜 16 以及閘極絕緣膜 18 之對應於顯示部遮光膜 13 的像素部遮光區域 13a 之區域上，係設置有以貫通絕緣膜 16 及閘極絕緣膜 18 之方式而形成之第 1 層的栓塞 21。此第 1 層的栓塞 21 係連接於顯示部遮光膜 13 的

像素部遮光區域 13a。此外，於閘極絕緣膜 18 上之對應於第 1 層的栓塞 21 之區域上，係設置有連接於第 1 層的栓塞 21 之中間配線層 22。而於絕緣膜 19 之對應於中間配線層 22 之區域上，係形成有到達絕緣膜 19 上之第 2 層的栓塞 23。此第 2 層的栓塞 23 係連接於中間配線層 22。此外，於絕緣膜 19 之對應於第 2 層的栓塞 23 之區域上，係設置有連接於第 2 層的栓塞 23 之配線層 24。此配線層 24 係構成為連接於之後所述之外部電路部 2 的電位生成電路部 39a(參照第 1 圖)。

此外，如第 1 圖所示般，H 系列驅動器 4 係包含移位暫存器電路 25、取樣電晶體 26、緩衝區 27、及 DA 轉換器 28。此外，係以鄰接於 H 系列驅動器 4 之方式而配置時脈產生電路 29。移位暫存器電路 25、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29，為本發明之「第 2 區域」及「周邊電路部」之一例。這些移位暫存器電路 25、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 係各自具備，具有與上述像素部 6 的 n 通道電晶體 8 幾乎為相同之構成。此 n 通道電晶體為本發明之「第 2 電晶體」之一例。於此 n 通道電晶體當中，係將正側電位 V_{dd} 及負側電位 V_{bb} 供應至閘極，且將因應各個電路部之信號電位 V_{sig} 供應至汲極區。

此外，於第 1 實施型態當中，係以各自包覆移位暫存器電路 25、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 的下方之方式，設置有移位暫存器電路

遮光膜 30、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34。此移位暫存器電路遮光膜 30、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，為本發明之「第 2 遮光膜」及「周邊電路部遮光膜」之一例。藉由這些移位暫存器電路遮光膜 30、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，而將入射至移位暫存器電路 25、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中所各自設置之 n 通道電晶體之光線加以遮光。

此外，V 系列驅動器 5 係包含移位暫存器電路 35 及位準轉換電路 36。此移位暫存器電路 35 及位準轉換電路 36 為本發明之「第 2 區域」及「周邊電路部」之一例。此外，移位暫存器電路 35 及位準轉換電路 36 係各自具備，具有與上述像素部 6 的 n 通道電晶體 8 幾乎為相同之構成。此 n 通道電晶體為本發明之「第 2 電晶體」之一例。於位準轉換電路 36 中所設置之 n 通道電晶體當中，正側電位 V_{dd} 及負側電位 V_{bb} 係供應至閘極，於移位暫存器電路 35 中所設置之 n 通道電晶體當中，正側電位 V_{dd} 及負側電位 V_{ss} 係供應至閘極。

此外，於第 1 實施型態當中，係以各自包覆移位暫存器電路 35 及位準轉換電路 36 之方式，設置有移位暫存器電路遮光膜 37 及位準轉換電路遮光膜 38。此移位暫存器電路遮光膜 37 及位準轉換電路遮光膜 38，為本發明之「第

2 遮光膜」及「周邊電路部遮光膜」之一例。藉由此移位暫存器電路遮光膜 37 及位準轉換電路遮光膜 38，而將入射至移位暫存器電路 35 及位準轉換電路 36 中所各自設置之 n 通道電晶體之光線加以遮光。

此外，於外部電路部 2 當中，係設置有電位生成電路部 39a 及 39b。一邊之電位生成電路部 39a，係具有將 $1/2(V_{dd}+V_{bb})$ 的電位加以生成之功能，另一邊之電位生成電路部 39b，係具有將 $1/2(V_{dd}+V_{ss})$ 的電位加以生成之功能。

在此，於第 1 實施型態當中，一邊之電位生成電路部 39a，係經介配線 40a 而連接於顯示部遮光膜 13 及位準轉換電路遮光膜 38。藉此而構成為，從電位生成電路部 39a 當中，將正側電位 V_{dd} 及負側電位 V_{bb} 的中間電位將 $1/2(V_{dd}+V_{bb})$ 供應至顯示部遮光膜 13 及位準轉換電路遮光膜 38。

此外，於外部電路部 2 當中，係設置有，連接於顯示部遮光膜 13 及位準轉換電路遮光膜 38 之間的配線 40a，且用於將電位生成電路部 39a 所供應的電位加以調節之可變電阻器 41。藉由此可變電阻器 41，可在約 $\pm 3V$ 的範圍內使電位生成電路部 39a 所供應的電位上升或是下降。此係構成為，於因製程的變動而導致閾值電壓 V_{th} 產生移位的情況下，可藉由可變電阻器 41 將供應至顯示部遮光膜 13 之電位加以調節，藉此可將像素部 6 的 n 通道電晶體 8 之閾值電壓 V_{th} 加以調節。亦即，於藉由可變電阻器 41 使供

應至顯示部遮光膜 13 之電位上升的情況下，由於像素部 6 的 n 通道電晶體 8 之通道區 8d 的電位上升，因此使 n 通道電晶體 8 之閾值電壓 V_{th} 降低。另一方面，於藉由可變電阻器 41 使供應至顯示部遮光膜 13 之電位下降的情況下，由於像素部 6 的 n 通道電晶體 8 之通道區 8d 的電位下降，因此使 n 通道電晶體 8 之閾值電壓 V_{th} 上升。

此外，於第 1 實施型態當中，另一邊之電位生成電路部 39b 係經介配線 40a 而連接於移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34。藉此而構成為，從電位生成電路部 39b 當中，將正側電位 V_{dd} 及負側電位 V_{ss} 的中間電位將 $1/2(V_{dd}+V_{ss})$ 予以供應至移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34。

接下來參照第 1 圖至第 8 圖，說明第 1 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的動作。於以下的說明當中，係說明點反轉驅動方式之液晶顯示裝置的像素部之 n 通道電晶體的動作。此外，將各個電位設定如下，正側電位 V_{dd} : 約 7V，負側電位 V_{bb} : 約 -4V，共通電位 V_{com} : 約 3.5V，信號電位 V_{sig} : 約 1 至 6V。此外，n 通道電晶體的閾值電壓 V_{th} 設定為約 1V。藉此，n 通道電晶體，於閘極與通道區之間的電壓(電位差)約為 1V 以上之際，係成為導通狀態。此外，係將 n 通道電晶體設定為，於閘極與通道區之間的電位差約為 0.5V 以下之際成為非導通狀態。

關於將影像信號寫入於以第 4 圖至第 7 圖所示之波形為前提之像素之寫入動作，首先，沿著第 1 段的閘極線，對連接於該閘極線之每 3 個像素，依序進行寫入動作。之後，一旦完成對連接於第 1 段的閘極線之所有像素之掃描後，則同樣亦對連接於第 1 段的閘極線之像素，以每 3 個像素依序進行對像素之寫入動作。之後，一旦完成所有閘極線之掃描後，再次從第 1 段的閘極線開始，重複同樣的寫入動作。第 4 圖至第 7 圖係顯示，於連接於第 1 段的閘極線的像素當中，最初進行寫入動作之 3 個像素內的第 3 個像素之關於 n 通道電晶體之電壓波形。

此外，於第 4 圖至第 7 圖當中，最初的 3 個電壓脈衝係對應於 n 通道電晶體的上部通道之導通期間，且接下來的 3 個電壓脈衝對應於非導通期間，之後，以每 3 個電壓脈衝而交互對應於導通期間及非導通期間。上述之非導通期間的 3 個電壓脈衝係各自表示，在對上述第 3 個像素進行寫入動作之後，在對剩餘的像素進行寫入動作的期間中，施加於上述第 3 個像素之電壓。亦即，非導通期間的第 1 個電壓脈衝係表示，在對上述第 3 個像素進行寫入動作之後，在對連接於與該像素為相同的閘極線之剩餘的像素進行寫入動作的期間中，施加於上述第 3 個像素之電壓。此外，第 2 個及第 3 個電壓脈衝係表示，在完成對連接於第 3 個像素之第 1 段的閘極線的掃描之後，在對連接於第 2 段及第 3 段的閘極線之像素依序進行寫入動作的期間中，施加於上述第 3 個像素之電壓。於第 4 圖至第 7 圖

當中，於導通期間及非導通期間當中，係顯示出各個電壓脈衝期間為相同長度，但是實際上，非導通期間之電壓脈衝的期間，係遠較導通期間之電壓脈衝的期間還長。此外，於第 4 圖至第 7 圖當中，係顯示出於非導通期間中對像素施加 3 個電壓脈衝，但是於非導通期間中，係因應顯示部中所設置之閘極線的數目，而使所施加之電壓脈衝的數目產生改變。因此實際上，一般係於顯示部中設置數百條的閘極線，因此於非導通期間中，係有遠較第 4 圖至第 7 圖所示的電壓脈衝的數目(3 個)還多之電壓脈衝被施加於上述第 3 個像素。

首先，如第 4 圖所示般，輸入於像素部 6(參照第 2 圖)的 n 通道電晶體 8 的閘極 8a 之電位(閘極電位 V_{gate})，係於正側電位 V_{dd} (約 7V)及負側電位 V_{bb} (約 -4V)之間交互切換。此外，如第 4 圖的虛線所示般，輸入於 n 通道電晶體 8 的汲極區 8b 之信號電位 V_{sig} ，係於約 1 至 6V 的範圍內變化。此時，n 通道電晶體 8 的通道區 8d 之電位(V_{ch})，係具有如第 4 圖的單點虛線所示之波形，且於約 1.0 至 5.5V 的範圍內變化。第 4 圖中之通道區 8d 的電位 V_{ch} ，係顯示出通道區 8d 的中央附近之電位。於此情況下，n 通道電晶體 8 的閘極 8a 及汲極區 8b 之間的電壓(電位差) $V_{gd}=V_{gate}-V_{sig}$ ，閘極 8a 及通道區 8d 之間的電壓(電位差) $V_{gc}=V_{gate}-V_{ch}$ ，係以第 5 圖所示之波形產生變化。

因此，於閘極電位 V_{gate} (參照第 4 圖)為正側電位 V_{dd} (約 7V)的期間中，n 通道電晶體 8 的閘極 8a 及通道區

8d 之間的電壓(電位差) V_{gc} (參照第 5 圖)係為大約 1.8 至 6.0V 的範圍之電壓。亦即，於此期間中，由於 n 通道電晶體 8 的閘極 8a 及通道區 8d 之間的電壓(電位差) V_{gc} (大約 1.8 至 6.0V)，成為 n 通道電晶體 8 的導通區域之電壓(約 1V 以上)，因此 n 通道電晶體 8 係成為導通狀態。另一方面，於閘極電位 V_{gate} (參照第 4 圖)為負側電位 V_{bb} (約 -4V) 的期間中，n 通道電晶體 8 的閘極 8a 及通道區 8d 之間的電壓(電位差) V_{gc} (參照第 5 圖)為大約 -9.5V 至 -5.0V 的範圍之電壓。亦即，於此期間中，由於 n 通道電晶體 8 的閘極 8a 及通道區 8d 之間的電壓(電位差) V_{gc} (大約 -9.5V 至 -5.0V) 係成為 n 通道電晶體 8 的非導通區域之電壓(電位差)(約 0.5V 以下)，因此 n 通道電晶體 8 係成為非導通狀態。

此外，於第 1 實施型態當中，係從電位生成電路部 39a 當中，將 $1/2(V_{dd}+V_{bb})$ 的電位供應至以包覆 n 通道電晶體 8 般而設置之顯示部遮光膜 13 的像素部遮光區域 13a。藉此，如第 6 圖所示般，顯示部遮光膜 13 的像素部遮光區域 13a 之電位 V_{back} ，係固定於 $1/2(V_{dd}+V_{bb})$ =約 1.5V。此時，像素部遮光區域 13a 與 n 通道電晶體 8 的通道區 8d 之間的實效電壓(電位差) V_{bc} 係顯示出如第 7 圖般之波形。此像素部遮光區域 13a 與 n 通道電晶體 8 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，為對於 n 通道電晶體 8 的閘極 8a 及通道區 8d 之間的電壓(電位差) V_{gc} 之相對的電壓。亦即，像素部遮光區域 13a 與形成有通道區 8d 之結晶矽膜 17(參照第 3 圖)之間之絕緣膜 16 的厚度(約 300nm)，為 n

通道電晶體 8 的閘極絕緣膜 18 的厚度(約 100nm)之大約為 3 倍，因此，將電位供應至像素部遮光區域 13a 之際、從像素部遮光區域 13a 施加至通道區 8d 之電場的強度，為將相同的電位供應至閘極 8a 之際之從閘極 8a 施加至通道區 8d 之電場的強度之大約為 1/3。因此，於第 7 圖中係顯示出，顯示部遮光膜 13 的像素部遮光區域 13a 的電位 V_{back} 與通道區 8d 的電位 V_{ch} 之間的電位差之 1/3 的電壓 ($1/3(V_{back}-V_{ch})$)，來做為像素部遮光區域 13a 與通道區 8d 之間的實效電壓(電位差) V_{bc} 。從與上述相同的觀點來看，於第 7 圖中亦顯示出，像素部遮光區域 13a 的電位 V_{back} 與施加於汲極區 8b 之信號電位 V_{sig} 之間的電位差之 1/3 的電壓 ($1/3(V_{back}-V_{sig})$) 之波形，來做為顯示部遮光膜 13 的像素部遮光區域 13a 與汲極區 8b 之間的實效電壓(電位差) V_{bd} 。

如第 7 圖所示般，像素部遮光區域 13a 與通道區 8d 之間的實效電壓(電位差) V_{bc} 係於約 -1.3 至 0.2V 的範圍內變化。藉此，如第 8 圖所示般，像素部遮光區域 13a 與通道區 8d 之間的實效電壓(電位差) V_{bc} (約 -1.3 至 0.2V)，係恆常成為 n 通道電晶體 8 的非導通區域之電壓(電位差)(約 0.5V 以下)。因此，於將 $1/2(V_{dd}+V_{bb})$ 的電位供應至像素部遮光區域 13a 的情況下，n 通道電晶體 8 的下部通道係保持於非導通狀態。藉此，在將負側電位 V_{bb} 施加於閘極 8a 而使 n 通道電晶體 8 的上部通道係保持於非導通狀態之期間中，即使於將 $1/2(V_{dd}+V_{bb})$ 的電位施加於顯示部遮光

膜 13 的像素部遮光區域 13a 之情況下，亦可抑制 n 通道電晶體 8 的下部通道成為導通。因此，於此期間中，可將電流經介 n 通道電晶體 8 的下部通道而於汲極區 8b 及源極區 8c 之間流通的情形加以抑制。

於位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 各者中所包含之 n 通道電晶體當中，係進行與上述像素部 6 的 n 通道電晶體 8 為相同之動作。藉此，於將位準轉換電路 36 中所包含之 n 通道電晶體的上部通道(閘極側的通道區)保持於非導通狀態之期間中，即使在將 $1/2(V_{dd}+V_{bb})$ 的電位供應至位準轉換電路遮光膜 38 之情況下，亦可抑制 n 通道電晶體的下部通道(遮光膜側的通道區)成為導通，因此，可將電流經介下部通道而於 n 通道電晶體的汲極區及源極區之間流通的情形加以抑制。此外，於移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 各者中所包含之 n 通道電晶體的上部通道保持於非導通狀態之期間中，即使在將 $1/2(V_{dd}+V_{ss})$ 的電位供應至所對應的遮光膜之情況下，亦可抑制 n 通道電晶體的下部通道成為導通，因此，可將電流經介下部通道而於 n 通道電晶體的汲極區及源極區之間流通的情形加以抑制。

如上述般，於第 1 實施型態當中，係將 $1/2(V_{dd}+V_{bb})$ 的電位供應至顯示部遮光膜 13 及位準轉換電路遮光膜 38，且將 $1/2(V_{dd}+V_{ss})$ 的電位供應至移位暫存器電路遮光

膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，藉此，可將顯示部遮光膜 13 及位準轉換電路遮光膜 38 固定於 $1/2(V_{dd}+V_{bb})$ 的電位，並將移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34 予以固定於 $1/2(V_{dd}+V_{ss})$ 的電位。藉此，由於在顯示部遮光膜 13、位準轉換電路遮光膜 38、移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34 當中，電位不會產生變動，因此，可將伴隨著這些遮光膜之電位的變動，而使上述像素部 6 的 n 通道電晶體 8 之閾值電壓 V_{th} ，以及位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 各者中所包含之 n 通道電晶體之閾值電壓產生變動之情形，加以抑制。因此，可使像素部 6 的 n 通道電晶體 8 之動作，以及位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 各者中所包含之 n 通道電晶體之動作，達到安定。

此外，於第 1 實施型態當中，係將 $1/2(V_{dd}+V_{bb})$ 的電位供應至顯示部遮光膜 13 及位準轉換電路遮光膜 38，且將 $1/2(V_{dd}+V_{ss})$ 的電位供應至移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，藉此，可使上述

各個遮光膜、與所對應之 n 通道電晶體的通道區之間的電壓(電位差) V_{bc} ，不會超過該 n 通道電晶體之閾值電壓。因此，即使於將 $1/2(V_{dd}+V_{bb})$ 的電位供應至顯示部遮光膜 13 及位準轉換電路遮光膜 38，且將 $1/2(V_{dd}+V_{ss})$ 的電位供應至移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34 的情況下，亦可將像素部 6 的 n 通道電晶體 8，以及位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中之各個 n 通道電晶體成為導通狀態之情形加以抑制。藉此，於將像素部 6 的 n 通道電晶體 8，以及位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中之各個 n 通道電晶體予以保持在非導通狀態之期間中，可將起因於將電位供應至所對應的遮光膜使上述 n 通道電晶體成為導通、而產生液晶顯示裝置的動作不良之情形加以抑制。

此外，於第 1 實施型態當中，係對應於顯示部 3、位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29，各自設置顯示部遮光膜 13、位準轉換電路遮光膜 38、移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，且對各個遮光膜供應電位，藉此，相較於對上述各電路部中所包含之每個 n 通道電晶體設置遮光膜、且將個別的預定

電位供應至每個遮光膜之情況，可減少將電位供應至遮光膜之配線及栓塞的數目，並且可大幅減少遮光膜與電晶體之間的空間，藉此可抑制顯示裝置之大型化。

此外，於第 1 實施型態當中，係於 n 通道電晶體 8 及顯示部遮光膜 13 的像素部遮光區域 13a 之間，設置具有 n 通道電晶體 8 的閘極絕緣膜 18 的厚度大約 3 倍之絕緣膜 16，藉此，於像素部遮光區域 13a 具有未意料到之閘極的功能的情況下，由於係以較大的厚度來形成具有閘極絕緣膜的功能之絕緣膜 16，因此即使將 $1/2(V_{dd}+V_{bb})$ 的電位供應至像素部遮光區域 13a 之情況下，n 通道電晶體 8 的通道區 8d 亦不易受到該電位的影響。因此，可將起因於將 $1/2(V_{dd}+V_{bb})$ 的電位施加於像素部遮光區域 13a 所導致之 n 通道電晶體 8 的閾值電壓 V_{th} 的變化加以降低。

接下來參照第 1 圖、第 3 圖、第 9 圖至第 11 圖，說明第 1 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的製程。

首先，如第 9 圖所示般，於玻璃基板 14 上，形成有具有大約 300nm 的厚度之緩衝層 15。之後，採用濺鍍法，於緩衝層 15 上形成具有大約 100nm 的厚度的 Mo 膜(圖中未顯示)後，採用微影技術及蝕刻技術，對該緩衝層 15 進行圖案形成。藉此，如第 1 圖所示般，係於緩衝層 15 上的預定區域上，形成顯示部遮光膜 13、移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、時脈產生電路遮光膜 34、及位準轉換電

路遮光膜 38。此時，顯示部遮光膜 13 係形成為，具有將像素部 6 的切換元件部 7 加以包覆之像素部遮光區域 13a、以及將閘極線及汲極線加以包覆之像素部遮光區域 13b。此外，顯示部遮光膜 13 之對應於像素部 6 的切換元件部 7 之區域係形成開口，而形成為可讓光透射者。

之後，如第 9 圖所示般，採用 CVD 法，形成有由具有大約 300nm 的厚度之 SiO_2 膜所組成之絕緣膜 16。之後，採用 CVD 法，於絕緣膜 16 的全面上形成有具有大約 70nm 的厚度之非結晶矽膜(圖中未顯示)後，對該非結晶矽膜進行結晶化。具體而言，於加熱板上將基板加熱至大約 300 $^{\circ}\text{C}$ ，並將連續振盪型紅外線雷射光照射於非結晶矽膜，藉此來加熱該非結晶矽膜。此時，紅外線雷射光亦照射於顯示部遮光膜 13、移位暫存器電路遮光膜 30 及 37(參照第 1 圖)、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、時脈產生電路遮光膜 34、及位準轉換電路遮光膜 38，藉此使這些遮光膜發熱。之後，由於這些遮光膜之發熱，而更對該非結晶矽膜進行加熱。藉此使該非結晶矽膜熔融。

之後，於紅外線雷射光的照射之後，使熔融的非結晶矽膜冷卻而進行結晶化。此時，若使雷射光往對於基板為相對的橫方向(與玻璃基板 14 的上面為平行之方向)進行掃描，則柱狀結晶於橫方向上形成，而形成相對較大的結晶。於存在有以上述紅外線雷射光的照射而仍未達到非結晶矽膜的融點以上的溫度之區域的情況下，該區域係形成為微

結晶。於結晶化之際，亦可採用準分子雷射回火法(ELA法)，及依據其他的能量照射手段之結晶化法。此外，亦可採用固態結晶化法(SPC)。如上述般，藉由對非結晶矽膜進行結晶化，可獲得結晶矽膜。之後，採用微影技術及蝕刻技術，對該結晶矽膜進行圖案形成，藉此而形成做為 n 通道電晶體 8 的主動層而形成為島狀之結晶矽膜 17。之後，於結晶矽膜 17 上進行通道摻雜。

接下來，如第 10 圖所示般，採用 CVD 法，以包覆結晶矽膜 17 般而於絕緣膜 16 及結晶矽膜 17 上，形成由具有大約 100nm 的厚度之 SiO_2 膜所組成之閘極絕緣膜 18。之後，在形成從顯示部遮光膜 13 的像素部遮光區域 13a 到達閘極絕緣膜 18 之第 1 層的栓塞 21 之後，於閘極絕緣膜 18 及第 1 層的栓塞 21 上，形成有由具有大約 150nm 的厚度之金屬膜(圖中未顯示)。藉由對該金屬膜(圖中未顯示)進行圖案形成，而於結晶矽膜 17 之對應於通道區 8d 的區域上，形成閘極 8a，並且將連接於第 1 層的栓塞 21 之中間配線層 22 加以形成。

接下來，如第 11 圖所示般，以光阻膜 50 將對應於結晶矽膜 17 之區域以外的區域加以包覆之後，以該光阻膜 50 及閘極 8a 為遮罩，將不純物注入於結晶矽膜 17。藉此，於結晶矽膜 17 上，形成有汲極區 8b 及源極區 8c、以及包夾於汲極區 8b 及源極區 8c 之通道區 8d。之後將光阻膜 50 加以去除。

之後，如第 3 圖所示般，係以包覆閘極 8a 及中間配線

層 22 之方式，於閘極絕緣膜 18 上形成絕緣膜 19。之後，在將連接於中間配線層 22 之第 2 層的栓塞 23、以及各自連接於結晶矽膜 17 的汲極區 8b 及源極區 8c 之栓塞 20a、20b 加以形成之後，於絕緣膜 19 上，將連接於第 2 層的栓塞 23 之配線層 24 加以形成。如上述般，係形成有第 3 圖所示之第 1 實施型態之液晶顯示裝置的像素部 6 之 n 通道電晶體 8。

(第 2 實施型態)

接下來參照第 12 圖，說明第 2 實施型態之液晶顯示裝置的構成。

於此第 2 實施型態當中，與上述第 1 實施型態不同者為，像素部 6 的 n 通道電晶體 48 的閘極 48a 係與顯示部遮光膜 13 的像素部遮光區域 13a 連接。此 n 通道電晶體 48 為本發明之「第 1 電晶體」之一例。具體而言，如第 12 圖所示般，藉由將像素部 6 的 n 通道電晶體 48 的閘極 48a 與中間配線層 42 予以連接而形成，而使顯示部遮光膜 13 的像素部遮光區域 13a 與像素部 6 的 n 通道電晶體 48 的閘極 48a 經介栓塞 21 及中間配線層 42 而連接。於第 2 實施型態當中，各自連接於 1 條的閘極線上所連接之多數個 n 通道電晶體 48 的閘極 48a 之像素部遮光區域 13a、與各自連接於其他閘極線上所連接之多數個 n 通道電晶體 48 的閘極 48a 之像素部遮光區域 13a 係成為電性切斷。

藉此，於第 2 實施型態當中，係構成為，施加於同一條的閘極線上所連接之多數個 n 通道電晶體 48 的閘極 48a

上之閘極電位 V_{gate} ，係同樣施加於這些多數個 n 通道電晶體 48 的閘極 48a 上所各自連接之像素部遮光區域 13a。因此，於第 2 實施型態當中，可構成為使顯示部遮光膜 13 的像素部遮光區域 13a 具有 n 通道電晶體 48 的閘極之功能。第 2 實施型態之液晶顯示裝置之上述以外的構成，係與上述第 1 實施型態之液晶顯示裝置的構成相同。於第 2 實施型態之液晶顯示裝置的位準轉換電路遮光膜，與上述第 1 實施型態相同，係構成為施加有 $1/2(V_{dd}+V_{bb})$ 的固定電位。此外，與上述第 1 實施型態相同，係構成為，於第 2 實施型態之液晶顯示裝置的 H 系列驅動器之移位暫存器電路遮光膜、取樣電晶體遮光膜、緩衝區遮光膜、DA 轉換器遮光膜、及 V 系列驅動器之移位暫存器電路遮光膜上，施加有 $1/2(V_{dd}+V_{ss})$ 的固定電位。

接下來參照第 12 圖至第 14 圖，說明第 2 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的動作。

於此第 2 實施型態之液晶顯示裝置的像素部 6 之 n 通道電晶體 48 (參照第 12 圖) 當中，係將與第 4 圖所示之上述第 1 實施型態之閘極電位 V_{gate} 、信號電位 V_{sig} 及通道區 8d 的電位 V_{ch} 為相同之電位，各自施加於閘極 48a、汲極區 8b 及通道區 8d。藉此，第 2 實施型態之 n 通道電晶體 48 的閘極 48a 及汲極區 8b 之間的電壓 V_{gd} 、與閘極 48a 及通道區 8d 之間的電壓 V_{gc} ，係各自顯示出與第 5 圖所示之上述第 1 實施型態之 n 通道電晶體 8 的閘極 8a 及汲極區 8b 之間的電壓 V_{gd} 、與閘極 8a 及通道區 8d 之間的電壓

V_{gc} 為相同之波形。

此外，於第 2 實施型態當中，係將 n 通道電晶體 48 的閘極 48a 與顯示部遮光膜 13 的像素部遮光區域 13a 加以連接，藉此，將與施加於閘極 48a 之閘極電位 V_{gate} 為相同的電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a。亦即，此第 2 實施型態之施加於顯示部遮光膜 13 的像素部遮光區域 13a 之電位 V_{back} ，係與第 4 圖所示之上述第 1 實施型態之 n 通道電晶體 8 的閘極電位 V_{gate} 相同。此外，於第 2 實施型態當中，於將正側電位 V_{dd} 施加於 n 通道電晶體 48 的閘極 48a 之期間中，正側電位 V_{dd} 亦施加於所對應的像素部遮光區域 13a 中，並且於將負側電位 V_{bb} 施加於 n 通道電晶體 48 的閘極 48a 之期間中，負側電位 V_{bb} 亦施加於所對應的像素部遮光區域 13a 中。

此外，第 2 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a 與 n 通道電晶體 48 的汲極區 8b 之間的實效電壓 $V_{bd} = 1/3(V_{back} - V_{sig})$ ，如第 13 圖所示，係顯示出，將第 5 圖所示之上述第 1 實施型態之 n 通道電晶體 8 的閘極 8a 與汲極區 8b 之間之電壓(電位差) $V_{gd} = V_{gate} - V_{sig}$ 之波形的電壓值縮小為 1/3 後的波形。此外，如第 13 圖所示，第 2 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 48 的通道區 8d 之間的實效電壓(電位差) $V_{bc} = 1/3(V_{back} - V_{ch})$ ，係顯示出如第 7 圖般之波形。此像素部遮光區域 13a 與 n 通道電晶體 8 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，係顯示出，將第 5 圖所示之上述第

1 實施型態之 n 通道電晶體 8 的閘極 8a 與通道區 8d 之間的實效電壓(電位差) $V_{gc}=V_{gate}-V_{ch}$ 之波形的電壓值縮小為 1/3 後的波形。

因此，於 n 通道電晶體 48 的上部通道為導通狀態的期間中，第 2 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 48 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，係於約 0.6 至 2.0V 的範圍內變化。另一方面，於 n 通道電晶體 48 的上部通道(閘極側的通道區)為非導通狀態的期間中，第 2 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 48 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，係於約 -3.2 至 -1.7V 的範圍內變化。藉此，如第 14 圖所示般，於 n 通道電晶體 48 的上部通道為非導通狀態的期間中，像素部遮光區域 13a 與通道區 8d 之間的實效電壓(電位差) V_{bc} (約 -3.2 至 -1.7V)，係成為 n 通道電晶體 48 的非導通區域之電壓(約 0.5V 以下)。因此，於 n 通道電晶體 48 的上部通道為非導通狀態的期間中，可抑制 n 通道電晶體 48 的下部通道(像素部遮光膜 13a 側的通道區)成為導通。藉此，可將電流經介 n 通道電晶體 48 的下部通道而於汲極區 8b 及源極區 8c 之間流通的情形加以抑制。

如上述般，於第 2 實施型態當中，係將顯示部遮光膜 13 的像素部遮光區域 13a 與所對應之像素部 6 之 n 通道電晶體 48 的閘極 48a 加以連接，藉此，將與施加於所對應之像素部 6 之 n 通道電晶體 48 的閘極 48a 之閘極電位 V_{gate}

為相同的電位，予以施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，於將負側電位 V_{bb} 施加於 n 通道電晶體 48 的閘極 48a 之情況下，負側電位 V_{bb} 亦施加於像素部遮光區域 13a 中。因此，於因負側電位 V_{bb} 施加於閘極 48a 而將 n 通道電晶體 48 的上部通道保持在非導通狀態的期間中，可將起因於負側電位 V_{bb} 施加於像素部遮光區域 13a 所導致之使 n 通道電晶體 48 的下部通道成為導通之情況加以抑制。因此，可將液晶顯示裝置的動作不良之情形加以抑制。

此外，於第 2 實施型態當中，係將與施加於所對應之 n 通道電晶體 48 的閘極 48a 之電位為相同的電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，可使像素部遮光區域 13a 具有 n 通道電晶體 48 的閘極 48a 之功能，因此可採用 n 通道電晶體 48 的閘極 48a、與顯示部遮光膜 13 的像素部遮光區域 13a 兩者來加以驅動。藉此可提升 n 通道電晶體 48 的驅動能力。因此，可經介 n 通道電晶體 48 來進行信號電位 V_{sig} 之高速寫入。

第 2 實施型態之上述以外的效果，係與上述第 1 實施型態之效果相同。

(第 3 實施型態)

接下來參照第 15 圖，說明第 3 實施型態之液晶顯示裝置的構成。

於此第 3 實施型態當中，與上述第 1 實施型態不同者為，像素部 6 的 n 通道電晶體 58 的汲極 8b 係與顯示部遮

光膜 13 的像素部遮光區域 13a 連接。此 n 通道電晶體 58 為本發明之「第 1 電晶體」之一例。具體而言，如第 15 圖所示般，於顯示部遮光膜 13 的像素部遮光區域 13a 上所連接之第 1 層的栓塞 21 上，設置有第 2 層的栓塞 53。之後，於絕緣層 19 上之對應於第 2 層的栓塞 53 的區域上，形成配線層 54。此配線層 54 係連接於第 2 層的栓塞 53、以及 n 通道電晶體 58 的汲極 8b 上所連接之栓塞 20a。藉此，n 通道電晶體 58 的汲極 8b 與顯示部遮光膜 13 的像素部遮光區域 13a，係經介栓塞 20a、配線層 54、第 1 層的栓塞 21 及第 2 層的栓塞 53 而連接。汲極 8b 及像素部遮光區域 13a 亦可藉由第 1 層的栓塞 21 而直接連接。

藉此，於第 3 實施型態當中，係構成為，將施加於像素部 6 的 n 通道電晶體 58 的汲極 8b 之電位為相同的電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a。於第 3 實施型態當中，配線部遮光區域 13b 與像素部遮光區域 13a 為互相分離，於配線部遮光區域 13b 上，施加有適當的電位 ($1/2(V_{dd}+V_{ss})$)。第 3 實施型態之液晶顯示裝置之上述以外的構成，係與上述第 1 實施型態之液晶顯示裝置的構成相同。於第 3 實施型態之液晶顯示裝置的位準轉換電路遮光膜，與上述第 1 實施型態相同，係構成為施加有 $1/2(V_{dd}+V_{bb})$ 的固定電位。此外，與上述第 1 實施型態相同，係構成為，於第 3 實施型態之液晶顯示裝置的 H 系列驅動器之移位暫存器電路遮光膜、取樣電晶體遮光膜、緩衝區遮光膜、DA 轉換器遮光膜、及 V 系列驅動器之移位

暫存器電路遮光膜上，施加有 $1/2(V_{dd}+V_{ss})$ 的固定電位。

接下來參照第 15 圖至第 17 圖，說明第 3 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的動作。

於此第 3 實施型態之液晶顯示裝置的像素部 6 之 n 通道電晶體 58 當中，係將與第 4 圖所示之上述第 1 實施型態之閘極電位 V_{gate} 及信號電位 V_{sig} 為相同之電位，各自施加於閘極 8a 及汲極區 8b。此時，n 通道電晶體 58 的通道區 8d 的電位 V_{ch} ，係與第 4 圖所示之第 1 實施型態之通道區 8d 的電位 V_{ch} 相同。藉此，第 3 實施型態之 n 通道電晶體 58 的閘極 8a 及汲極區 8b 之間的電壓 V_{gd} 、與閘極 8a 及通道區 8d 之間的電壓 V_{gc} ，係各自顯示出與第 5 圖所示之第 1 實施型態之 n 通道電晶體 8 的閘極 8a 及汲極區 8b 之間的電壓 V_{gd} 、與閘極 8a 及通道區 8d 之間的電壓 V_{gc} 為相同之波形。

此外，於第 3 實施型態當中，係將 n 通道電晶體 58 的汲極區 8b 與顯示部遮光膜 13 的像素部遮光區域 13a 加以連接，藉此，將與施加於汲極區 8b 之信號電位 V_{sig} 為相同的電位，予以施加於顯示部遮光膜 13 的像素部遮光區域 13a。藉此，如第 16 圖所示般，像素部遮光區域 13a 與 n 通道電晶體 58 的汲極區 8b 之間的實效電壓 $V_{bd}=1/3(V_{back}-V_{sig})$ ，係成為大約為 0V。此外，像素部遮光區域 13a 與 n 通道電晶體 58 的通道區 8d 之間的實效電壓 $V_{bc}=1/3(V_{back}-V_{ch})$ ，係顯示出如第 16 圖般之波形。

因此，於 n 通道電晶體 58 的上部通道為導通狀態的期

間中，第 3 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 58 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，係於約 0.3 至 0.8V 的範圍內變化。另一方面，於 n 通道電晶體 58 的上部通道為非導通狀態的期間中，第 3 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 58 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，係於約 -0.7 至 0.4V 的範圍內變化。藉此，如第 17 圖所示般，於 n 通道電晶體 58 的上部通道為非導通狀態的期間中，像素部遮光區域 13a 與通道區 8d 之間的實效電壓(電位差) V_{bc} (約 -0.7 至 0.4V)，係成為 n 通道電晶體 58 的非導通區域之電壓(約 0.5V 以下)。因此，於 n 通道電晶體 58 的上部通道為非導通狀態的期間中，即使將與施加於汲極區 8b 之信號電位 V_{sig} 為相同之電位予以施加於顯示部遮光膜 13 的像素部遮光區域 13a，亦可抑制 n 通道電晶體 58 的下部通道成為導通。因此，可在此期間中，將電流經介 n 通道電晶體 58 的下部通道而於汲極區 8b 及源極區 8c 之間流通的情形加以抑制。

如上述般，於第 3 實施型態當中，於像素部 6 的 n 通道電晶體 58 的上部通道為非導通狀態的期間中，n 通道電晶體 58 之通道區 8d 的電位係位於汲極區 8b 的電位(信號電位 V_{sig})所產生變化的範圍內，且成為對應於汲極區 8b 的電位(信號電位 V_{sig})之電位。因此，係將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之像素部 6 之 n 通道電晶體 58 的汲極區 8b 加以連接，藉此可將與施加於所對

應之像素部 6 之 n 通道電晶體 58 的汲極區 8b 之信號電位 V_{sig} 為相同的電位，予以施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，於於 n 通道電晶體 58 的上部通道為非導通狀態的期間中，可將顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 58 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，控制在約 -0.7 至 0.4V 的範圍內。因此，可將顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 58 的通道區 8d 之間的實效電壓(電位差) V_{bc} ，控制在 n 通道電晶體 58 的非導通區域之電壓範圍內(約 0.5V 以下)。因此，可將起因於，將與施加於汲極區 8b 之信號電位 V_{sig} 為相同的電位予以施加於顯示部遮光膜 13 的像素部遮光區域 13a 所導致之在 n 通道電晶體 58 的上部通道為非導通時，使 n 通道電晶體 58 的下部通道成為導通之情況，加以抑制。因此，可將液晶顯示裝置的動作不良之情形加以抑制。

此外，於第 3 實施型態當中，係將顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 58 的汲極區 8b 加以連接，藉此，使 n 通道電晶體 58 的汲極區 8b 上所連接之汲極線的電容量，增加顯示部遮光膜 13 的像素部遮光區域 13a 的量。藉此，於將影像信號(信號電位 V_{sig})供應至汲極線之際，可將該影像信號的電荷充分的儲存於該汲極線中，以及儲存於做為連接於該汲極線之有益於電容量保存之部分中。之後，可於預定的掃描信號從閘極線加以供應而使 n 通道電晶體 58 成為導通之期間中，將該充分儲

存之電荷經介 n 通道電晶體 58 而供應至各像素。藉此，可提升液晶顯示裝置的畫質。

第 3 實施型態之上述以外的效果，係與上述第 1 實施型態之效果相同。

(第 4 實施型態)

接下來參照第 18 圖，說明於第 4 實施型態當中，將本發明適用於有機電激發光顯示裝置之例子。

如第 18 圖所示般，於此第 4 實施型態之有機電激發光顯示裝置當中，係由做為切換元件之 n 通道電晶體 68、輔助電容 69、陽極 70、陰極 71、包夾於陽極 70 與陰極 71 之間之有機電激發光元件 72、及 p 通道電晶體 73 來構成像素部 66。像素部 66 為本發明之「第 1 區域」及「第 1 電路部」之一例，n 通道電晶體 68 及 p 通道電晶體 73 為本發明之「第 1 電晶體」之一例。

此外，於 n 通道電晶體 68 的閘極 68a 上，係連接有閘極線。正側電位 V_{dd} 及負側電位 V_{bb} 係經介此閘極線，而施加於 n 通道電晶體 68 的閘極 68a 上。此外，n 通道電晶體 68 的汲極區 68b 係連接於汲極線，且源極區 68c 係連接於輔助電容 69 之一邊的電極以及 p 通道電晶體 73 的閘極 73a。此外，於 n 通道電晶體 68 的汲極區 68b 上，係經介汲極線而施加有信號電位 V_{sig} 。此外，輔助電容 69 之另一邊的電極上，係供應有正側電位 PV_{dd} 。此外，於 p 通道電晶體 73 的汲極區 73b 上，係供應有正側電位 PV_{dd} ，且源極區 73c 連接於陽極 70。此外，於陰極 71 上係供應有

對各個像素部 66 為共通之接地電位 GND(Vcom)。

此外，於第 4 實施型態之有機電激發光顯示裝置當中，與第 1 圖所示之上述第 1 實施型態相同，亦設置有顯示部遮光膜 13、移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、時脈產生電路遮光膜 34、及位準轉換電路遮光膜 38。此外，於第 4 實施型態之有機電激發光顯示裝置當中，第 1 圖所示之第 1 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a，係以包覆像素部 66(參照第 17 圖)的 n 通道電晶體 68 及 p 通道電晶體 73 兩者下方之方式而設置。此外，於第 4 實施型態之有機電激發光顯示裝置當中，係構成為將 $1/2(V_{dd}+V_{bb})$ 的固定電位施加於第 1 圖所示之第 1 實施型態之顯示部遮光膜 13 及位準轉換電路遮光膜 38。此外，於第 4 實施型態之有機電激發光顯示裝置當中，係構成為將 $1/2(V_{dd}+V_{ss})$ 的固定電位施加於第 1 圖所示之第 1 實施型態之移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34。第 4 實施型態之有機電激發光顯示裝置之上述以外的構成，係與上述第 1 實施型態之液晶顯示裝置的構成相同。

第 24 圖至第 27 圖係顯示用於說明本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的動作之電壓波形圖。第 28 圖係顯示本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的電流

一電壓特性之圖式。接下來參照第 18 圖至第 28 圖，說明本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體及 p 通道電晶體的動作。

於以下的說明當中，係說明點反轉驅動方式之有機電激發光顯示裝置的像素部之 n 通道電晶體及 p 通道電晶體的動作。此外，將各個供應電位設定如下，供應至 n 通道電晶體的閘極之正側電位 V_{dd} ：約 7.5V，供應至 p 通道電晶體的閘極之正側電位 PV_{dd} ：約 8V，負側電位 V_{bb} ：約 -2V，信號電位 V_{sig} ：約 3.5 至 6.5V。此外，n 通道電晶體的閾值電壓 V_{th} 設定為約 1V，p 通道電晶體的閾值電壓 V_{th} 設定為約 -2.5V。藉此，於閘極與通道區之間的電壓約為 1V 以上之際，n 通道電晶體係成為導通狀態，於閘極與通道區之間的電壓(電位差)約為 -2.5V 以下之際，p 通道電晶體係成為導通狀態。此外，係設定為，於閘極與通道區之間的電壓約為 0.5V 以下之際，n 通道電晶體成為非導通狀態，於閘極與通道區之間的電壓約為 -2.0V 以上之際，p 通道電晶體成為非導通狀態。

首先，如第 19 圖所示，輸入於像素部 66 的 n 通道電晶體 68 的閘極 68a 之電位(閘極電位 V_{gate})，係於正側電位 V_{dd} (約 7.5V)及負側電位 V_{bb} (約 -2V)之間交互切換。此外，輸入於 n 通道電晶體 68 的汲極區 68b 之信號電位 V_{sig} ，係於約 3.5 至 6.5V 的範圍內變化。此時，n 通道電晶體 68 的通道區 68d 之電位 V_{ch} ，係具有如第 19 圖的單點虛線所示之波形，且於約 3.5 至 6.8V 的範圍內變化。第

18 圖中之通道區 68d 的電位 V_{ch} ，係顯示出通道區 68d 的中央附近之電位。於此情況下，n 通道電晶體 68 的閘極 68a 及汲極區 68b 之間的電壓 $V_{gd}=V_{gate}-V_{sig}$ 、閘極 68a 及通道區 68d 之間的電壓 $V_{gc}=V_{gate}-V_{ch}$ ，係以第 20 圖所示之波形產生變化。

因此，於閘極電位 V_{gate} (參照第 19 圖)為正側電位 V_{dd} (約 7.5V)的期間中，n 通道電晶體 68 的閘極 68a 及通道區 68d 之間的電壓(電位差) V_{gc} (參照第 20 圖)，為大約 0.7 至 4V 的範圍之電壓。亦即，於此期間中，由於從初期狀態開始施加有信號電位 V_{sig} 之第 1 個電壓脈衝之期間以外的閘極 68a 及通道區 68d 之間的電壓(電位差) V_{gc} (大約 1 至 4V)，成為 n 通道電晶體 68 的導通區域之電壓(約 1V 以上)，因此 n 通道電晶體 68 係成為導通狀態。另一方面，於閘極電位 V_{gate} (參照第 19 圖)為負側電位 V_{bb} (約 -2V)的期間中，n 通道電晶體 68 的閘極 68a 及通道區 68d 之間的電壓(電位差) V_{gc} (參照第 20 圖)，為大約 -8.5V 至 -5.5V 的範圍之電壓。亦即，於此期間中，由於閘極 68a 及通道區 68d 之間的電壓(電位差) V_{gc} (大約 -8.5V 至 -5.5V)，成為 n 通道電晶體 68 的非導通區域之電壓(電位差)(約 0.5V 以下)，因此 n 通道電晶體 68 係成為非導通狀態。

此外，於第 4 實施型態當中，係將 $1/2(V_{dd}+V_{bb})$ 的固定電位供應至以包覆像素部 66 的 n 通道電晶體 68 之方式而設置之顯示部遮光膜 13 的像素部遮光區域 13a。藉此，如第 21 圖所示，顯示部遮光膜 13 的像素部遮光區域 13a

之電位 V_{back} 係固定於 $1/2(V_{dd}+V_{bb})=$ 約 $2.75V$ 。此時，像素部遮光區域 13a 與 n 通道電晶體 68 的汲極區 68b 之間的實效電壓(電位差) $V_{bd}=1/3(V_{back}-V_{sig})$ 、及像素部遮光區域 13a 與 n 通道電晶體 68 的通道區 68d 之間的實效電壓(電位差) $V_{bc}=1/3(V_{back}-V_{ch})$ ，係各自顯示出如第 22 圖般之波形。如第 22 圖所示，此像素部遮光區域 13a 與 n 通道電晶體 68 的通道區 68d 之間的實效電壓(電位差) V_{bc} ，係於約 -1.4 至 $0.3V$ 的範圍內變化。藉此，如第 23 圖所示，像素部遮光區域 13a 與通道區 68d 之間的實效電壓(電位差) V_{bc} (約 -1.4 至 $0.3V$)，係經常成為 n 通道電晶體 68 的非導通區域之電壓(電位差)(約 $0.5V$ 以下)。因此，於將 n 通道電晶體 68 的上部通道保持於非導通狀態之期間中，即使於將 $1/2(V_{dd}+V_{bb})$ 的電位施加於顯示部遮光膜 13 的像素部遮光區域 13a 之情況下，亦可抑制 n 通道電晶體 68 的下部通道成為導通。因此，於此期間中，可將電流經介 n 通道電晶體 68 的下部通道而於汲極區 68b 及源極區 68c 之間流通的情形加以抑制。

接下來，如第 24 圖所示，輸入於像素部 66 的 p 通道電晶體 73 的閘極 73a 之電位(閘極電位 $V_{gate}(Pch)=$ n 通道電晶體 68 的源極電位 V_s)，係於約 3.5 至 $6.5V$ 的範圍內變化。此外，正側電位 V_{dd} (約 $8V$)係施加於 p 通道電晶體 73 的汲極區 73b。此時，p 通道電晶體 73 的通道區 73d 之電位 V_{ch} ，係顯示如第 24 圖所示之波形。藉此，p 通道電晶體 73 的閘極 73a 及汲極區 73b 之間的電壓(電位

差) $V_{gd} = V_{gate}(Pch) - V_d(Pch)$ 、閘極 73a 及通道區 73d 之間的電壓 $V_{gc} = V_{gate}(Pch) - V_{ch}(Pch)$ ，係以第 25 圖所示之波形產生變化。之後，於 p 通道電晶體 73 的閘極 73a 及通道區 73d 之間的電壓 V_{gc} 成為 p 通道電晶體 73 的導通區域之電壓(約 -2.5V 以下)的期間中，p 通道電晶體 73 成為導通狀態。另一方面，於 p 通道電晶體 73 的閘極 73a 及通道區 73d 之間的電壓 V_{gc} 成為 p 通道電晶體 73 的非導通區域之電壓(約 -2V 以上)的期間中，p 通道電晶體 73 成為非導通狀態。

此外，於第 4 實施型態當中，係將 $1/2(V_{dd} + V_{bb}) =$ 約 2.75V 的電位予以施加於以包覆像素部 66 的 p 通道電晶體 73 之方式而設置之顯示部遮光膜 13 的像素部遮光區域 13a。藉此，如第 26 圖所示，顯示部遮光膜 13 的像素部遮光區域 13a 之電位 V_{back} ，係固定於 $1/2(V_{dd} + V_{bb}) =$ 約 2.75V。此時，如第 27 圖所示，像素部遮光區域 13a 與 p 通道電晶體 73 的汲極區 73b 之間的實效電壓(電位差) $V_{bd} = 1/3(V_{back} - V_d(Pch))$ 約為 -1.75V。此外，像素部遮光區域 13a 與 p 通道電晶體 73 的通道區 73d 之間的實效電壓(電位差) $V_{bc} = 1/3(V_{back} - V_{ch}(Pch))$ ，係顯示出如第 27 圖般之波形，且成為約 -1.75V 至 -0.25V 的範圍之電壓。藉此，如第 28 圖所示，像素部遮光區域 13a 與 p 通道電晶體 73 的通道區 73d 之間的實效電壓(電位差) V_{bc} (約 -1.75V 至 -0.25V)，係恆常成為 p 通道電晶體 73 的非導通區域之電壓(電位差)(約 -2V 以下)。因此，於將 p 通道電晶體 73 的

上部通道保持於非導通狀態之期間中，即使於將 $1/2(V_{dd}+V_{bb})$ 的電位施加於顯示部遮光膜 13 的像素部遮光區域 13a 之情況下，亦可抑制 p 通道電晶體 73 的下部通道成為導通。因此，於此期間中，可將電流經介 p 通道電晶體 73 的下部通道而於汲極區 73b 及源極區 73c 之間流通的情形加以抑制。

如上述般，於第 4 實施型態當中，於有機電激發光顯示裝置當中，係將 $1/2(V_{dd}+V_{bb})$ 的電位供應至顯示部遮光膜 13 及位準轉換電路遮光膜 38，且將 $1/2(V_{dd}+V_{ss})$ 的電位供應至移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，藉此，可將顯示部遮光膜 13 及位準轉換電路遮光膜 38 固定於 $1/2(V_{dd}+V_{bb})$ 的電位，並將移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，固定於 $1/2(V_{dd}+V_{ss})$ 的電位。藉此，由於在顯示部遮光膜 13、位準轉換電路遮光膜 38、移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34 當中電位不會產生變動，因此，可抑制伴隨著這些遮光膜之電位的變動而使像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 之閾值電壓 V_{th} ，以及各個位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中所包含之 n 通道電晶體之閾值電壓產

生變動之情形。因此，於有機電激發光顯示裝置當中，可使像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 之動作，以及各個位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中所包含之各個 n 通道電晶體之動作，達到安定。

此外，於第 4 實施型態當中，於有機電激發光顯示裝置當中，係將 $1/2(V_{dd}+V_{bb})$ 的電位供應至顯示部遮光膜 13 及位準轉換電路遮光膜 38，且將 $1/2(V_{dd}+V_{ss})$ 的電位供應至移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34，藉此，可使上述各個遮光膜，與所對應之像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73、位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中之各個 n 通道電晶體之間的通道區之間的電壓(電位差) V_{bc} ，不會超過上述 n 通道電晶體或是 p 通道電晶體之各個閾值電壓 V_{th} 。因此，即使於將 $1/2(V_{dd}+V_{bb})$ 的電位供應至顯示部遮光膜 13 及位準轉換電路遮光膜 38，且將 $1/2(V_{dd}+V_{ss})$ 的電位供應至移位暫存器電路遮光膜 30 及 37、取樣電晶體遮光膜 31、緩衝區遮光膜 32、DA 轉換器遮光膜 33、及時脈產生電路遮光膜 34 的情況下，亦可抑制像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 的下部通道、以及位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中之各個 n 通道電晶體的

下部通道成為導通狀態之情形。藉此，於將像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 的上部通道，以及位準轉換電路 36、移位暫存器電路 25 及 35、取樣電晶體 26、緩衝區 27、DA 轉換器 28、及時脈產生電路 29 中之各個 n 通道電晶體的上部通道保持在非導通狀態之期間中，可將起因於將電位供應至所對應的遮光膜使上述 n 通道電晶體或是 p 通道電晶體成為導通而產生有機電激發光顯示裝置的動作不良之情形，加以抑制。

第 4 實施型態之上述以外的效果，係與上述第 1 實施型態之效果相同。

(第 5 實施型態)

於此第 5 實施型態當中，與上述第 4 實施型態不同者為，係將與施加於所對應的像素部之 n 通道電晶體及 p 通道電晶體的閘極為相同的電位，施加於有機電激發光顯示裝置之顯示部遮光膜的像素部遮光區域之情況。

第 5 實施型態之有機電激發光顯示裝置係具有與第 18 圖所示之第 4 實施型態之像素部 66 為相同的像素部。於第 5 實施型態當中，係構成為，第 18 圖所示之第 4 實施型態之像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 係具有，第 12 圖所示之第 2 實施型態之閘極 48a 及顯示部遮光膜 13 的像素部遮光區域 13a 乃經介栓塞 21 及中間配線層 42 而連接之構造。於此第 5 實施型態當中，各自連接於 1 條的閘極線上所連接之多數個 n 通道電晶體 68(p 通道電晶體 73) 的閘極之像素部遮光區域 13a、與各自連接於其他閘

極線上所連接之多數個 n 通道電晶體 68(p 通道電晶體 73) 的閘極之像素部遮光區域 13a，係成為電性切斷。藉此，於第 5 實施型態當中，係構成為，將相同的電位施加於，第 18 圖所示之第 4 實施型態之像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 的各個閘極 68a 及 73a、以及所對應之顯示部遮光膜 13 的像素部遮光區域 13a。第 5 實施型態之有機電激發光顯示裝置之上述以外的構成，係與上述第 4 實施型態之有機電激發光顯示裝置的構成相同。

與上述第 4 實施型態相同，係構成為，於上述第 4 實施型態之有機電激發光顯示裝置的位準轉換電路遮光膜上，施加有 $1/2(V_{dd}+V_{bb})$ 的固定電位。此外，係構成為，於第 5 實施型態之有機電激發光顯示裝置的 H 系列驅動器之移位暫存器電路遮光膜、取樣電晶體遮光膜、緩衝區遮光膜、DA 轉換器遮光膜、時脈產生電路遮光膜、及 V 系列驅動器之移位暫存器電路遮光膜上，施加有 $1/2(V_{dd}+V_{ss})$ 的固定電位。

接下來參照第 29 圖至第 32 圖，說明第 5 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體及 p 通道電晶體的動作。

於此第 5 實施型態之有機電激發光顯示裝置的像素部 66 之 n 通道電晶體 68 當中，係將與第 19 圖所示之上述第 4 實施型態之閘極電位 V_{gate} 及信號電位 V_{sig} 為相同之電位，各自施加於閘極 68a 汲極區 68b。藉此，於第 5 實施型態之 n 通道電晶體 68 的通道區 68d 上，係施加有與第

19 圖所示之上述第 4 實施型態之通道區 68d 的電位 V_{ch} 為相同之電位。藉此，於第 5 實施型態之像素部 66 的 n 通道電晶體 68 之上部通道側上，進行與上述第 4 實施型態相同之動作。

此外，於第 5 實施型態當中，係將 n 通道電晶體 68 的閘極 68a 與顯示部遮光膜 13 的像素部遮光區域 13a 加以連接，藉此，可將與施加於同一條閘極線上所連接之多數個 n 通道電晶體 68 的閘極 68a 之閘極電位 V_{gate} 為相同的電位，同樣施加於這些多數個 n 通道電晶體 68 的閘極 68a 上所各自連接之像素部遮光區域 13a 上。亦即，此第 5 實施型態之施加於顯示部遮光膜 13 的像素部遮光區域 13a 之電位 V_{back} ，係顯示出與第 19 圖所示之第 4 實施型態之 n 通道電晶體 68 的閘極電位 V_{gate} 為相同之波形。此外，於第 5 實施型態當中，於將正側電位 V_{dd} 施加於 n 通道電晶體 68 的閘極 68a 之期間中，正側電位 V_{dd} 亦施加於所對應的像素部遮光區域 13a 中。另一方面，於將負側電位 V_{bb} 施加於 n 通道電晶體 68 的閘極 68a 之期間中，負側電位 V_{bb} 亦施加於所對應的像素部遮光區域 13a 中。此外，如第 29 圖所示，第 5 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a 與 n 通道電晶體 68 的汲極區 68b 之間的實效電壓 $V_{bd} = 1/3(V_{back} - V_{sig})$ 係顯示出，將第 20 圖所示之上述第 4 實施型態之 n 通道電晶體 68 的閘極 68a 與汲極區 68b 之間之電壓 V_{gd} 之波形的電壓值縮小為 $1/3$ 後的波形。此外，如第 29 圖所示，第 5 實施型態之顯示部遮光膜

13 的像素部遮光區域 13a、與 n 通道電晶體 68 的通道區 68d 之間的實效電壓 $V_{bc}=1/3(V_{back}-V_{ch})$ 係顯示出，將第 20 圖所示之上述第 4 實施型態之 n 通道電晶體 68 的閘極 68a 與通道區 68d 之間的電壓 V_{gc} 之波形的電壓值縮小為 $1/3$ 後的波形。

因此，於 n 通道電晶體 68 的上部通道為導通狀態的期間中，第 5 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 68 的通道區 68d 之間的實效電壓(電位差) V_{bc} ，係於約 0.2 至 1.3V 的範圍內變化。另一方面，於 n 通道電晶體 68 的上部通道為非導通狀態的期間中，第 5 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 68 的通道區 68d 之間的實效電壓(電位差) V_{bc} ，係於約 -2.8 至 -1.8V 的範圍內變化。藉此，如第 30 圖所示，於第 5 實施型態之 n 通道電晶體 68 的上部通道為非導通狀態的期間中，像素部遮光區域 13a 與通道區 68d 之間的實效電壓 V_{bc} (約 -2.8 至 -1.8V)，係成為 n 通道電晶體 68 的非導通區域之電壓(約 0.5V 以下)。因此，於 n 通道電晶體 68 的上部通道為非導通狀態的期間中，可抑制 n 通道電晶體 68 的下部通道成為導通。藉此，可於此期間中抑制電流經介 n 通道電晶體 68 的下部通道而於汲極區 68b 及源極區 68c 之間流通的情形。

接下來，於第 5 實施型態之有機電激發光顯示裝置的像素部 66 之 p 通道電晶體 73 當中，係將與第 24 圖所示之第 4 實施型態之閘極電位 $V_{gate}(P_{ch})$ 及正側電位 PV_{dd} 為

相同之電位，各自施加於閘極 73a 汲極區 73b。藉此，於第 5 實施型態之 p 通道電晶體 73 的通道區 73d 上，係施加有與第 24 圖所示之第 4 實施型態之通道區 73d 的電位 V_{ch} 為相同之電位。藉此，於第 5 實施型態之像素部 66 的 p 通道電晶體 73 之上部通道側上，進行與上述第 4 實施型態之 p 通道電晶體 73 為相同之動作。

此外，於第 5 實施型態當中，係將 p 通道電晶體 73 的閘極 73a 與顯示部遮光膜 13 的像素部遮光區域 13a 加以連接，藉此，可將與施加於閘極 73a 之閘極電位 $V_{gate}(Pch)$ 為相同的電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a 上。亦即，此第 5 實施型態之施加於顯示部遮光膜 13 的像素部遮光區域 13a 之電位 V_{back} ，係顯示出與第 24 圖所示之第 4 實施型態之 p 通道電晶體 73 的閘極電位 $V_{gate}(Pch)$ 為相同之波形。藉此，如第 31 圖所示般，第 5 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a 與 p 通道電晶體 73 的汲極區 73b 之間的實效電壓 $V_{bd} = 1/3(V_{back} - V_d(Pch))$ 係顯示出，將第 25 圖所示之第 4 實施型態之 p 通道電晶體 73 的閘極 73a 與汲極區 73b 之間之電壓 V_{gd} 之波形的電壓值縮小為 1/3 後的波形。此外，如第 31 圖所示，第 5 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 p 通道電晶體 73 的通道區 73d 之間的實效電壓 $V_{bc} = 1/3(V_{back} - V_{ch}(Pch))$ 係顯示出，將第 25 圖所示之第 4 實施型態之 p 通道電晶體 73 的閘極 73a 與通道區 73d 之間的電壓 V_{gc} 之波形的電壓值縮小為 1/3 後的波

形。

因此，如第 31 圖所示，第 5 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 p 通道電晶體 73 的通道區 73d 之間的實效電壓 V_{bc} ，係於約 -1.5 至 0V 的範圍內變化。藉此，如第 32 圖所示，第 5 實施型態之像素部遮光區域 13a 與通道區 73d 之間的實效電壓 $V_{bc}(-1.5$ 至 0V)，係成為 p 通道電晶體 73 的非導通區域之電壓(約 -2V 以上)。因此，於 p 通道電晶體 73 的上部通道為非導通狀態的期間中，可抑制 p 通道電晶體 73 的下部通道成為導通。藉此，可於此期間中將電流經介 p 通道電晶體 73 的下部通道而於汲極區 73b 及源極區 73c 之間流通的情形加以抑制。

如上述般，於第 5 實施型態當中，於有機電激發光顯示裝置當中，係將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之像素部 66 之 n 通道電晶體 68 的閘極 68a 加以連接，藉此，可將與施加於所對應之像素部 66 之 n 通道電晶體 68 的閘極 68a 之閘極電位 V_{gate} 為相同的電位，予以施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，於因負側電位 V_{bb} 施加於閘極 68a，而將 n 通道電晶體 68 的上部通道保持在非導通狀態的期間中，可將起因於負側電位 V_{bb} 施加於像素部遮光區域 13a 所導致之使 n 通道電晶體 68 的下部通道成為導通之情況，加以抑制。因此，可將有機電激發光顯示裝置的動作不良之情形加以抑制。

此外，於第 5 實施型態當中，於有機電激發光顯示裝

置當中，係將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之像素部 66 之 p 通道電晶體 73 的閘極 73a 加以連接，藉此，可將與施加於所對應之像素部 66 之 p 通道電晶體 73 的閘極 73a 之閘極電位 V_{gate} 為相同的電位，予以施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，於 p 通道電晶體 73 的上部通道保持在非導通狀態的期間中，可抑制 p 通道電晶體 73 的下部通道成為導通。因此，可將有機電激發光顯示裝置的動作不良之情形加以抑制。

如上述般，於第 5 實施型態當中，於有機電激發光顯示裝置當中，係將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之像素部 66 之 n 通道電晶體 68 的閘極 68a (p 通道電晶體 73 的閘極 73a) 加以連接，藉此，可將與施加於所對應之像素部 66 之 n 通道電晶體 68 的閘極 68a (p 通道電晶體 73 的閘極 73a) 之電位為相同的電位，予以施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，可使顯示部遮光膜 13 的像素部遮光區域 13a 具有像素部 66 之 n 通道電晶體 68 (p 通道電晶體 73) 的閘極之功能。因此可採用 n 通道電晶體 68 的閘極 68a、與顯示部遮光膜 13 的像素部遮光區域 13a 兩者，來驅動 n 通道電晶體 68，並且採用 p 通道電晶體 73 的閘極 73a、與顯示部遮光膜 13 的像素部遮光區域 13a 兩者，來驅動 p 通道電晶體 73。藉此可提升像素部 66 之 n 通道電晶體 68 及 p 通道電晶體 73 的驅動能力。

第 31 圖所示之第 5 實施型態之像素部遮光區域 13a

與 p 通道電晶體 73 的通道區 73d 之間的實效電壓 V_{bc} (-1.5 至 0V)，雖然恆常成為 p 通道電晶體 73 的非導通區域之電壓(約 -2V 以上)，但若以於 p 通道電晶體 73 的上部通道成為導通狀態的期間中、使電壓 V_{bc} 成為 p 通道電晶體 73 的導通區域之電壓(約 -2.5V 以下)之方式來設定各供應電位，則可容易使顯示部遮光膜 13 的像素部遮光區域 13a 具有 p 通道電晶體 73 的下部通道側的閘極之功能。

第 5 實施型態之上述以外的效果，係與上述第 1 實施型態之效果相同。

(第 6 實施型態)

於此第 6 實施型態當中，與上述第 4 實施型態不同者為，係將與施加於所對應的像素部之 n 通道電晶體及 p 通道電晶體的汲極區為相同的電位，施加於有機電激發光顯示裝置之顯示部遮光膜的像素部遮光區域之情況。

第 6 實施型態之有機電激發光顯示裝置，係具有與第 18 圖所示之第 4 實施型態之像素部 66 為相同的像素部。於第 6 實施型態當中，係構成為，第 18 圖所示之第 4 實施型態之像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 係具有，第 15 圖所示之第 3 實施型態之 n 通道電晶體 58 的構成。亦即，於第 6 實施型態當中，第 18 圖所示之第 4 實施型態之像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 係具有，第 15 圖所示之第 3 實施型態之汲極區 8b 及顯示部遮光膜 13 的像素部遮光區域 13a 乃經介栓塞 21、第 2 層的栓塞 53、配線層 54、栓塞 20a 而連接之構造。此外，

汲極 8b 及像素部遮光區域 13a 亦可藉由第 1 層的栓塞 21 而直接連接。藉此，於第 6 實施型態當中，係構成為，將相同的電位施加於，第 18 圖所示之第 4 實施型態之像素部 66 的 n 通道電晶體 68 及 p 通道電晶體 73 的各個汲極區 68b 及 73b、以及所對應之顯示部遮光膜 13 的像素部遮光區域 13a。於第 6 實施型態當中，配線部遮光區域 13b 與像素部遮光區域 13a 為互相分離，於配線部遮光區域 13b 上，施加有適當的電位 ($1/2(V_{dd}+V_{ss})$)。第 6 實施型態之有機電激發光顯示裝置之上述以外的構成，係與上述第 4 實施型態之有機電激發光顯示裝置的構成相同。

於第 6 實施型態之有機電激發光顯示裝置的位準轉換電路遮光膜上，與上述第 4 實施型態相同，係構成為施加有 $1/2(V_{dd}+V_{bb})$ 的固定電位。此外，與上述第 4 實施型態相同，係構成為，於第 6 實施型態之有機電激發光顯示裝置的 H 系列驅動器之移位暫存器電路遮光膜、取樣電晶體遮光膜、緩衝區遮光膜、DA 轉換器遮光膜、時脈產生電路遮光膜、及 V 系列驅動器之移位暫存器電路遮光膜上，施加有 $1/2(V_{dd}+V_{ss})$ 的固定電位。

接下來參照第 33 圖至第 36 圖，說明第 6 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體及 p 通道電晶體的動作。

於此第 6 實施型態之有機電激發光顯示裝置的像素部 66 之 n 通道電晶體 68 當中，係將與第 19 圖所示之上述第 4 實施型態之汲極區電位 V_{gate} 及信號電位 V_{sig} 為相同之

電位，各自施加於閘極 68a 及極區 68b。此時，於第 6 實施型態之 n 通道電晶體 68 的通道區 68d 上，係施加有與第 19 圖所示之第 4 實施型態之通道區 68d 的電位 V_{ch} 為相同之電位。藉此，於第 6 實施型態之像素部 66 的 n 通道電晶體 68 之上部通道側上，進行與上述第 4 實施型態相同之動作。

此外，於第 6 實施型態當中，係將 n 通道電晶體 68 的汲極區 68b 與顯示部遮光膜 13 的像素部遮光區域 13a 加以連接，藉此，可將與施加於汲極區 68b 之信號電位 V_{sig} 為相同之電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a 上。藉此，如第 33 圖所示般，第 6 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a 與 n 通道電晶體 68 的汲極區 68b 之間的實效電壓 $V_{bd} = 1/3(V_{back} - V_{sig})$ ，係成為大約 0V。此外，如第 33 圖所示，第 6 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a 與 n 通道電晶體 68 的通道區 68d 之間的實效電壓 $V_{bc} = 1/3(V_{back} - V_{ch})$ ，係顯示出如第 33 圖所示之波形，且於約 -0.2 至 0.4V 的範圍內變化。

如第 34 圖所示，第 6 實施型態之像素部遮光區域 13a 與 n 通道電晶體 68 的通道區 68d 之間的實效電壓 V_{bc} (約 -0.2 至 -0.4V)，係成為 n 通道電晶體 68 的非導通區域之電壓 (約 0.5V 以下)。因此，於 n 通道電晶體 68 的上部通道為非導通狀態的期間中，即使將與施加於 n 通道電晶體 68 的汲極區 68b 之信號電位 V_{sig} 為相同之電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a 上之情況下，亦可抑制

n 通道電晶體 68 的下部通道成為導通。因此，可於此期間中將電流經介 n 通道電晶體 68 的下部通道而於汲極區 68b 及源極區 68c 之間流通的情形加以抑制。

接下來，於第 6 實施型態之有機電激發光顯示裝置的像素部 66 之 p 通道電晶體 73 當中，係將與第 24 圖所示之第 4 實施型態之汲極區電位 $V_{gate}(Pch)$ 及正側電位 $PVdd$ 為相同之電位，各自施加於閘極 73a 及汲極區 73b。此時，於第 6 實施型態之 p 通道電晶體 73 的通道區 73d 上，係施加有與第 24 圖所示之第 4 實施型態之通道區 73d 的電位 V_{ch} 為相同之電位。藉此，於第 6 實施型態之像素部 66 的 p 通道電晶體 73 之上部通道側上，進行與上述第 4 實施型態之 p 通道電晶體 73 為相同之動作。

此外，於第 6 實施型態當中，係將 p 通道電晶體 73 的汲極區 73b 與顯示部遮光膜 13 的像素部遮光區域 13a 加以連接，藉此，可將與施加於汲極區 73b 之正側電位 $PVdd$ (約 8V) 為相同的電位，予以施加於顯示部遮光膜 13 的像素部遮光區域 13a 上。藉此，如第 35 圖所示，第 6 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a 與 p 通道電晶體 73 的汲極區 73b 之間的實效電壓 $V_{bd} = 1/3(V_{back} - V_d(Pch))$ 係成為約 0V。此外，第 6 實施型態之顯示部遮光膜 13 的像素部遮光區域 13a、與 p 通道電晶體 73 的通道區 73d 之間的實效電壓 $V_{bc} = 1/3(V_{back} - V_{ch}(Pch))$ ，係顯示出如第 35 圖所示之波形，且於約 0 至 1.5V 的範圍內變化。

藉此，如第 36 圖所示，第 6 實施型態之像素部遮光區域 13a 與 p 通道電晶體 73 的通道區 73d 之間的實效電壓 V_{bc} (約 0 至 1.5V)，係成為 p 通道電晶體 73 的非導通區域之電壓 (約 -2V 以上)。因此，於第 6 實施型態當中，於 p 通道電晶體 73 的上部通道為非導通狀態的期間中，即使於將與施加於汲極區 73b 之正側電位 PV_{dd} 為相同的電位施加於所對應之顯示部遮光膜 13 的像素部遮光區域 13a 上之情況下，亦可抑制 p 通道電晶體 73 的下部通道成為導通。藉此，可於此期間中將電流經介 p 通道電晶體 73 的下部通道而於汲極區 73b 及源極區 73c 之間流通的情形加以抑制。

如上述般，於第 6 實施型態當中，於像素部 66 的 n 通道電晶體 68 之通道區 68d 的電位，係位於汲極區 68b 的電位 (信號電位 V_{sig}) 所產生變化的範圍內，且成為對應於汲極區 68b 的電位 (信號電位 V_{sig}) 之電位。因此，於有機電激發光顯示裝置當中，係將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之像素部 66 之 n 通道電晶體 68 的汲極區 68b 加以連接，藉此，可將與施加於所對應之像素部 66 之 n 通道電晶體 68 的汲極區 68b 之信號電位 V_{sig} 為相同的電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，可將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之 n 通道電晶體 68 的通道區 68d 之間的實效電壓 (電位差) V_{bc} ，控制在 n 通道電晶體 68 的非導通區域之電壓範圍內 (約 0.5V 以下)。因此，可將起因於將與施加於汲極區 68b 之信號電位 V_{sig} 為相同的電位予以施加於顯示部

遮光膜 13 的像素部遮光區域 13a 所導致之在 n 通道電晶體 68 的上部通道為非導通時、使 n 通道電晶體 68 的下部通道成為導通之情況，加以抑制。因此，可將有機電激發光顯示裝置的動作不良之情形加以抑制。

此外，於第 6 實施型態當中，像素部 66 的 p 通道電晶體 73 的通道區 73d 的電位，係成為對應於汲極區 73b 的正側電位 PVdd 之預定範圍內的電位。因此，於有機電激發光顯示裝置當中，係將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之像素部 66 之 p 通道電晶體 73 的汲極區 73b 加以連接，藉此，可將與施加於所對應之像素部 66 之 p 通道電晶體 73 的汲極區 73b 之正側電位 PVdd 為相同的電位，施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，可將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之 p 通道電晶體 73 的通道區 73d 之間的實效電壓(電位差) V_{bc} ，控制在約 0 至 1.5V 的範圍內。因此，可將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之 p 通道電晶體 73 的通道區 73d 之間的實效電壓(電位差) V_{bc} ，控制在 p 通道電晶體 73 的非導通區域之電壓範圍內(約 -2V 以上)。因此，可將起因於將與施加於汲極區 73b 之正側電位 PVdd 為相同的電位予以施加於顯示部遮光膜 13 的像素部遮光區域 13a 所導致之在 p 通道電晶體 73 的上部通道為非導通時、使 p 通道電晶體 73 的下部通道成為導通之情況，加以抑制。藉此，亦可將有機電激發光顯示裝置的動作不良之情形加以抑制。

此外，於第 6 實施型態當中，係將顯示部遮光膜 13 的像素部遮光區域 13a、與 n 通道電晶體 68 的汲極區 68b 加以連接，藉此，使 n 通道電晶體 68 的汲極區 68b 上所連接之汲極線的電容量，增加顯示部遮光膜 13 的像素部遮光區域 13a 的量。藉此，於將影像信號(信號電位 V_{sig})供應至汲極線之際，可將該影像信號的電荷，充分的儲存於該汲極線中，以及儲存於做為連接於該汲極線之有益於電容量保存之部分中。之後，可於將預定的掃描信號從閘極線加以供應而使 n 通道電晶體 68 成為導通之期間中，將該充分儲存之電荷經介 n 通道電晶體 68 而供應至 p 通道電晶體 73 的閘極。藉此，係與汲極線的電容量為較小的情況不同，可將汲極線所供應之影像信號的信號電位 V_{sig} ，充分傳達至 p 通道電晶體 73 的閘極，因此，可確實因應影像信號的信號電位 V_{sig} 而進行 p 通道電晶體 73 的導通狀態(非導通狀態)之控制。因此，可因應影像信號，正確的將經介 p 通道電晶體 73 而施加於有機電激發光顯示裝置之電位加以控制，因此可提升液晶顯示裝置的畫質。

第 6 實施型態之上述以外的效果，係與上述第 1 實施型態之效果相同。

(第 7 實施型態)

於此第 7 實施型態當中，與上述第 4 實施型態不同者為，係將 p 通道電晶體的汲極區上所施加之正側電位 PV_{dd} ，施加於有機電激發光顯示裝置的像素部之 p 通道電晶體的下方上所配置之顯示部遮光膜的像素部遮光區域，

並且將 $1/2(V_{dd}+V_{bb})$ 的電位施加於像素部之 n 通道電晶體的下方上所配置之顯示部遮光膜的像素部遮光區域之情況。

第 7 實施型態之有機電激發光顯示裝置，係具有與第 18 圖所示之第 4 實施型態之像素部 66 為相同的像素部。於第 7 實施型態當中，係構成為，將連接於 p 通道電晶體 73 的汲極區 73b 之正側電位 PV_{dd} 供應至第 18 圖所示之第 4 實施型態之像素部 66 的 p 通道電晶體 73 的下方上所配置之顯示部遮光膜 13 的像素部遮光區域 13a。第 7 實施型態之有機電激發光顯示裝置之上述以外的構成，係與上述第 4 實施型態之有機電激發光顯示裝置的構成相同。

與上述第 4 實施型態相同，於第 7 實施型態之像素部 66 的配線部遮光區域 13b、以及 n 通道電晶體 68 的下方上所配置之顯示部遮光膜 13 的像素部遮光區域 3b 上，係施加有 $1/2(V_{dd}+V_{bb})$ 的電位。此外，與上述第 4 實施型態相同，係構成為，於第 7 實施型態之有機電激發光顯示裝置的位準轉換電路遮光膜上施加有 $1/2(V_{dd}+V_{bb})$ 的電位。此外，與上述第 4 實施型態相同，係構成為，於第 7 實施型態之有機電激發光顯示裝置的 H 系列驅動器之移位暫存器電路遮光膜、取樣電晶體遮光膜、緩衝區遮光膜、DA 轉換器遮光膜、時脈產生電路遮光膜、及 V 系列驅動器之移位暫存器電路遮光膜上，施加有 $1/2(V_{dd}+V_{ss})$ 的固定電位。

接下來說明第 7 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體及 p 通道電晶體的動作。

此第 7 實施型態之有機電激發光顯示裝置的像素部 66 之 n 通道電晶體 68，係進行與第 4 實施型態之像素部 66 的 n 通道電晶體 68 完全相同的動作，藉此，於 n 通道電晶體 68 的上部通道為非導通狀態的期間中，可抑制 n 通道電晶體 68 的下部通道成為導通。

此外，於第 7 實施型態之像素部 66 之 p 通道電晶體 73 當中，係將與第 24 圖所示之第 4 實施型態之汲極區電位 $V_{gate}(Pch)$ 為相同之電位施加於閘極 73a，並將正側電位 $PVdd$ (約 8V) 施加於汲極區 73b。此時，於第 7 實施型態之 p 通道電晶體 73 的通道區 73d 的電位 $V_{ch}(Pch)$ ，係顯示出與第 24 圖所示之第 4 實施型態之通道區 73d 的電位 $V_{ch}(Pch)$ 為相同之波形。藉此，於第 7 實施型態的 p 通道電晶體 73 之上部通道側上，進行與上述第 4 實施型態之 p 通道電晶體 73 為相同之動作。

此外，於第 7 實施型態當中，係將正側電位 $PVdd$ (約 8V) 施加於 p 通道電晶體 73 的下方上所配置之顯示部遮光膜 13 的像素部遮光區域 13a。藉此，於第 7 實施型態的 p 通道電晶體 73 之下部通道側上，進行與上述第 6 實施型態之 p 通道電晶體 73 的下部通道側為相同之動作。藉此，於 p 通道電晶體 73 的上部通道為非導通狀態的期間中，可抑制 p 通道電晶體 73 的下部通道成為導通。

如上述般，於第 7 實施型態當中，p 通道電晶體 73 的通道區 73d 的電位係成為對應於汲極區 73b 的正側電位 $PVdd$ 之預定範圍內的電位。因此，於有機電激發光顯示裝

置當中，係將與施加於 p 通道電晶體 73 的汲極區 73b 之正側電位 PVdd 為相同的電位，予以施加於像素部 66 之 p 通道電晶體 73 的下方上所配置之顯示部遮光膜 13 的像素部遮光區域 13a，藉此，可將顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之 p 通道電晶體 73 的通道區 73d 之間的實效電壓(電位差)Vbc，控制在 p 通道電晶體 73 的非導通區域之電壓範圍內(約-2V 以上)。因此，可容易將起因於將正側電位 PVdd 施加於顯示部遮光膜 13 的像素部遮光區域 13a 所導致之在像素部 66 之 p 通道電晶體 73 為非導通時、使像素部 66 之 p 通道電晶體 73 的下部通道成為導通之情況，加以抑制。結果為，可將有機電激發光顯示裝置的動作不良之情形加以抑制。

第 7 實施型態之上述以外的效果，係與上述第 4 實施型態之效果相同。

(第 8 實施型態)

於此第 8 實施型態當中，係說明於液晶顯示裝置的周邊電路中，設置以 n 通道電晶體及 p 通道電晶體所構成之 CMOS 電路之情況。

於此第 8 實施型態之液晶顯示裝置當中，係於第 1 圖所示之第 1 實施型態之移位暫存器電路 25 及 35、DA 轉換器 28、時脈產生電路 29、及位準轉換電路 36 當中，設置如第 37 圖所示之由 n 通道電晶體 81 及 p 通道電晶體 82 所構成之 CMOS 電路 83。此 n 通道電晶體 81 及 p 通道電晶體 82 為本發明之「第 2 電晶體」之一例。此外，n 通道

電晶體 81 的閘極 81a 及 p 通道電晶體 82 的閘極 82a 係互相連接。藉此，將同樣的電位施加於 n 通道電晶體 81 的閘極 81a 及 p 通道電晶體 82 的閘極 82a。此外，正側電位 Vdd 係施加於 p 通道電晶體 82 的源極區 82b，負側電位 Vbb 係施加於 n 通道電晶體 81 的源極區 81b。此外，n 通道電晶體 81 及 p 通道電晶體 82 係具有共通的汲極區 84。

此外，係以包覆移位暫存器電路 25 及 35、DA 轉換器 28、及時脈產生電路 29 與位準轉換電路 36 中所設置之 CMOS 電路 83 的下方之方式，各設置有移位暫存器電路遮光膜 30 及 37、DA 轉換器遮光膜 33、時脈產生電路遮光膜 34、及位準轉換電路遮光膜 38。此外，於第 8 實施型態當中，係各自將 $1/2(V_{dd}+V_{bb})=$ 約 2.75V 的電位，施加於移位暫存器電路遮光膜 30 及 37、DA 轉換器遮光膜 33、時脈產生電路遮光膜 34、及位準轉換電路遮光膜 38。

第 8 實施型態之液晶顯示裝置之上述以外的構成，係與上述第 1 實施型態之液晶顯示裝置的構成相同。與上述第 1 實施型態相同，於第 8 實施型態之液晶顯示裝置的 n 通道電晶體的下方上所配置之顯示部遮光膜的像素部遮光區域上，係施加有 $1/2(V_{dd}+V_{bb})$ 的固定電位。此外，與上述第 1 實施型態相同，係構成為，於第 8 實施型態之取樣電晶體遮光膜、及緩衝區遮光膜上，係施加有 $1/2(V_{dd}+V_{ss})$ 的固定電位。

接下來參照第 37 圖及第 38 圖，說明本發明的第 8 實施型態之液晶顯示裝置的周邊電路所包含之 CMOS 電路

83 的動作。構成 CMOS 電路 83 之 n 通道電晶體的閾值電壓 V_{th} 設定為約 1V，p 通道電晶體的閾值電壓 V_{th} 設定為約 -2.5V。藉此，於 CMOS 電路 83 當中，於閘極與通道區之間的電壓約為 1V 以上之際，n 通道電晶體係成為導通狀態，於閘極與通道區之間的電壓約為 -2.5V 以下之際，p 通道電晶體係成為導通狀態。此外，於 CMOS 電路 83 當中，係設定為，n 通道電晶體於閘極與通道區之間的電壓約為 0.5V 以下之際係成為非導通狀態，p 通道電晶體於閘極與通道區之間的電壓約為 -2.0V 以上之際係成為非導通狀態。

於第 8 實施型態當中，CMOS 電路 83 之 n 通道電晶體 81 的上部通道成為非導通狀態、且將約 7.5V 的電位供應至 n 通道電晶體 81 的源極區 81b 及汲極區 84 當中之際，於對所對應的遮光膜供應 $1/2(V_{dd}+V_{bb})$ =約 2.75V 的電位的情況下，如第 38 圖所示，該遮光膜與 CMOS 電路 83 之 n 通道電晶體 81 的通道區 81c 間的實效電壓(電位差) V_{bc} ，係成為大約 0.4V。於此情況下，於 CMOS 電路 83 之 n 通道電晶體 81 的上部通道成為非導通狀態之際，所對應之遮光膜與 n 通道電晶體 81 的通道區 81c 間的實效電壓(電位差) V_{bc} ，係成為 n 通道電晶體 81 的非導通區域的電壓。藉此，可抑制 n 通道電晶體 81 的下部通道成為導通。

此外，於 n 通道電晶體 81 的上部通道成為非導通狀態、且將相同的電位施加於 n 通道電晶體 81 的源極區 81b 及汲極區 84 之際，於對所對應的遮光膜供應

$1/2(V_{dd}+V_{bb})=$ 約 2.75V 的電位的情況下，該遮光膜與 CMOS 電路 83 之 n 通道電晶體 81 的通道區 81c 間的實效電壓(電位差) V_{bc} ，亦可能成為第 38 圖所示之 0.4V 以外的電壓。於此情況下，由於在 n 通道電晶體 81 的源極區 81b 及汲極區 84 之間亦不會產生電位差，因此於源極區 81b 及汲極區 84 之間無漏電流通。

另一方面，於 CMOS 電路 83 之 p 通道電晶體 82 的上部通道(閘極 82a 側的通道)成為非導通狀態，且將約 7.5V 的電位施加於 p 通道電晶體 82 的源極區 82b 及汲極區 84 當中之之一之際，於對所對應的遮光膜供應 $1/2(V_{dd}+V_{bb})=$ 約 2.75V 的電位的情況下，如第 38 圖所示般，該遮光膜與 CMOS 電路 83 之 p 通道電晶體 82 的通道區 82c 間的實效電壓(電位差) V_{bc} ，係成為大約 0.4V。藉此，於 CMOS 電路 83 之 p 通道電晶體 82 的上部通道成為非導通狀態之際，所對應之遮光膜與 p 通道電晶體 82 的通道區 82c 間的實效電壓 V_{bc} ，係成為 p 通道電晶體 82 的非導通區域的電壓(約 -2V 以上)。藉此，可抑制 p 通道電晶體 82 的下部通道(遮光膜側的通道)成為導通。

此外，於 p 通道電晶體 82 的上部通道成為非導通狀態，且將相同的電位施加於 p 通道電晶體 82 的源極區 82b 及汲極區 84 之際，於對所對應的遮光膜供應 $1/2(V_{dd}+V_{bb})=$ 約 2.75V 的電位的情況下，該遮光膜與 p 通道電晶體 82 的通道區 82c 之間的實效電壓(電位差) V_{bc} ，亦可能成為第 38 圖所示之 0.4V 以外的電壓。於

此情況下，由於在 p 通道電晶體 82 的源極區 82b 及汲極區 84 之間亦不會產生電位差，因此於源極區 82b 及汲極區 84 之間無漏電流通。

如上述般，於第 8 實施型態當中，係各自將 $1/2(V_{dd}+V_{bb})$ 的電位，施加於移位暫存器電路遮光膜 30 及 37、DA 轉換器遮光膜 33、時脈產生電路遮光膜 34、及位準轉換電路遮光膜 38，藉此，於上述各遮光膜與所對應之 CMOS 電路 83 的 n 通道電晶體 81 及 p 通道電晶體 82 的上部通道成為非導通狀態，可使各個遮光膜、與所對應之 n 通道電晶體 81 及 p 通道電晶體 82 的各個通道區 81c 及 82c 之間的實效電壓(電位差) V_{bc} ，成為使 n 通道電晶體 81 及 p 通道電晶體 82 各成為非導通狀態之電壓。因此，在將 CMOS 電路 83 的 n 通道電晶體 81 及 p 通道電晶體 82 的上部通道各自保持在非導通狀態之際，可抑制 n 通道電晶體 81 及 p 通道電晶體 82 的下部通道成為導通。藉此，可將於周邊電路中包含 CMOS 電路 83 之液晶顯示裝置的動作不良之情形加以抑制。

接下來參照第 39 圖，說明施加於遮光膜的電位、與對應於該遮光膜之 p 通道電晶體及 n 通道電晶體的閾值電壓 V_{th} (設計值)之間的關係。於此第 39 圖當中，係顯示出，於將 p 通道電晶體及 n 通道電晶體、與配置於該下方之遮光膜之間之絕緣膜的厚度，設定為 p 通道電晶體及 n 通道電晶體之閾極絕緣膜的厚度的 3 倍之情況下，施加於遮光膜的電位、與 p 通道電晶體及 n 通道電晶體的閾值電壓 V_{th}

之間的關係。

在此，係參照第 39 圖來探討上述第 1 實施型態及第 4 實施型態。於上述第 1 實施型態之液晶顯示裝置當中，顯示部遮光膜 13(參照第 1 圖)的像素部遮光區域 13a、與所對應之像素部 6 之 n 通道電晶體 8 的通道區 8d 之間的實效電壓 V_{bc} ，約 -1.4V 至 0.1V。此外，於第 1 實施型態當中，係將 $1/2(V_{dd}+V_{bb})$ =約 1.5V 施加於顯示部遮光膜 13 的像素部遮光區域 13a。於此情況下，從第 39 圖當中可得知，由於 n 通道電晶體 8 的閾值電壓 V_{th} 大約從 1.0V 下降約 0.2V 而到達約 0.8V，因此，n 通道電晶體 8 的導通區域之電壓範圍(約 1V 以上)及非導通區域之電壓範圍(約 0.5V 以下)，係往降低 0.2V 的方向進行移位。於此情況下，顯示部遮光膜 13 的像素部遮光區域 13a 與所對應之 n 通道電晶體 8 的通道區 8d 之間的實效電壓(電位差) V_{bc} (約 -1.4V 至 0.1V)，係維持於移位後的 n 通道電晶體 8 的非導通區域之電壓範圍(約 0.3V 以下)。藉此，於第 1 實施型態之像素部 6 之 n 通道電晶體 8 的上部通道成為非導通狀態的期間中，藉由將 $1/2(V_{dd}+V_{bb})$ 的電位、施加於所對應之顯示部遮光膜 13 的像素部遮光區域 13a，藉此，即使於 n 通道電晶體 8 的閾值電壓 V_{th} 降低的情況下，亦可將 n 通道電晶體 8 的下部通道保持在非導通狀態。

此外，於上述第 4 實施型態之有機電激發光顯示裝置當中，顯示部遮光膜 13 的像素部遮光區域 13a、與所對應之像素部 66(參照第 18 圖)之 n 通道電晶體 68 的通道區 68d

之間的實效電壓 V_{bc} 係為約 $-1.4V$ 至 $0.3V$ 。此外，於第 4 實施型態當中，係將 $1/2(V_{dd}+V_{bb})=$ 約 $2.75V$ 施加於顯示部遮光膜 13 的像素部遮光區域 13a。於此情況下，從第 39 圖當中可得知，由於 n 通道電晶體 68 的閾值電壓 V_{th} 大約從 $1.0V$ 下降約 $0.4V$ 而到達約 $0.6V$ ，因此，n 通道電晶體 68 的導通區域之電壓範圍(約 $1V$ 以上)及非導通區域之電壓範圍(約 $0.5V$ 以下)係往降低 $0.4V$ 的方向進行移位。於此情況下，顯示部遮光膜 13 的像素部遮光區域 13a 與所對應之 n 通道電晶體 68 的通道區 68d 之間的實效電壓 V_{bc} (約 $-1.4V$ 至 $0.3V$)，係維持於移位後的 n 通道電晶體 68 的非導通區域之電壓範圍(約 $0.1V$ 以下)。藉此，於第 4 實施型態之像素部 66 之 n 通道電晶體 68 的上部通道成為非導通狀態的期間中，即使將 $1/2(V_{dd}+V_{bb})$ 的電位，施加於所對應之顯示部遮光膜 13 的像素部遮光區域 13a 之情況下，亦可將 n 通道電晶體 68 的下部通道保持在非導通狀態。

此外，於上述第 4 實施型態之有機電激發光顯示裝置當中，係將 $1/2(V_{dd}+V_{bb})=$ 約 $2.75V$ 施加於顯示部遮光膜 13 的像素部遮光區域 13a，藉此，從第 39 圖當中可得知，由於像素部 66 之 p 通道電晶體 73 的閾值電壓 V_{th} 大約從 $-2.5V$ 下降至 $-2.9V$ 。因此，像素部 66 之 p 通道電晶體 73 的導通區域之電壓範圍(約 $-2.5V$ 以下)及非導通區域之電壓範圍(約 $-2V$ 以上)係往降低的方向進行移位。因此，p 通道電晶體 73 的非導通區域之電壓範圍係增加。此時，顯示部遮光膜 13 的像素部遮光區域 13a 與所對應之 p 通道電晶

體 73 的通道區 73d 之間的實效電壓 V_{bc} ，係維持於移位後的 p 通道電晶體 73 的非導通區域之電壓範圍內。藉此，於第 4 實施型態之像素部 66 之 p 通道電晶體 73 的上部通道成為非導通狀態的期間中，即使將 $1/2(V_{dd}+V_{bb})$ 的電位，施加於所對應之顯示部遮光膜 13 的像素部遮光區域 13a 之情況下，亦可將 p 通道電晶體 73 的下部通道保持在非導通狀態。

(第 9 實施型態)

接下來參照第 40 圖至第 42 圖，說明於第 9 實施型態當中，與上述第 4 至第 7 實施型態不同者，係於像素部當中，個別設置對應於 n 通道電晶體之遮光膜及對應於 p 通道電晶體之遮光膜之情況。於第 40 圖至第 42 圖當中，圖中的 V_{dd} 、 PV_{dd} 、 V_{bb} 及 V_{sig} 的各個電位，係與上述第 4 實施型態相同。亦即， V_{dd} 及 PV_{dd} 各約為 7.5V 及 8V。此外， V_{bb} 的電位約為 -2V， V_{sig} 的電位約為 3.5 至 6.5V。

如第 40 圖所示般，第 9 實施型態之有機電激發光顯示裝置係具備有機電激發光顯示面板 91、及裝設於有機電激發光顯示面板 91 之外部電路部 92。有機電激發光顯示面板 91 係包含顯示部 93、及設置於顯示部 93 的周邊之 H 系列驅動器 94 及 V 系列驅動器 95。此外，於顯示部 93 中係以矩陣狀配置有多數個像素部 96。

如第 41 圖所示般，於各個像素部 96 中，係設置有做為切換元件之 n 通道電晶體 101、輔助電容 102、陽極 103、陰極 104、包夾於陽極 103 與陰極 104 之間之有機電激發

光元件 105、及做為驅動電晶體之 p 通道電晶體 106 而構成。n 通道電晶體 101 係配置於第 40 圖所示之像素部 96 的預定區域 96a 上，且 p 通道電晶體 106 係配置於第 40 圖所示之像素部 96 的預定區域 96a 以外的預定區域 96b 上。n 通道電晶體 101 及 p 通道電晶體 106 係各自為本發明之「第 1 電晶體」及「第 2 電晶體」之一例。此外，預定區域 96a 及預定區域 96b 係各自為本發明之「第 1 區域」及「第 2 區域」之一例。此外，n 通道電晶體 101 及 p 通道電晶體 106，係具有與上述第 4 實施型態之 n 通道電晶體 68 及 p 通道電晶體 73 相同之構造。亦即，n 通道電晶體 101 的閾值電壓 V_{th} 約為 1V，p 通道電晶體 106 的閾值電壓 V_{th} 約為 -2.5V。

此外，如第 41 圖所示，n 通道電晶體 101 的閘極 101a 係連接於閘極線 GL。正側電位 V_{dd} (約 7.5V) 及負側電位 V_{bb} (約 -2V) 係經介此閘極線 GL 而施加於 n 通道電晶體 101 的閘極 101a 上。此外，n 通道電晶體 101 的汲極區 101b 係連接於汲極線 DL。影像信號的信號電位 V_{sig} (約 3.5V 至 6.5V) 係經介汲極線 DL 而施加於 n 通道電晶體 101 的汲極區 101b。n 通道電晶體 101 的源極區 101c 係連接於輔助電容 102 之一邊的電極以及 p 通道電晶體 106 的閘極 106a。p 通道電晶體 106 的汲極區 106b 係連接於配線 97。正側電位 PV_{dd} (約 8V) 係經介配線 97 而供應至 p 通道電晶體 106 的汲極區 106b。p 通道電晶體 106 的源極區 106c 係連接於陽極 103。此外，於輔助電容 102 之另一邊的電

極上，係供應有正側電位 PV_{dd} (約 8V)，且於陰極 104 上係供應有對各個像素部 96 為共通之接地電位 $GND(V_{com})$ 。第 41 圖所示之第 9 實施型態之像素部 96 的電路構成，係與第 18 圖所示之第 4 實施型態之像素部 66 的電路構成相同。

此外，如第 40 圖所示，H 系列驅動器 94 係包含 H 系列移位暫存器電路 111、及類比開關 112。如第 42 圖所示，類比開關 112 係由 n 通道電晶體 121 及 p 通道電晶體 122 所構成。此 n 通道電晶體 121 及 p 通道電晶體 122 的閾值電壓 V_{th} 各約為 1V 及 -2.5V。於第 42 圖當中，係僅顯示出對應於 1 條第 42 圖之開關。

關於類比開關 112 的具體電路構成，n 通道電晶體 121 的汲極區及 p 通道電晶體 122 的源極區係互相連接，且 n 通道電晶體 121 的源極區及 p 通道電晶體 122 的汲極區係互相連接。此外，於 n 通道電晶體 121 的汲極區 (p 通道電晶體 122 的源極區) 上，輸入有影像信號的信號電位 V_{sig} ，且 n 通道電晶體 121 的源極區 (p 通道電晶體 122 的汲極區) 上，連接有汲極線 DL。此外，於 n 通道電晶體 121 的閘極中，輸入有 H 系列移位暫存器電路 111 (參照第 40 圖) 的輸出信號 S1，且於 p 通道電晶體 122 的閘極中，輸入有 H 系列移位暫存器電路 111 的輸出信號 S2。此外，n 通道電晶體 121 係配置於類比開關 112 的區域 112a，且 p 通道電晶體 122 係配置於類比開關 112 的區域 112a 以外之區域 112b。

此外，如第 40 圖所示，V 系列驅動器 95 係包含 V 系列移位暫存器電路 113 及位準轉換電路 114。此外，汲極線 DL 係經介類比開關 112 而連接於 H 系列移位暫存器電路 111，且閘極線 GL 係經介位準轉換電路 114 而連接於 V 系列移位暫存器電路 113。

此外，外部電路部 92 係包含電位生成電路部 92a 及 92b。電位生成電路部 92a 係連接於配線 97，且具有將 PVdd(約 8V)的電位加以生成之功能。藉此，PVdd(約 8V)的電位係經介配線 97 而供應至 p 通道電晶體 106 的汲極區 106b(參照第 41 圖)。此外，電位生成電路部 92b 係具有將 Vbb(約 -2V)的電位加以生成之功能。此外，此電位生成電路部 92b 係連接於位準轉換電路 114 之 L 位準側的電源配線(圖中未顯示)。

在此，於第 9 實施型態當中，係以包覆像素部 96 的區域 96a(第 41 圖所示之 n 通道電晶體 101)的下方之方式，設置 n 通道電晶體遮光膜 98，並以包覆像素部 96 的區域 96b(第 41 圖所示之 p 通道電晶體 106)的下方之方式，設置 p 通道電晶體遮光膜 99。n 通道電晶體遮光膜 98 為本發明之「第 1 遮光膜」之一例，p 通道電晶體遮光膜 99 為本發明之「第 2 遮光膜」之一例。

關於具體的構造，n 通道電晶體遮光膜 98 係具備：包覆多數個像素部 96 各者的區域 96a(n 通道電晶體 101)下方之多數的遮光部 98a、對 1 條的閘極線 GL 各設置 1 個之多數個線狀部 98b、及連結有多數的線狀部 98b 之 1 個連結

部 98c。對應於 n 通道電晶體遮光膜 98 的預定閘極線 GL 之預定數目的遮光部 98a，係連接於對應於 n 通道電晶體遮光膜 98 的預定閘極線 GL 之 1 個線狀部 98b。此外，n 通道電晶體遮光膜 98 之多數的線狀部 98b，係沿著閘極線 GL 延伸而形成，且 n 通道電晶體遮光膜 98 之多數的線狀部 98b 之一邊的端部，係於顯示部 93 的外側上，連接於 n 通道電晶體遮光膜 98 之 1 個連結部 98c。此外，n 通道電晶體遮光膜 98 之連結部 98c，係連接於外部電路部 92 的電位生成電路部 92b。亦即，於 n 通道電晶體遮光膜 98 上，係從外部電路部 92 的電位生成電路部 92b 當中，供應有 V_{bb} (約 -2V) 的固定電位。

於第 9 實施型態當中，與第 3 圖所示之第 1 實施型態相同，於 n 通道電晶體 101(參照第 41 圖)與 n 通道電晶體遮光膜 98 的遮光部 98a 之間，係設置具有 n 通道電晶體 101 的閘極絕緣膜(圖中未顯示)的厚度之大約為 3 倍厚度之絕緣膜(圖中未顯示)。因此，於將電位供應至 n 通道電晶體遮光膜 98 之際之從 n 通道電晶體遮光膜 98 的遮光部 98a 施加至通道區 101d(參照第 41 圖)之電場的強度，為將相同的電位供應至閘極 101a(參照第 41 圖)之際之從閘極 101a 施加至通道區 101d 之電場的強度之大約為 1/3。因此，n 通道電晶體遮光膜 98 的遮光部 98a 與通道區 101d 之間的實效電壓(電位差) V_{bc} ，係成為 n 通道電晶體遮光膜 98 的遮光部 98a 的電位 V_{back} 與通道區 101d 的電位 V_{ch} 之間的電位差之 1/3 的電壓。亦即，n 通道電晶體遮光膜

98 的遮光部 98a 與通道區 101d 之間的實效電壓(電位差) V_{bc} ，係成為 $(1/3(V_{back}-V_{ch}))$ 。

此外，p 通道電晶體遮光膜 99 係具備：包覆多數個像素部 96 各者的區域 96a(p 通道電晶體 106)下方之多數的遮光部 99a、對 1 條的閘極線 GL 各設置 1 個之多數個線狀部 99b、及連結有多數的線狀部 99b 之 1 個連結部 99c。對應於 p 通道電晶體遮光膜 99 的預定閘極線 GL 之預定數目的遮光部 99a，係連接於對應於 p 通道電晶體遮光膜 99 的預定閘極線 GL 之 1 個線狀部 99b。此外，p 通道電晶體遮光膜 99 之多數個線狀部 99b，係沿著閘極線 GL 延伸而形成，且 p 通道電晶體遮光膜 99 之多數的線狀部 99b 之一邊的端部，係於顯示部 93 的外側上，連接於 p 通道電晶體遮光膜 99 之 1 個連結部 99c。此外，p 通道電晶體遮光膜 99 之連結部 99c，係於顯示部 93 的外側上連接於配線 97。亦即，於 p 通道電晶體遮光膜 99 上，係從外部電路部 92 的電位生成電路部 92b 當中，經介配線 97 而供應有 PV_{bb} (約 8V) 的固定電位。

於第 9 實施型態當中，與第 3 圖所示之第 1 實施型態相同，於 p 通道電晶體 106(參照第 41 圖)與 p 通道電晶體遮光膜 99 的遮光部 99a 之間，係設置具有為 p 通道電晶體 106 的閘極絕緣膜(圖中未顯示)的厚度之大約為 3 倍厚度之絕緣膜(圖中未顯示)。因此，於將電位供應至 p 通道電晶體遮光膜 99 之際之從 p 通道電晶體遮光膜 99 的遮光部 99a 施加至通道區 106d(參照第 41 圖)之電場的強度，為將

相同的電位供應至閘極 106a(參照第 41 圖)之際之從閘極 106a 施加至通道區 106d 之電場的強度之大約為 1/3。因此，p 通道電晶體遮光膜 99 的遮光部 99a 與通道區 106d 之間的實效電壓(電位差) $V_{bc}(Pch)$ ，係成為 p 通道電晶體遮光膜 99 的遮光部 99a 的電位 $V_{back}(Pch)$ 與通道區 106d 的電位 $V_{ch}(Pch)$ 之間的電位差之 1/3 的電壓。亦即，p 通道電晶體遮光膜 99 的遮光部 99a 與通道區 106d 之間的實效電壓(電位差) $V_{bc}(Pch)$ ，係成為 $(1/3(V_{back}(Pch)-V_{ch}(Pch)))$ 。

接下來參照第 40 圖及第 41 圖，說明第 9 實施型態之有機電激發光顯示裝置的動作。像素部 96 的 n 通道電晶體 101(參照第 41 圖)之電壓(V_{gate} 、 V_{ch} 、 V_{sig} 、 V_{gc} 、 V_{gd}) 變化，係與第 19 圖及第 20 圖之第 4 實施型態相同。此外，像素部 96 的 p 通道電晶體 106(參照第 41 圖)之電壓($V_{gate}(Pch)$ 、 $V_{ch}(Pch)$ 、 $V_{sig}(Pch)$ 、 $V_{gc}(Pch)$ 、 $V_{gd}(Pch)$) 變化，係與第 24 圖及第 25 圖之第 4 實施型態相同。

此外，於第 9 實施型態當中，由於係將 V_{bb} (約 -2V) 的固定電位供應至 n 通道電晶體 101 的下方上所設置之 n 通道電晶體遮光膜 98(參照第 40 圖)，因此，n 通道電晶體遮光膜 98 的電位 V_{back} 係固定於 V_{bb} (約 -2V)。此外，n 通道電晶體 101 之通道區 101d 的電位 V_{ch} 係於約 3.5 至 6.5V 的範圍內變化。

因此，n 通道電晶體遮光膜 98 的遮光部 98a 與 n 通道電晶體 101 的通道區 101d 之間的實效電壓(電位差) V_{bc} ，係於約 -1.8V 至 -2.8V 的範圍內變化。藉此，n 通道電晶體

遮光膜 98 的遮光部 98a 與 n 通道電晶體 101 的通道區 101d 之間的實效電壓(電位差) V_{bc} (約 -1.8V 至 -2.8V)，係經常成為 n 通道電晶體 101 的非導通區域之電壓(約 0.5V 以下)。結果，於將 n 通道電晶體 101 的上部通道保持於非導通狀態之期間中，可抑制 n 通道電晶體 101 的下部通道成為導通。因此，於此期間中，可將電流經介 n 通道電晶體 101 的下部通道而於汲極區 101b 及源極區 101c 之間流通的情形加以抑制。

此外，於第 9 實施型態當中，由於係將 PV_{bb} (約 8V) 的固定電位供應至 p 通道電晶體 106 的下方上所設置之 p 通道電晶體遮光膜 99(參照第 40 圖)，因此，p 通道電晶體遮光膜 99 的電位 $V_{back}(Pch)$ 係固定於 PV_{bb} (約 8V)。此外，與供應至 p 通道電晶體遮光膜 99 之電位為相同之 PV_{bb} (約 8V) 的固定電位，亦供應至 p 通道電晶體 106 之汲極區 106b 上。

因此，於第 9 實施型態當中，與上述第 6 實施型態相同，p 通道電晶體遮光膜 99 的遮光部 99a 與 p 通道電晶體 106 的通道區 106d 之間的實效電壓(電位差) $V_{bc}(Pch)=1/3(V_{back}(Pch)-V_{ch}(Pch))$ ，係於約 0V 至 1.5V 的範圍內變化。藉此，p 通道電晶體遮光膜 99 的遮光部 99a 與 p 通道電晶體 106 的通道區 106d 之間的實效電壓(電位差) $V_{bc}(Pch)$ (約 0V 至 1.5V)，係恆常成為 p 通道電晶體 106 的非導通區域之電壓(約 -2V 以上)。結果為，於將 p 通道電晶體 106 的上部通道保持於非導通狀態之期間中，可抑

制 p 通道電晶體 106 的下部通道成為導通。因此，於此期間中，可將電流經介 p 通道電晶體 106 的下部通道而於汲極區 106b 及源極區 106c 之間流通的情形加以抑制。

如上述般，於第 9 實施型態當中，於像素部 96 當中，係將 Vbb 的電位供應至對應於 n 通道電晶體 101 之 n 通道電晶體遮光膜 98，且將 PVdd 的電位供應至對應於 p 通道電晶體 106 之 p 通道電晶體遮光膜 99，藉此，可將 n 通道電晶體遮光膜 98 固定於 Vbb 的電位，且將 p 通道電晶體遮光膜 99 固定於 PVdd 的電位。因此，於像素部 96 當中，可將伴隨著 n 通道電晶體遮光膜 98 的電位變動所導致之 n 通道電晶體 101 的閾值電壓 V_{th} 產生變動之情況加以抑制，並且將伴隨著 p 通道電晶體遮光膜 99 的電位變動所導致之像素部 96 之 p 通道電晶體 106 的閾值電壓 V_{th} 產生變動之情況加以抑制。因此，於像素部 96 當中，可使 n 通道電晶體 101 及 p 通道電晶體 106 的動作達到安定。

此外，如上述般，於第 9 實施型態當中，於像素部 96 當中，係將 Vbb 的電位供應至對應於 n 通道電晶體 101 之 n 通道電晶體遮光膜 98，且將 PVdd 的電位供應至對應於 p 通道電晶體 106 之 p 通道電晶體遮光膜 99，藉此，可使 n 通道電晶體遮光膜 98 與 n 通道電晶體 101 的通道區 101d 之間的實效電壓(電位差) V_{bc} 不會超過 n 通道電晶體 101 的閾值電壓 V_{th} ，且使 p 通道電晶體遮光膜 99 與 p 通道電晶體 106 的通道區 106d 之間的實效電壓(電位差) $V_{bc}(Pch)$ 不會超過 p 通道電晶體 106 的閾值電壓 V_{th} 。因此，於像

素部 96 當中，即使將 Vbb 的電位供應至 n 通道電晶體遮光膜 98，且將 PVdd 的電位供應至 p 通道電晶體遮光膜 99 的情況下，亦可抑制 n 通道電晶體 101 及 p 通道電晶體 106 成為導通狀態。藉此，於像素部 96 當中，於將 n 通道電晶體 101 及 p 通道電晶體 106 保持在非導通狀態的期間中，可將起因於將電位供應至 n 通道電晶體遮光膜 98 及 p 通道電晶體遮光膜 99 而使 n 通道電晶體 101 及 p 通道電晶體 106 成為導通所導致之有機電激發光顯示裝置的動作產生不安定之問題加以抑制。

此外，如上述般，於第 9 實施型態當中，係以 1 個 n 通道電晶體遮光膜 98 將多數個像素部 96 各者之 n 通道電晶體 101 下方加以包覆，並且以 1 個 p 通道電晶體遮光膜 99 將多數個像素部 96 各者之 p 通道電晶體 106 下方加以包覆，藉此，相較於對多數的 n 通道電晶體 101(p 通道電晶體 106)各設置 1 個 n 通道電晶體遮光膜 98(p 通道電晶體遮光膜 99)，且各別將預定的電位供應至該多數的 n 通道電晶體遮光膜 98(p 通道電晶體遮光膜 99)之情況，係可減少將電位供應至 n 通道電晶體遮光膜 98(p 通道電晶體遮光膜 99)之配線等的數目。藉此，由配線數減少的量，可抑制包含多數個像素部 96 之顯示部的增大之情況，因此可抑制有機電激發光顯示裝置的大型化。

此外，如上述般，於第 9 實施型態當中，於像素部 96 當中，係於 n 通道電晶體 101 及 n 通道電晶體遮光膜 98 之間，設置具有大約為 n 通道電晶體 101 的閘極絕緣膜(圖

中未顯示)的厚度之 3 倍厚度之絕緣膜(圖中未顯示)，藉此，在 n 通道電晶體遮光膜 98 具有未意料到之閘極的功能的情況下，即使將 V_{bb} 的電位施加於 n 通道電晶體遮光膜 98，由於做為 n 通道電晶體 101 及 n 通道電晶體遮光膜 98 之間所設置之閘極絕緣膜的功能之絕緣膜的厚度較大，因此，可將 n 通道電晶體遮光膜 98 上所施加之 V_{bb} 的電位對 n 通道電晶體 101 的通道區 101d 所造成之影響加以抑制。藉此，可將起因於將 V_{bb} 的電位施加於 n 通道電晶體遮光膜 98 所導致之 n 通道電晶體 101 的閾值電壓 V_{th} 產生較大變化之情況加以抑制。

此外，如上述般，於第 9 實施型態當中，於像素部 96 當中，係於 p 通道電晶體 106 及 p 通道電晶體遮光膜 99 之間，設置具有大約為 p 通道電晶體 106 的閘極絕緣膜(圖中未顯示)的厚度之 3 倍厚度之絕緣膜(圖中未顯示)，藉此，在 p 通道電晶體遮光膜 99 具有未意料到之閘極的功能的情況下，即使將 PV_{dd} 的電位施加於 p 通道電晶體遮光膜 99，由於做為 p 通道電晶體 106 及 p 通道電晶體遮光膜 99 之間所設置之閘極絕緣膜的功能之絕緣膜的厚度較大，因此，可將 p 通道電晶體遮光膜 99 上所施加之 PV_{dd} 的電位，對 p 通道電晶體 106 的通道區 106d 所造成之影響加以抑制。藉此，可將起因於將 PV_{dd} 的電位施加於 p 通道電晶體遮光膜 99 所導致之 p 通道電晶體 106 的閾值電壓 V_{th} 產生較大變化之情況加以抑制。

(第 10 實施型態)

接下來參照第 43 圖，說明於此第 10 實施型態當中，與上述第 4 實施型態不同，係於像素部 96 當中，未設置用於包覆 p 通道電晶體的下方之遮光膜，而僅僅設置具有切換元件的功能之 n 通道電晶體的下方之 n 通道電晶體遮光膜之情況。

如第 43 圖所示般，於此第 10 實施型態當中，與第 40 圖所示之第 9 實施型態相同，係以包覆像素部 96 的區域 96a(第 41 圖所示之具有切換元件的功能之 n 通道電晶體 101)的下方之方式，設置 n 通道電晶體遮光膜 98，另一方面，於第 10 實施型態當中，與第 40 圖所示之第 9 實施型態不同，係未設置將像素部 96 的區域 96b(第 41 圖所示之 p 通道電晶體 106)的下方加以包覆之 p 通道電晶體遮光膜。區域 96a 為本發明之「第 1 區域」及「第 2 區域」之一例，n 通道電晶體 101 為本發明之「第 1 電晶體」之一例。此外，n 通道電晶體遮光膜 98 為本發明之「第 1 遮光膜」及「像素部遮光膜」之一例。

此外，於第 10 實施型態當中，係以包覆類比開關 112 的區域 112a 及區域 112b(第 42 圖所示之 n 通道電晶體 121 及 p 通道電晶體 122)的下方之方式，設置有類比開關用遮光膜 131。區域 112a 及區域 112b 本發明之「第 2 區域」及「第 2 電路部」之一例，n 通道電晶體 121 及 p 通道電晶體 122 為本發明之「第 2 電晶體」之一例。此外，類比開關用遮光膜 131 為本發明之「第 2 遮光膜」及「周邊電路部遮光膜」之一例。

此外，於第 10 實施型態當中，於外部電路部 92 當中，除了電位生成電路部 92a 及 92b 之外，更設置有用於將正側電位 V_{dd} 及負側電位 V_{bb} 之中間的電位 $(1/2(V_{dd}+V_{bb}))$ 加以生成之電位生成電路部 92c。此外，上述類比開關用遮光膜 131 係連接於電位生成電路部 92c。藉此，正側電位 V_{dd} 及負側電位 V_{bb} 之中間的電位 $(1/2(V_{dd}+V_{bb}))$ 係供應至類比開關用遮光膜 131。

第 10 實施型態之其他構成，係與上述第 9 實施型態相同。

接下來參照第 41 圖及第 3 圖，說明第 10 實施型態之有機電激發光顯示裝置的動作。像素部 96 的 n 通道電晶體 101(參照第 41 圖)之電壓 (V_{gate} 、 V_{ch} 、 V_{sig} 、 V_{gc} 、 V_{gd}) 變化，係與第 19 圖及第 20 圖之第 4 實施型態相同。此外，像素部 96 的 p 通道電晶體 106(參照第 41 圖)之電壓 ($V_{gate}(Pch)$ 、 $V_{ch}(Pch)$ 、 $V_{sig}(Pch)$ 、 $V_{gc}(Pch)$ 、 $V_{gd}(Pch)$) 變化，係與第 24 圖及第 25 圖之第 4 實施型態相同。

此外，於第 10 實施型態當中，由於係將 V_{bb} (約 -2V) 的固定電位供應至 n 通道電晶體 101 的下方上所設置之 n 通道電晶體遮光膜 98(參照第 43 圖)，因此，n 通道電晶體遮光膜 98 的電位 V_{back} 係固定於 V_{bb} (約 -2V)。此外，n 通道電晶體 101 之通道區 101d 的電位 V_{ch} 係於約 3.5 至 6.5V 的範圍內變化。

因此，n 通道電晶體遮光膜 98 的遮光部 98a 與 n 通道電晶體 101 的通道區 101d 之間的實效電壓(電位

差) $V_{bc}=1/3(V_{back}-V_{ch})$ ，係於約-1.8V至-2.8V的範圍內變化。藉此，n通道電晶體遮光膜98的遮光部98a與n通道電晶體101的通道區101d之間的實效電壓(電位差) V_{bc} (約-1.8V至-2.8V)，係恆常成為n通道電晶體101的非導通區域之電壓(約0.5V以下)。結果，於將n通道電晶體101的上部通道保持於非導通狀態之期間中，可抑制n通道電晶體101的下部通道成為導通。因此，於此期間中，可將電流經介n通道電晶體101的下部通道而於汲極區101b及源極區101c之間流通的情形加以抑制。

此外，於第10實施型態當中，係將正側電位 V_{dd} (約7.5V)及負側電位 V_{bb} (約-2V)之中間的電位($1/2(V_{dd}+V_{bb}) \doteq 3.0V$)予以供應至類比開關112的n通道電晶體121及p通道電晶體122(參照第42圖)的下方上所設置之類比開關用遮光膜131(參照第43圖)。亦即，類比開關用遮光膜131的電位 V_{back} 係固定於約3.0V。此外，類比開關112的n通道電晶體121及p通道電晶體122之通道區的電位，係於約3.5V至6.5V(影像信號的信號電位 V_{sig})的範圍內變化。

因此，於第10實施型態當中，類比開關用遮光膜131與n通道電晶體121(p通道電晶體122)的通道區之間的實效電壓(電位差) $V_{bc}=1/3(V_{back}-V_{ch})$ ，係於約-1.2V至-0.2V的範圍內變化。藉此，類比開關用遮光膜131與n通道電晶體121的通道區之間的實效電壓(電位差) V_{bc} (約-1.2V至-0.2V)，係恆常成為n通道電晶體121的非導通區域之電

壓(約 0.5V 以下)。此外，類比開關用遮光膜 131 與 p 通道電晶體 122 的通道區之間的實效電壓(電位差) $V_{bc}(Pch)$ (約 -1.2V 至 -0.2V)，係恆常成為 p 通道電晶體 122 的非導通區域之電壓(約 -2V 以上)。結果為，於將 n 通道電晶體 121(p 通道電晶體 122)的上部通道保持於非導通狀態之期間中，可抑制 n 通道電晶體 121(p 通道電晶體 122)的下部通道成為導通。因此，於此期間中，可將電流經介 n 通道電晶體 121(p 通道電晶體 122)的下部通道而於汲極區及源極區之間流通的情形加以抑制。

如上述般，於第 10 實施型態當中，於像素部 96 當中，係將 V_{bb} 的電位供應至對應於像素部 96 的 n 通道電晶體 101 之 n 通道電晶體遮光膜 98，且將 $1/2(V_{dd}+V_{bb})$ 的電位供應至對應於類比開關 112 之類比開關用遮光膜 131，藉此，可將 n 通道電晶體遮光膜 98 固定於 V_{bb} 的電位，且將類比開關用遮光膜 131 固定於 $1/2(V_{dd}+V_{bb})$ 的電位。因此，可將伴隨著 n 通道電晶體遮光膜 98 的電位變動所導致之像素部 96 的 n 通道電晶體 101 的閾值電壓 V_{th} 產生變動之情況加以抑制，並且將伴隨著類比開關用遮光膜 131 的電位變動所導致之類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 的閾值電壓 V_{th} 產生變動之情況加以抑制。因此，可使像素部 96 的 n 通道電晶體 101 及類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 的動作達到安定。

此外，如上述般，於第 10 實施型態當中，係將 V_{bb}

的電位供應至對應於像素部 96 的 n 通道電晶體 101 之 n 通道電晶體遮光膜 98，且將 $1/2(V_{dd}+V_{bb})$ 的電位供應至對應於類比開關 112 之類比開關用遮光膜 131，藉此，可使像素部 96 的 n 通道電晶體 101 的通道區 101d 與 n 通道電晶體遮光膜 98 之間的實效電壓 V_{bc} 不會超過 n 通道電晶體 101 的閾值電壓 V_{th} ，且使類比開關 112 的 n 通道電晶體 121(p 通道電晶體 122) 的通道區與類比開關用遮光膜 131 之間的實效電壓 V_{bc} 不會超過 n 通道電晶體 121(p 通道電晶體 122) 的閾值電壓 V_{th} 。因此，即使將 V_{bb} 的電位供應至 n 通道電晶體遮光膜 98，且將 $1/2(V_{dd}+V_{bb})$ 的電位供應至類比開關用遮光膜 131 情況下，亦可抑制像素部 96 的 n 通道電晶體 101 及類比開關 112 的 n 通道電晶體 121(p 通道電晶體 122) 成為導通狀態。藉此，於將像素部 96 的 n 通道電晶體 101 及類比開關 112 的 n 通道電晶體 121(p 通道電晶體 122) 保持在非導通狀態的期間中，可將起因於將電位供應至 n 通道電晶體遮光膜 98 及類比開關用遮光膜 131 而使 n 通道電晶體 101 及 n 通道電晶體 121(p 通道電晶體 122) 成為導通所導致之有機電激發光顯示裝置的動作產生不安定之問題加以抑制。

此外，如上述般，於第 10 實施型態當中，係於像素部 96 當中，未設置用於包覆 p 通道電晶體 106 的下方之遮光膜，而僅僅設置具有切換元件的功能之 n 通道電晶體 101 的下方之 n 通道電晶體遮光膜 98，藉此，可將用於供應電位至 n 通道電晶體遮光膜 98 之配線的安排變得複雜之情況

加以抑制。此外，係藉由具有切換元件的功能之 n 通道電晶體 101 來控制影像信號之對像素部 96 的供應，因此若將 n 通道電晶體遮光膜 98 配置於具有切換元件的功能之 n 通道電晶體 101 的下方，則可將起因於光照射時所產生的漏電流所導致之供應至像素部 96 之影像信號的信號電位 V_{sig} 產生變化之問題加以抑制。此外，於將做為具有切換元件的功能之 n 通道電晶體 101 的結晶矽層(主動層)之加以形成之際，於採用雷射光來進行結晶矽層的結晶化之情況下，即使因雷射光於 n 通道電晶體遮光膜 98 產生反射而使結晶矽層的結晶性產生變動，由於具有切換元件的功能之 n 通道電晶體 101 的特性不易受到結晶矽層(主動層)的結晶性之影響，因此可抑制具有切換元件的功能之 n 通道電晶體 101 的特性產生變動。因此，若以僅僅包覆具有切換元件的功能之 n 通道電晶體 101 的下方之方式而配置 n 通道電晶體遮光膜 98，則可防止讓用於將電位供應至 n 通道電晶體遮光膜 98 之配線的安排變得複雜，並且可將以因應於影像信號的信號電位 V_{sig} 之階調以外的階調來顯示畫像之情況加以抑制。

此外，如上述般，於第 10 實施型態當中，係將正側電位 V_{dd} 及負側電位 V_{bb} 之中間的電位($1/2(V_{dd}+V_{bb})$)供應至類比開關用遮光膜 131，藉此，即使於類比開關 112 當中包含 n 通道電晶體 121 及 p 通道電晶體 122 兩者，類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 的各個通道區與類比開關用遮光膜 131 之間的實效電壓 V_{bc} 亦不

會超過 n 通道電晶體 121 及 p 通道電晶體 122 的各個閾值電壓 V_{th} 。

此外，如上述般，於第 10 實施型態當中，係於外部電路部 92 當中，更設置有用於將正側電位 V_{dd} 及負側電位 V_{bb} 之中間的電位 ($1/2(V_{dd}+V_{bb})$) 加以生成之電位生成電路部 92c，藉此，可更容易將正側電位 V_{dd} 及負側電位 V_{bb} 之中間的電位 ($1/2(V_{dd}+V_{bb})$) 供應至類比開關用遮光膜 131。

第 10 實施型態之上述以外的效果，係與上述第 9 實施型態之效果相同。

(第 11 實施型態)

接下來參照第 44 圖，於此第 11 實施型態當中，於第 43 圖所示之第 10 實施型態的構成當中，係將類比開關用遮光膜分割為 2 個類比開關用遮光膜 131a 及 131b。具體而言，類比開關用遮光膜 131a 係以包覆類比開關 112 的 n 通道電晶體 121 (參照第 42 圖) 的方式，而設置於配置有類比開關 112 的 n 通道電晶體 121 之區域 112a。此類比開關用遮光膜 131a 係連接於外部電路部 92 之將 V_{bb} (約 -2V) 的電位加以生成之電位生成電路部 92b。藉此， V_{bb} (約 -2V) 的固定電位係從外部電路部 92 的電位生成電路部 92b 當中，供應至類比開關用遮光膜 131a。此外，區域 112a 為本發明之「第 1 區域」及「第 1 周邊電路部」之一例。此外，類比開關用遮光膜 131a 為本發明之「第 1 遮光膜」之一例。此外，n 通道電晶體 121 為本發明之「第 1 電晶體」

之一例。

此外，類比開關用遮光膜 131b 係以包覆類比開關 112 的 p 通道電晶體 122(參照第 42 圖)的方式，而設置於配置有類比開關 112 的 p 通道電晶體 122 之區域 112b。此類比開關用遮光膜 131b 係連接於外部電路部 92 且將 PVdd(約 8V)的電位加以生成之電位生成電路部 92a。藉此，PVdd(約 8V)的固定電位係從外部電路部 92 的電位生成電路部 92a 當中，供應至類比開關用遮光膜 131b。此外，區域 112b 為本發明之「第 2 區域」及「第 2 周邊電路部」之一例。此外，類比開關用遮光膜 131b 為本發明之「第 2 遮光膜」之一例。此外，p 通道電晶體 122 為本發明之「第 2 電晶體」之一例。

此外，於第 11 實施型態當中，與上述第 10 實施型態相同，係未設置將位於像素部 96 的 p 通道電晶體 106(參照第 41 圖)的下方加以包覆之遮光膜，而僅僅設置以包覆位於區域 96a 之具有切換元件的功能之 n 通道電晶體 101(參照第 41 圖)的下方之方式，設置 n 通道電晶體遮光膜 98。此外，區域 96a 為本發明之「第 1 區域」之一例，n 通道電晶體遮光膜 98 為本發明之「第 1 遮光膜」之一例。此外，n 通道電晶體 101 為本發明之「第 1 電晶體」之一例。

第 11 實施型態之其他構成，係與上述第 9 實施型態相同。

接下來參照第 41 圖、第 42 圖及第 44 圖，說明第 11

實施型態之有機電激發光顯示裝置的動作。像素部 96 的 n 通道電晶體 101(參照第 41 圖)之電壓(V_{gate} 、 V_{ch} 、 V_{sig} 、 V_{gc} 、 V_{gd})變化，係與第 19 圖及第 20 圖之第 4 實施型態相同。此外，像素部 96 的 p 通道電晶體 106(參照第 41 圖)之電壓($V_{gate}(Pch)$ 、 $V_{ch}(Pch)$ 、 $V_{sig}(Pch)$ 、 $V_{gc}(Pch)$ 、 $V_{gd}(Pch)$)變化，係與第 24 圖及第 25 圖之第 4 實施型態相同。

此外，於第 11 實施型態當中，由於係將 V_{bb} (約 -2V) 的固定電位供應至 n 通道電晶體 101 的下方上所設置之 n 通道電晶體遮光膜 98(參照第 44 圖)，因此，n 通道電晶體遮光膜 98 的電位 V_{back} 係固定於 V_{bb} (約 -2V)。此外，n 通道電晶體 101 之通道區 101d 的電位 V_{ch} 係於約 3.5 至 6.5V 的範圍內變化。

因此，n 通道電晶體遮光膜 98 的遮光部 98a 與 n 通道電晶體 101 的通道區 101d 之間的實效電壓(電位差) $V_{bc}=1/3(V_{back}-V_{ch})$ ，係於約 -1.8V 至 -2.8V 的範圍內變化。藉此，n 通道電晶體遮光膜 98 的遮光部 98a 與 n 通道電晶體 101 的通道區 101d 之間的實效電壓(電位差) V_{bc} (約 -1.8V 至 -2.8V)，係恆常成為 n 通道電晶體 101 的非導通區域之電壓(約 0.5V 以下)。結果為，於將 n 通道電晶體 101 的上部通道保持於非導通狀態之期間中，可抑制 n 通道電晶體 101 的下部通道成為導通。因此，於此期間中，可將電流經介 n 通道電晶體 101 的下部通道而於汲極區 101b 及源極區 101c 之間流通的情形加以抑制。

此外，於第 11 實施型態當中，係將 V_{bb} (約 -2V) 的電位供應至類比開關 112 的 n 通道電晶體 121(參照第 42 圖) 的下方上所設置之類比開關用遮光膜 131a。因此，類比開關用遮光膜 131a 的電位 V_{back} 係固定於約 -2.0V。此外，係將 PV_{dd} (約 8V) 的電位供應至類比開關 112 的 p 通道電晶體 122(參照第 42 圖) 的下方上所設置之類比開關用遮光膜 131b。因此，類比開關用遮光膜 131b 的電位 $V_{back}(Pch)$ 係固定於約 8V。此外，類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 之通道區的電位，係於約 3.5V 至 6.5V(影像信號的信號電位 V_{sig}) 的範圍內變化。

因此，於第 11 實施型態當中，類比開關用遮光膜 131a 與 n 通道電晶體 121 的通道區之間的實效電壓(電位差) $V_{bc} = 1/3(V_{back} - V_{ch})$ ，係於約 -2.8V 至 -1.8V 的範圍內變化。藉此，類比開關用遮光膜 131a 與 n 通道電晶體 121 的通道區之間的實效電壓 V_{bc} (約 -2.8V 至 -1.8V)，係恆常成為 n 通道電晶體 121 的非導通區域之電壓(約 0.5V 以下)。此外，類比開關用遮光膜 131b 與 p 通道電晶體 122 的通道區之間的實效電壓(電位差) $V_{bc}(Pch) = 1/3(V_{back}(Pch) - V_{ch}(Pch))$ ，係於約 0.5V 至 1.5V 的範圍內變化。藉此，類比開關用遮光膜 131b 與 p 通道電晶體 122 的通道區之間的實效電壓 $V_{bc}(Pch)$ (約 0.5V 至 1.5V)，係恆常成為 p 通道電晶體 122 的非導通區域之電壓(約 -2V 以上)。結果為，於將 n 通道電晶體 121 及 p 通道電晶體 122 的上部通道保持於非導通狀態之期間中，可抑制 n 通道電晶體 121

及 p 通道電晶體 122 的下部通道成為導通。因此，於此期間中，可將電流經介 n 通道電晶體 121 及 p 通道電晶體 122 的下部通道而於汲極區及源極區之間流通的情形加以抑制。

如上述般，於第 11 實施型態當中，係將 V_{bb} 的電位供應至對應於像素部 96 的 n 通道電晶體 101 之 n 通道電晶體遮光膜 98、以及對應於類比開關 112 的 n 通道電晶體 121 之類比開關用遮光膜 131a，並且將 PV_{dd} 的電位供應至對應於類比開關 112 的 p 通道電晶體 122 之類比開關用遮光膜 131b，藉此，可將 n 通道電晶體遮光膜 98 及類比開關用遮光膜 131a 固定於 V_{bb} 的電位，且將類比開關用遮光膜 131b 固定於 PV_{dd} 的電位。因此，可將伴隨著 n 通道電晶體遮光膜 98 的電位變動所導致之像素部 96 的 n 通道電晶體 101 的閾值電壓 V_{th} 產生變動之情況加以抑制，並且將伴隨著類比開關用遮光膜 131a 及 131b 的電位變動所導致之類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 的閾值電壓 V_{th} 產生變動之情況加以抑制。因此，可使像素部 96 的 n 通道電晶體 101 及類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 的動作達到安定。

此外，如上述般，於第 11 實施型態當中，係將 V_{bb} 的電位供應至對應於像素部 96 的 n 通道電晶體 101 之 n 通道電晶體遮光膜 98、以及對應於類比開關 112 的 n 通道電晶體 121 之類比開關用遮光膜 131a，並且將 PV_{dd} 的電位供應至對應於類比開關 112 的 p 通道電晶體 122 之類比

開關用遮光膜 131b，藉此，可使像素部 96 的 n 通道電晶體 101 的通道區 101d 與 n 通道電晶體遮光膜 98 之間的實效電壓 V_{bc} 不會超過 n 通道電晶體 101 的閾值電壓 V_{th} ，且使類比開關 112 的 n 通道電晶體 121(p 通道電晶體 122) 的通道區與類比開關用遮光膜 131a(類比開關用遮光膜 131b)之間的實效電壓 V_{bc} 不會超過 n 通道電晶體 121(p 通道電晶體 122)的閾值電壓 V_{th} 。因此，即使將 V_{bb} 的電位供應至 n 通道電晶體遮光膜 98 及類比開關用遮光膜 131a，且將 PV_{dd} 的電位供應至類比開關用遮光膜 131b 的情況下，亦可抑制像素部 96 的 n 通道電晶體 101 及類比開關 112 的 n 通道電晶體 121(p 通道電晶體 122)成為導通狀態。藉此，於將像素部 96 的 n 通道電晶體 101 及類比開關 112 的 n 通道電晶體 121(p 通道電晶體 122)保持在非導通狀態的期間中，可將起因於將電位供應至 n 通道電晶體遮光膜 98 及類比開關用遮光膜 131a(類比開關用遮光膜 131b)而使 n 通道電晶體 101 及 n 通道電晶體 121(p 通道電晶體 122)成為導通所導致之有機電激發光顯示裝置的動作產生不安定之問題加以抑制。

此外，如上述般，於第 11 實施型態當中，係將類比開關 112 下方所配置之類比開關用遮光膜予以分割為對應於 n 通道電晶體 121 之類比開關用遮光膜 131a、及對應於 p 通道電晶體 122 之類比開關用遮光膜 131b，並且將 V_{bb} 的電位及 PV_{dd} 的電位各自供應至類比開關用遮光膜 131a 及 131b，藉此，可將 n 通道電晶體遮光膜 121 的通道區與

類比開關用遮光膜 131a 之間的實效電壓 V_{bc} ，形成為較 n 通道電晶體 121 的閾值電壓 V_{th} 還小。此外，可將 p 通道電晶體遮光膜 122 的通道區與類比開關用遮光膜 131b 之間的實效電壓 $V_{bc}(Pch)$ ，形成為較 p 通道電晶體 122 的閾值電壓 V_{th} 還大。藉此，可提升類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 之非導通特性。於此情況下，於第 11 實施型態當中，與上述第 10 實施型態不同，由於不需生成正側電位 V_{dd} 及負側電位 V_{bb} 之中間的電位 ($1/2(V_{dd}+V_{bb})$)，因此可簡化外部電路部 92 的電路構成。

第 11 實施型態之上述以外的效果，係與上述第 9 及第 10 實施型態之效果相同。

(第 12 實施型態)

接下來參照第 45 圖，說明於此第 12 實施型態當中，與第 44 圖所示之第 11 實施型態不同，於對應於類比開關 112 的區域當中，未設置用於將位於區域 112a 之 n 通道電晶體 121(參照第 42 圖)的下方加以包覆之遮光膜，而僅僅設置用於將位於區域 112b 之 p 通道電晶體 122(參照第 42 圖)的下方加以包覆之類比開關用遮光膜 131b。此外，於此類比開關用遮光膜 131b 上，係連接有用於將供應至 V 系列驅動器 95 之 V_{Vdd} 的正側電位加以生成之電位生成電路部 92c。

第 12 實施型態之其他構成，係與上述第 11 實施型態相同。

如上述般，於第 12 實施型態當中，於對應於類比開關

112 的區域當中，並未設置將 n 通道電晶體 121 的下方加以包覆之遮光膜，而僅僅設置將 p 通道電晶體 122 的下方加以包覆之類比開關用遮光膜 131b，藉此，可將電位供應至類比開關用遮光膜 131b 之配線的安排變得複雜之情況加以抑制。在此，一般而言，由於 n 通道電晶體 121 之載子移動度係較 p 通道電晶體 122 還大，因此，n 通道電晶體 121 係構成為，具有較 p 通道電晶體 122 的閘極寬度還小之閘極寬度。藉此，由於 n 通道電晶體 121 之閘極寬度變小的量，而不易引起因光線入射於主動層所造成之錯誤動作。因此，即使不於 n 通道電晶體 121 的下方上配置遮光膜，亦不易引起類比開關 112 之動作的不安定。因此，若以僅僅包覆類比開關 112 的 p 通道電晶體 122 的下方之方式而配置類比開關遮光膜 131b，則可防止用於將電位供應至類比開關遮光膜 131b 之配線的安排變得複雜，並且可抑制類比開關 112 之動作的不安定。

第 12 實施型態之上述以外的效果，係與上述第 11 實施型態之效果相同。

此次所揭示之實施型態，均僅僅用於例示，並不應視為具有限制涵義。本發明之範圍並非由上述實施型態的說明來加以顯示，而是由申請專利範圍所界定，在與申請專利範圍為均等之涵義及範圍內，係包含所有的變更。

例如，於上述實施型態當中，係說明液晶顯示裝置或是有機電激發光顯示裝置，來作為顯示裝置之一例，但是本發明並不限定於此，亦可將本發明適用於液晶顯示裝置

及有機電激發光顯示裝置以外之顯示裝置。例如，可將本發明適用於表面傳導電子發射顯示器 (SED : Surface-conduction Electron-emitter Display) 等當中。

此外，於上述實施型態當中，係對構成 TFT 之結晶矽膜進行通道摻雜，但是本發明並不限定於此，亦可不對結晶矽膜進行通道摻雜。

此外，於上述實施型態當中，係各自對構成有機電激發光顯示裝置中所採用之 n 通道電晶體及 p 通道電晶體之結晶矽膜兩者進行通道摻雜，但是本發明並不限定於此，亦可僅對 n 通道電晶體的結晶矽膜及 p 通道電晶體的結晶矽膜當中之—進行通道摻雜。此時，為了在即使將種種電位供應至遮光膜的情況下亦不使漏電流通，係在將 n 通道電晶體及 p 通道電晶體的各個閾值電壓 V_{th} 之變動量進行預估並加以考量之後，藉由上述通道摻雜，來進行 n 通道電晶體及 p 通道電晶體的閾值電壓 V_{th} 之控制。

此外，於上述實施型態當中，係說明將本發明適用於，使光線經介顯示面板的下部所配置之玻璃基板從下方射出而顯示影像之底放射型的有機電激發光顯示裝置之例子，但是本發明並不限定於此，亦可將本發明適用於，使光線往閘極方向射出之頂放射型的有機電激發光顯示裝置。

此外，於上述實施型態當中，係在一致的照射條件下，將紅外線雷射光照射於基板上所形成之非晶矽膜的全面上而加熱，藉此來形成，於全體上構成有於橫方向上成長的柱狀結晶矽(虛擬單結晶)之結晶矽膜，但是本發明並不限

定於此，亦可藉由調節紅外線雷射光的照射條件，於像素部上形成有由結晶粒較小的多晶矽所組成之結晶矽膜，並且於像素部以外的區域上，形成有於橫方向上成長的柱狀結晶矽所組成之結晶矽膜。藉此，可提升像素部上所設置之電晶體的性能之一致性，並且可於周邊電路部上形成高性能的電晶體。

此外，於上述實施型態當中，係於 V 系列驅動器內設置位準轉換電路，但是本發明並不限定於此，亦可不於 V 系列驅動器內設置位準轉換電路。

此外，於上述實施型態當中，係藉由將紅外線雷射光照射於非晶矽膜，而形成做為電晶體的主動層之結晶矽膜，但是本發明並不限定於此，亦可藉由將準分子雷射等紫外線雷射照射於非晶矽膜，而形成做為電晶體的主動層之結晶矽膜。

此外，於上述第 3 及第 6 實施型態當中，係構成為，將像素部的 n 通道電晶體的汲極區、與所對應之顯示部遮光膜的像素部遮光區域加以連接，但是本發明並不限定於此，亦可構成為將像素部的 n 通道電晶體的源極區、與所對應之顯示部遮光膜的像素部遮光區域加以連接。

此外，於上述實施型態當中，係構成為可藉由可變電阻器，將 n 通道電晶體的閾值電壓 V_{th} 加以調節，但是本發明並不限定於此，亦可構成為藉由可變電阻器以外的手段，將 n 通道電晶體的閾值電壓 V_{th} 加以調節。

此外，於上述實施型態當中，係於外部電路部當中設

置可變電阻器，但是本發明並不限定於此，亦可於顯示面板內設置可變電阻器。此外，可變電阻器不限於 1 個，亦可設置多數個。

此外，於上述第 3 及第 6 實施型態當中，係構成為，將所有的像素部的 n 通道電晶體的汲極區、與所對應之顯示部遮光膜的像素部遮光區域加以連接，但是本發明並不限定於此，亦可構成為將一部分的像素部的 n 通道電晶體的汲極區、與所對應之顯示部遮光膜的像素部遮光區域加以連接，並且將 $1/2(V_{dd}+V_{bb})$ 的電位供應至對應於剩下的像素部的 n 通道電晶體之顯示部遮光膜的像素部遮光區域上。

於上述第 8 實施型態當中，係以供應至 CMOS 電路之 H 位準的電位為 V_{dd} ，以 L 位準的電位為 V_{bb} ，但是本發明並不限定於此，亦可以供應至 CMOS 電路之 H 位準的電位為 V_{dd} ，以 L 位準的電位為 V_{ss} 。此外，於第 8 實施型態之液晶顯示裝置當中，亦可採用第 1 圖所示之第 1 實施型態的可變電阻器 41，而調節供應至遮光膜的電位。

此外，於上述第 8 實施型態當中，係將 $1/2(V_{dd}+V_{bb})$ 的固定電位施加於對應於周邊電路部中所包含之 CMOS 電路之遮光膜上，但是本發明並不限定於此，亦可藉由第 1 圖所示之第 1 實施型態的可變電阻器 41 等，而調節供應至遮光膜的電位。根據此構成，係可將構成 CMOS 電路之 n 通道電晶體及 p 通道電晶體的閾值電壓予以調節。藉此，可將遮光膜與 CMOS 電路之 n 通道電晶體及 p 通道電晶體

的各個通道區間的實效電壓 V_{bc} ，予以調節為各自位於 n 通道電晶體及 p 通道電晶體之非導通區域的電壓範圍內。

此外，於上述第 9 及第 12 實施型態當中， V_{bb} 係設定為大約 -2V，但是本發明並不限定於此，亦可將 V_{bb} 設定為大約 0V。於將 V_{bb} 設定為大約 0V 的情況下，例如於第 10 實施型態(參照第 43 圖)的構成當中，於類比開關 112 的 n 通道電晶體 121 及 p 通道電晶體 122 的下方上所設置之類比開關用遮光膜 131 上所供應之電位 V_{back} ，係成為 $1/2(V_{dd}+V_{bb})=1/2(7.5-0)=3.75V$ 。藉此，類比開關用遮光膜 131 與 n 通道電晶體 121(p 通道電晶體 122)的通道區之間的實效電壓(電位差) $V_{bc}=1/3(V_{back}-V_{ch})$ ，係於約 -0.917V 至 0.083V 的範圍內變化。此外， $V_{ch}\doteq 3.5V$ 至 6.5V。亦即，類比開關用遮光膜 131 與 n 通道電晶體 121 的通道區之間的實效電壓 V_{bc} ，係恆常成為 n 通道電晶體 121 的非導通區域之電壓(約 0.5V 以下)，且類比開關用遮光膜 131 與 p 通道電晶體 122 的通道區之間的實效電壓 $V_{bc}(P_{ch})$ ，係恆常成為 p 通道電晶體 122 的非導通區域之電壓(約 -2V 以上)。如此，若將 V_{bb} 設定為大約 0V，則不需具備用於生成 V_{bb} (約 -2V)之電位生成電路部，因此可簡化外部電路部的構成。

此外，於上述第 9 及第 12 實施型態當中，係採用 n 通道電晶體來做為切換電晶體，並採用 p 通道電晶體來做為驅動電晶體，但是本發明並不限定於此，亦可採用 p 通道電晶體來做為切換電晶體，並採用 n 通道電晶體來做為

驅動電晶體。

此外，於上述第 11 實施型態當中，係將與供應至像素部之 p 通道電晶體的汲極區之 PVdd 的電位為相同之 PVdd 的電位，施加於對應於類比開關的 p 通道電晶體之類比開關用遮光膜，但是本發明並不限定於此，亦可將與供應至 H 系列驅動器之正側電位為相同之正側電位，施加於對應於類比開關的 p 通道電晶體之類比開關用遮光膜，或是將與供應至 V 系列驅動器之正側電位為相同之正側電位，施加於對應於類比開關的 p 通道電晶體之類比開關用遮光膜。於將與供應至 H 系列驅動器之正側電位為相同之正側電位，施加於對應於類比開關的 p 通道電晶體之類比開關用遮光膜的情況下，可將類比開關用遮光膜配置於 H 系列驅動器(類比開關)的下方，藉此，可將電位供應至類比開關用遮光膜之配線的安排變得複雜之情況加以抑制。此外，於將與供應至 V 系列驅動器之正側電位為相同之正側電位，施加於對應於類比開關的 p 通道電晶體之類比開關用遮光膜的情況下，由於 V 系列驅動器係以遠較於 H 系列驅動器還低的速度進行動作，因此可藉由 V 系列驅動器的動作，將施加電位成為不安定之情況加以抑制。

此外，於第 12 實施型態當中，係將與供應至 V 系列驅動器之 VVdd 的電位為相同之 VVdd 的電位，施加於類比開關用遮光膜，但是本發明並不限定於此，亦可將與供應至像素部之 p 通道電晶體的汲極區之 PVdd 的電位為相同之 PVdd 的電位，施加於類比開關用遮光膜，或是可將

與供應至 H 系列驅動器之正側電位為相同之正側電位，施加於類比開關用遮光膜。

【圖式簡單說明】

第 1 圖係概略性顯示本發明的第 1 實施型態之液晶顯示裝置的全體構成之平面圖。

第 2 圖係顯示第 1 圖所示之第 1 實施型態之液晶顯示裝置的像素部之電路圖。

第 3 圖係顯示第 1 圖所示之第 1 實施型態之液晶顯示裝置的像素部之 n 通道電晶體附近的構造之剖面圖。

第 4 圖至第 7 圖係顯示用於說明本發明的第 1 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的動作之電壓波形圖。

第 8 圖係顯示本發明的第 1 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的電流－電壓特性之圖式。

第 9 圖至第 11 圖係顯示用於說明本發明的第 1 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的製程之剖面圖。

第 12 圖係顯示本發明的第 2 實施型態之液晶顯示裝置的像素部之 n 通道電晶體附近的構造之剖面圖。

第 13 圖係顯示用於說明本發明的第 2 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的動作之電壓波形圖。

第 14 圖係顯示本發明的第 2 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的電流－電壓特性之圖式。

第 15 圖係顯示本發明的第 3 實施型態之液晶顯示裝置

的像素部之 n 通道電晶體附近的構造之剖面圖。

第 16 圖係顯示用於說明本發明的第 3 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的動作之電壓波形圖。

第 17 圖係顯示本發明的第 3 實施型態之液晶顯示裝置的像素部之 n 通道電晶體的電流－電壓特性之圖式。

第 18 圖係顯示本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之電路圖。

第 19 圖至第 22 圖係顯示用於說明本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體的動作之電壓波形圖。

第 23 圖係顯示本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體的電流－電壓特性之圖式。

第 24 圖至第 27 圖係顯示用於說明本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的動作之電壓波形圖。

第 28 圖係顯示本發明的第 4 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的電流－電壓特性之圖式。

第 29 圖係顯示用於說明本發明的第 5 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體的動作之電壓波形圖。

第 30 圖係顯示本發明的第 5 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體的電流－電壓特性之圖

式。

第 31 圖係顯示用於說明本發明的第 5 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的動作之電壓波形圖。

第 32 圖係顯示本發明的第 5 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的電流－電壓特性之圖式。

第 33 圖係顯示用於說明本發明的第 6 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體的動作之電壓波形圖。

第 34 圖係顯示本發明的第 6 實施型態之有機電激發光顯示裝置的像素部之 n 通道電晶體的電流－電壓特性之圖式。

第 35 圖係顯示用於說明本發明的第 6 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的動作之電壓波形圖。

第 36 圖係顯示本發明的第 6 實施型態之有機電激發光顯示裝置的像素部之 p 通道電晶體的電流－電壓特性之圖式。

第 37 圖係顯示本發明的第 8 實施型態之液晶顯示裝置的周邊電路中所包含之 CMOS 電路的構成之電路圖。

第 38 圖係顯示本發明的第 8 實施型態之液晶顯示裝置的周邊電路中所包含之 CMOS 電路之電流－電壓特性圖。

第 39 圖係顯示施加於遮光膜之電位、及對應於該遮光

膜之 p 通道電晶體及 n 通道電晶體的閾值電壓 V_{th} 之間的關係之相關圖。

第 40 圖係顯示本發明的第 9 實施型態之有機電激發光顯示裝置的全體構成之平面圖。

第 41 圖係顯示第 40 圖所示之第 9 實施型態之有機電激發光顯示裝置的像素部之電路圖。

第 42 圖係顯示第 40 圖所示之第 9 實施型態之有機電激發光顯示裝置的周邊電路部(類比開關)之電路圖。

第 43 圖係顯示本發明的第 10 實施型態之有機電激發光顯示裝置的全體構成之平面圖。

第 44 圖係顯示本發明的第 11 實施型態之有機電激發光顯示裝置的全體構成之平面圖。

第 45 圖係顯示本發明的第 12 實施型態之有機電激發光顯示裝置的全體構成之平面圖。

【主要元件符號說明】

1	液晶顯示面板	2、92	外部電路部
3、93	顯示部	4、94H	系列驅動器
5、95V	系列驅動器	6、66、96	像素部
8、48、58、68、81、101、121n	通道電晶體		
8a、48a、68a、73a、81a、82a、101a、106a	閘極		
8b、68b、73b、84、101b、106b	汲極區		
8c、68c、73c、81b、82b、101c、106c	源極區		
8d、68d、81c、82c	通道區		
9、69、102	輔助電容	10	像素電極

- | | | | |
|---------------------|------------|---------|------------|
| 11 | 對向電極 | 12 | 液晶 |
| 13 | 顯示部遮光膜 | 13a | 像素部遮光區域 |
| 13b | 配線部遮光區域 | 14 | 玻璃基板 |
| 15 | 緩衝層 | 16、19 | 絕緣膜 |
| 17 | 結晶矽膜 | 18 | 閘極絕緣膜 |
| 20a、20b、21、23、53 | | | 栓塞 |
| 22、42 | 中間配線層 | 24、54 | 配線層 |
| 25、35 | 移位暫存器電路 | 26 | 取樣電晶體 |
| 27 | 緩衝區 | 28 | DA轉換器 |
| 29 | 時脈產生電路 | | |
| 30、37 | 移位暫存器電路遮光膜 | | |
| 31 | 取樣電晶體遮光膜 | 32 | 緩衝區遮光膜 |
| 33 | DA轉換器遮光膜 | 34 | 時脈產生電路遮光膜 |
| 36、114 | 位準轉換電路 | 38 | 位準轉換電路遮光膜 |
| 39a、39b、92a、92b、92c | 電位生成電路部 | | |
| 40a | 配線 | 41 | 可變電阻器 |
| 50 | 光阻膜 | 70、103 | 陽極 |
| 71、104 | 陰極 | 72、105 | 有機電激發光元件 |
| 73、82、106、122p | 通道電晶體 | | |
| 83 | CMOS電路 | 91 | 有機電激發光顯示面板 |
| 96a、96b、112a、112b | | | 預定區域 |
| 98n | 通道電晶體遮光膜 | 98a、99a | 遮光部 |
| 98b、99b | 線狀部 | 98c、99c | 連結部 |
| 99p | 通道電晶體遮光膜 | 111 | H系列移位暫存器電路 |

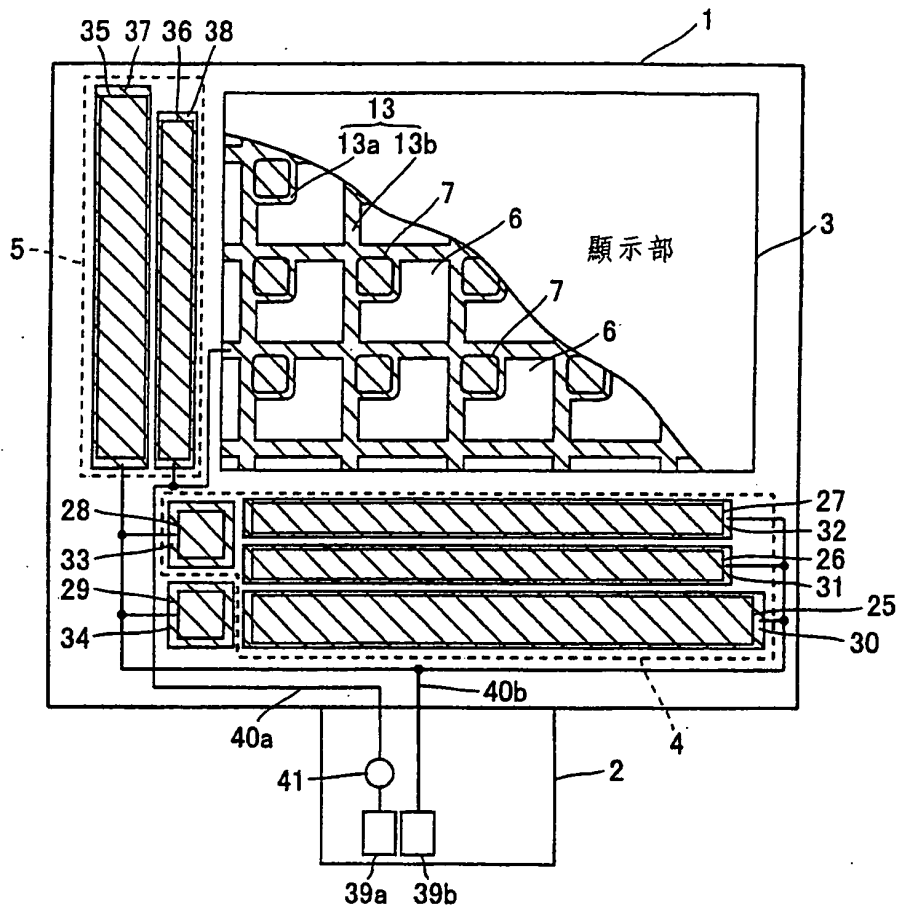
112	類比開關	113	V系列移位暫存器電路
131、131a、131b	類比開關用遮光膜		
GND	接地電位	Vbb、Vss	負側電位
Vcom	共通電位	Vdd、PVdd	正側電位
Vgate	閘極電位	Vsig	信號電位
Vth	閾值電壓		

五、中文發明摘要：

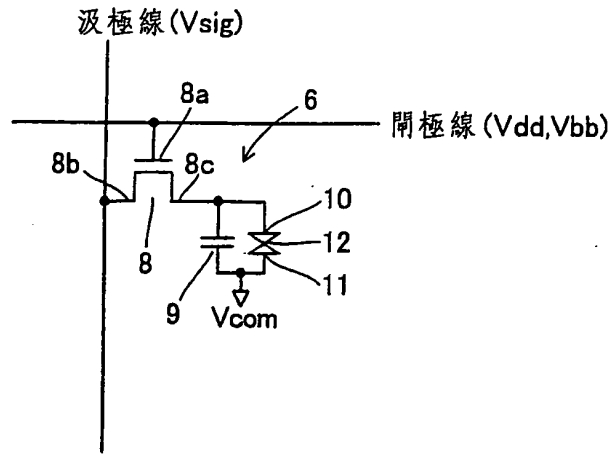
本發明之目的在於提供一種，可將起因於遮光膜的電位變動所導致之電晶體的動作成為不安定之情況加以抑制，並且可抑制不良動作的產生之顯示裝置。本發明之解決手段為一種顯示裝置，係具備：第1區域，係包含第1電晶體；及第1遮光膜，係設置於第1區域，且配置於對應第1電晶體之區域上，並供應有第1電位；及第2區域，係包含第2電晶體；及第2遮光膜，係設置於第2區域，且配置於對應第2電晶體之區域上，並供應有第2電位。

六、英文發明摘要：

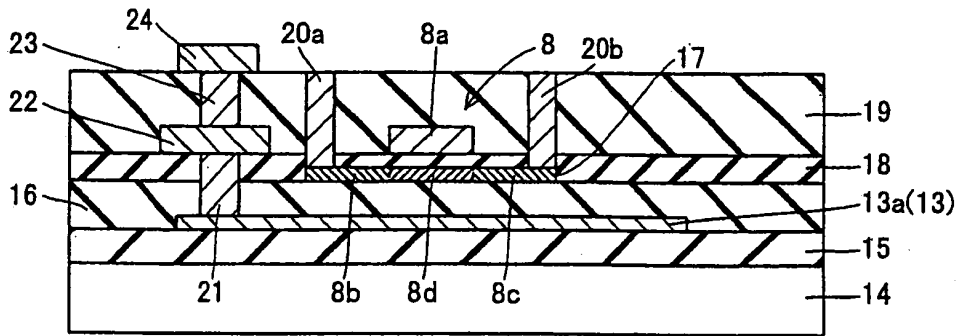
A display capable of inhibiting a transistor from an instable operation resulting from fluctuation of the potential of a shielding film and suppressing occurrence of a malfunction is provided. This display comprises a first region including a first transistor, a first shielding film provided on the first region, arranged on a region corresponding to the first transistor and supplied with a first potential, a second region including a second transistor and a second shielding film provided on the second region, arranged on a region corresponding to the second transistor and supplied with a second potential.



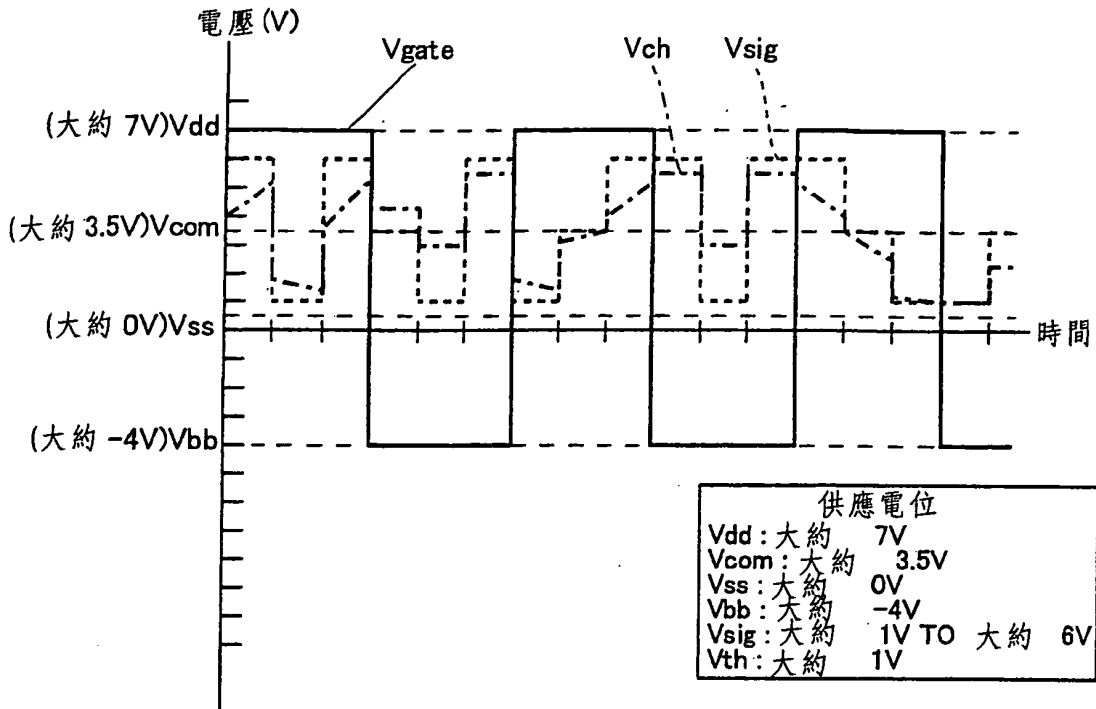
第1圖



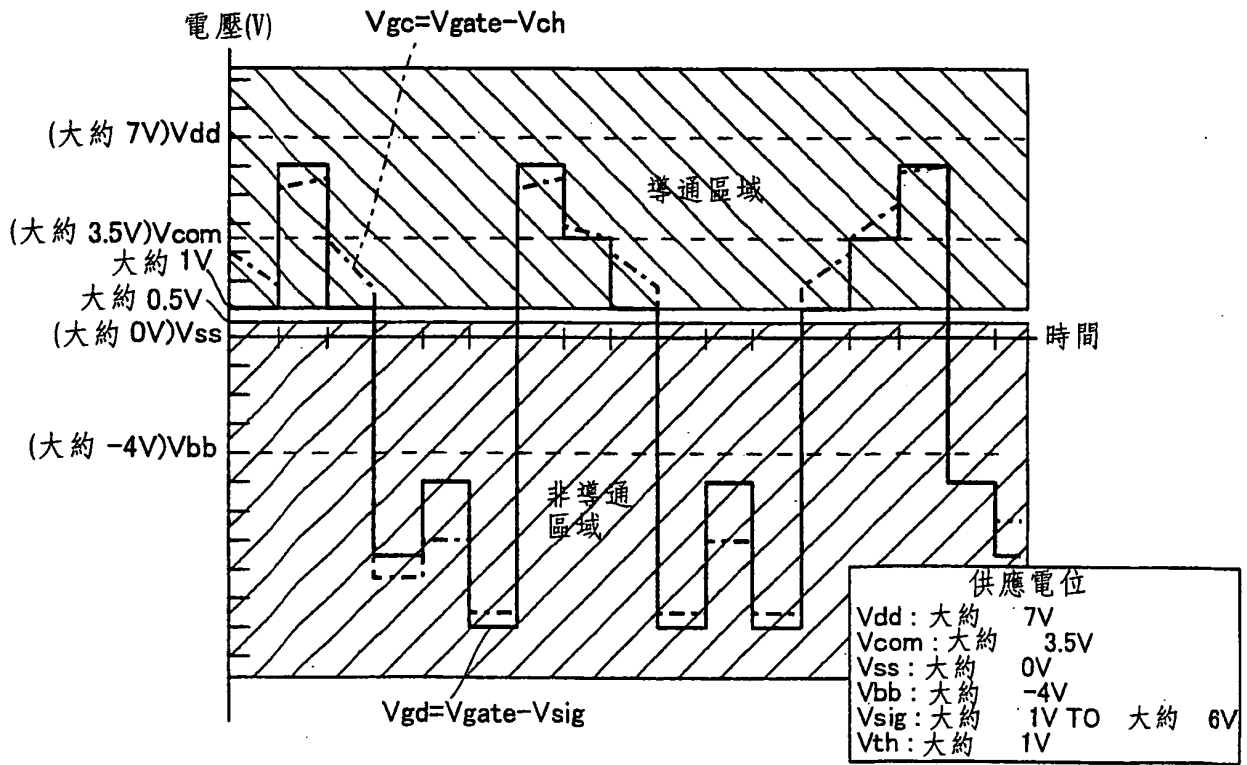
第2圖



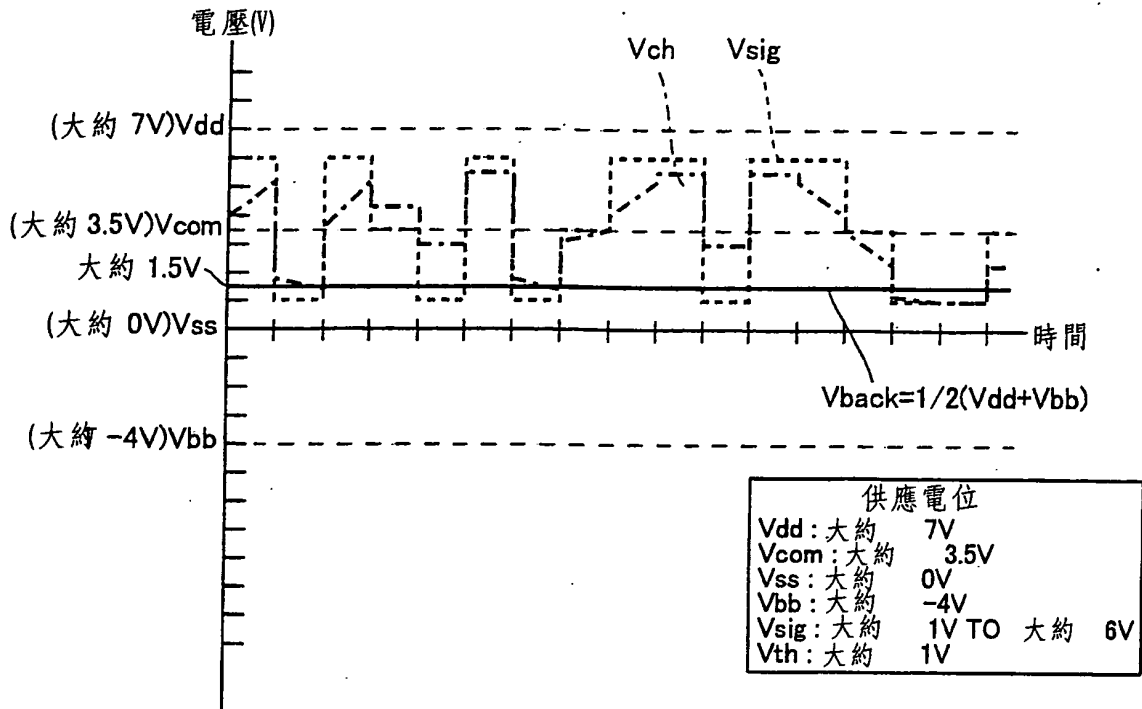
第3圖



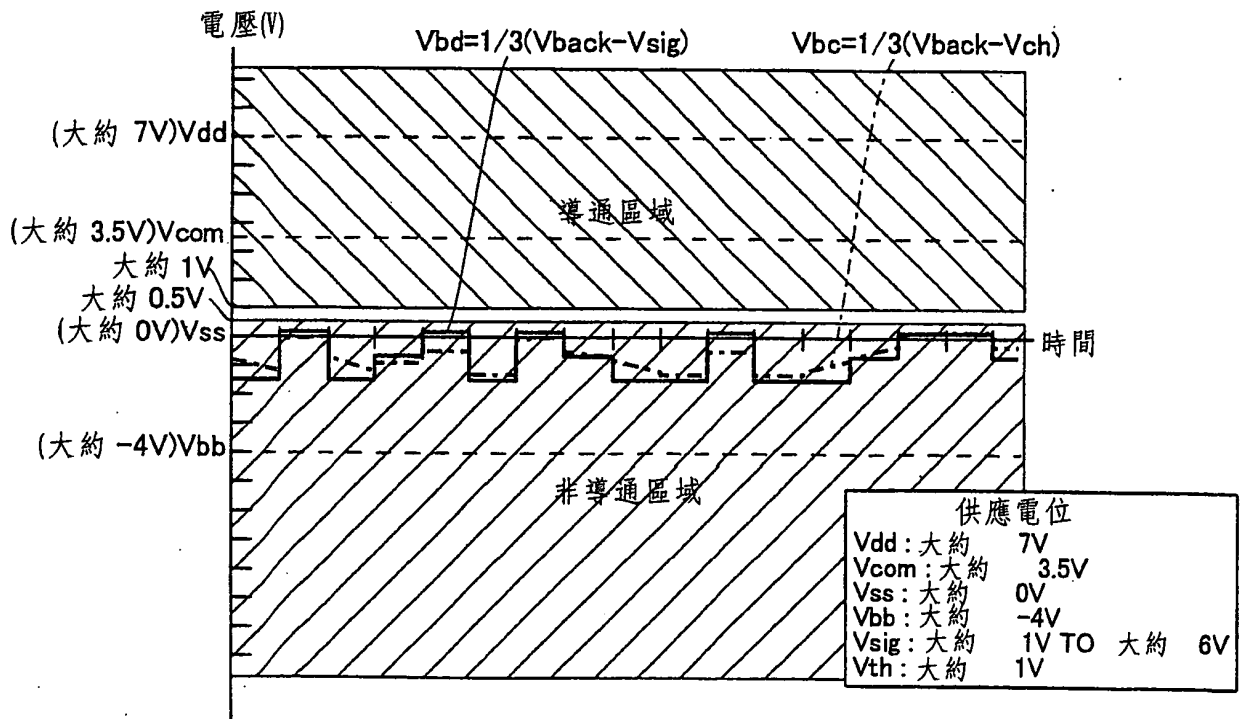
第4圖



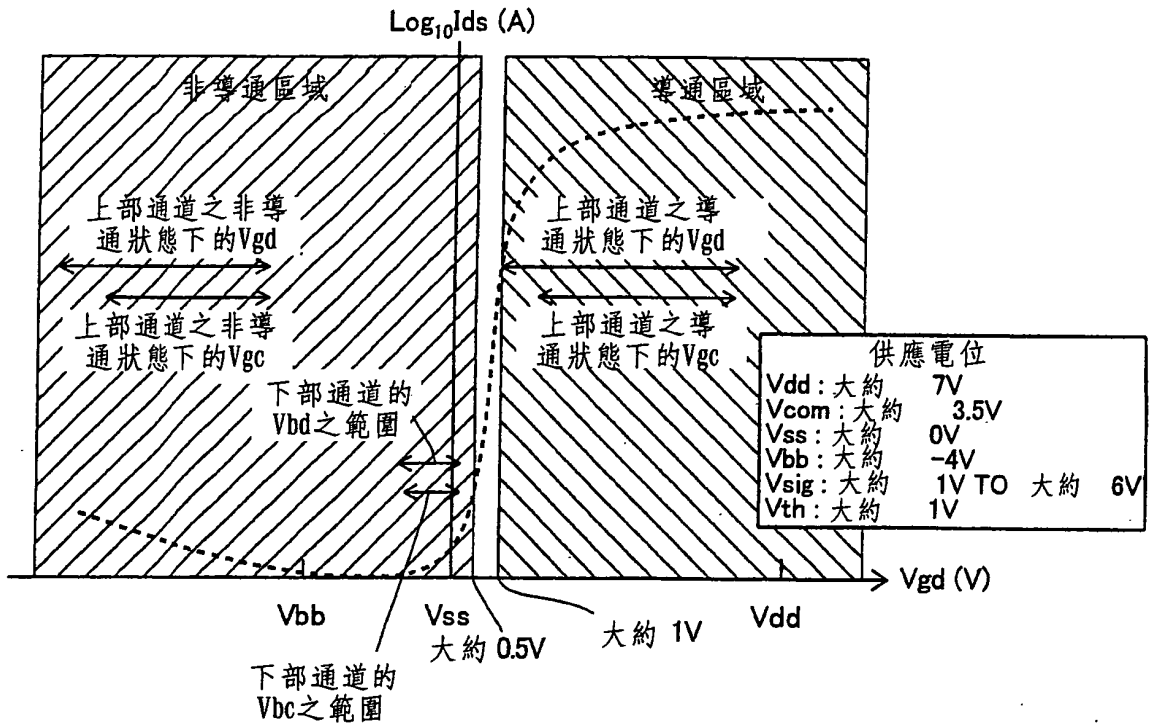
第5圖



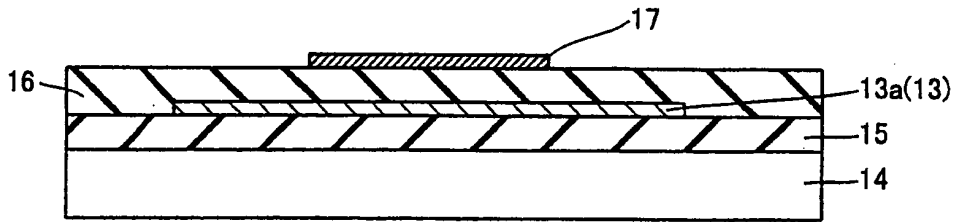
第6圖



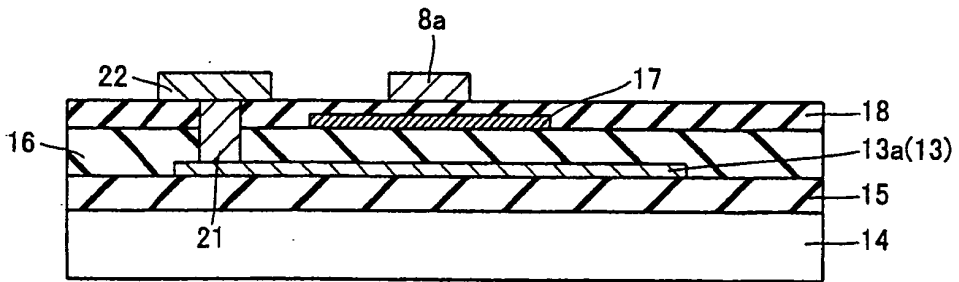
第7圖



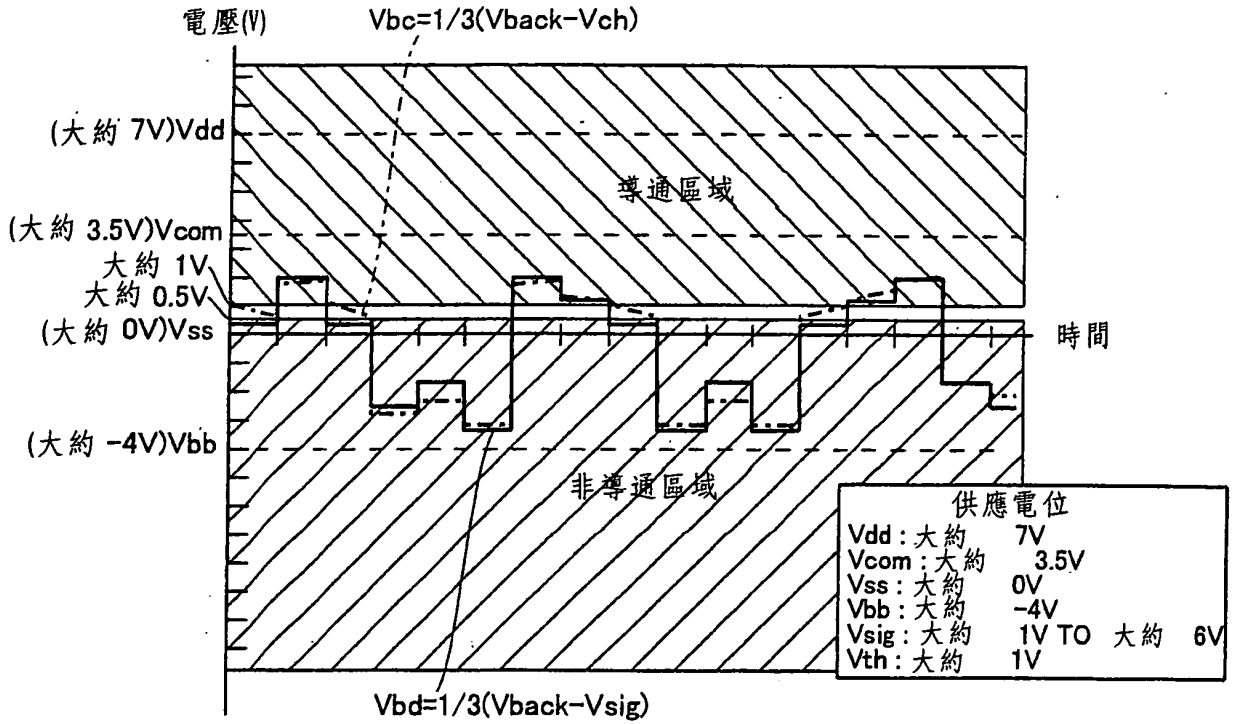
第8圖



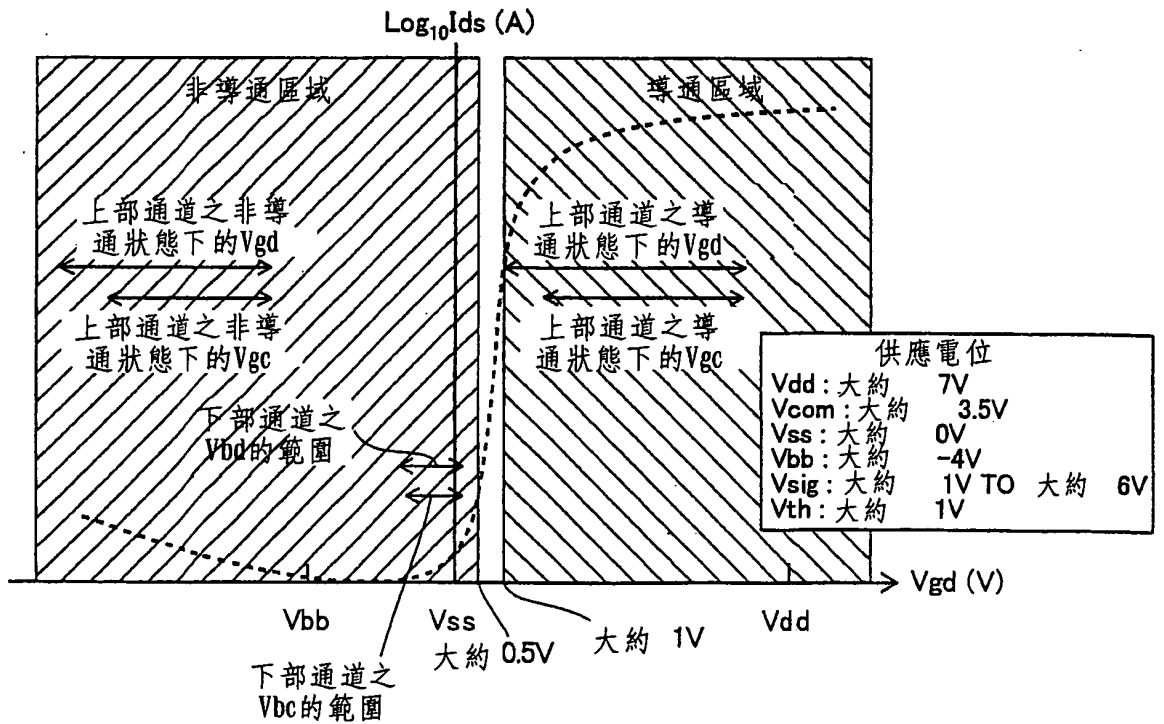
第9圖



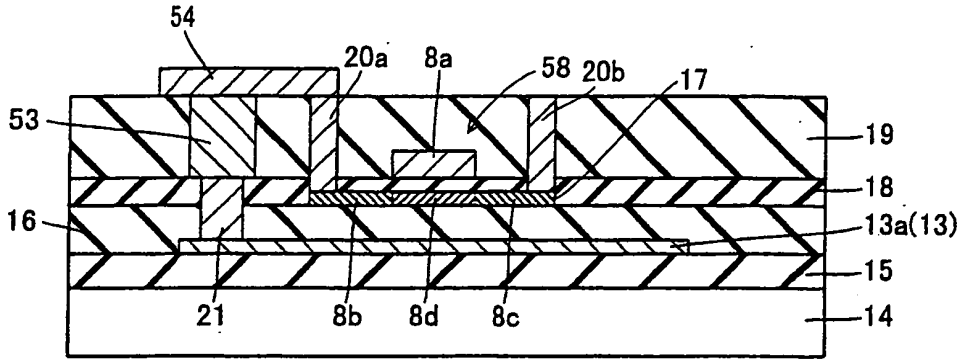
第10圖



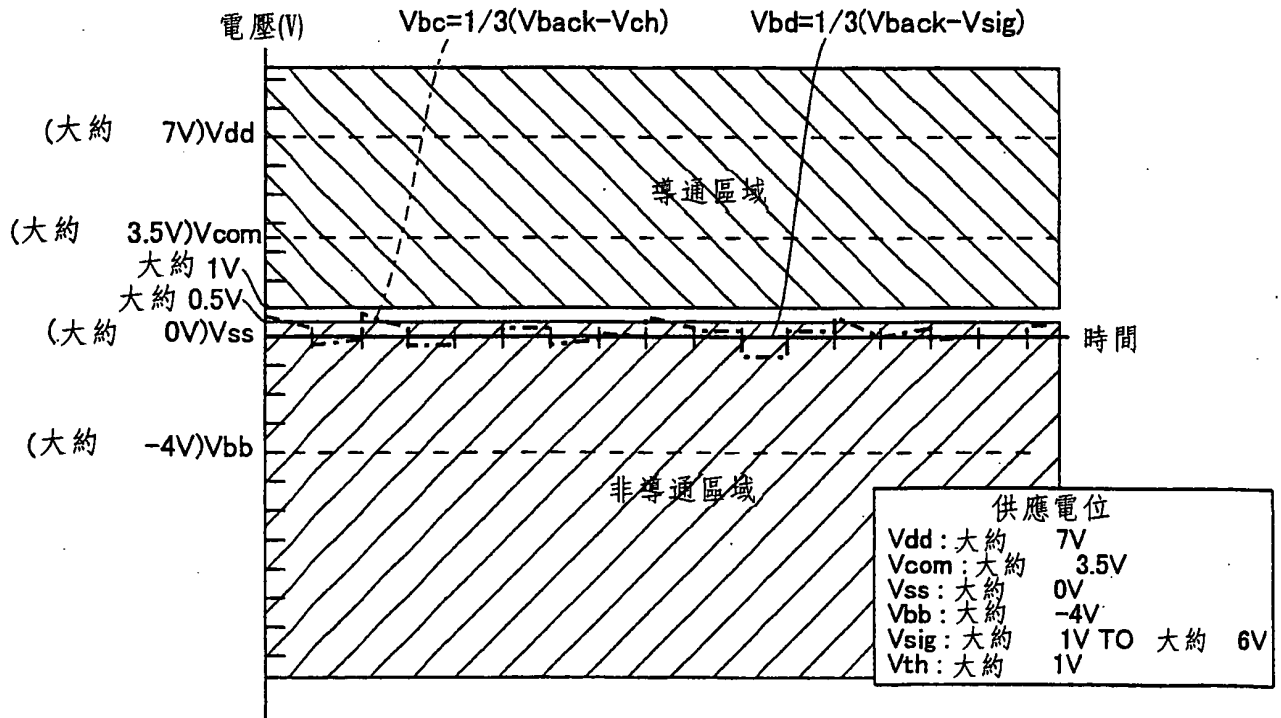
第13圖



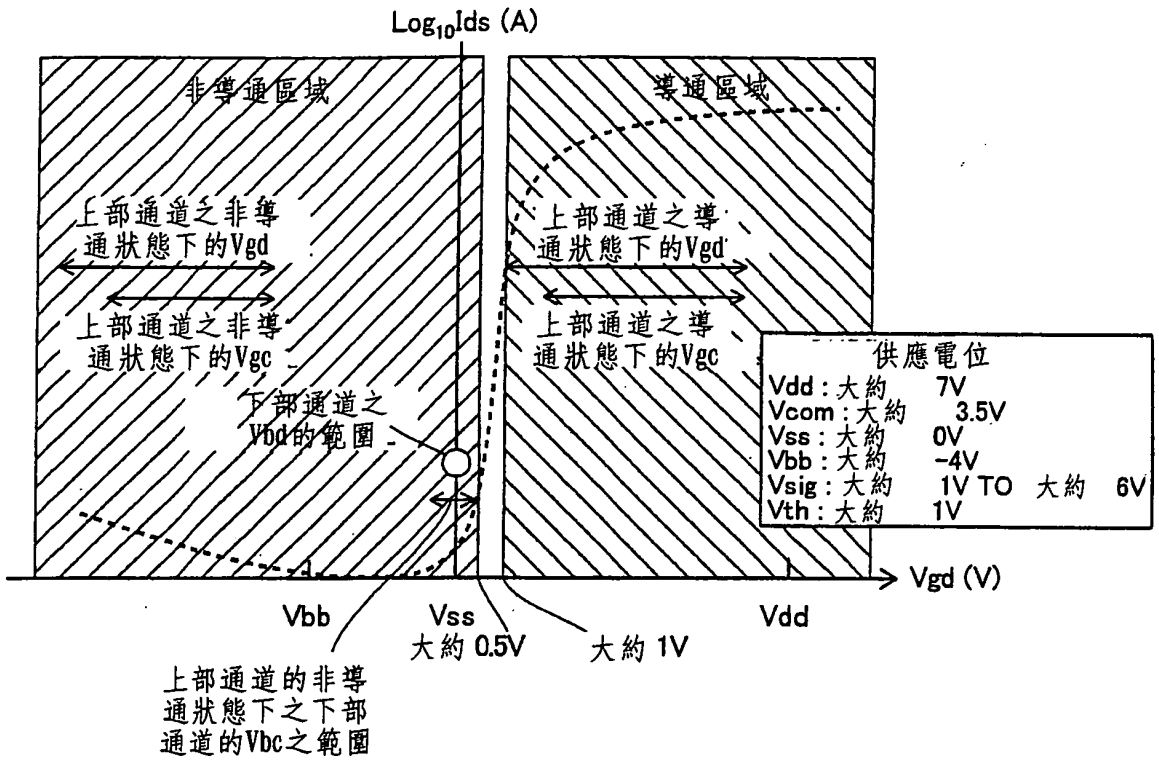
第14圖



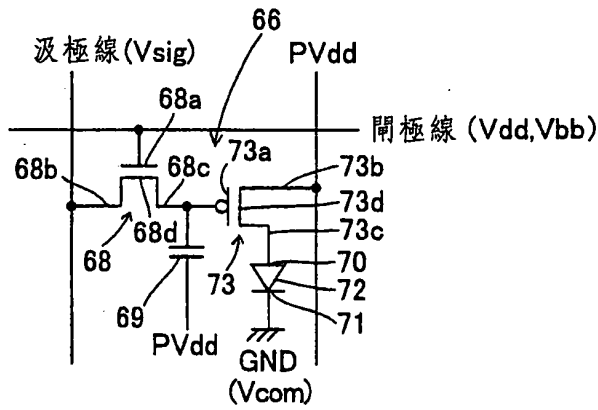
第15圖



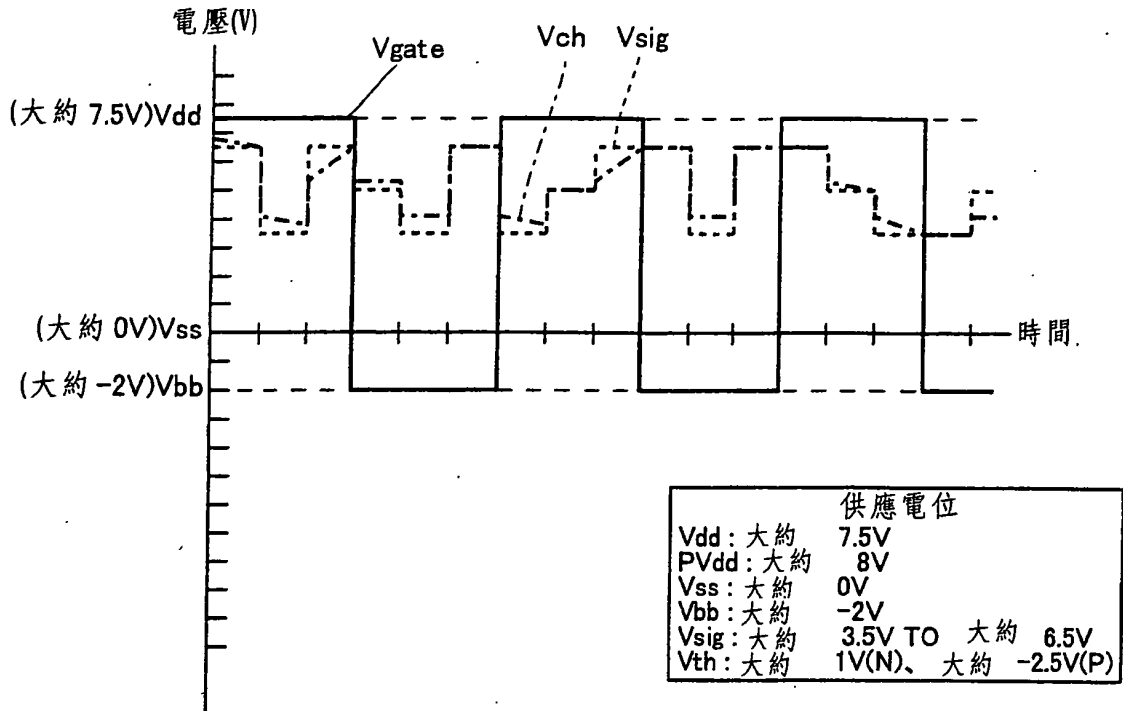
第16圖



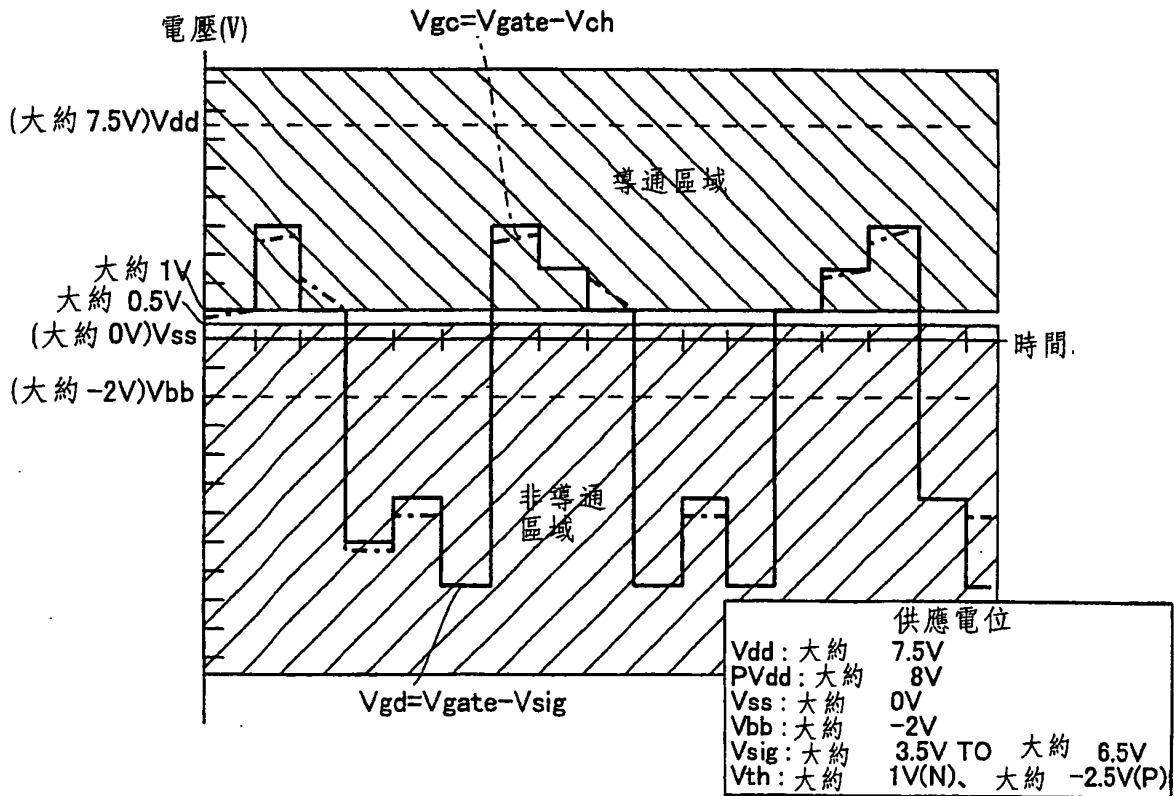
第17圖



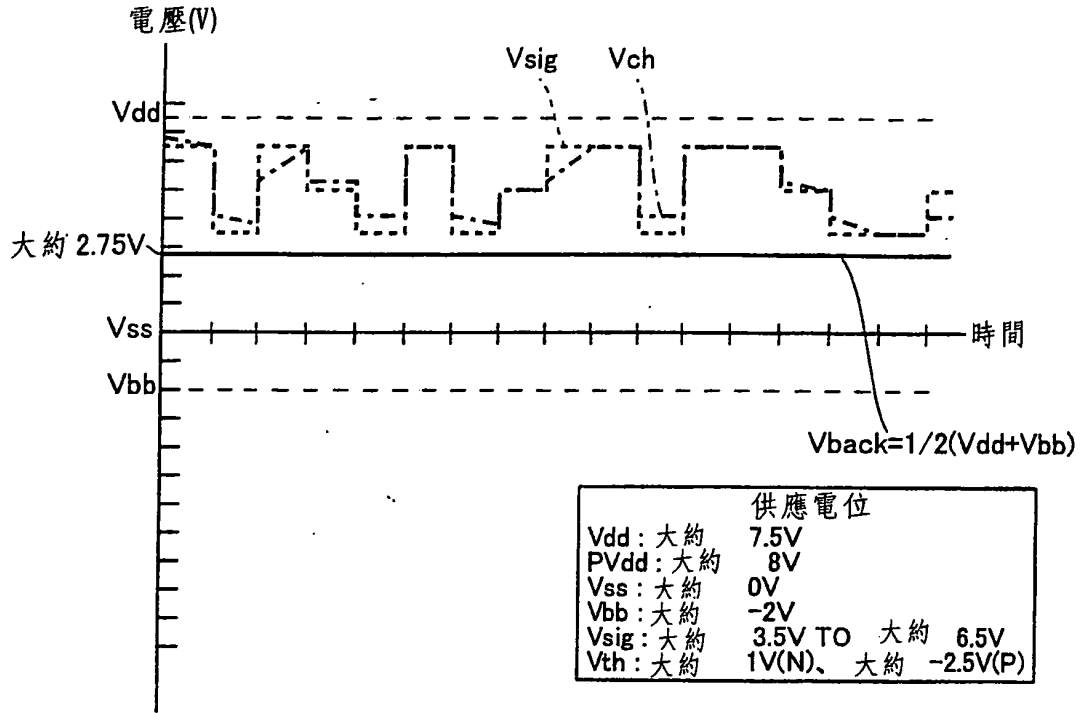
第18圖



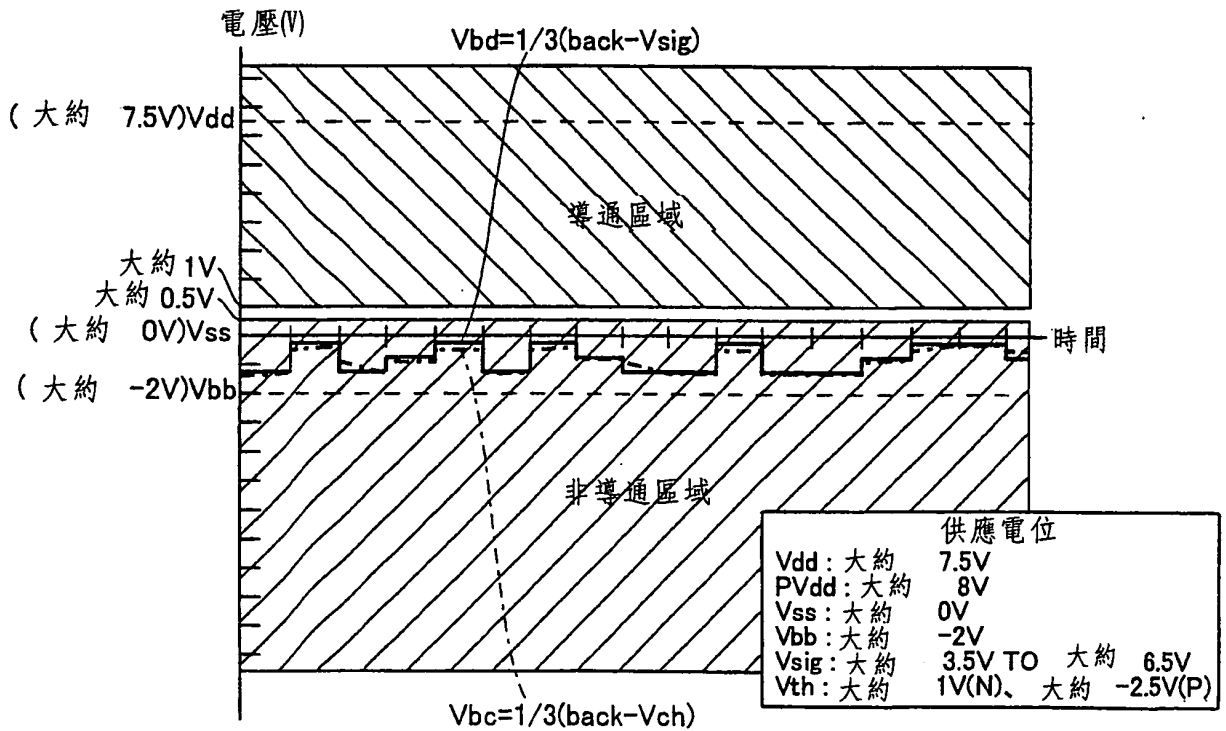
第19圖



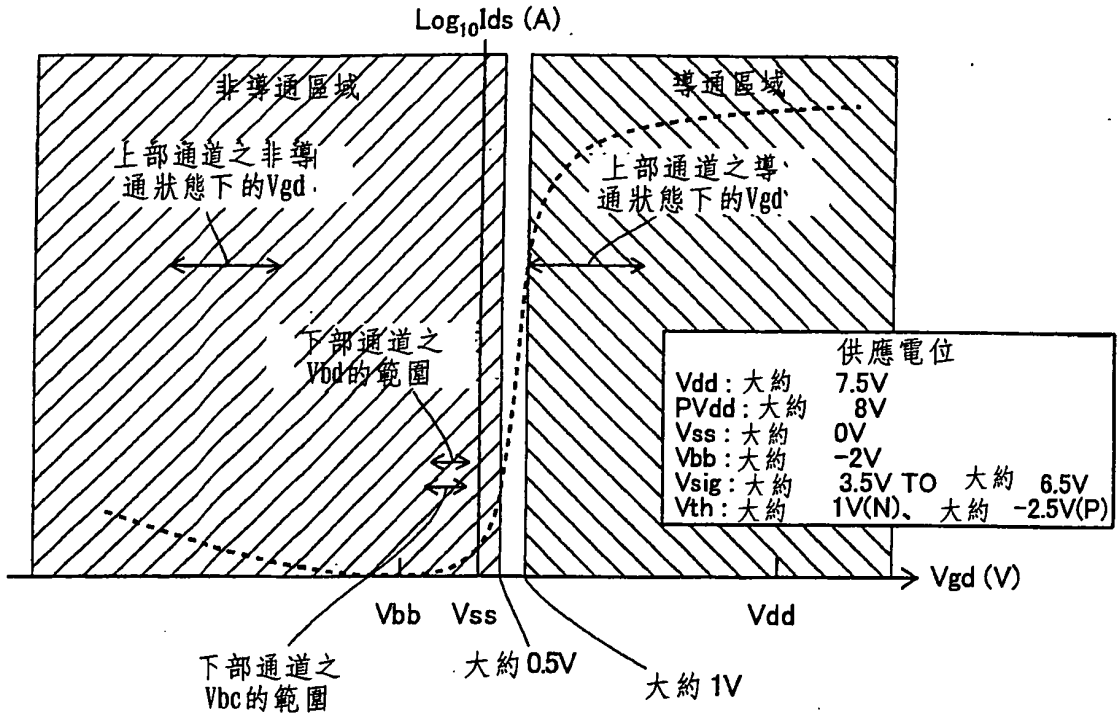
第20圖



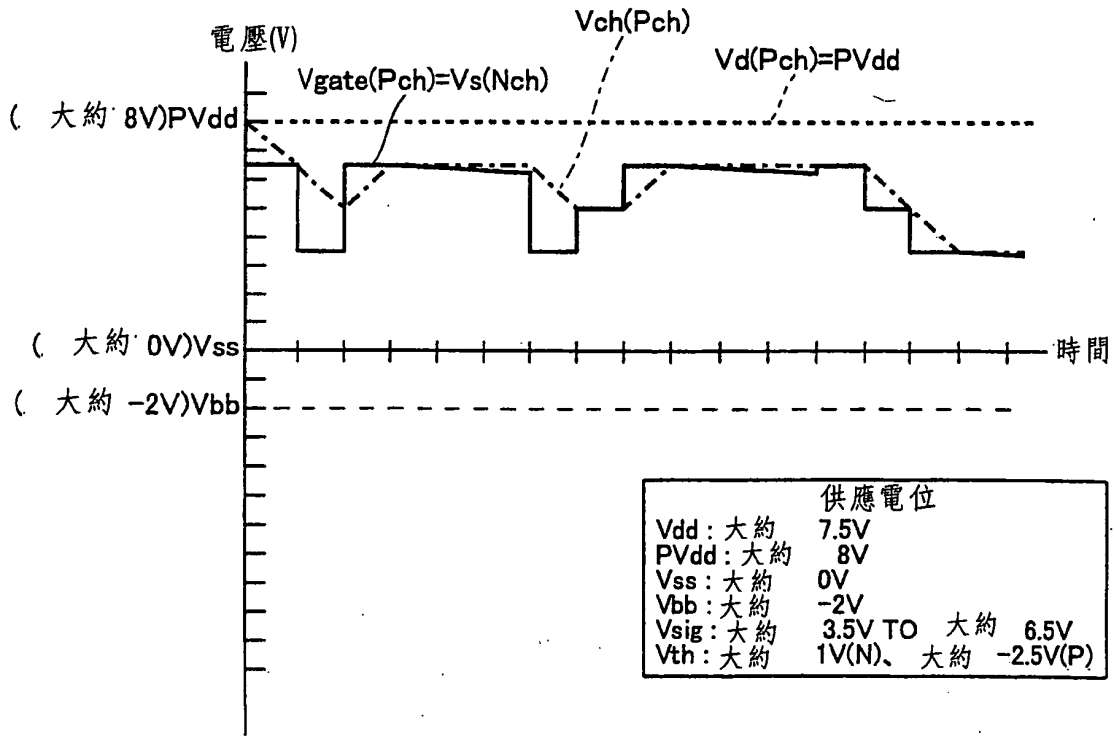
第21圖



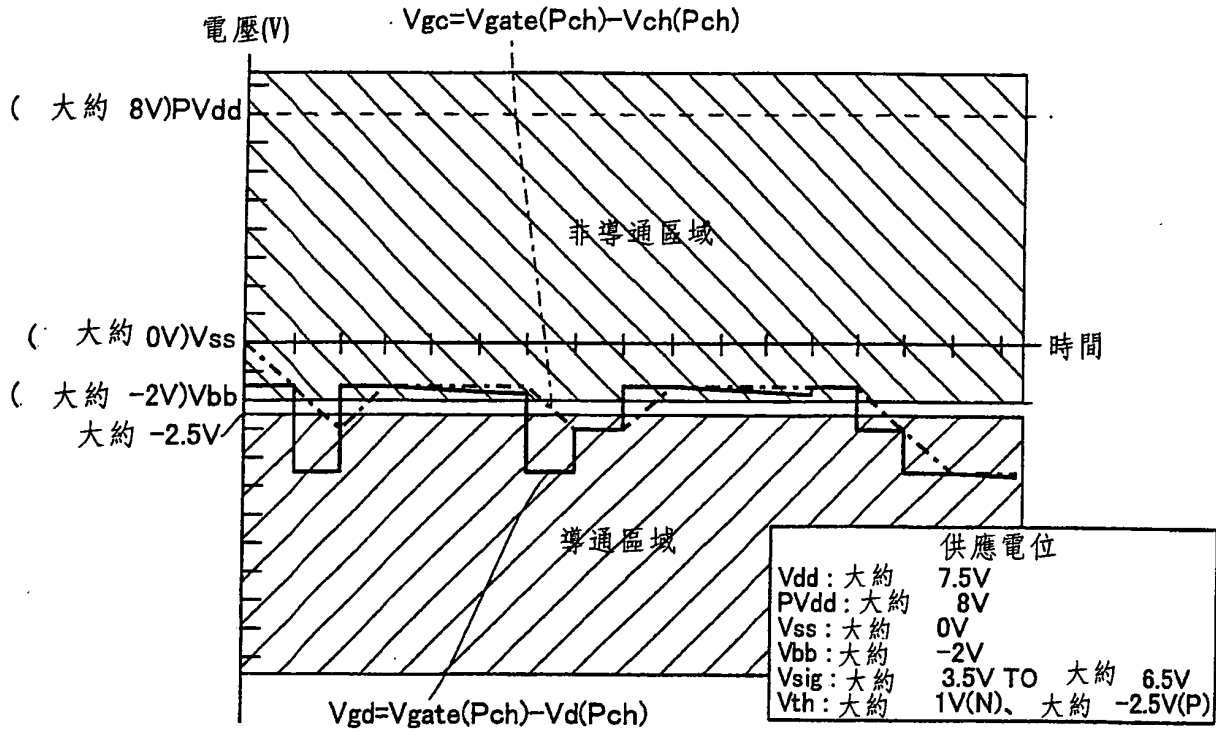
第22圖



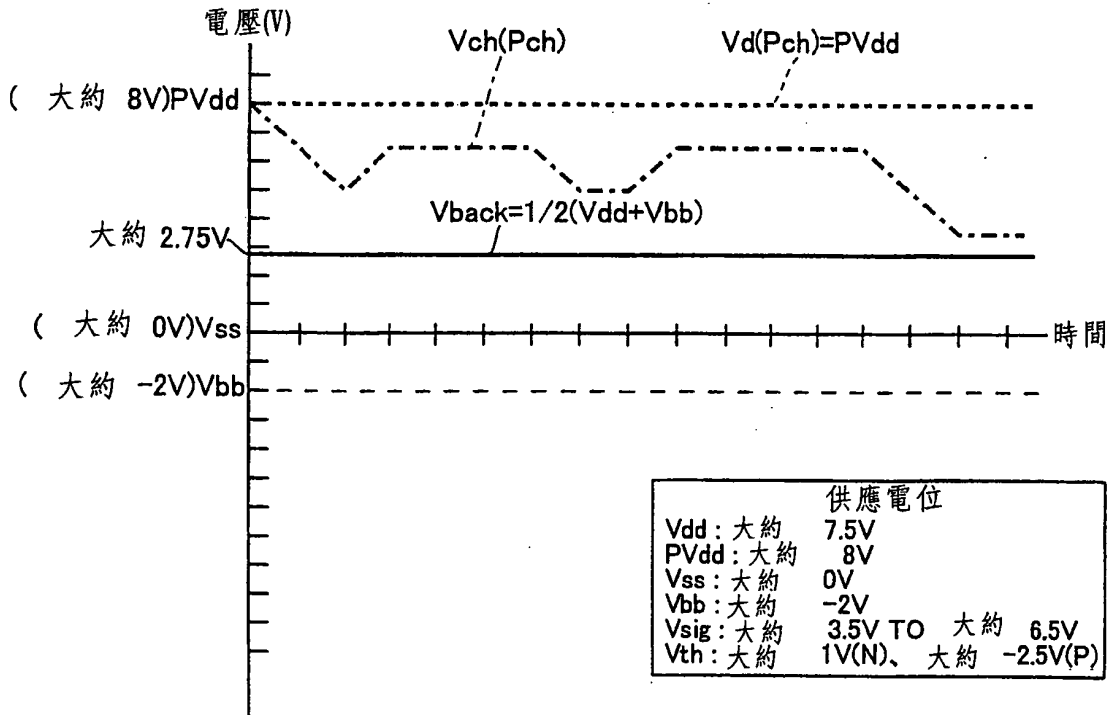
第23圖



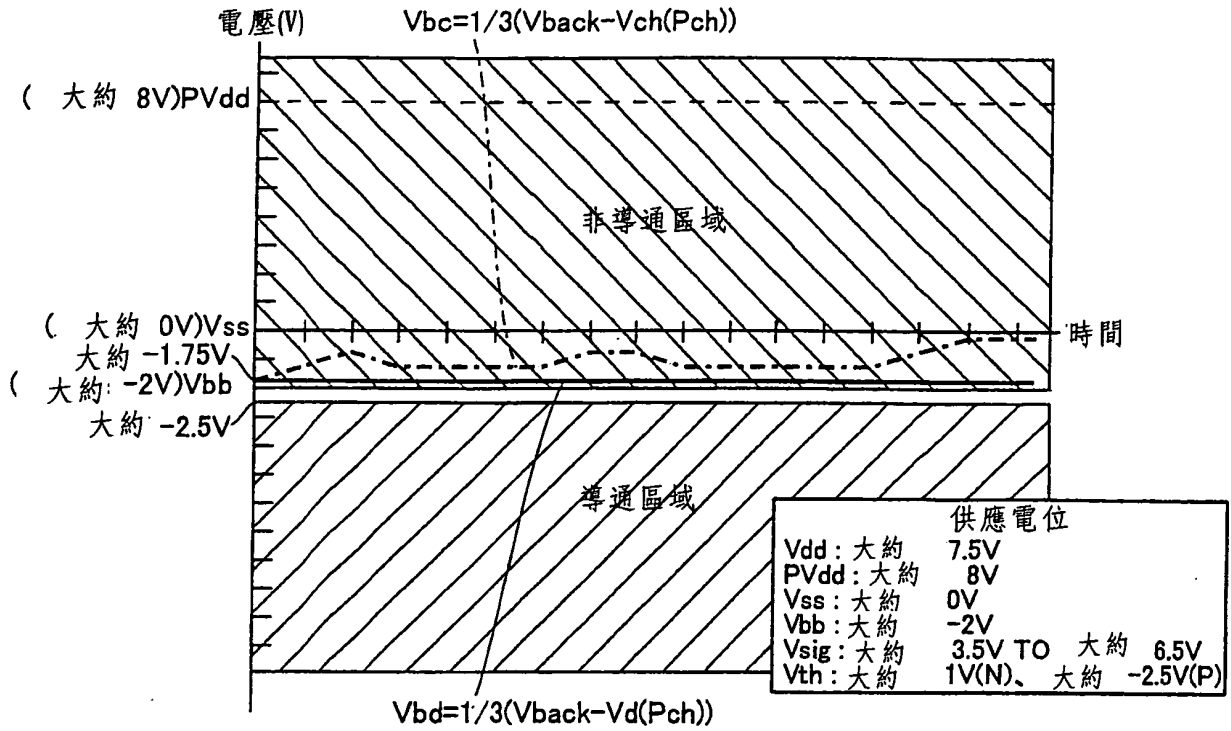
第24圖



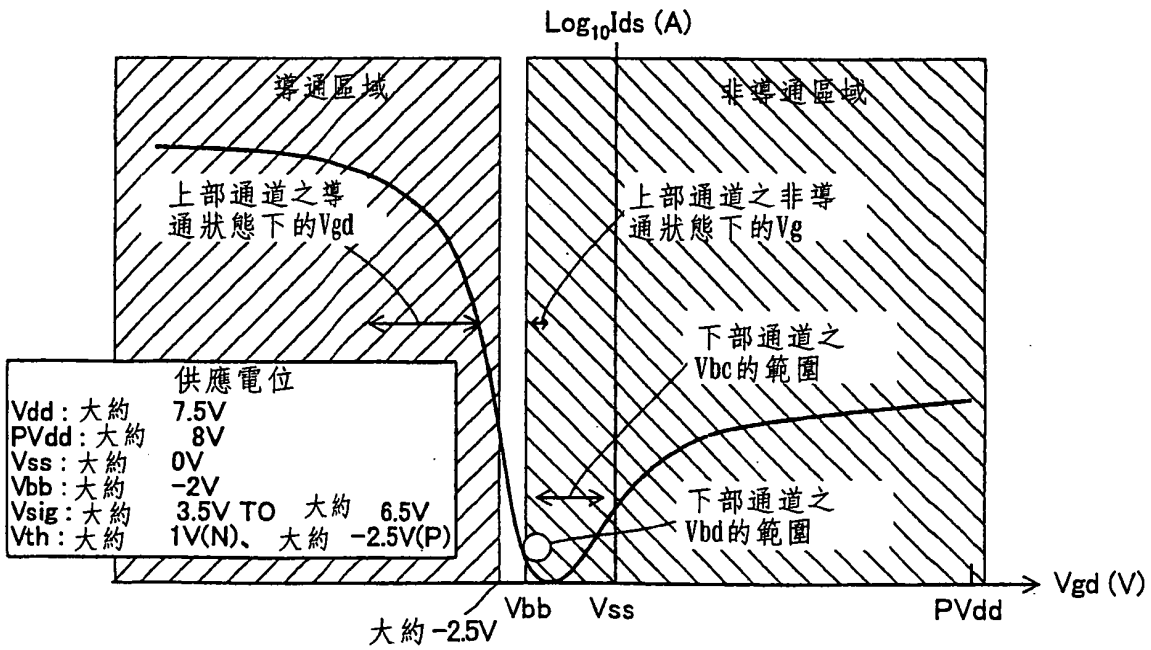
第25圖



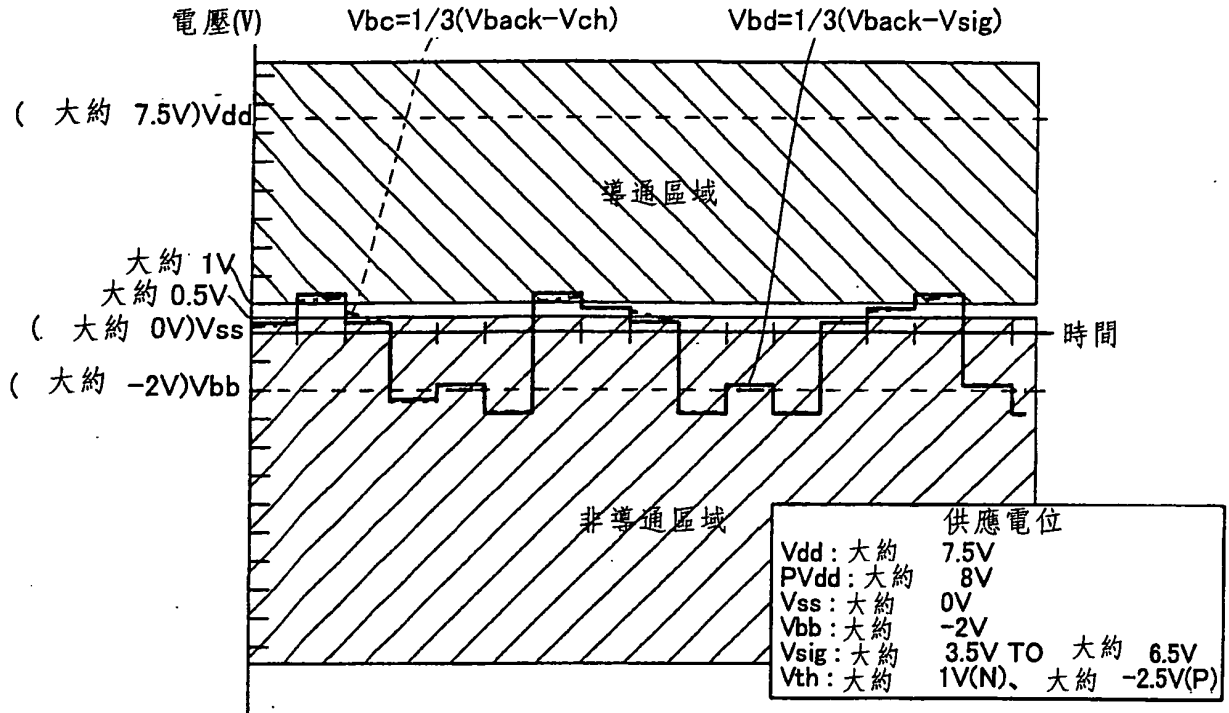
第26圖



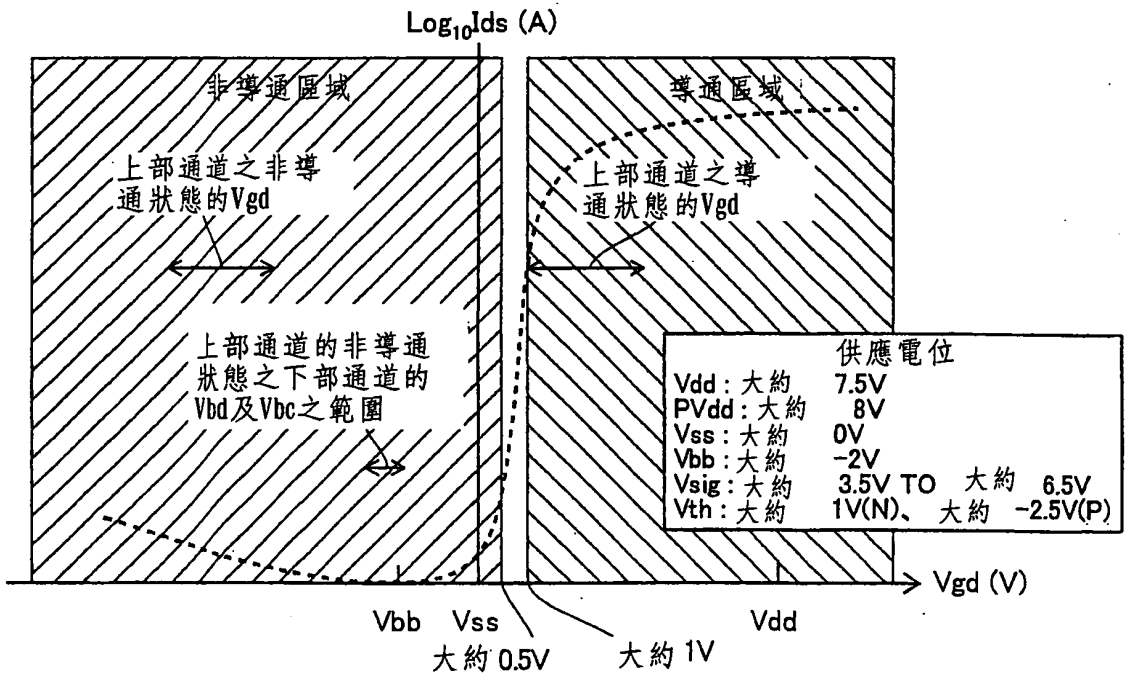
第27圖



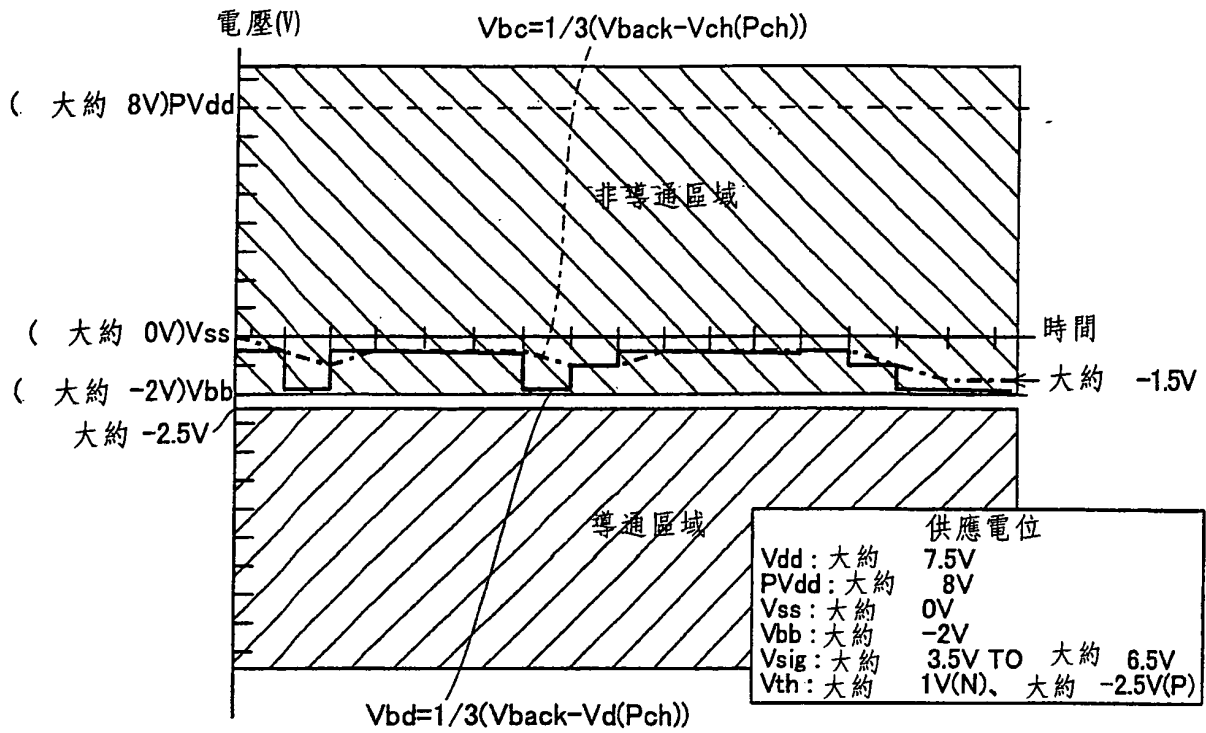
第28圖



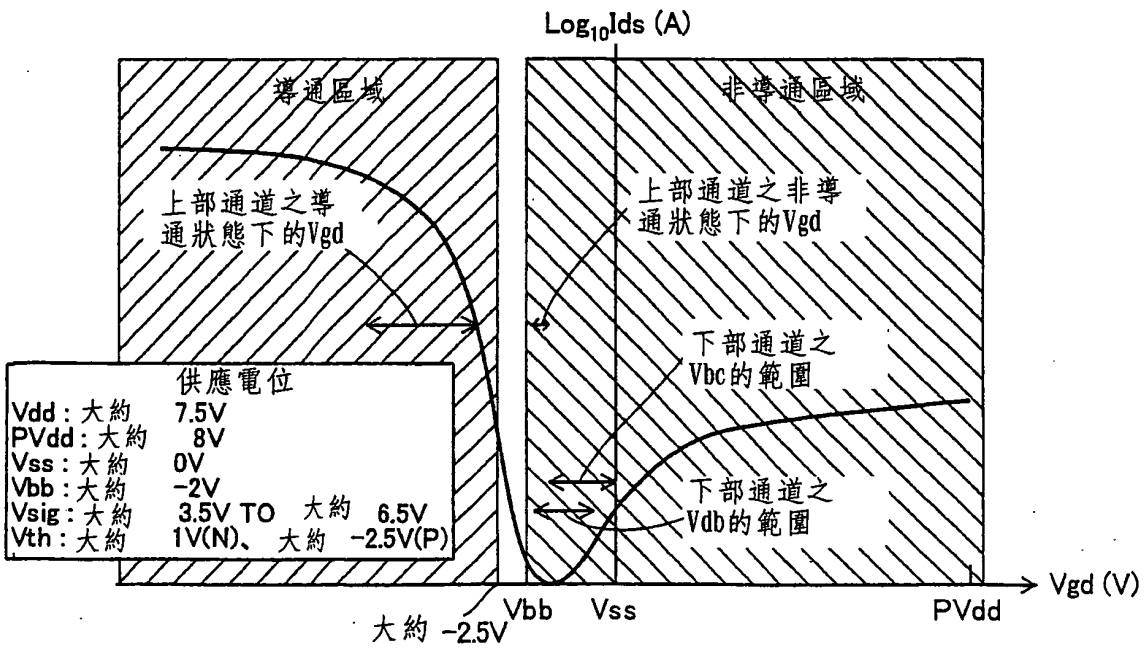
第29圖



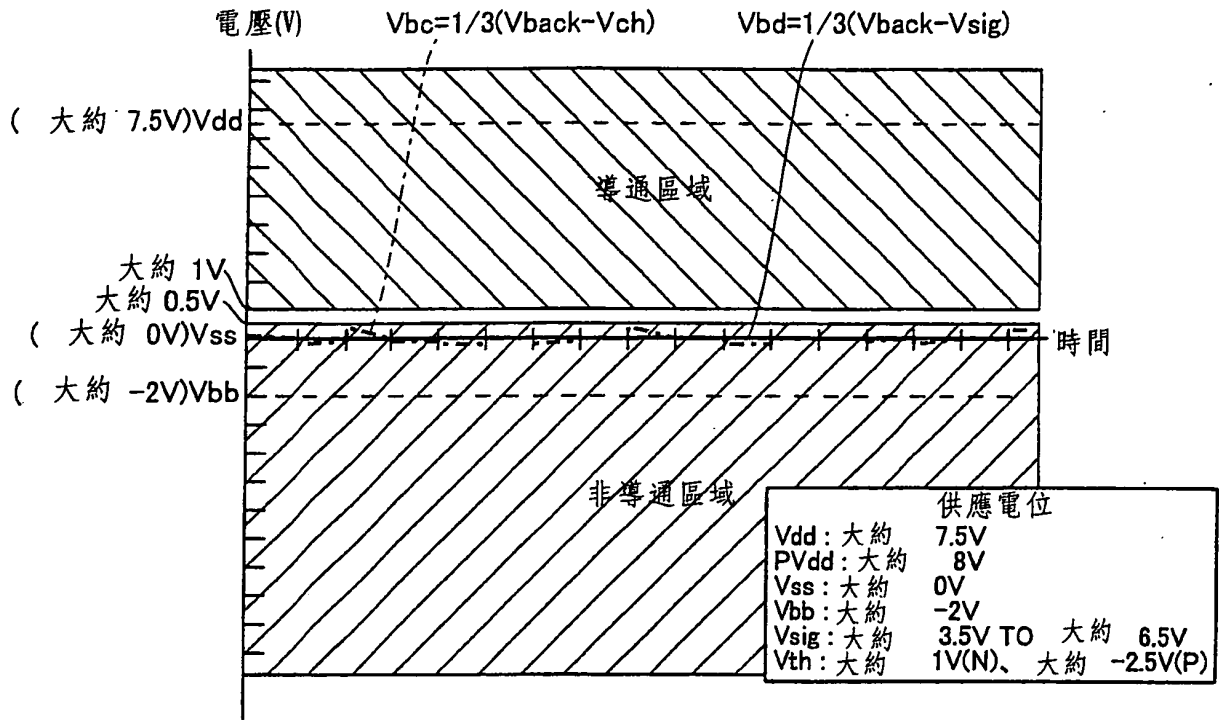
第30圖



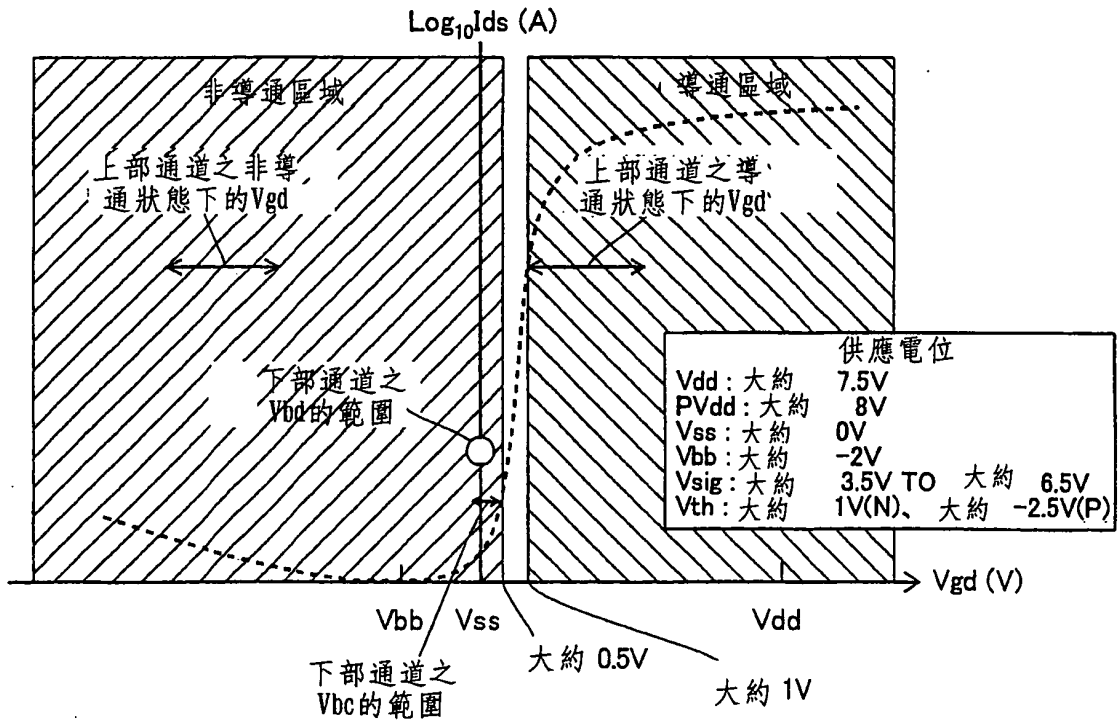
第31圖



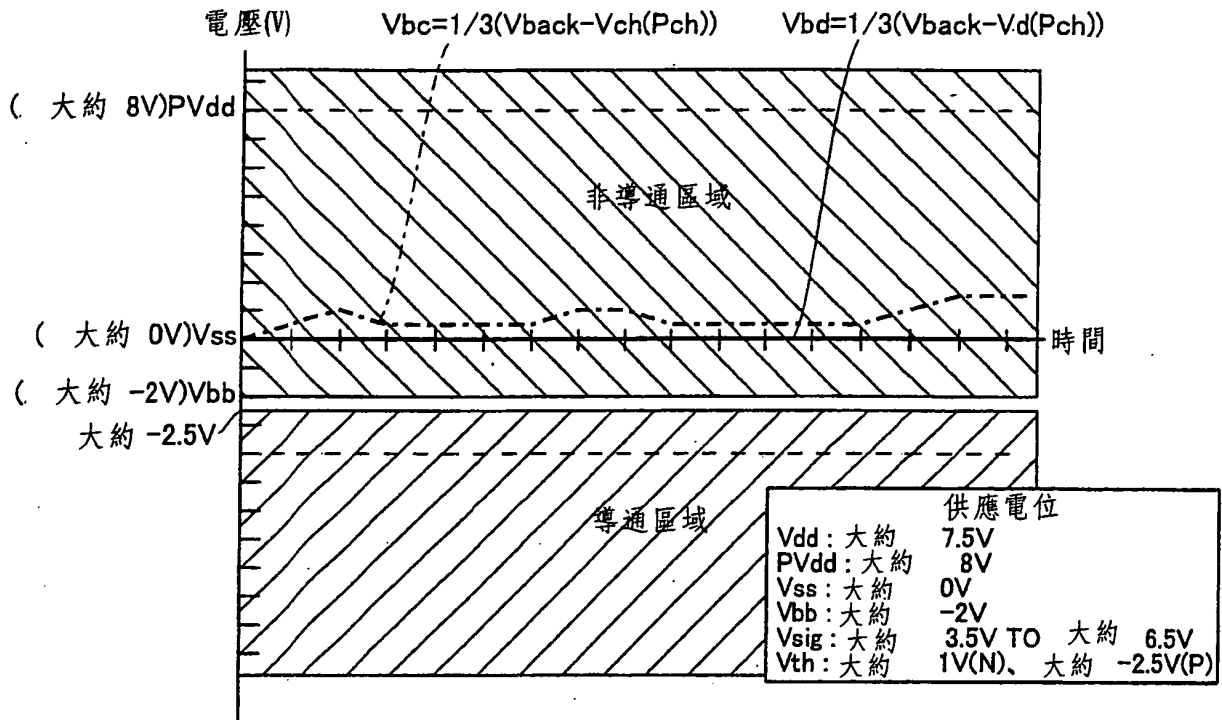
第32圖



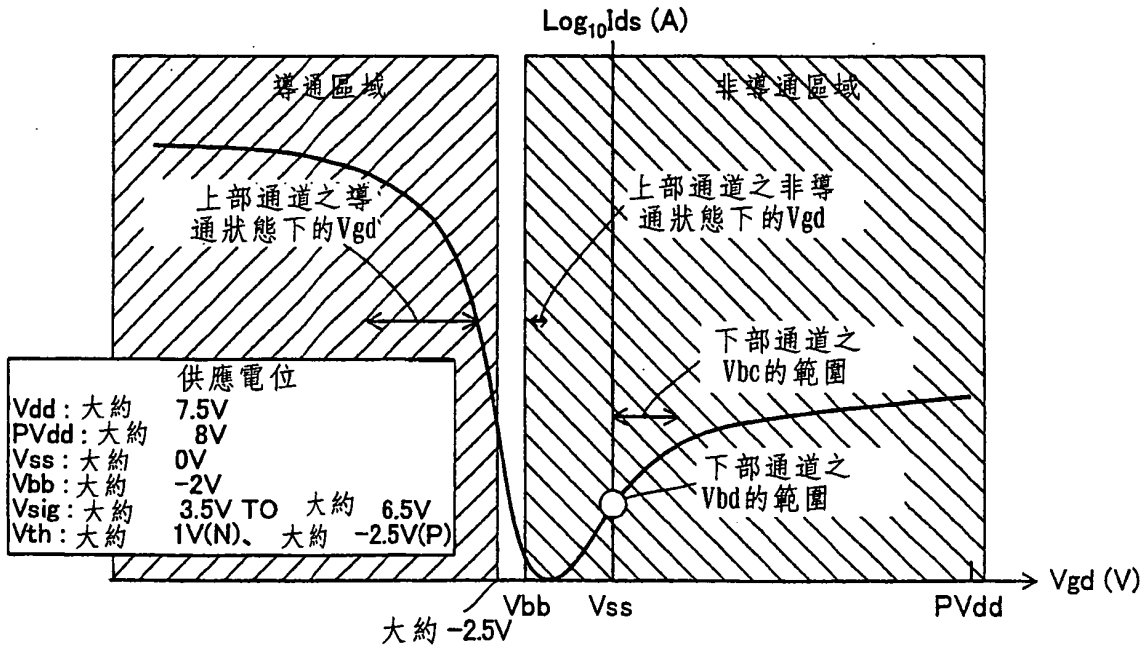
第33圖



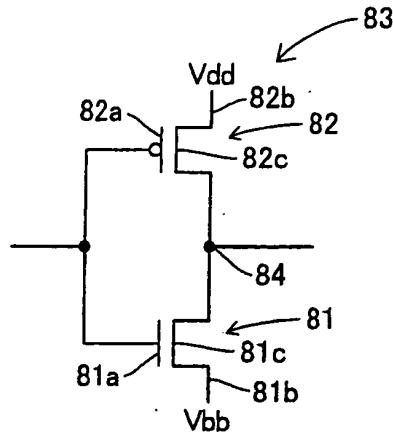
第34圖



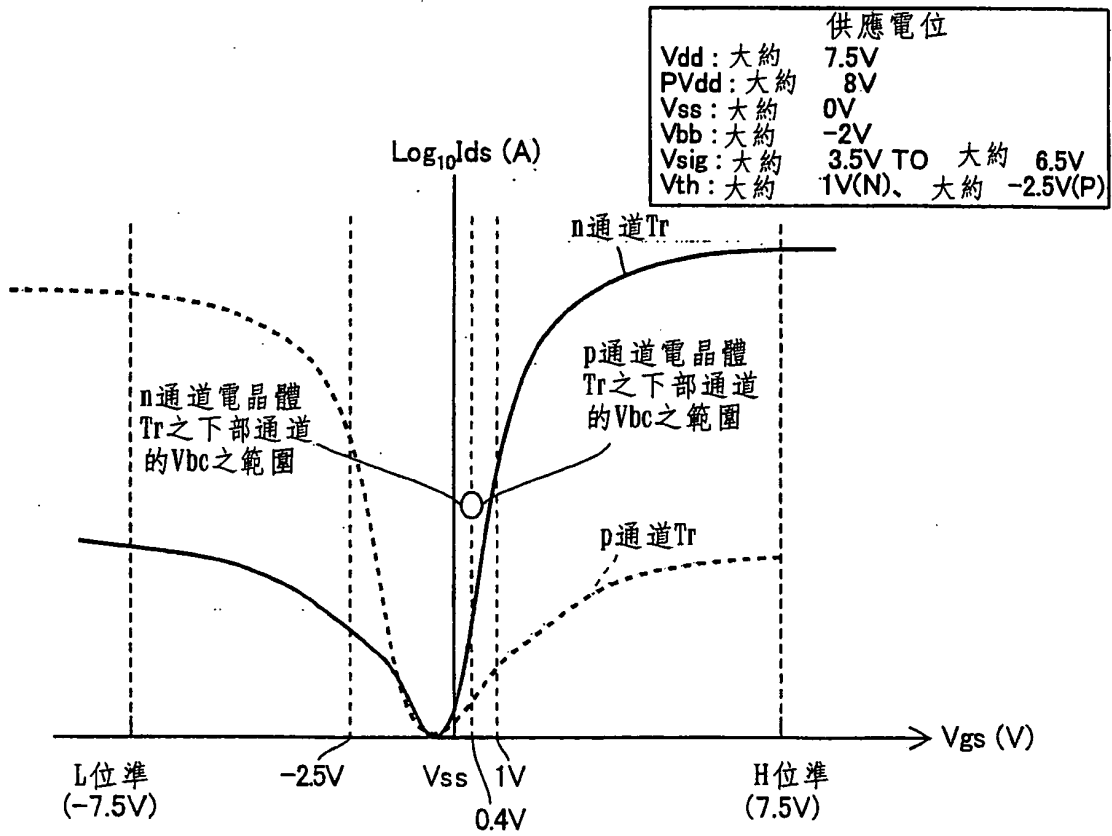
第35圖



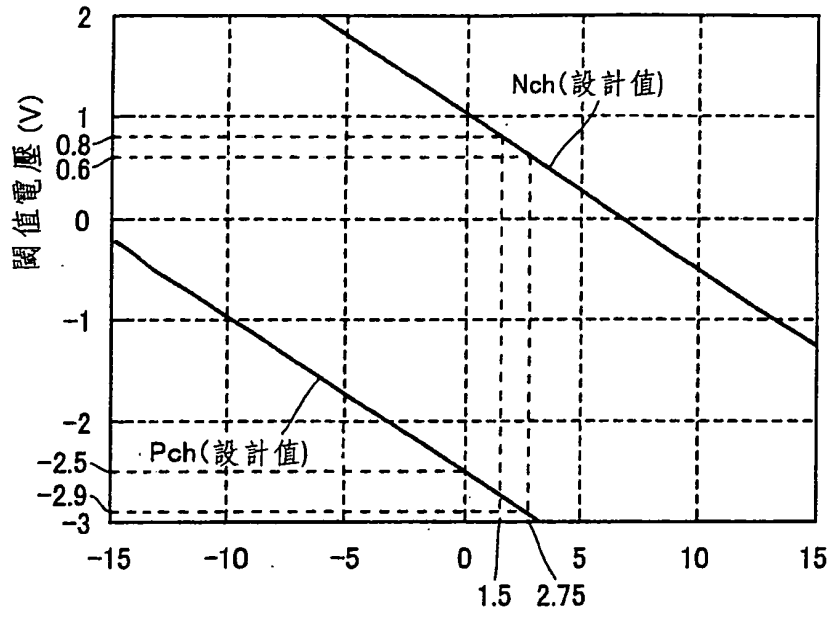
第36圖



第37圖

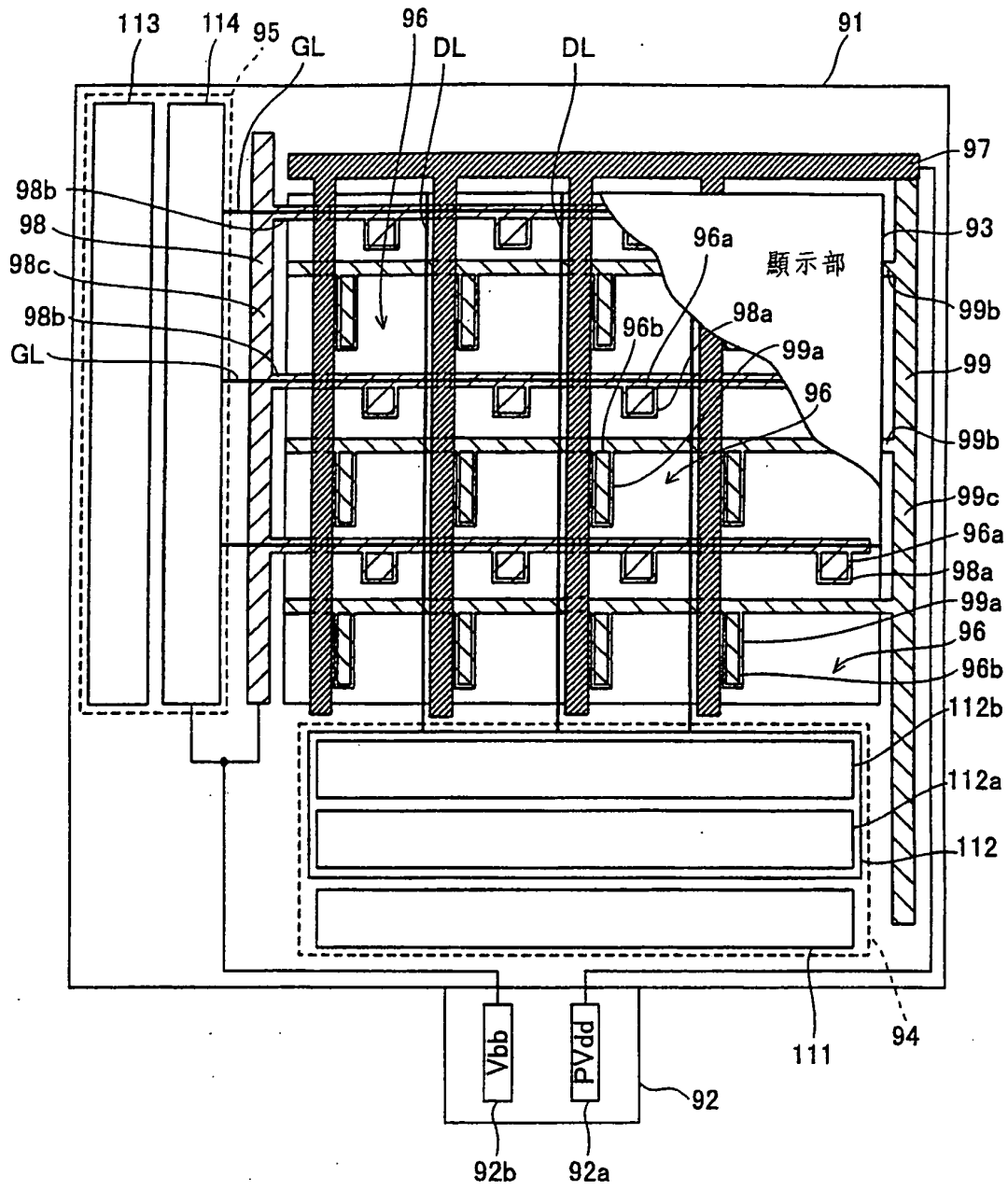


第38圖

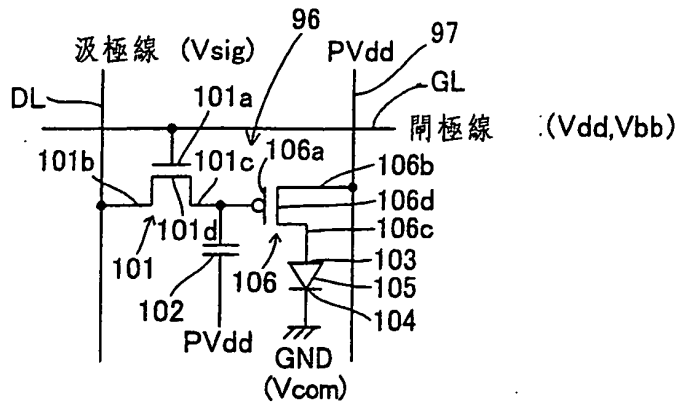


施加於遮光膜之電壓(V)

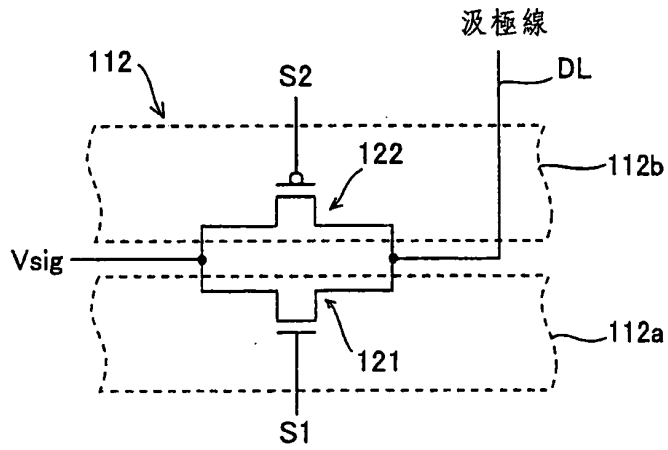
第39圖



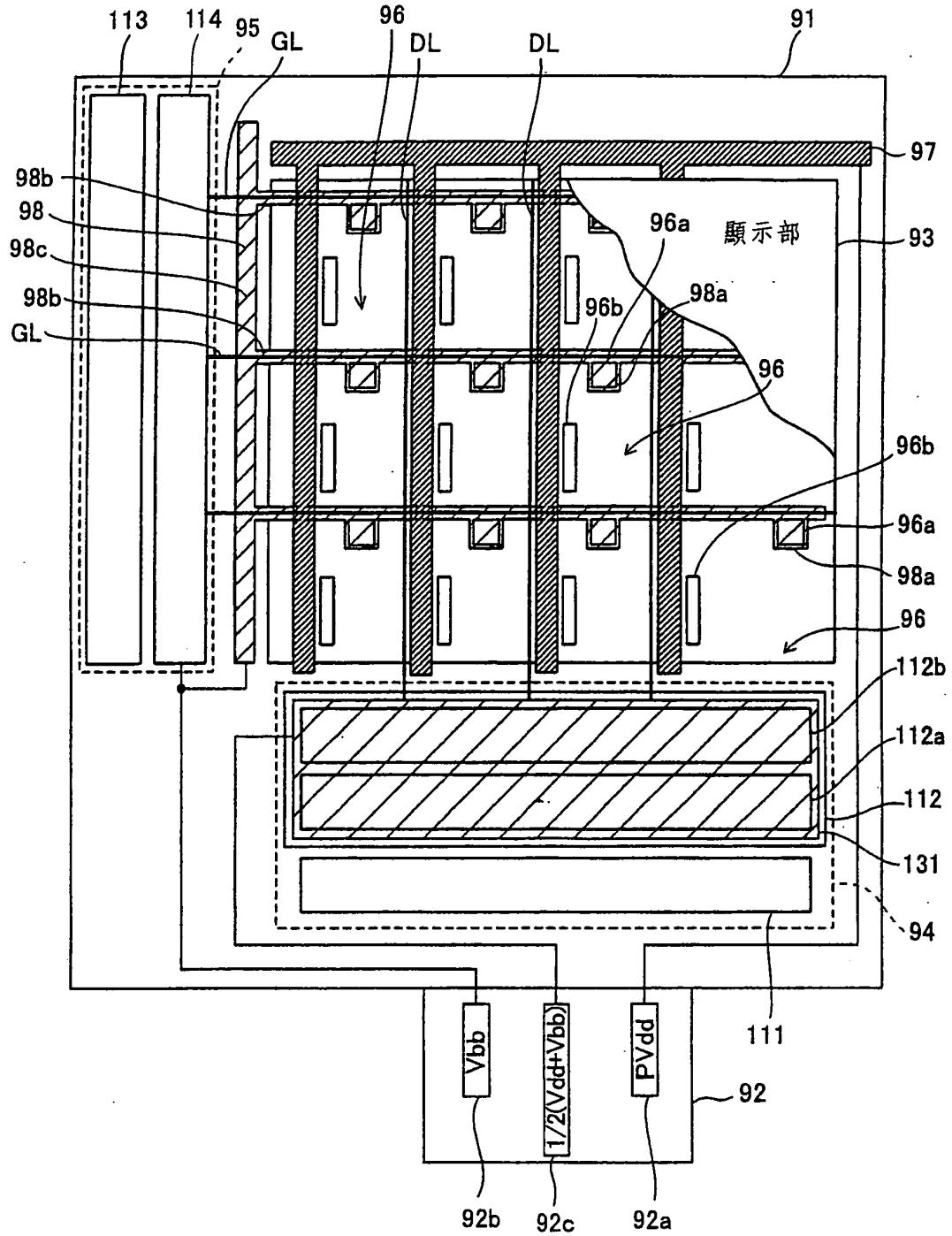
第40圖



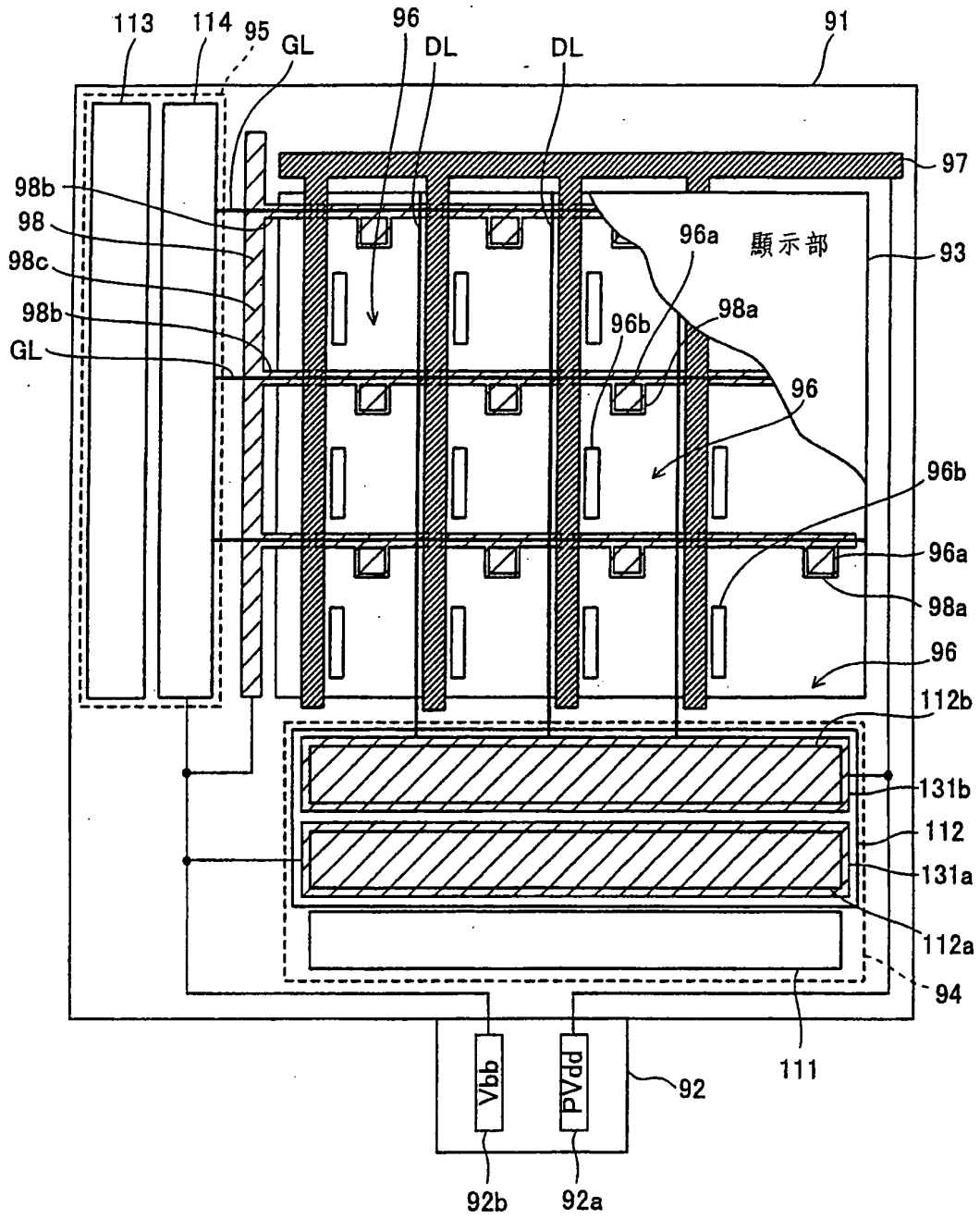
第41圖



第42圖



第43圖



第44圖

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

8	通道電晶體	8a	閘極
8b	汲極區	8c	源極區
8d	通道區	13	顯示部遮光膜
13a	像素部遮光區域	14	玻璃基板
15	緩衝層	16、19	絕緣膜
17	結晶矽膜	18	閘極絕緣膜
20a、20b、21、23	栓塞	22	中間配線層
24	配線層		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

年 月 日

4

十、申請專利範圍：

1. 一種顯示裝置，係具備：

第 1 區域，係具有預定功能，且包含第 1 電晶體；

第 1 遮光膜，係設置於上述第 1 區域，且配置於對應上述第 1 電晶體之區域，並供應有第 1 電位；

第 2 區域，係具有預定功能，且包含第 2 電晶體；

及

第 2 遮光膜，係設置於上述第 2 區域，且配置於對應上述第 2 電晶體之區域，並供應有第 2 電位；其中，

供應於上述第 1 遮光膜之上述第 1 電位，係與施加於所對應之上述第 1 電晶體的閘極之電位為相同的電位。

2. 一種顯示裝置，係具備：

第 1 區域，係具有預定功能，且包含第 1 電晶體；

第 1 遮光膜，係設置於上述第 1 區域，且配置於對應上述第 1 電晶體之區域，並供應有第 1 電位；

第 2 區域，係具有預定功能，且包含第 2 電晶體；

及

第 2 遮光膜，係設置於上述第 2 區域，且配置於對應上述第 2 電晶體之區域，並供應有第 2 電位；其中，

供應於上述第 1 遮光膜之上述第 1 電位，係與施加於所對應之上述第 1 電晶體的源極區及汲極區當中一者之電位為相同的電位。

3. 一種顯示裝置，係具備：

第 1 區域，係具有預定功能，且包含第 1 電晶體；

第 1 遮光膜，係設置於上述第 1 區域，且配置於對應上述第 1 電晶體之區域，並供應有第 1 電位；

第 2 區域，係具有預定功能，且包含第 2 電晶體；

及

第 2 遮光膜，係設置於上述第 2 區域，且配置於對應上述第 2 電晶體之區域，並供應有第 2 電位；其中，

上述第 1 電晶體係包含 p 通道電晶體；

配置於上述 p 通道電晶體的下方之上述第 1 遮光膜中所供應之上述第 1 電位，係為施加於上述 p 通道電晶體的汲極區之正側電位。

4. 一種顯示裝置，係具備：

第 1 區域，係具有預定功能，且包含第 1 電晶體；

第 1 遮光膜，係設置於上述第 1 區域，且配置於對應上述第 1 電晶體之區域，並供應有第 1 電位；

第 2 區域，係具有預定功能，且包含第 2 電晶體；

及

第 2 遮光膜，係設置於上述第 2 區域，且配置於對應上述第 2 電晶體之區域，並供應有第 2 電位；其中，

上述第 1 電位為，供應至上述第 1 電晶體的閘極之正側電位及負側電位之間的電位；

上述第 2 電位為，供應至上述第 2 電晶體的閘極之正側電位及負側電位之間的電位。

5. 如申請專利範圍第 1 項至第 4 項中任一項之顯示裝置，

其中，

上述包含第 1 電晶體之第 1 區域，係包含具有預定功能之第 1 電路部；

上述包含第 2 電晶體之第 2 區域，係包含具有預定功能之第 2 電路部。

6. 如申請專利範圍第 5 項之顯示裝置，其中，

上述第 1 電路部，係包含具有上述第 1 電晶體之像素部；

上述第 2 電路部，係設置於包含上述像素部之顯示部的周邊，且包含具有上述第 2 電晶體之周邊電路部；

上述第 1 遮光膜係包含，配置於上述像素部中所包含之上述第 1 電晶體的下方之像素部遮光膜；

上述第 2 遮光膜係包含，配置於上述周邊電路部中所包含之上述第 2 電晶體的下方之周邊電路部遮光膜。

7. 如申請專利範圍第 1 項之顯示裝置，其中，上述像素部遮光膜係電性連接於上述第 1 電晶體的閘極。

8. 如申請專利範圍第 2 項之顯示裝置，其中，上述像素部遮光膜係電性連接於上述第 1 電晶體的源極區及汲極區當中一者。

9. 如申請專利範圍第 6 項之顯示裝置，其中，

上述像素部係包含多數個上述第 1 電晶體；

上述像素部的多數個第 1 電晶體當中至少之一個係具有切換元件的功能；

上述像素部遮光膜，係以至少包覆具有上述切換元

件的功能之第 1 電晶體的下方之方式而配置。

10. 如申請專利範圍第 6 項之顯示裝置，其中，

上述第 1 電路部係包含多數個具有上述第 1 電晶體之像素部；

藉由 1 個的上述像素部遮光膜，將上述多數個像素部各者之第 1 電晶體的下方加以包覆。

11. 如申請專利範圍第 6 項之顯示裝置，其中，

上述周邊電路部係至少包含 p 通道電晶體；

上述周邊電路部遮光膜，係至少配置於上述 p 通道電晶體的下方。

12. 如申請專利範圍第 11 項之顯示裝置，其中，

上述周邊電路部，除了上述 p 通道電晶體，更包含 n 通道電晶體；

上述周邊電路部遮光膜，係配置於上述 n 通道電晶體及上述 p 通道電晶體的下方。

13. 如申請專利範圍第 1 項至第 4 項中任一項之顯示裝置，復具備，

上述第 1 電晶體的第 1 閘極絕緣膜，係具有第 1 厚度；

第 1 絕緣膜，係設置於上述第 1 電晶體及上述第 1 遮光膜之間，且具有上述第 1 閘極絕緣膜的上述第 1 厚度之 3 倍以上的第 2 厚度；

上述第 2 電晶體的第 2 閘極絕緣膜，係具有第 3 厚度；及

第 2 絕緣膜，係設置於上述第 2 電晶體及上述第 2 遮光膜之間，且具有上述第 2 閘極絕緣膜的上述第 3 厚度之 3 倍以上的第 4 厚度。

14. 如申請專利範圍第 13 項之顯示裝置，其中，

上述第 1 閘極絕緣膜及上述第 1 絕緣膜係由相同材料所構成；

上述第 2 閘極絕緣膜及上述第 2 絕緣膜係由相同材料所構成。

15. 如申請專利範圍第 4 項之顯示裝置，復具備，用於生成上述正側電位及負側電位之間的電位之電位生成電路部。

16. 如申請專利範圍第 4 項之顯示裝置，其中，上述第 1 區域及上述第 2 區域的至少一方，係包含 n 通道電晶體及 p 通道電晶體兩者。

17. 如申請專利範圍第 1 項至第 4 項中任一項之顯示裝置，其中，

上述包含第 1 電晶體之第 1 區域及上述包含第 2 電晶體之第 2 區域，係設置於像素部；

上述第 1 遮光膜係配置於，上述像素部的第 1 區域中所包含之第 1 電晶體的下方；

上述第 2 遮光膜係配置於，上述像素部的第 2 區域中所包含之第 2 電晶體的下方。

18. 如申請專利範圍第 17 項之顯示裝置，其中，上述第 1 區域的第 1 電晶體及上述第 2 區域的第 2 電晶體，係具

有互為不同的導電型。

19. 如申請專利範圍第 1 項至第 4 項中任一項之顯示裝置，其中，

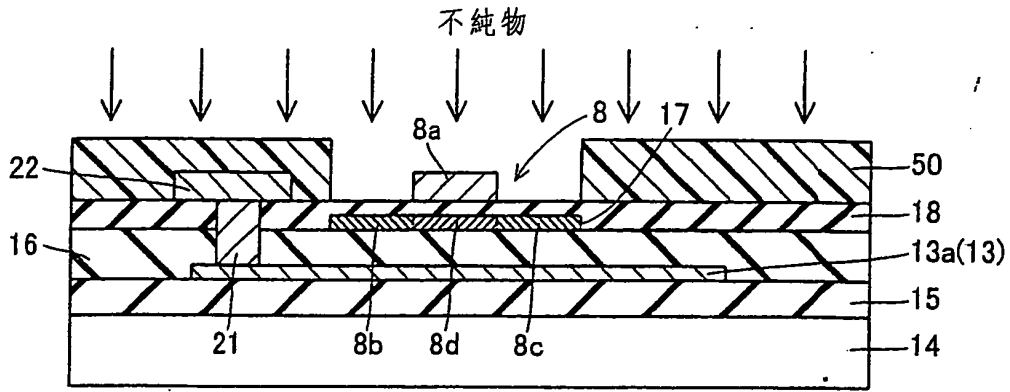
上述第 1 區域係包含，具有上述第 1 電晶體之像素部，及具有上述第 1 電晶體之第 1 周邊電路部；

上述第 2 區域係包含，具有上述第 2 電晶體之第 2 周邊電路部；

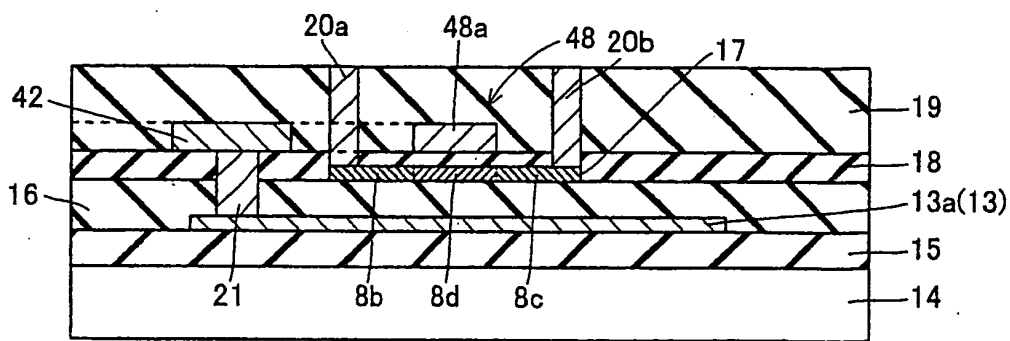
上述第 1 遮光膜係配置於，上述像素部中所包含之第 1 電晶體及上述第 1 周邊電路部所包含之第 1 電晶體的下方；

上述第 2 遮光膜係配置於，上述第 2 周邊電路部所包含之第 2 電晶體的下方。

95年5月4日修正
95.4 補充



第11圖



第12圖