【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成30年1月11日(2018.1.11)

【公開番号】特開2016-219521(P2016-219521A)
【公開日】平成28年12月22日(2016.12.22)
【年通号数】公開・登録公報2016-069
【出願番号】特願2015-100697(P2015-100697)
【国際特許分類】
Ｈ０１Ｌ　29/739　(2006.01)
Ｈ０１Ｌ　29/78　(2006.01)
Ｈ０１Ｌ　29/12　(2006.01)
Ｈ０１Ｌ　21/3205　(2006.01)
Ｈ０１Ｌ　21/768　(2006.01)
Ｈ０１Ｌ　23/522　(2006.01)
Ｈ０１Ｌ　29/41　(2006.01)
Ｈ０１Ｌ　29/417　(2006.01)
Ｈ０１Ｌ　25/07　(2006.01)
Ｈ０１Ｌ　25/18　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　29/78　６５５Ｆ
Ｈ０１Ｌ　29/78　６５２Ｑ
Ｈ０１Ｌ　29/78　６５２Ｍ
Ｈ０１Ｌ　29/78　６５２Ｔ
Ｈ０１Ｌ　21/88　Ｔ
Ｈ０１Ｌ　29/44　Ｓ
Ｈ０１Ｌ　29/50　Ｍ
Ｈ０１Ｌ　25/04　Ｃ

【手続補正書】
【提出日】平成29年11月27日(2017.11.27)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
半導体基板の一方の主表面に形成された第１電極層と、前記半導体基板のもう一方の主表面に形成された第２電極層を備え、前記第１電極層と前記第２電極層を層に垂直な方向から圧接することで外部と電気的導通を取るように構成され、該電気的導通が外部信号により能動的にスイッチ可能な半導体装置であって、
前記第１電極層の領域のうち圧接される第１領域と、圧接される該第１領域の外側の一部分でセンス電位を取り出す第２領域を備え、導通状態において該第２領域が導通抑制部とされていることを特徴とする半導体装置。
【請求項２】
前記第１電極層の表面上側、且つ内側に該第１電極層より狭い面積の第３電極層を備え、前記第１電極層の替わりに前記第３電極層と前記第２電極層を層に垂直な方向から圧接することで外部と電気的導通を取るように構成された請求項１に記載の半導体装置であって、

前記第１電極層の領域のうち前記第３電極層を介して圧接される第１領域と、圧接される該第１領域の外側の一部分でセンス電位を取り出す第２領域を備え、導通状態において該第２領域が導通抑制部とされていることを特徴とする半導体装置。
【請求項３】
前記半導体基板内にソース層を含む請求項１または請求項２に記載の半導体装置であって、
導通状態において前記第２領域を導通抑制部とするために、前記第２領域における前記ソース層を削減したことを特徴とする半導体装置。
【請求項４】
請求項１から請求項３のいずれか１項に記載の半導体装置であって、
前記第２電極層が導電材により電極基板に接合されていて、且つ前記第２領域の電流密度が前記第１領域の電流密度の２分の１以下であることを特徴とする半導体装置。
【請求項５】
前記半導体基板内に第１導電形のエミッタ層を含む請求項１から請求項３のいずれか１項に記載の半導体装置であって、
導通状態において前記第２領域を導通抑制部とするために、前記第２領域の第１導電形のエミッタ層の代わりに第１導電形の電流抑制エミッタ層あるいは第２導電形の電流抑制層を形成したことを特徴とする半導体装置。
【請求項６】
前記第２電極層の外側に金属板を含む請求項１から請求項３のいずれか１項に記載の半導体装置であって、
導通状態において前記第２領域を導通抑制部とするために、前記第２電極層の外側の金属板は前記第２領域には設けないことを特徴とする半導体装置。
【請求項７】
請求項１から請求項６のいずれか１項に記載の半導体装置であって、
前記第２領域の電流密度が前記第１領域の電流密度の１／１００以下とされていることを特徴とする半導体装置。
【請求項８】
第１導電形半導体基板の主表面に等間隔に形成された第２導電形ベース層と、前記第２導電形ベース層の表面に断続的に形成された第１導電形ソース層と、前記第１導電形半導体基板と前記第１導電形ソース層に挟まれた前記第２導電形ベース層の表面にゲート酸化膜を介して形成されたゲート電極と、前記第２導電形ベース層および前記第１導電形ソース層の両方に電気的に接続され、且つ前記第１導電形ソース層の表面に形成された第１電極層とを備え、前記第１導電形半導体基板のもう一方の主表面には第２導電形エミッタ層と、前記第２導電形エミッタ層と電気的に接続し、且つ前記第２導電形エミッタ層の表面に形成された第２電極層を備え、前記第１電極層と前記第２電極層を層に垂直な方向から圧接することで外部と電気的導通を取るように構成された半導体装置であって、
前記第１電極層の領域のうち圧接される第１領域と、圧接される該第１領域の外側の一部分でセンス電位を取り出す第２領域を備え、該第２領域の前記第１電極層に接する前記第１導電形ソース層が前記第１領域の前記第１電極層に接する前記第１導電形ソース層の密度の１００分の１以下であることを特徴とする半導体装置。
【請求項９】
第１導電形半導体基板の主表面に形成された第２導電形ベース層と、前記第２導電形ベース層に形成されたトレンチゲート電極と、前記第２導電形ベース層の表面に形成され前記トレンチゲート電極と接する第１導電形ソース層と、前記第２導電形ベース層および前記第１導電形ソース層の両方に電気的に接続され、且つ前記第１導電形ソース層の表面に形成された第１電極層とを備え、前記第１導電形半導体基板のもう一方の主表面には第２導電形エミッタ層と、前記第２導電形エミッタ層と電気的に接続し、且つ前記第２導電形エミッタ層の表面に形成された第２電極層を備え、前記第１電極層と前記第２電極層を層に垂直な方向から圧接することで外部と電気的導通を取るように構成された半導体装置で

あって、
前記第１電極層の領域のうち圧接される第１領域と、圧接される該第１領域の外側の一部分でセンス電位を取り出す第２領域を備え、該第２領域の前記第１電極層に接する前記第１導電形ソース層が前記第１領域の前記第１電極層に接する前記第１導電形ソース層の密度の１００分の１以下であることを特徴とする半導体装置。
【請求項１０】
前記第１電極層の表面上側且つ内側に該第１電極層より狭い面積の第３電極層を備え、前記第１電極層の替わりに前記第３電極層と前記第２電極層を層に垂直な方向から圧接することで外部と電気的導通を取るように構成された請求項８または請求項９記載の半導体装置であって、
前記第１電極層の領域のうち前記第３電極層を介して圧接される第１領域と、圧接される該第１領域の外側の一部分でセンスエミッタ電位を取り出す第２領域を備え、該第２領域の前記第１電極層に接する前記第１導電形ソース層が前記第１領域の前記第１電極層に接する前記第１導電形ソース層の密度の１００分の１以下であることを特徴とする半導体装置。
【請求項１１】
請求項８乃至請求項１０のいずれか１項に記載の半導体装置であって、
前記第２電極層が導電材により電極基板に接合されていて、前記第２領域の電流密度が前記第１領域の電流密度の２分の１以下であることを特徴とする半導体装置。
【請求項１２】
請求項１乃至請求項１１のいずれか１項に記載の半導体装置であって、
該半導体装置は複数の半導体チップの並列接続により構成されていることを特徴とする半導体装置。
【請求項１３】
入力端子と、該入力端子に接続され、半導体スイッチング素子と半導体整流素子から構成される単位セルを複数直列接続したアームと、前記アームに接続される出力端子を備え、前記半導体スイッチング素子がオン・オフすることにより電力の変換をする電力変換装置であって、
前記半導体スイッチング素子または前記半導体整流素子の各々が、請求項１乃至請求項１２のいずれか１項に記載の半導体装置であることを特徴とする電力変換装置。