

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 7 月 9 日 (09.07.2015)



(10) 国际公布号
WO 2015/100782 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/070420
- (22) 国际申请日: 2014 年 1 月 9 日 (09.01.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310753945.6 2013 年 12 月 31 日 (31.12.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 徐向阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: TRI-PHASE DRIVEN ARRAY SUBSTRATE ROW DRIVER CIRCUIT

(54) 发明名称: 三阶驱动的阵列基板行驱动电路

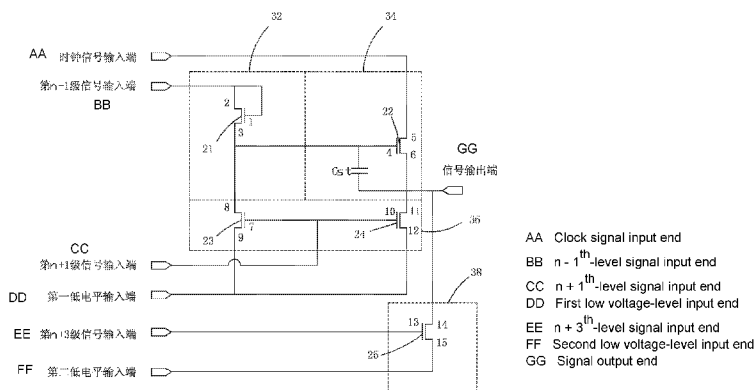


图4 / Fig. 4

(57) Abstract: A tri-phase driven array substrate row driver circuit comprising cascaded multilevel array substrate row driver units. The n^{th} array substrate row driver unit of the array substrate row driver circuit is provided with a clock signal input end, an $n - 1^{\text{th}}$ -level signal input end, an $n + 1^{\text{th}}$ -level signal input end, an $n + 3^{\text{th}}$ -level signal input end, a first low voltage-level input end, a second low voltage-level input end, and a signal output end. The n^{th} array substrate row driver unit also comprises: a step-up driver unit (32), a step-up unit (34), a first step-down unit (36), and a second step-down unit (38). The tri-phase driven array substrate row driver circuit facilitates reduced manufacturing costs for a liquid crystal display panel and implementation of narrowed edge frame, and, by means of tri-phase array substrate row driving, allows for effective elimination of impacts on a thin-film transistor liquid crystal display device brought about by a feed-through voltage generated by a data line and a gate line, thus increasing display quality.

(57) 摘要:

[见续页]

WO 2015/100782 A1

一种三阶驱动的阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，其中，该阵列基板行驱动电路的第 n 级阵列基板行驱动单元具有时钟信号输入端、第 $n-1$ 级信号输入端、第 $n+1$ 级信号输入端、第 $n+3$ 级信号输入端、第一低电平输入端、第二低电平输入端及信号输出端；该第 n 级阵列基板行驱动单元还包括：上拉驱动单元（32）；上拉单元（34）；第一下拉单元（36）；第二下拉单元（38）。该三阶驱动的阵列基板行驱动电路有利于降低液晶显示面板的生产成本和实现窄边框，通过三阶阵列基板行驱动可以有效地消除数据线与栅线产生的馈通电压对薄膜晶体管液晶显示装置带来的影响，提高显示质量。

三阶驱动的阵列基板行驱动电路

技术领域

5 本发明涉及液晶显示器制造领域，尤其涉及一种三阶驱动的阵列基板行驱动电路。

背景技术

液晶显示装置（LCD，Liquid Crystal Display）具有机身薄、省电、无辐射等众多优点，得到了广泛的应用，并随着液晶显示装置产业的发展，
10 其要求性能也越来越高，如高分辨率、高亮度、广视角、低功耗等性能，且其相应的技术也持续被开发出来。现有市场上的液晶显示装置大部分为背光型液晶显示装置，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，通过利用驱动电路在两片玻璃基板上施加驱动电压来控制液晶分子
15 改变方向，将背光模组的光线折射出来产生画面。

驱动电路的二阶驱动的原理中，虽然有各种不同的馈通（feed through）电压，但是影响最大的仍是经由寄生电容 C_{gd} （由栅线与数据线产生）所产生的馈通电压，因此在二阶驱动时也需要调整公共电极的电压，以改进灰阶品质。但是由于液晶电容 C_{lc} 并非是一个固定的参数，通过
20 调整公共电极上的电压以便改进影像品质的目的不易达成，因此便有了三阶驱动的设计，期望在不必变动公共电极上电压的情形下，将馈通电压给补偿回来。三阶驱动的基本原理是利用经由储存电容 C_s 所产生的馈通电压，来补偿经由寄生电容 C_{gd} 所产生的馈通电压，也就是因为需要利用储存电容 C_s 来补偿，所以三阶驱动的方法只能使用于面板架构为 C_s on gate（存
25 储电容 C_s 的一个电极与栅极线共电位）的结构。

请参阅图 1，其为现有技术中三阶驱动的栅极驱动器（gate driver）电压的波形，从这个三阶驱动的波形中我们可以知道，三阶驱动波形跟二阶驱动不一样的是，它的栅极驱动器驱动波形之中会有三种不一样的电压。当栅极驱动器走线关闭时，会将电压拉到最低的电压，等到下一条的栅极
30 驱动器走线也关闭后，再将电压拉回，如图 1 中 A 处所示。而这个拉回的电压，就是为了去补偿下一条栅极驱动器走线的馈通电压。也就是说，每一条栅极驱动器走线关闭时，经由寄生电容 C_{gd} 所产生的馈通电压，是由上一条栅极驱动器走线将电压拉回时，经由储存电容 C_s 所产生的馈通电压来

补偿的。

经寄生电容 C_{gd} 产生的馈通电压 $V_{gd} = (V_{g_high} - V_{g_low}) * C_{gd} / (C_{gd} + C_{lc} + C_s)$ ，其中 V_{g_high} 与 V_{g_low} 分别为栅极驱动器走线打开与关闭的电压。

5 经储存电容 C_s 产生的馈通电压 $V_{cs} = (V_{p2} - V_{p1}) * C_s / (C_{gd} + C_{lc} + C_s)$ ；其中 V_{p1} 与 V_{p2} 分别为上一条栅极驱动器走线拉回前与拉回后的电压。

如果需要两者互相抵消，则经寄生电容 C_{gd} 产生的馈通电压需要等于经储存电容 C_s 产生的馈通电压。所以需拉回的电压为 $V_e = V_{p2} - V_{p1} = (V_{g_high} - V_{g_low}) * C_{gd} / C_s$ ，而从图 1 中我们知道 $V_{g_high} - V_{g_low} = V_g + V_e$ ，所以需拉回的电压 $V_e = (V_g + V_e) * C_{gd} / C_s$ ，也就是 $V_e = V_g * C_{gd} / (C_s - C_{gd})$ 。

从上述的公式推导中，我们发现虽然液晶电容 C_{lc} 会影响馈通电压的大小。但是藉由三阶驱动的方式，液晶电容 C_{lc} 的影响就不见了。因此，当我们在面板制程与栅极驱动器的打开电压确定之后，就可以精确的计算出所需要拉回的电压 V_e 了。

15 近些年来液晶显示装置的发展呈现出高集成度、低成本的发展趋势。其中一项非常重要的技术就是阵列基板行驱动（Gate Driver On Array, GOA）技术量产化的实现。利用阵列基板行驱动技术将栅极开关电路集成在液晶显示面板的阵列基板上，从而可以省掉栅极驱动集成电路部分，以从材料成本和制作工艺两方面降低产品成本。这种利用阵列基板行驱动技术集成在阵列基板上的栅极开关电路也称为阵列基板行驱动电路。其中，阵列基板行驱动电路包括若干个阵列基板行驱动单元，每一阵列基板行驱动单元对应一条栅线，具体的每一阵列基板行驱动单元电路中的每一阵列基板行驱动单元连接一条栅线，且一阵列基板行驱动单元的输出端连接下一阵列基板行驱动单元的输入端。请参阅图 2，其为现有技术中两阶驱动

20 4T1C 阵列基板行驱动电路的电路图，具体包括：四个薄膜晶体管 Q100、Q200、Q300、Q400、以及一电容 C_b ，薄膜晶体管 Q100 的栅极分别与电容 C_b 的一端、薄膜晶体管 Q400 的漏极及薄膜晶体管 Q300 的源极电性连接，其漏极分别与电容 C_b 的另一端、薄膜晶体管 Q200 的源极电性连接；薄膜晶体管 Q200 的源极分别与电容 C_b 的另一端、薄膜晶体管 Q100 的漏极电性

25 连接，其栅极与薄膜晶体管 Q300 的栅极电性连接；薄膜晶体管 Q300 的源极分别与薄膜晶体管 Q100 的栅极、电容 C_b 的一端及薄膜晶体管 Q400 的漏极电性连接。其中，薄膜晶体管 Q100 为驱动晶体管，主要作用控制栅线高电位输出；薄膜晶体管 Q200 和薄膜晶体管 Q300 是重置薄膜晶体管，主要作用是将栅线电位拉低，同时将电容 C_b 电荷释放，使薄膜晶体管 Q100

处于关闭状态；薄膜晶体管Q400 为输出控制晶体管，主要作用是给电容 C_b 充电，以将薄膜晶体管Q100 打开；电容 C_b 的主要作用是存储电荷，保持薄膜晶体管Q100 栅极的电位。请参阅图 3，其为二阶驱动 4T1C阵列基板行驱动电路的驱动时序图，STV为一激活脉冲信号，输入（input）信号为上一行的栅线的输出信号（gate[n-1]），薄膜晶体管Q100 的输出信号为gate[n]，重置信号为gate[n+1]（即下一行栅线的输出信号），薄膜晶体管Q100 的输入端为时钟信号。

为了降低液晶显示面板生产成本和实现窄边框，目前一些高端产品上都采用了阵列基板行驱动技术，但，目前的阵列基板行驱动技术主要还是应用在二阶驱动上。

发明内容

本发明的目的在于提供一种三阶驱动的阵列基板行驱动电路，有利于降低液晶显示面板的生产成本和实现窄边框，同时将阵列基板行驱动技术应用在三阶驱动上，通过三阶阵列基板行驱动可以有效地消除数据线与栅线产生的馈通电压对薄膜晶体管液晶显示装置带来的影响，提高显示质量。

为实现上述目的，本发明提供一种三阶驱动的阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，每一所述阵列基板行驱动单元包括：

上拉驱动单元，具有第一输入端及第一输出端；

上拉单元，具有第二输入端、第三输入端及第二输出端，所述第二输入端与所述第一输出端电性连接；

第一下拉单元，具有第三输出端、第四输出端、第四输入端及第五输入端，所述第三输出端分别与所述第一输出端及第二输入端电性连接，所述第四输出端与所述第二输出端电性连接；

第二下拉单元，具有第五输出端、第六输入端及第七输入端，所述第五输出端分别与所述第二输出端及第四输出端电性连接。

所述多级阵列基板行驱动单元中的第 n 级阵列基板行驱动单元还具有时钟信号输入端、第 n-1 级信号输入端、第 n+1 级信号输入端、第 n+3 级信号输入端、第一低电平输入端、第二低电平输入端及信号输出端；其中，

所述时钟信号输入端电性连接至所述上拉单元的第三输入端，所述第 n-1 级信号输入端电性连接至所述上拉驱动单元的第一输入端，所述第

$n+1$ 级信号输入端电性连接至所述第一下拉单元的第四输入端, 所述第 $n+3$ 级信号输入端电性连接至所述第二下拉单元的第六输入端, 所述第一低电平输入端电性连接至所述第一下拉单元的第五输入端, 所述第二低电平输入端电性连接至所述第二下拉单元的第七输入端, 所述信号输出端分别与所述上拉单元的第二输出端、第一下拉单元的第四输出端及第二下拉单元的第五输出端电性连接;

所述第一低电平输入端用于输入第一低电平, 所述第二低电平输入端用于输入第二低电平, 且所述第一低电平小于第二低电平;

当所述第 n 级阵列基板行驱动单元为第二级至倒数第四级的任一阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端;

当所述第 n 级阵列基板行驱动单元为第一级阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端用于输入一激活脉冲信号, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端;

当所述第 n 级阵列基板行驱动单元为倒数第三级或倒数第二级任一阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端悬空设置; 当所述第 n 级阵列基板行驱动单元为倒数第一级阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端与第 $n+3$ 级信号输入端均悬空设置。

所述上拉驱动单元还包括一第一电开关, 所述第一电开关具有第一至第三引脚, 所述第一与第二引脚电性连接在一起形成所述第一输入端, 所述第三引脚形成所述第一输出端。

所述上拉单元还包括第二电开关及储存电容, 所述第二电开关具有第

四至第六引脚，所述第四引脚及储存电容的一端电性连接在一起形成所述第二输入端，所述第五引脚形成所述第三输入端，所述第六引脚与储存电容的另一端电性连接在一起形成所述第二输出端。

5 所述第一下拉单元还包括：第三电开关及第四电开关，所述第三电开关具有第七至第九引脚，所述第四电开关具有第十至第十二引脚，所述第八引脚形成所述第三输出端，所述第七引脚与第十引脚电性连接在一起形成所述第四输入端，所述第十一引脚形成所述第四输出端，所述第九引脚与第十二引脚电性连接在一起形成第五输入端。

10 所述第二下拉单元还包括第五电开关，所述第五电开关具有第十三至第十五引脚，所述第十三引脚形成所述第六输入端，所述第十四引脚形成所述第五输出端，所述第十五引脚形成所述第七输入端。

所述第一电开关为第一薄膜晶体管，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极，所述第一引脚为第一栅极，所述第二引脚为第一源极，所述第三引脚为第一漏极。

15 所述第二电开关为第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述第四引脚为第二栅极，所述第五引脚为第二源极，所述第六引脚为第二漏极。

20 所述第三电开关为第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极，所述第七引脚为第三栅极，所述第八引脚为第三源极，所述第九引脚为第三漏极；

所述第四电开关为第四薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第十引脚为第四栅极，所述第十一引脚为第四源极，所述第十二引脚为第四漏极。

25 所述第五电开关为第五薄膜晶体管，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极，所述第十三引脚为第五栅极，所述第十四引脚为第五源极，所述第十五引脚为第五漏极。

本发明还提供一种三阶驱动的阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，每一所述阵列基板行驱动单元包括：

上拉驱动单元，具有第一输入端及第一输出端；

30 上拉单元，具有第二输入端、第三输入端及第二输出端，所述第二输入端与所述第一输出端电性连接；

第一下拉单元，具有第三输出端、第四输出端、第四输入端及第五输入端，所述第三输出端分别与所述第一输出端及第二输入端电性连接，所述第四输出端与所述第二输出端电性连接；

第二下拉单元, 具有第五输出端、第六输入端及第七输入端, 所述第五输出端分别与所述第二输出端及第四输出端电性连接;

其中, 所述多级阵列基板行驱动单元中的第 n 级阵列基板行驱动单元还具有时钟信号输入端、第 $n-1$ 级信号输入端、第 $n+1$ 级信号输入端、第 $n+3$ 级信号输入端、第一低电平输入端、第二低电平输入端及信号输出端; 其中,

所述时钟信号输入端电性连接至所述上拉单元的第三输入端, 所述第 $n-1$ 级信号输入端电性连接至所述上拉驱动单元的第一输入端, 所述第 $n+1$ 级信号输入端电性连接至所述第一下拉单元的第四输入端, 所述第 $n+3$ 级信号输入端电性连接至所述第二下拉单元的第六输入端, 所述第一低电平输入端电性连接至所述第一下拉单元的第五输入端, 所述第二低电平输入端电性连接至所述第二下拉单元的第七输入端, 所述信号输出端分别与所述上拉单元的第二输出端、第一下拉单元的第四输出端及第二下拉单元的第五输出端电性连接;

所述第一低电平输入端用于输入第一低电平, 所述第二低电平输入端用于输入第二低电平, 且所述第一低电平小于第二低电平;

当所述第 n 级阵列基板行驱动单元为第二级至倒数第四级的任一阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端;

当所述第 n 级阵列基板行驱动单元为第一级阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端用于输入一激活脉冲信号, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端;

当所述第 n 级阵列基板行驱动单元为倒数第三级或倒数第二级任一阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端悬空设置; 当所述第 n 级阵列基板行驱动单元为倒数第一级阵列

基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端与第 $n+3$ 级信号输入端均悬空设置;

5 其中, 所述上拉驱动单元还包括一第一电开关, 所述第一电开关具有第一至第三引脚, 所述第一与第二引脚电性连接在一起形成所述第一输入端, 所述第三引脚形成所述第一输出端;

其中, 所述上拉单元还包括第二电开关及储存电容, 所述第二电开关具有第四至第六引脚, 所述第四引脚及储存电容的一端电性连接在一起形成所述第二输入端, 所述第五引脚形成所述第三输入端, 所述第六引脚与
10 储存电容的另一端电性连接在一起形成所述第二输出端;

其中, 所述第一下拉单元还包括: 第三电开关及第四电开关, 所述第三电开关具有第七至第九引脚, 所述第四电开关具有第十至第十二引脚, 所述第八引脚形成所述第三输出端, 所述第七引脚与第十引脚电性连接在一起形成所述第四输入端, 所述第十一引脚形成所述第四输出端, 所述第九引脚与第十二引脚电性连接在一起形成第五输入端;
15

其中, 所述第二下拉单元还包括第五电开关, 所述第五电开关具有第十三至第十五引脚, 所述第十三引脚形成所述第六输入端, 所述第十四引脚形成所述第五输出端, 所述第十五引脚形成所述第七输入端。

20 所述第一电开关为第一薄膜晶体管, 所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极, 所述第一引脚为第一栅极, 所述第二引脚为第一源极, 所述第三引脚为第一漏极。

所述第二电开关为第二薄膜晶体管, 所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极, 所述第四引脚为第二栅极, 所述第五引脚为第二源极, 所述第六引脚为第二漏极。
25

所述第三电开关为第三薄膜晶体管, 所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极, 所述第七引脚为第三栅极, 所述第八引脚为第三源极, 所述第九引脚为第三漏极; 所述第四电开关为第四薄膜晶体管, 所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极, 所述第十引脚为第四栅极, 所述第十一引脚为第四源极, 所述第十二引脚为第四漏极。
30

所述第五电开关为第五薄膜晶体管, 所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极, 所述第十三引脚为第五栅极, 所述第十四引脚为第五源极, 所述第十五引脚为第五漏极。

本发明的有益效果: 本发明的三阶驱动的阵列基板行驱动电路, 利用

阵列基板行驱动技术，将栅极开关电路集成在液晶显示面板的阵列基板上，有利于降低液晶显示面板的生产成本和实现窄边框；同时将阵列基板行驱动技术应用在三阶驱动上，通过第一下拉单元将信号输出端重置至第一低电平，再通过第二下拉单元将信号输出端重置至第二低电平，如此可以有效地消除数据线与栅线产生的馈通电压对薄膜晶体管液晶显示装置带来的影响，提高显示质量。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为现有技术中三阶驱动的栅极驱动器电压的波形；

图 2 为现有技术中两阶驱动 4T1C 阵列基板行驱动电路的电路图；

图 3 为图 2 所示两阶驱动 4T1C 阵列基板行驱动电路的驱动时序图；

图 4 为本发明三阶驱动的阵列基板行驱动电路的电路图；

图 5 为图 4 所示三阶驱动的阵列基板行驱动电路的驱动时序图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 4，本发明提供一种三阶驱动的阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，所述级联阵列基板行驱动单元的连接具有相同的结构。

每一所述阵列基板行驱动单元包括：

上拉驱动单元 32，具有第一输入端及第一输出端；

上拉单元 34，具有第二输入端、第三输入端及第二输出端，所述第二输入端与所述第一输出端电性连接；

第一下拉单元 36，具有第三输出端、第四输出端、第四输入端及第五输入端，所述第三输出端分别与所述第一输出端及第二输入端电性连接，所述第四输出端与所述第二输出端电性连接；

第二下拉单元 38，具有第五输出端、第六输入端及第七输入端，所述

第五输出端分别与所述第二输出端及第四输出端电性连接。

所述多级阵列基板行驱动单元中的第 n 级阵列基板行驱动单元还具有时钟信号输入端、第 $n-1$ 级信号输入端、第 $n+1$ 级信号输入端、第 $n+3$ 级信号输入端、第一低电平输入端、第二低电平输入端及信号输出端；其中，

所述时钟信号输入端电性连接至所述上拉单元 34 的第三输入端，所述第 $n-1$ 级信号输入端电性连接至所述上拉驱动单元 32 的第一输入端，所述第 $n+1$ 级信号输入端电性连接至所述第一下拉单元 36 的第四输入端，所述第 $n+3$ 级信号输入端电性连接至所述第二下拉单元 38 的第六输入端，所述第一低电平输入端电性连接至所述第一下拉单元 36 的第五输入端，所述第二低电平输入端电性连接至所述第二下拉单元 38 的第七输入端，所述信号输出端分别与所述上拉单元 34 的第二输出端、第一下拉单元 36 的第四输出端及第二下拉单元 38 的第五输出端电性连接；

所述第一低电平输入端用于输入第一低电平 V_{ss1} ，所述第二低电平输入端用于输入第二低电平 V_{ss2} ，且所述第一低电平 V_{ss1} 小于第二低电平 V_{ss2} ；

当所述第 n 级阵列基板行驱动单元为第二级至倒数第四级的任一阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端；

当所述第 n 级阵列基板行驱动单元为第一级阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端用于输入一激活脉冲信号 STV，该激活脉冲信号由时序控制器 TCON（未图示）提供，所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端；

当所述第 n 级阵列基板行驱动单元为倒数第三级或倒数第二级任一阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信

号输入端悬空设置;

当所述第 n 级阵列基板行驱动单元为倒数第一级阵列基板行驱动单元时, 所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端, 所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端与第 $n+3$ 级信号输入均端悬空设置。进一步, 所述上拉驱动单元 32 还包括一第一电开关 21, 所述第一电开关 21 具有第一至第三引脚 1、2、3, 所述第一与第二引脚 1、2 电性连接在一起形成所述第一输入端, 所述第三引脚 3 形成所述第一输出端。换言之, 即, 所述第一与第二引脚 1、2 均与第 $n-1$ 级信号输入端电性连接, 所述第三引脚 3 分别与第一下拉单元 36、及上拉单元 34 电性连接。

所述上拉单元 34 还包括第二电开关 22 及储存电容 C_{st} , 所述第二电开关 22 具有第四至第六引脚 4、5、6, 所述第四引脚 4 及储存电容 C_{st} 的一端电性连接在一起形成所述第二输入端, 所述第五引脚 5 形成所述第三输入端, 所述第六引脚 6 与储存电容 C_{st} 的另一端电性连接在一起形成所述第二输出端。换言之, 即, 所述第四引脚 4 分别与第三引脚 3、第一下拉单元 36 及储存电容 C_{st} 的一端电性连接, 所述第五引脚 5 与所述时钟信号输入端电性连接, 所述第六引脚分别与储存电容 C_{st} 的另一端、第一下拉单元 36、第二下拉单元 38 及信号输出端电性连接。

所述第一下拉单元 36 还包括: 第三电开关 23 及第四电开关 24, 所述第三电开关 23 具有第七至第九引脚 7、8、9, 所述第四电开关 24 具有第十至第十二引脚 10、11、12, 所述第八引脚 8 形成所述第三输出端, 所述第七引脚 7 与第十引脚 10 电性连接在一起形成所述第四输入端, 所述第十一引脚 11 形成所述第四输出端, 所述第九引脚 9 与第十二引脚 12 电性连接在一起形成第五输入端。换言之, 即, 所述第七引脚 7 分别与第十引脚 10、第 $n+1$ 级信号输入端电性连接, 所述第八引脚 8 分别与第三引脚 3、第四引脚 4 及储存电容 C_{st} 的一端电性连接, 所述第九引脚 9 分别与第一低电平输入端、及第十二引脚 12 电性连接, 所述第十引脚 10 分别与第 $n+1$ 级信号输入端、及第七引脚 7 电性连接, 所述第十一引脚 11 分别与第六引脚 6、储存电容 C_{st} 的另一端、信号输出端、及第二下拉单元 38 电性连接, 所述第十二引脚 12 分别与第一低电平输入端、及第九引脚 9 电性连接。

所述第二下拉单元 38 还包括第五电开关 25, 所述第五电开关 25 具有第十三至第十五引脚 13、14、15, 所述第十三引脚 13 形成所述第六输入端, 所述第十四引脚 14 形成所述第五输出端, 所述第十五引脚 15 形成所

述第七输入端。换言之，即，所述第十三引脚 13 与所述第 $n+3$ 级信号输入端电性连接，所述第十四引脚 14 分别与所述储存电容 C_{st} 的另一端、第六引脚 6、第十一引脚 11、及信号输出端电性连接，所述第十五引脚 15 与第二低电平输入端电性连接。

5 在本实施例中，所述第一至第五电开关 21、22、23、24、25 分别为第一至第五薄膜晶体管。具体的引脚对应关系为：所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极，所述第一引脚 1 为第一栅极，所述第二引脚 2 为第一源极，所述第三引脚 3 为第一漏极；所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述第四引脚 4 为第二栅极，所述
10 第五引脚 5 为第二源极，所述第六引脚 6 为第二漏极；所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极，所述第七引脚 7 为第三栅极，所述第八引脚 8 为第三源极，所述第九引脚 9 为第三漏极；所述第四电开关为第四薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第十引脚 10 为第四栅极，所述第十一引脚 11 为第四源极，所
15 述第十二引脚 12 为第四漏极；所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极，所述第十三引脚 13 为第五栅极，所述第十四引脚 14 为第五源极，所述第十五引脚 15 为第五漏极。

请参阅图 5，图中CLKA和CLKB是指高低电位在同样时间内相反的两个时钟信号，所述时钟信号输入端输入的信号为其中一个，STV为一激活
20 脉冲信号，该激活脉冲信号STV由时序控制器TCON提供，当所述第 n 级阵列基板行驱动单元为第一级阵列基板行驱动单元，该激活脉冲信号STV施加于该第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端。所述阵列基板行驱动电路的第 n 级阵列基板行驱动单元的工作原理为：当所述第 $n-1$ 级信号输入端输入的信号为高电平时，第一电开关 21 导通，该高电平对储存电
25 容 C_{st} 进行充电，进而导通第二电开关 22，时钟信号输入端输入的时钟信号传送至信号输出端，并对外输出，此时第 $n+1$ 级信号输入端与第 $n+3$ 级信号输入端上输入的信号均为低电平，第三至第五电开关 23、24、25 均处于断开状态；当所述第 $n-1$ 级信号输入端输入的信号为低电平时，第一电开关 21 断开，所述第 $n+1$ 级信号输入端输入的信号转为高电平，所述第
30 $n+3$ 级信号输入端输入的信号为低电平，所述第三与第四电开关 23、24 均导通，所述第五电开关 25 断开，将信号输出端的输出电平置于第一低电平 V_{ss1} ，并对储存电容 C_{st} 进行放电，随后，所述第 $n+1$ 级信号输入端输入的信号转为低电平，所述第 $n+3$ 级信号输入端输入的信号为高电平，所述第三与第四电开关 23、24 均断开，所述第五电开关 25 导通，将信号输出

端的输出电平置于第二低电平 V_{ss2} ，且第二低电平 V_{ss2} 大于第一低电平 V_{ss1} ，进而实现阵列基板行驱动电路的三阶驱动，之后，所述第 $n+3$ 级信号输入端输入的信号也转为低电平，所述第五电开关 25 断开。

综上所述，本发明的三阶驱动的阵列基板行驱动电路，利用阵列基板
5 行驱动技术，将栅极开关电路集成在液晶显示面板的阵列基板上，有利于降低液晶显示面板的生产成本和实现窄边框；同时将阵列基板行驱动技术应用在三阶驱动上，通过第一下拉单元将信号输出端重置至第一低电平，再通过第二下拉单元将信号输出端重置至第二低电平，如此可以有效地消除数据线
10 与栅线产生的馈通电压对薄膜晶体管液晶显示装置带来的影响，提高显示质量。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种三阶驱动的阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，每一所述阵列基板行驱动单元包括：

5 上拉驱动单元，具有第一输入端及第一输出端；

上拉单元，具有第二输入端、第三输入端及第二输出端，所述第二输入端与所述第一输出端电性连接；

10 第一下拉单元，具有第三输出端、第四输出端、第四输入端及第五输入端，所述第三输出端分别与所述第一输出端及第二输入端电性连接，所述第四输出端与所述第二输出端电性连接；

第二下拉单元，具有第五输出端、第六输入端及第七输入端，所述第五输出端分别与所述第二输出端及第四输出端电性连接。

2、如权利要求 1 所述的三阶驱动的阵列基板行驱动电路，其中，所述多级阵列基板行驱动单元中的第 n 级阵列基板行驱动单元还具有时钟信号输入端、第 $n-1$ 级信号输入端、第 $n+1$ 级信号输入端、第 $n+3$ 级信号输入端、第一低电平输入端、第二低电平输入端及信号输出端；其中，

15 所述时钟信号输入端电性连接至所述上拉单元的第三输入端，所述第 $n-1$ 级信号输入端电性连接至所述上拉驱动单元的第一输入端，所述第 $n+1$ 级信号输入端电性连接至所述第一下拉单元的第四输入端，所述第 $n+3$ 级信号输入端电性连接至所述第二下拉单元的第六输入端，所述第一低电平输入端电性连接至所述第一下拉单元的第五输入端，所述第二低电平输入端电性连接至所述第二下拉单元的第七输入端，所述信号输出端分别与所述上拉单元的第二输出端、第一下拉单元的第四输出端及第二下拉单元的第五输出端电性连接；

25 所述第一低电平输入端用于输入第一低电平，所述第二低电平输入端用于输入第二低电平，且所述第一低电平小于第二低电平；

30 当所述第 n 级阵列基板行驱动单元为第二级至倒数第四级的任一阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端；

当所述第 n 级阵列基板行驱动单元为第一级阵列基板行驱动单元时，

所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端用于输入一激活脉冲信号，所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端电性连接至第 $n+3$ 级阵列基板行驱动单元的信号输出端；

当所述第 n 级阵列基板行驱动单元为倒数第三级或倒数第二级任一阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端电性连接至第 $n+1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+3$ 级信号输入端悬空设置；当所述第 n 级阵列基板行驱动单元为倒数第一级阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 $n-1$ 级信号输入端电性连接至第 $n-1$ 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 $n+1$ 级信号输入端与第 $n+3$ 级信号输入端均悬空设置。

3、如权利要求 2 所述的三阶驱动的阵列基板行驱动电路，其中，所述上拉驱动单元还包括一第一电开关，所述第一电开关具有第一至第三引脚，所述第一与第二引脚电性连接在一起形成所述第一输入端，所述第三引脚形成所述第一输出端。

4、如权利要求 2 所述的三阶驱动的阵列基板行驱动电路，其中，所述上拉单元还包括第二电开关及储存电容，所述第二电开关具有第四至第六引脚，所述第四引脚及储存电容的一端电性连接在一起形成所述第二输入端，所述第五引脚形成所述第三输入端，所述第六引脚与储存电容的另一端电性连接在一起形成所述第二输出端。

5、如权利要求 2 所述的三阶驱动的阵列基板行驱动电路，其中，所述第一下拉单元还包括：第三电开关及第四电开关，所述第三电开关具有第七至第九引脚，所述第四电开关具有第十至第十二引脚，所述第八引脚形成所述第三输出端，所述第七引脚与第十引脚电性连接在一起形成所述第四输入端，所述第十一引脚形成所述第四输出端，所述第九引脚与第十二引脚电性连接在一起形成第五输入端。

6、如权利要求 2 所述的三阶驱动的阵列基板行驱动电路，其中，所述第二下拉单元还包括第五电开关，所述第五电开关具有第十三至第十五引脚，所述第十三引脚形成所述第六输入端，所述第十四引脚形成所述第五输出端，所述第十五引脚形成所述第七输入端。

7、如权利要求 3 所述的三阶驱动的阵列基板行驱动电路，其中，所述第一电开关为第一薄膜晶体管，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极，所述第一引脚为第一栅极，所述第二引脚为第一源极，所述第三引脚为第一漏极。

5 8、如权利要求 4 所述的三阶驱动的阵列基板行驱动电路，其中，所述第二电开关为第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述第四引脚为第二栅极，所述第五引脚为第二源极，所述第六引脚为第二漏极。

10 9、如权利要求 5 所述的三阶驱动的阵列基板行驱动电路，其中，所述第三电开关为第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极，所述第七引脚为第三栅极，所述第八引脚为第三源极，所述第九引脚为第三漏极；所述第四电开关为第四薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第十引脚为第四栅极，所述第十一引脚为第四源极，所述第十二引脚为第四漏极。

15 10、如权利要求 6 所述的三阶驱动的阵列基板行驱动电路，其中，所述第五电开关为第五薄膜晶体管，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极，所述第十三引脚为第五栅极，所述第十四引脚为第五源极，所述第十五引脚为第五漏极。

20 11、一种三阶驱动的阵列基板行驱动电路，包括级联的多级阵列基板行驱动单元，每一所述阵列基板行驱动单元包括：

上拉驱动单元，具有第一输入端及第一输出端；

上拉单元，具有第二输入端、第三输入端及第二输出端，所述第二输入端与所述第一输出端电性连接；

25 第一下拉单元，具有第三输出端、第四输出端、第四输入端及第五输入端，所述第三输出端分别与所述第一输出端及第二输入端电性连接，所述第四输出端与所述第二输出端电性连接；

第二下拉单元，具有第五输出端、第六输入端及第七输入端，所述第五输出端分别与所述第二输出端及第四输出端电性连接；

30 其中，所述多级阵列基板行驱动单元中的第 n 级阵列基板行驱动单元还具有时钟信号输入端、第 $n-1$ 级信号输入端、第 $n+1$ 级信号输入端、第 $n+3$ 级信号输入端、第一低电平输入端、第二低电平输入端及信号输出端；其中，

所述时钟信号输入端电性连接至所述上拉单元的第三输入端，所述第 $n-1$ 级信号输入端电性连接至所述上拉驱动单元的第一输入端，所述第

n+1 级信号输入端电性连接至所述第一下拉单元的第四输入端，所述第 n+3 级信号输入端电性连接至所述第二下拉单元的第六输入端，所述第一低电平输入端电性连接至所述第一下拉单元的第五输入端，所述第二低电平输入端电性连接至所述第二下拉单元的第七输入端，所述信号输出端分别与所述上拉单元的第二输出端、第一下拉单元的第四输出端及第二下拉单元的第五输出端电性连接；

所述第一低电平输入端用于输入第一低电平，所述第二低电平输入端用于输入第二低电平，且所述第一低电平小于第二低电平；

当所述第 n 级阵列基板行驱动单元为第二级至倒数第四级的任一阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 n-1 级信号输入端电性连接至第 n-1 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 n+1 级信号输入端电性连接至第 n+1 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 n+3 级信号输入端电性连接至第 n+3 级阵列基板行驱动单元的信号输出端；

当所述第 n 级阵列基板行驱动单元为第一级阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 n-1 级信号输入端用于输入一激活脉冲信号，所述第 n 级阵列基板行驱动单元的第 n+1 级信号输入端电性连接至第 n+1 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 n+3 级信号输入端电性连接至第 n+3 级阵列基板行驱动单元的信号输出端；

当所述第 n 级阵列基板行驱动单元为倒数第三级或倒数第二级任一阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 n-1 级信号输入端电性连接至第 n-1 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 n+1 级信号输入端电性连接至第 n+1 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 n+3 级信号输入端悬空设置；当所述第 n 级阵列基板行驱动单元为倒数第一级阵列基板行驱动单元时，所述第 n 级阵列基板行驱动单元的第 n-1 级信号输入端电性连接至第 n-1 级阵列基板行驱动单元的信号输出端，所述第 n 级阵列基板行驱动单元的第 n+1 级信号输入端与第 n+3 级信号输入端均悬空设置；

其中，所述上拉驱动单元还包括一第一电开关，所述第一电开关具有第一至第三引脚，所述第一与第二引脚电性连接在一起形成所述第一输入端，所述第三引脚形成所述第一输出端；

其中，所述上拉单元还包括第二电开关及储存电容，所述第二电开关

具有第四至第六引脚，所述第四引脚及储存电容的一端电性连接在一起形成所述第二输入端，所述第五引脚形成所述第三输入端，所述第六引脚与储存电容的另一端电性连接在一起形成所述第二输出端；

其中，所述第一下拉单元还包括：第三电开关及第四电开关，所述第三电开关具有第七至第九引脚，所述第四电开关具有第十至第十二引脚，所述第八引脚形成所述第三输出端，所述第七引脚与第十引脚电性连接在一起形成所述第四输入端，所述第十一引脚形成所述第四输出端，所述第九引脚与第十二引脚电性连接在一起形成第五输入端；

其中，所述第二下拉单元还包括第五电开关，所述第五电开关具有第十三至第十五引脚，所述第十三引脚形成所述第六输入端，所述第十四引脚形成所述第五输出端，所述第十五引脚形成所述第七输入端。

12、如权利要求 11 所述的三阶驱动的阵列基板行驱动电路，其中，所述第一电开关为第一薄膜晶体管，所述第一薄膜晶体管具有第一栅极、第一源极及第一漏极，所述第一引脚为第一栅极，所述第二引脚为第一源极，所述第三引脚为第一漏极。

13、如权利要求 11 所述的三阶驱动的阵列基板行驱动电路，其中，所述第二电开关为第二薄膜晶体管，所述第二薄膜晶体管具有第二栅极、第二源极及第二漏极，所述第四引脚为第二栅极，所述第五引脚为第二源极，所述第六引脚为第二漏极。

14、如权利要求 11 所述的三阶驱动的阵列基板行驱动电路，其中，所述第三电开关为第三薄膜晶体管，所述第三薄膜晶体管具有第三栅极、第三源极及第三漏极，所述第七引脚为第三栅极，所述第八引脚为第三源极，所述第九引脚为第三漏极；所述第四电开关为第四薄膜晶体管，所述第四薄膜晶体管具有第四栅极、第四源极及第四漏极，所述第十引脚为第四栅极，所述第十一引脚为第四源极，所述第十二引脚为第四漏极。

15、如权利要求 11 所述的三阶驱动的阵列基板行驱动电路，其中，所述第五电开关为第五薄膜晶体管，所述第五薄膜晶体管具有第五栅极、第五源极及第五漏极，所述第十三引脚为第五栅极，所述第十四引脚为第五源极，所述第十五引脚为第五漏极。

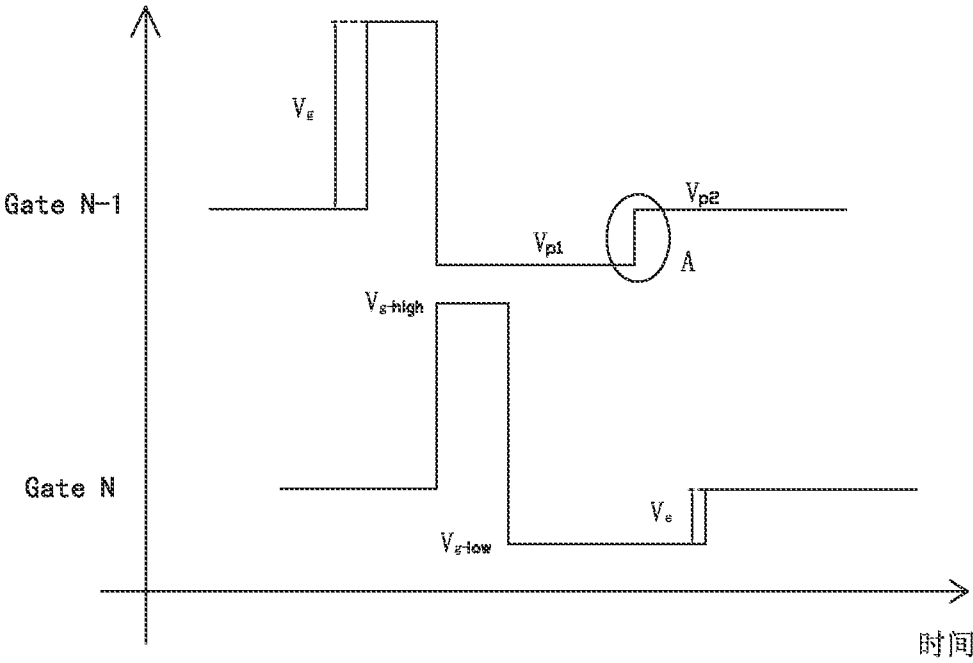


图 1

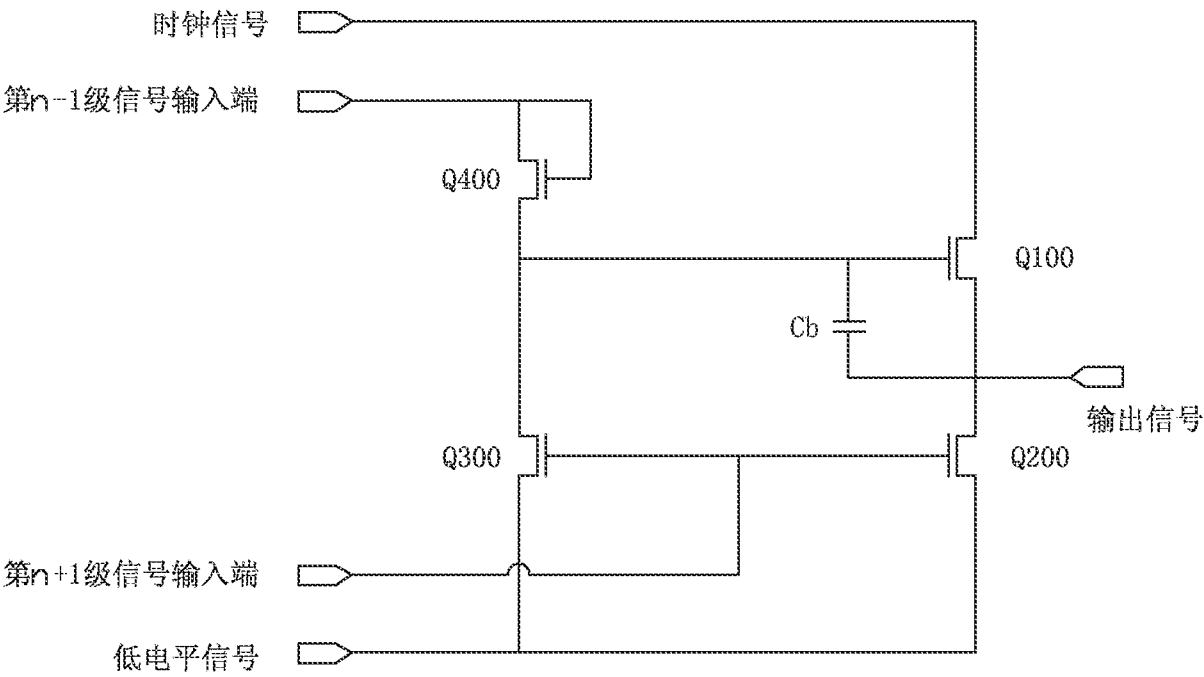


图2

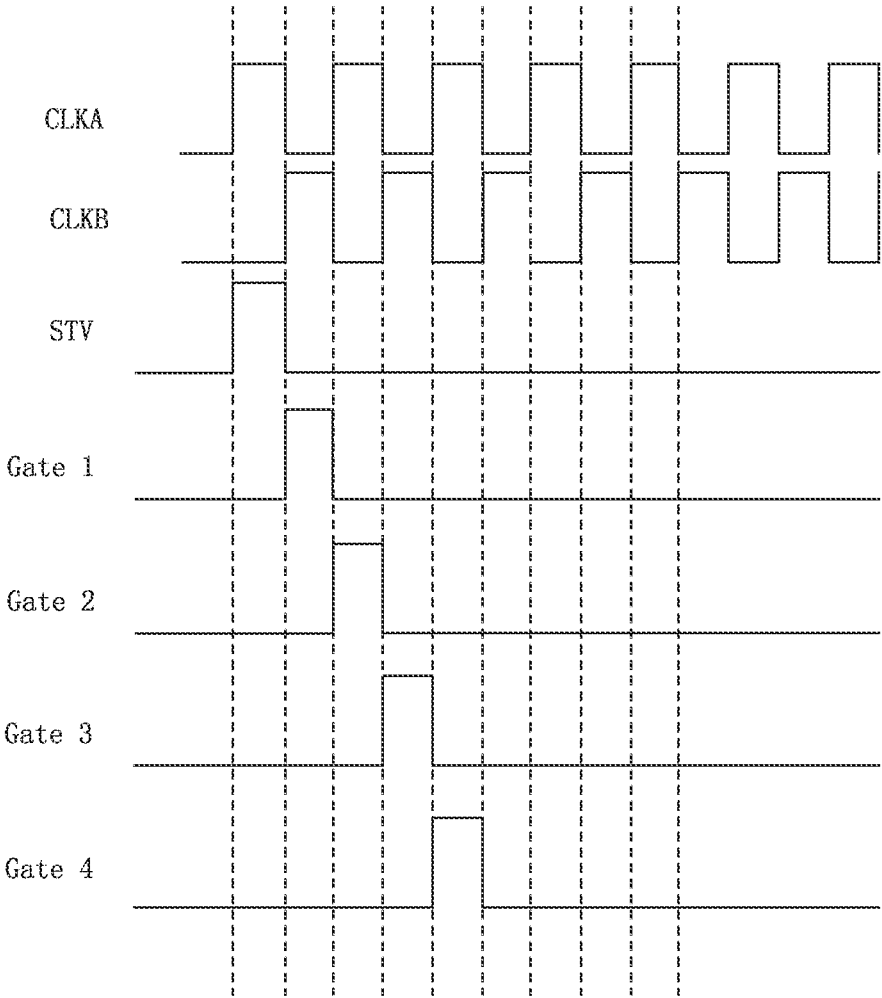


图3

4/5

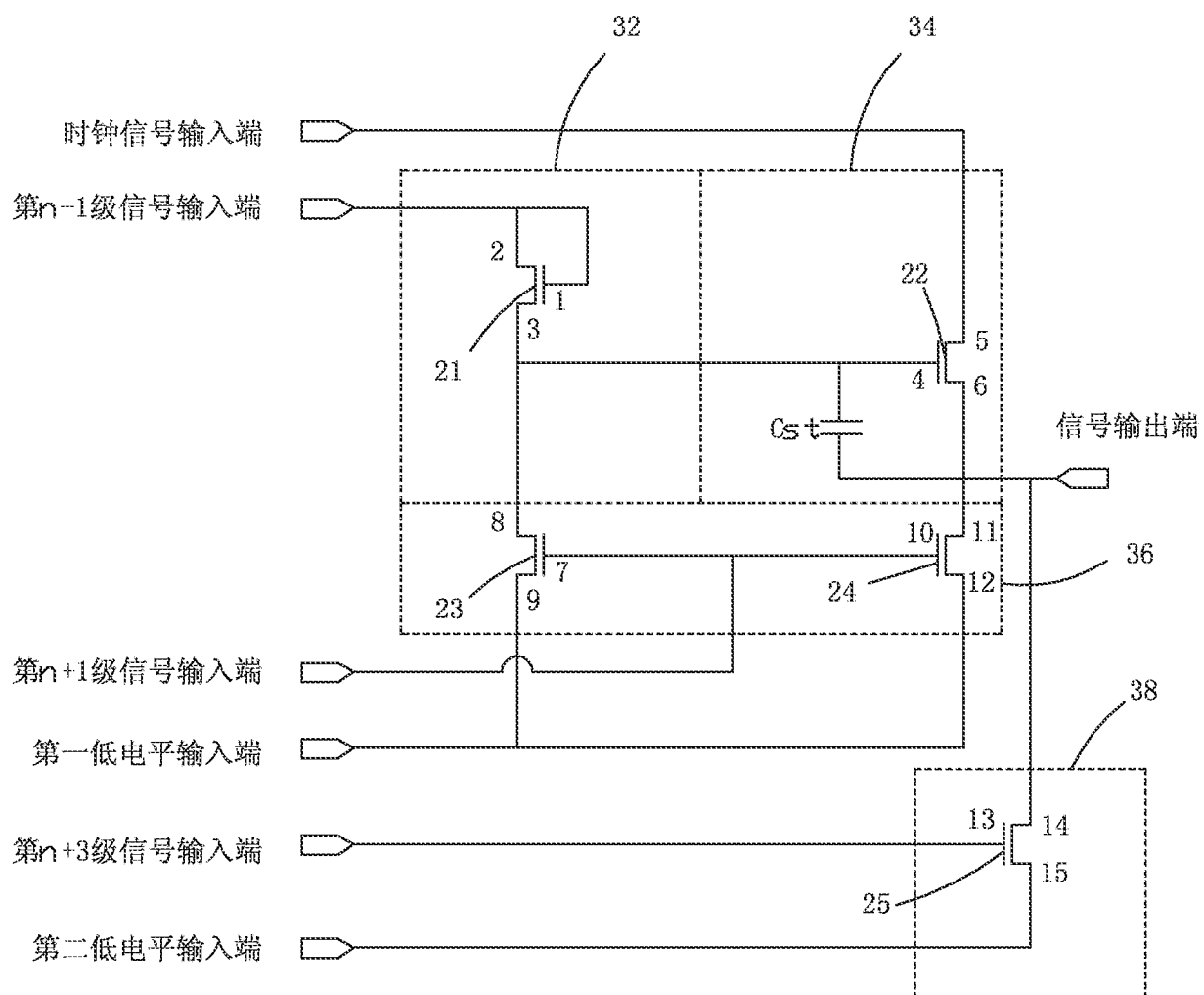
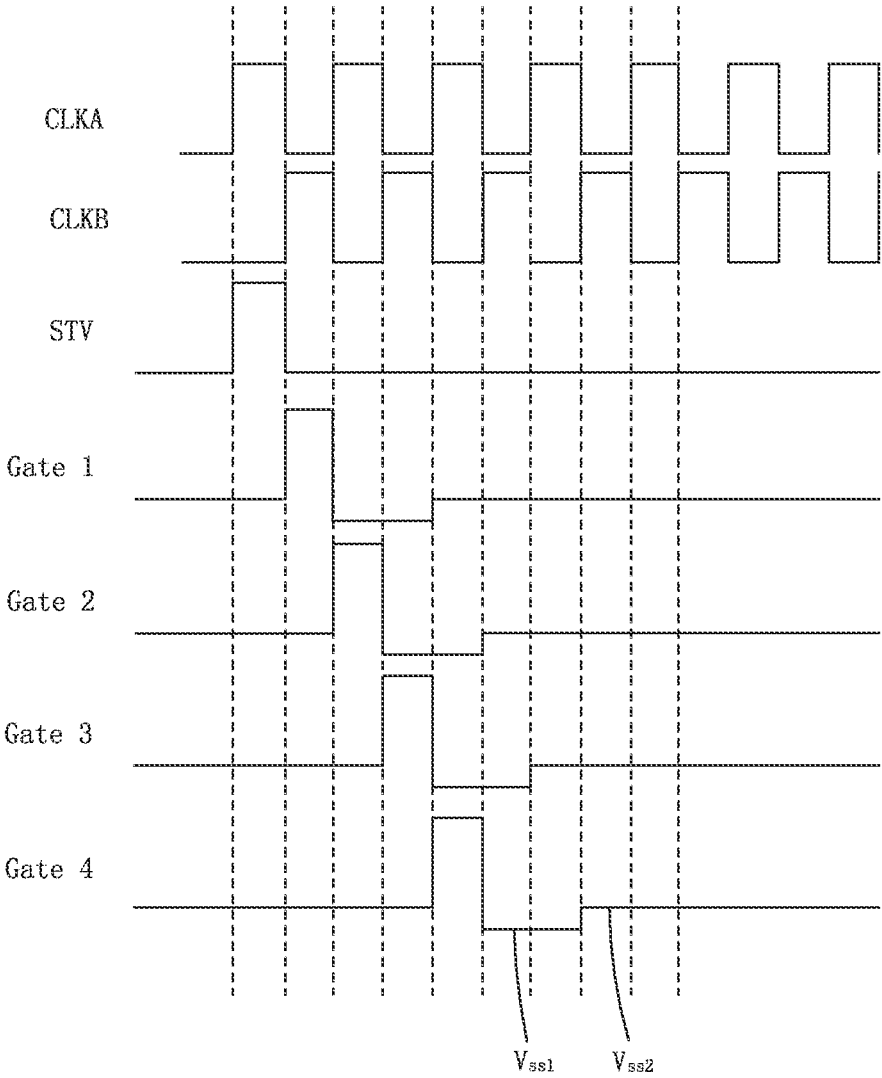


图4



INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/070420

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; CNTXT; CNABS: array, driv+, pull w up, pull w down, liquid w crystal, display, line drive, third order, substrate,
xu xiangyang

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 202771779 U (BOE TECHNOLOGY GROUP CO., LTD.) 06 March 2013 (06.03.2013) description, paragraphs [0016], [0065]-[0072], and figure 5	1
A	CN 102831860 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 December 2012 (19.12.2012) the whole document	1-15
A	CN 101079243 A (MITSUBISHI ELECTRIC CORP.) 28 November 2007 (28.11.2007) the whole document	1-15
A	US 6970530 B1 (WINTER CORPORATION) 29 November 2005 (29.11.2005) the whole document	1-15

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 September 2014	Date of mailing of the international search report 09 December 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer XIAO, Jia Telephone No. (86-10) 62413367

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/070420

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 9725716 A1 (THOMSON LCD) 17 July 1997 (17.07.1997) the whole document	1-15
A	EP 0696803 B1 (THOMSON MULTIMEDIA S.A.) 16 May 2001 (16.05. 2001) the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/070420

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 202771779 U	06 March 2013	None	
CN 102831860 A	19 December 2012	None	
CN 101079243 A	29 November 2007	KR 20070113983 A	09 November 2007
		KR 100847092 B1	18 July 2008
		JP 2007317288 A	06 December 2007
		US 2007274433 A1	29 November 2007
		TW 200802270 A	01 January 2008
US 6970530 B1	29 November 2005	None	
WO 9725716 A1	17 July 1997	JPH 11502355 A	13 February 1999
		FR 2743662 B1	13 February 1998
		EP 0815562 B1	03 July 2002
		JP 3856048 B2	13 December 2006
		EP 0815562 A1	07 January 1998
		FR 2743662 A1	18 July 1997
		US 6064713 A	16 May 2000
EP0696803B1	16 May 2001	DE 69520915 T2	13 September 2001
		CN 1120210 A	10 April 1996
		EP 0696803 A2	14 February 1996
		CN 1083137 C	17 April 2002
		JPH 0887897 A	02 0 April 1996
		US 5434899 A	18 July 1995
		KR 0186844 B1	15 April 1999
		TW 262558 B	11 November 1995

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI;EPDOC;CNKI;CNTXT;CNABS:阵列, 行驱动, 三阶, 液晶, 基板, 阵列基板, 徐向阳, 显示, 上拉, 下拉, 驱动, array, driv+, pull w up, pull w down, liquid w crystal, display		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 202771779 U (京东方科技集团股份有限公司) 2013年 3月 06日 (2013 - 03 - 06) 说明书第0016段、第0065-0072段、附图5	1
A	CN 102831860 A (京东方科技集团股份有限公司) 2012年 12月 19日 (2012 - 12 - 19) 全文	1-15
A	CN 101079243 A (三菱电机株式会社) 2007年 11月 28日 (2007 - 11 - 28) 全文	1-15
A	US 6970530 B1 (WINTEK CORPORATION) 2005年 11月 29日 (2005 - 11 - 29) 全文	1-15
A	WO 9725716 A1 (THOMSON LCD) 1997年 7月 17日 (1997 - 07 - 17) 全文	1-15
A	EP 0696803 B1 (THOMSON MULTIMEDIA S.A.) 2001年 5月 16日 (2001 - 05 - 16) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2014年 9月 16日		国际检索报告邮寄日期 2014年 12月 09日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 肖佳 电话号码 (86-10)62413367

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/070420

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	202771779	U	2013年 3月 06日	无			
CN	102831860	A	2012年 12月 19日	无			
CN	101079243	A	2007年 11月 28日	KR	20070113983	A	2007年 11月 29日
				KR	100847092	B1	2008年 7月 18日
				JP	2007317288	A	2007年 12月 06日
				US	2007274433	A1	2007年 11月 29日
				TW	200802270	A	2008年 1月 01日
US	6970530	B1	2005年 11月 29日	无			
WO	9725716	A1	1997年 7月 17日	JP	H11502355	A	1999年 2月 23日
				FR	2743662	B1	1998年 2月 13日
				EP	0815562	B1	2002年 7月 03日
				JP	3856048	B2	2006年 12月 13日
				EP	0815562	A1	1998年 1月 07日
				FR	2743662	A1	1997年 7月 18日
				US	6064713	A	2000年 5月 16日
EP	0696803	B1	2001年 5月 16日	DE	69520915	T2	2001年 9月 13日
				CN	1120210	A	1996年 4月 10日
				EP	0696803	A2	1996年 2月 14日
				CN	1083137	C	2002年 4月 17日
				JP	H0887897	A	1996年 4月 02日
				US	5434899	A	1995年 7月 18日
				KR	0186844	B1	1999年 4月 15日
				TW	262558	B	1995年 11月 11日