

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

- 国際調査報告（条約第21条(3)）
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約：新規な構成を備えた半導体装置を提供する。 トランジスタおよびキャパシタを有するメモリセル、センスアンプを有する。キャパシタは、第1電極と第2電極との間に反強誘電性を有する材料を有する。センスアンプは、第1電位を与える機能、第1電位より低い第2電位を与える機能、およびセンスアンプ制御信号に応じて第1配線の電位を第1電位より高い第3電位または第2電位にする機能、を有する。第2配線は、第2電極に第2電位を与える機能を有する。メモリセルにおけるデータの保持は、第1電極を第1電位に保持することで行われる。メモリセルにおけるデータの読み出しは、第1配線を第2電位とし、トランジスタを導通状態とすることで、変動する第1配線の電位をセンスアンプ制御信号に応じて第3電位または第2電位にすることで読み出される。

明細書

発明の名称

半導体装置

技術分野

[0001]

本発明の一態様は、半導体装置に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

そのため、本発明の一態様に係る技術分野の一例として、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、それらの検査方法、またはそれらの使用方法などを挙げることができる。

背景技術

[0004]

近年、LSI、CPU、メモリ装置などの半導体装置の開発が進められている。メモリ装置は、演算処理実行時の一時記憶、データの長期記憶など、用途に応じて様々な記憶方式のメモリ装置が開発されている。例えば、強誘電性（ferroelectric：FE）を有する材料を用いたメモリ装置は、実用化されている。また非特許文献1に示すように、反強誘電性（Antiferroelectric：AFE）を有する材料を用いたメモリ装置の研究開発が行われている。

[0005]

反強誘電性を有する材料は、外部電界（外部から材料に印加される電界）がゼロの状態では自発分極が小さいまたは存在しないため、データの保持が難しい。非特許文献1では、反強誘電性を有する材料での分極の保持を保つために、仕事関数の異なる材料を電極に用いる構成を開示している。当該構成とすることで、反強誘電性を有する材料を用いたメモリ装置は、強誘電性を有する材料を用いたメモリ装置と同等の機能を実現している。

[先行技術文献]

[非特許文献]

[0006]

[非特許文献1] M. Pesic et al., “Journal of the Electron Devices Society”, 2018, volume 6, p. 1019-1025

発明の概要

発明が解決しようとする課題

[0007]

強誘電性を有する材料を用いたメモリ装置は、分極の保持が可能であるものの、分極反転に要する電界の範囲が大きい点で不利である。一方反強誘電性を有する材料を用いたメモリ装置は、分極反転に要する電界の範囲が小さい点に加え、非特許文献1にあるように仕事関数の異なる材料を電

極に用いることで外部電界がゼロの状態でも分極の保持ができる点で有利である。しかしながらこの場合、電界の制御が困難となる。

[0008]

本発明の一態様は、反強誘電性を有する材料を用いたメモリ装置としての機能を有する半導体装置を提供することを課題の一とする。または、本発明の一態様は、分極反転に要する電界の範囲の小さい、半導体装置を提供することを課題の一とする。または、本発明の一態様は、仕事関数の異なる材料を電極に用いることなく、データに応じた分極を保持できる、半導体装置を提供することを課題の一とする。

[0009]

なお本発明の一態様に係る課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題とは、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様に係る課題は、上記列挙した課題および他の課題の全てを解決する必要はない。本発明の一態様は、上記列挙した課題および他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

[0010]

本発明の一態様は、トランジスタおよびキャパシタを有するメモリセルと、センスアンプと、センスアンプおよびトランジスタのソースおよびドレインの一方に電氣的に接続された第1配線と、キャパシタに電氣的に接続された第2配線と、を有し、キャパシタは、第1電極と第2電極との間に反強誘電性を有する材料を有し、センスアンプは、第1配線に第1電位を与える機能、第1配線に第1電位より低い第2電位を与える機能、および第1配線の電位が参照電位より高い場合、第1配線の電位を第1電位より高い第3電位にし、第1配線の電位が参照電位より低い場合、第1配線の電位を第2電位にする機能、を有し、第2配線は、第2電極に第2電位を与える機能を有し、トランジスタのソースおよびドレインの他方は、第1電極と電氣的に接続され、メモリセルにおけるデータの保持は、第1電極を第1電位に保持することで行われ、メモリセルにおけるデータの読み出しは、第1配線を第2電位とし、トランジスタを導通状態とすることで変動する第1配線の電位を第3電位または第2電位にすることで行われる、半導体装置である。

[0011]

本発明の一態様は、トランジスタおよびキャパシタを有するメモリセルと、センスアンプと、センスアンプおよびトランジスタのソースおよびドレインの一方に電氣的に接続された第1配線と、キャパシタに電氣的に接続された第2配線と、を有し、キャパシタは、第1電極と第2電極との間に反強誘電性を有する材料を有し、第2配線は、第2電極に第1電位、または第1電位より高い第3電位を与える機能を有し、センスアンプは、第1配線に第1電位より低い第2電位を与える機能、および第1配線の電位が参照電位より高い場合、第1配線の電位を第3電位にし、第1配線の電位が参照電位より低い場合、第1配線の電位を第2電位にする機能、を有し、トランジスタのソースおよびドレインの他方は、第1電極と電氣的に接続され、メモリセルにおけるデータの保持は、第1電極を第2電位に保持し、且つ第2電極に第1電位を与えることで行われ、メモリセルにおけるデータの読み出しは、第2電極を第3電位とし、トランジスタを導通状態とすることで変動する第1配線の電位を第3電位または第2電位にすることで行われる、半導体装置である。

[0012]

本発明の一態様は、トランジスタおよびキャパシタを有するメモリセルと、センスアンプと、センスアンプおよびトランジスタのソースおよびドレインの一方に電氣的に接続された第1配線と、キャパシタに電氣的に接続された第2配線と、を有し、キャパシタは、第1電極と第2電極との間に反強誘電性を有する材料を有し、第2配線は、第2電極に第1電位、または第1電位より高い第3電位を与える機能を有し、センスアンプは、第1配線に第1電位より低い第2電位を与える機能、および第1配線の電位が参照電位より高い場合、第1配線の電位を第1電位にし、第1配線の電位が参照電位より低い場合、第1配線の電位を第2電位にする機能、を有し、トランジスタのソースおよびドレインの他方は、第1電極と電氣的に接続され、メモリセルにおけるデータの保持は、第1電極を第2電位に保持し、且つ第2電極に第1電位を与えることで行われ、メモリセルにおけるデータの読み出しは、第2電極に第3電位を与え、トランジスタを導通状態とすることで変動する第1配線の電位を第1電位または第2電位にすることで行われる、半導体装置である。

[0013]

本発明の一態様において、参照電位は、センスアンプに電氣的に接続された第3配線に与えられる電位である、半導体装置が好ましい。

[0014]

本発明の一態様において、トランジスタは、チャネル形成領域を有する半導体層を有し、半導体層は、インジウムおよび亜鉛の少なくとも一を有する、半導体装置が好ましい。

[0015]

本発明の一態様において、材料は、ハフニウムおよびジルコニウムを有する、半導体装置が好ましい。

[0016]

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

発明の効果

[0017]

本発明の一態様は、反強誘電性を有する材料を用いたメモリ装置としての機能を有する半導体装置を提供することができる。または、本発明の一態様は、分極反転に要する電界の範囲の小さい、半導体装置を提供することができる。または、本発明の一態様は、仕事関数の異なる材料を電極に用いることなく、データに応じた分極を保持できる、半導体装置を提供することができる。

[0018]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。従って本発明の一態様は、上記列挙した効果を有さない場合もある。なお、他の効果とは、以下の記載で述べる、本項目で言及していない効果である。他の効果は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。本発明の一態様は、上記列挙した効果、および他の効果のうち、少なくとも一つの効果を有するものである。

図面の簡単な説明

[0019]

図1Aおよび図1Bは、半導体装置の構成例を説明する図である。

図2は、半導体装置を説明するタイミングチャートである。

図3は、反強誘電体のヒステリシス特性の一例を示すグラフである。

図4A乃至図4Cは、半導体装置を説明する図である。

図5は、センスアンプの構成例を説明する図である。

図6は、半導体装置を説明するタイミングチャートである。

図7Aおよび図7Bは、半導体装置の構成例を説明する図である。

図8は、半導体装置の構成例を説明する図である。

図9は、半導体装置を説明するタイミングチャートである。

図10は、反強誘電体のヒステリシス特性の一例を示すグラフである。

図11Aおよび図11Bは、半導体装置を説明する図である。

図12は、センスアンプの構成例を説明する図である。

図13は、半導体装置の構成例を説明する図である。

図14は、半導体装置を説明するタイミングチャートである。

図15は、反強誘電体のヒステリシス特性の一例を示すグラフである。

図16A乃至図16Dは、半導体装置を説明する図である。

図17は、センスアンプの構成例を説明する図である。

図18は、半導体装置の構成例を説明する図である。

図19は、半導体装置を説明するタイミングチャートである。

図20A乃至図20Dは、半導体装置を説明する図である。

図21は、センスアンプの構成例を説明する図である。

図22は、酸化ハフニウムの結晶構造を説明する図である。

図23Aおよび図23Bは、 HfZrO_x の直方晶系の結晶構造のモデルを説明する図である。

図24Aは、半導体装置の構成例を説明するブロック図である。図24Bは、半導体装置の構成例を説明する斜視図である。

図25A乃至図25Dは、トランジスタおよびキャパシタの構成例を説明する図である。

図26Aおよび図26Bは、トランジスタの構成例を説明する図である。

図27Aおよび図27Bは電子部品の一例を示す斜視図である。

図28A乃至図28Jは、電子機器の一例を説明する図である。

図29A乃至図29Eは、電子機器の一例を説明する図である。

図30A乃至図30Cは、電子機器の一例を説明する図である。

発明を実施するための形態

[0020]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0021]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチッ

プ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置および電子機器等は、それ自体が半導体装置であり、かつ、半導体装置を有している場合がある。

[0022]

本明細書に係る図面等において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもその大きさもしくは縦横比などに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

[0023]

なお、実施の形態の発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。また、図面を理解しやすくするため、斜視図または上面図などにおいて、一部の構成要素の記載を省略している場合がある。

[0024]

なお、図面などにおいて、X方向（X軸に沿う方向）、Y方向（Y軸に沿う方向）、およびZ方向（Z軸に沿う方向）を示す矢印を付す場合がある。なお、本明細書等において、「X方向」とはX軸に沿う方向であり、明示する場合を除き、順方向と逆方向を区別しない。「Y方向」および「Z方向」についても同様である。また、X方向、Y方向、およびZ方向は、それぞれが互いに交差する方向である。より具体的には、X方向、Y方向、およびZ方向は、それぞれが互いに直交する方向である。本明細書などでは、X方向、Y方向、またはZ方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。

[0025]

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書などの実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲などにおいて「第2」に言及された構成要素とすることもありうる。また例えば、本明細書などの実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲などにおいて省略することもありうる。

[0026]

本明細書等において、「上に」、「下に」、「上方に」、または「下方に」などの配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0027]

また、「上」および「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を

含むものを除外しない。

[0028]

本明細書等において、「重なる」などの用語は、構成要素の積層順などの状態を限定するものではない。例えば、「絶縁層Aに重なる電極B」の表現であれば、絶縁層Aの上に電極Bが形成されている状態に限らず、絶縁層Aの下に電極Bが形成されている状態、絶縁層Aの右側（もしくは左側）に電極Bが形成されている状態、および絶縁層Aの前側（もしくは後側）に電極Bが形成されている状態などを除外しない。

[0029]

本明細書等において、「隣接」および「近接」の用語は、構成要素が直接接していることを限定するものではない。例えば、「絶縁層Aに隣接する電極B」の表現であれば、絶縁層Aと電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bの間に他の構成要素（空間を含む）が存在する状態を除外しない。

[0030]

本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。または、場合によっては、または、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」または「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。または、「導電体」という用語を、「導電層」または「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁層」または「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。または、「絶縁体」という用語を、「絶縁層」または「絶縁膜」という用語に変更することが可能な場合がある。

[0031]

なお、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書などでは、明示する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

[0032]

本明細書等において「電極」「配線」「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」または「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」または「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」「配線」「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」または「端子」の一部とすることができ、また、例えば、「端子」は「配線」または「電極」の一部とすることができる。また、「電極」「配線」「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

[0033]

本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、または、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0034]

なお、本明細書などにおいて、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と電氣的に接続する配線のことをいう。

[0035]

ソースとは、ソース領域、ソース電極、及びソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分を含む導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と電氣的に接続する配線のことをいう。

[0036]

ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と電氣的に接続する配線のことをいう。

[0037]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」または「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」または「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0038]

本明細書等において、計数値および計量値に関して「同一」、「同じ」、「等しい」または「均一」（これらの同意語を含む）などと言う場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0039]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“A”、“b”、“_1”、“[n]”、“[m, n]”などの識別用の符号を付記して記載する場合がある。例えば、導電層242を、導電層242a、および導電層242b

に分けて示す場合がある。

[0040]

(実施の形態1)

本発明の一態様に係る半導体装置について説明する。半導体装置は、メモリセルを有する記憶装置としての機能を有する。半導体装置は、メモリセルの他、センスアンプおよび複数の配線を有する。

[0041]

図1Aは、半導体装置の構成例を説明する図である。半導体装置10は、メモリセル100およびセンスアンプ130を有する。メモリセル100は、トランジスタ110およびキャパシタ120を有する。

[0042]

トランジスタ110のゲートは、配線WLに接続される。トランジスタ110のソースおよびドレインの一方は、配線BLに接続される。トランジスタ110のソースおよびドレインの他方は、キャパシタ120の一方の電極に接続される。キャパシタ120の他方の電極は、配線PLに接続される。

[0043]

トランジスタ110のソースおよびドレインの一方と、キャパシタ120と、が接続される節点（ノード）を、ノードSNとして説明する。トランジスタ110は、配線WLに供給される信号に応じて、導通状態または非導通状態（オンまたはオフ）が制御される。トランジスタ110は、スイッチとしての機能を有する。

[0044]

トランジスタ110は、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ（「OSトランジスタ」ともいう。）を用いることが好ましい。例えば、チャネル形成領域を有する半導体層にインジウムおよび亜鉛の少なくとも一を有する構成が好ましい。酸化物半導体はバンドギャップが2 eV以上であるため、オフ電流が著しく少ない。よってトランジスタ110をオフにした状態において、ノードSNの電位の変動を小さくすることができる。そのため、チャネルが形成される半導体層にシリコンを有するトランジスタ（以下、「Siトランジスタ」とも呼ぶ。）で構成されるDRAMと比較して、リフレッシュ動作の頻度を低減できる。その結果、低消費電力化を図ることができる。

[0045]

配線BLは、メモリセル100に接続するビット線としての機能を有する。配線WLは、メモリセル100に接続するワード線としての機能を有する。配線PLは、保持容量線としての機能を有する。配線BLは、第1配線という場合がある。配線PLは、第2配線という場合がある。

[0046]

キャパシタ120に付した回路記号は、図1Bに示す電極121Aと電極121Bとの間に反強誘電性を有する材料122を有するキャパシタを表している。キャパシタ120の一方の電極121A（第1電極）は、ノードSNに接続される。キャパシタ120の他方の電極121B（第2電極）は、配線PLに接続される。なお図1Bでは、電極の形状が平行平板型のキャパシタを図示しているが、フィン型、または深孔積層型などを適用することができる。

[0047]

反強誘電性を有する材料 1 2 2 は、外部電場（外部から材料に印加される電界）が無い状態で自発分極が小さいまたは存在しないものの、ある一定以上の電界またはある一定以下の電界を印加した場合に強誘電性が発現する材料を指す。例えば、ハフニウムおよびジルコニウムの少なくとも一を有する材料が好ましい。具体的に酸化ハフニウムに、ジルコニウムのドーピングを行った複合材料は、単斜晶系を主とした酸化ハフニウムの結晶構造から正方晶系を主とした結晶構造にすることで、反強誘電性を有する材料とすることができる。

[0048]

なお、上記複合材料において、ハフニウムに対するジルコニウムの含有量は大きいことが好ましい。例えば、上記複合材料として、 $Hf : Zr = 1 : 2$ [原子数比] もしくはその近傍の組成の複合材料、または $Hf : Zr = 1 : 3$ [原子数比] もしくはその近傍の組成の複合材料を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。ハフニウムに対するジルコニウムの含有量を大きくすることで、複合材料において反強誘電性が発現しやすくなる。

[0049]

なお本明細書等において、反強誘電性を有する材料、または反強誘電性を有する材料を含む絶縁体を反強誘電体と呼ぶ場合がある。また、反強誘電性を有する材料を層状にしたものを指して、反強誘電体層と呼ぶ場合がある。また、このような、反強誘電体層を有するキャパシタを、反強誘電キャパシタと呼ぶ場合がある。

[0050]

センサンプ 130 は、信号 SAE、信号 PRE、および信号 EQ によって制御され、配線 BL および配線 BLB の電位を増幅する機能を有する。信号 SAE は、センサンプ 130 の配線 BL および配線 BLB の電位を増幅する機能を制御する信号である。信号 SAE は、センサンプ制御信号ともいう。信号 PRE は、配線 BL および配線 BLB を所定の電位に充電または放電するための信号である。信号 PRE は、プリチャージ信号ともいう。信号 EQ は、配線 BL および配線 BLB の電位差を平衡化するための信号である。

[0051]

センサンプ 130 は、メモリセル 100 で保持する電位 V_A （第 1 電位ともいう）を配線 BL に与える機能を有する。センサンプ 130 は、信号 PRE によって、配線 BL および配線 BLB を電位 0 V（読み出し電位、プリチャージ電位、または第 2 電位という場合がある）とする機能を有する。センサンプ 130 は、信号 SAE に応じて配線 BL および配線 BLB の電位を電位 V_A より高い電位 V_B （第 3 電位ともいう）または電位 0 V にする機能を有する。信号 SAE に応じた配線 BL および配線 BLB の電位の増幅は、参照電位 V_{REF} との高低関係に応じて行われる。例えば、配線 BL の電位が参照電位 V_{REF} より高い場合、配線 BL の電位は電位 V_B となり、配線 BLB の電位は 0 V となる。配線 BL の電位が参照電位 V_{REF} より低い場合、配線 BL は電位 0 V となり、配線 BLB の電位は電位 V_B となる。

[0052]

電位 V_A は、電位 0 V より高い電位である。電位 V_A と電位 0 V によってキャパシタ 120 に電位差 V_A （または $-V_A$ ）を与えることで、反強誘電性を有する材料 122 であつても強誘電性が発現する材料として用いることができる。電位 0 V は、配線 PL の電位と等電位または配線 PL の電位の近傍の電位であり、グラウンド電位などでもよい。電位 V_B は、電位 V_A より高い電位である。電位 V_B と電位 0 V によってキャパシタ 120 に電位差 V_B （または $-V_B$ ）を与えることで、反強誘

電性を有する材料 122 の分極反転を行うことができる。なお反強誘電性を有する材料は、分極が 0 と正（または 0 と負）の間でヒステリシスがある。そのため反強誘電性を有する材料 122 の分極反転は、正または負の外部電界を大きくすること、または電界をゼロの状態とすることで引き起こされる。

[0053]

キャパシタ 120 に与える電界は、キャパシタ 120 の材料 122 の厚さなどに応じて変わる。本明細書等においては、キャパシタ 120 に与える電位差を電界に読み替えて説明する場合がある。

[0054]

配線 PL は、キャパシタ 120 の他方の電極 121 B に電位 0 V を与える機能を有する。配線 PL は定電位とすることで、メモリセル 100 をメモリアレイとした際に各メモリセル 100 に同じ電位を与える構成とすることができる。なお本実施の形態において、配線 PL を 0 V として説明するが、電位 V_A および電位 V_B との間で、反強誘電性を有する材料 122 の強誘電性の発現、および反強誘電性を有する材料 122 の分極反転を行う電界をキャパシタ 120 に印加できる電位であればよい。

[0055]

センスアンプ 130 は、Si トランジスタで構成することが好ましい。当該構成とすることで、トランジスタ 110 を OS トランジスタで構成した場合に、センスアンプ 130 と、メモリセル 100 と、を重ねて設けることができる。そのため、センスアンプ 130 を有する駆動回路と、メモリセル 100 を有するメモリアレイと、の間の信号伝搬距離を短くすることができる。よって、駆動回路とメモリアレイの間の抵抗および寄生容量が低減され、消費電力および信号遅延の低減が実現できる。

[0056]

配線 BLB は、センスアンプ 130 において、メモリセル 100 から配線 BL に読み出された電位を増幅するための参照電位 V_{REF} を与える配線である。参照電位 V_{REF} は、配線 BLB に接続されるスイッチ SW2 を介して供給される。スイッチ SW2 のオンまたはオフは、信号 SWBLB によって制御される。また図 1 A では、配線 BL に参照電位 V_{REF} を供給するスイッチ SW1 を図示しており、スイッチ SW1 のオンまたはオフは、信号 SWBL によって制御される。スイッチ SW1 は、配線 BLB に接続されるメモリセル（図示せず）からデータを読み出す際に用いる。

[0057]

図 2 は、図 1 A に示す半導体装置 10 の駆動方法を説明するタイミングチャートである。また図 3 は、図 1 B で説明した、反強誘電性を有する材料 122 のヒステリシス特性の一例を示すグラフである。また図 4 A 乃至図 4 C は、図 2 に示すタイミングチャートの期間に対応する、反強誘電性を有する材料 122 のヒステリシス特性を説明する図である。

[0058]

図 2 では、図 1 A に示す半導体装置 10 に示す、配線 WL、配線 BL、配線 PL、信号 EQ、信号 PRE、信号 SAE、ノード SN、配線 BLB、および信号 SWBLB、の信号波形および電位を模式的に表している。信号 EQ、信号 PRE、および信号 SAE は、H レベルでセンスアンプ 130 の各機能がアクティブ（活性状態）、L レベルでセンスアンプ 130 の各機能がインアクティブ（不活性状態）、となる。信号 SWBLB は、H レベルでスイッチ SW1 がオン、L レベルでオフとなる。

[0059]

図2に示す期間T0は、保持期間である。保持期間では、メモリセル100のキャパシタ120において、データに応じた分極を保持させる。期間T0において、ノードSNは電位 V_A とし、配線PLを0Vとする。キャパシタ120では、図3に図示する、電位差 $-V_A$ が印加される状態となる。電位差 $-V_A$ をキャパシタ120に印加することで、データ0 (D_0) に応じた分極 P_{D0} の状態、データ1 (D_1) に応じた分極 P_{D1} の状態、が保持される。

[0060]

図2に示す期間T1は、配線BL、BLBを所定の電位に充電または放電する期間である。信号EQをLレベルとしておき、信号PREをHレベルとする。配線BL、BLBは、電位0Vとなる。配線WLはLレベルのため、ノードSNの電位 V_A は保持される。配線PLに電位に変動はないため、反強誘電性を有する材料122の分極は保持される。

[0061]

図2に示す期間T2では、配線WLをHレベル、として、メモリセル100に保持されたデータを配線BLに読み出す期間である。トランジスタ110が導通状態となり、キャパシタ120に保持された電荷が、配線BLとの間で分配される。キャパシタ120に保持された電荷量は、反強誘電性を有する材料122に保持された分極の大きさに応じて変わる。データ0 (D_0) に応じた分極 (P_{D0}) は、データ1 (D_1) に応じた分極 (P_{D1}) よりも絶対値が小さい。そのため、データ1の状態を保持するキャパシタ120は、データ0の状態を保持するキャパシタ120より保持する電荷量が小さい。このため、電位0Vに保持された配線BLと、ノードSNに保持された電位 V_A と、で電荷を分配した際、データ1の状態では、配線BLとノードSNの電位が電位 V_A 寄りとなる。また、電位0Vに保持された配線BLと、ノードSNに保持された電位 V_A と、で電荷を分配した際、データ0の状態では、配線BLとノードSNの電位が電位0V寄りとなる。

[0062]

また図2に示す期間T2では、信号SWBLBをHレベルとして、配線BLBの電位を参照電位 V_{REF} としておく。

[0063]

なお期間T2において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、ノードSNの電位を配線PLの電位にする、あるいは配線PLの電位に近づくことで、分極がゼロの状態を経る電界が与えられる。キャパシタ120の両端の電極の電位が0Vに近づくため、材料122のデータ0 (D_0) およびデータ1 (D_1) に応じた分極がゼロの状態またはその近傍の状態となる。なお材料122の分極がゼロまたはその近傍の状態とは、データ0 (D_0) に応じた分極の状態 (図3に図示) から電界が0の状態の分極 (図4Aの点線矢印) となるよう電界を印加する状態、またはデータ1 (D_1) に応じた分極の状態 (図3に図示) から電界が0の状態の分極 (図4Aの破線矢印) となるよう電界を印加する状態をいう。

[0064]

図2に示す期間T3は、信号SAEをHレベル、として、配線BLと参照電位 V_{REF} との高低関係に応じて配線BL、BLBの電位を増幅する期間である。データ1 (Data1) の状態では、配線BLとノードSNの電位が電位 V_A 寄りとなるため、配線BLの電位は参照電位 V_{REF} より高い。この場合、センスアンプ130は、配線BLの電位が電位 V_B に増幅される。トランジスタ110が導通状態のため、ノードSNも同様の挙動を示す。また配線BLBは、0Vに放電される。

[0065]

またデータ0 (Data 0) の状態では、配線BLとノードSNの電位が電位0V寄りとなるため、配線BLの電位は参照電位 V_{REF} より低い。この場合、センスアンプ130は、配線BLの電位が0Vに放電される。トランジスタ110が導通状態のため、ノードSNも同様の挙動を示す。また配線BLBは、電位 V_B に増幅される。

[0066]

なお期間T3において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0 (D_0) の場合、ノードSNの電位が0Vとなるため、材料122の分極がゼロの状態 (図4Bの点線矢印) となる。また、材料122は、データ1 (D_1) の場合、ノードSNの電位が電位 V_B となり、キャパシタ120には図4Bに図示する、電位差 $-V_B$ が印加される状態となる (図4Bの破線矢印)。そのため、分極反転する電界が材料122に印加される状態となる。

[0067]

図2に示す期間T4は、信号SAEをLレベルと、その後期間T5において、信号EQをHレベル、配線BLを電位 V_A とする。配線BL、BLBは、電位 V_A で等電位となる。配線WLはHレベルのため、ノードSNは電位 V_A となる。

[0068]

なお期間T5において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0 (D_0) の場合、ノードSNの電位が電位 V_A となるため、材料122が保持状態での分極 (図4Cの点線矢印) となる。また、材料122は、データ1 (D_1) の場合、ノードSNの電位が電位 V_A となるため、材料122が保持状態での分極 (図4Cの破線矢印) となる。

[0069]

期間T5後の期間T0では、再び保持期間である。保持期間では、データ0 (D_0) に応じた残留分極では分極 P_{D0} の状態、データ1 (D_1) に応じた残留分極では分極 P_{D1} の状態、が保持される。

[0070]

図5は、図1Aで図示したセンスアンプ130の構成例について説明する図である。センスアンプ130は、一例として、信号SAEおよび信号SAEB (信号SAEの反転信号) によって動作する配線BLおよび配線BLBの電位差に応じた増幅を行う回路131を有する。またセンスアンプ130は、一例として、信号PREによって配線BLおよび配線BLBを所定の電位に充電または放電する回路132を有する。またセンスアンプ130は、一例として、信号EQによって配線BLおよび配線BLBの電位差を平衡化するための回路133を有する。またその他の構成として、センスアンプ130は、一例として、信号CSELによって配線BLの電位および配線BLBの電位を、配線S/A__OUTの電位および配線S/A__OUTBに伝える回路134、を有する。

[0071]

回路131は、nチャネル型トランジスタまたはpチャネル型トランジスタであるトランジスタM11乃至M16を有する。配線VBLは、電位 V_B が与えられる配線である。配線VGLは、電位0Vが与えられる配線である。回路131は、信号SAEをHレベル、信号SAEBをLレベルとすることで、配線BLの電位が配線BLBの電位より高い場合、配線BLの電位を電位 V_B とし、

配線BLBの電位は0Vとする。また、配線BLの電位が配線BLBの電位より低い場合、配線BLの電位を電位0Vとし、配線BLBの電位を電位 V_B とする。

[0072]

回路132は、nチャネル型トランジスタであるトランジスタM21およびM22を有する。回路133が有するトランジスタは、pチャネル型トランジスタでもよい。配線VGLは、電位0Vが与えられる配線である。回路132は、信号PREをHレベルとすることで、配線BLおよび配線BLBの電位を電位0Vにする。

[0073]

回路133は、nチャネル型トランジスタであるトランジスタM31乃至M33を有する。回路133は、信号EQをHレベルとすることで、配線BLおよび配線BLBの電位を配線VALの電位 V_A とし、且つ配線BLおよび配線BLBの電位を等電位とすることができる。

[0074]

回路134は、nチャネル型トランジスタであるトランジスタM41およびM42を有する。回路134は、信号CSELをHレベルとすることで、配線BLおよび配線BLBの電位を配線S/A__OUTおよび配線S/A__OUTBを介して外部に出力することができる。

[0075]

図5に示すセンスアンプ130は、回路131乃至134の構成を備えることで、メモリセル100で保持する電位 V_A を配線BLに与える機能、配線BLおよび配線BLBを電位0Vとする機能、および配線BLの電位が参照電位 V_{REF} より高い場合、配線BLの電位は電位 V_B 、配線BLBの電位は0Vとし、配線BLの電位が参照電位 V_{REF} より低い場合、配線BLは電位0V、配線BLBの電位は電位 V_B とする機能、を有することができる。

[0076]

なお図2で説明した期間T0において、配線BLの電位 V_A とする例を説明したが、他の構成でもよい。例えば図6に示すタイミングチャートのように、期間T0を期間T0-1と、期間T0-2と、に分け、期間T0-1では配線BLを電位 V_A とし、期間T0-2では配線BLを電位0Vとする構成でもよい。当該構成とすることで、配線BLを電位 V_A とする期間を短くすることができる。なお期間T0-1と、期間T0-2と、は、交互に切り替えればよい。

[0077]

また図7Aおよび図7Bは、図1Aに示す半導体装置10におけるトランジスタ110の変形例を説明する図である。図7Aに示すトランジスタ110Aは、バックゲートを有し、当該バックゲートにバックゲート電圧を印加するための配線VBLが接続された構成を有する。当該構成とすることで、バックゲート電圧を調整し、しきい値電圧などのトランジスタの電気特性を改善する構成とすることができる。

[0078]

また図7Bに示すトランジスタ110Bは、バックゲートを有し、当該バックゲートに配線WLが接続された構成を有する。当該構成とすることで、トランジスタ110Bに流れる電流量を大きくすることができる。

[0079]

以上説明した本発明の一態様の半導体装置では、反強誘電性を有する材料を有するキャパシタでのデータの保持に、電界を印加して保持を行う構成とし、読み出し時において、データ保持時の分

極の状態となるよう、反強誘電性を有する材料に電界を与える。具体的には、反強誘電性を有する材料の分極がゼロの状態を経る電界を与えてデータ保持時の分極の状態に応じたデータを読み出すとともに、反強誘電性を有する材料が分極反転する電界を与えることで、データ保持時の分極の状態に戻す動作を行う構成とする。当該構成とすることで、分極反転に要する電界の範囲の小さい、半導体装置を提供することができる。または、仕事関数の異なる材料を電極に用いることなく、保持するデータに応じた分極の状態をキャパシタで保持できる。

[0080]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0081]

(実施の形態2)

本実施の形態は、上記実施の形態で説明した半導体装置の別の構成例について説明する。なお、実施の形態1の半導体装置10と同一部分又は同様な機能を有する部分は、実施の形態1と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

[0082]

図8は、半導体装置の構成例を説明する図である。半導体装置10Aは、メモリセル100およびセンスアンプ130Aを有する。メモリセル100は、トランジスタ110およびキャパシタ120を有する。

[0083]

センスアンプ130Aは、信号SAE、および信号EQによって制御され、配線BLおよび配線BLBの電位差を増幅する機能を有する。実施の形態1で説明したセンスアンプ130との違いは、信号PREの有無である。

[0084]

図9は、図8に示す半導体装置10Aの駆動方法を説明するタイミングチャートである。また図10は、図8で説明した、反強誘電性を有する材料122のヒステリシス特性の一例を示すグラフである。また図11Aおよび図11Bは、図9に示すタイミングチャートの期間に対応する、反強誘電性を有する材料122のヒステリシス特性を説明する図である。

[0085]

図9では、図8に示す半導体装置10Aに示す、配線WL、配線BL、配線PL、信号EQ、信号SAE、ノードSN、配線BLB、および信号SWBLB、の信号波形および電位を模式的に表している。信号EQおよび信号SAEは、Hレベルでセンスアンプ130の各機能がアクティブ（活性状態）、Lレベルでセンスアンプ130の各機能がインアクティブ（不活性状態）、となる。

[0086]

図9に示す期間T10は、保持期間である。保持期間では、メモリセル100のキャパシタ120において、データに応じた分極の状態を保持させる。期間T0において、データ0 (D_0) を保持する場合、ノードSNおよび配線PLを0Vとする。また期間T0において、データ1 (D_1) を保持する場合、ノードSNは電位 V_B とし、配線PLを0Vとする。キャパシタ120では、図10に図示するように、電界0をキャパシタ120に印加することで、データ0 (D_0) に応じた分極（分極が $0 = P_{D0}$ ）の状態が保持される。またキャパシタ120では、図10に図示するように、電位差 $-V_B$ をキャパシタ120に印加することで、データ1 (D_1) に応じた分極 P_{D1} の状態が保持される。

[0087]

図9に示す期間T11は、信号EQをLレベルとしておき、配線WLをHレベルとして、メモリセル100に保持されたデータを配線BLに読み出す期間である。トランジスタ110が導通状態となり、キャパシタ120に保持された電荷が、配線BLとの間で分配される。キャパシタ120に保持された電荷量は、反強誘電性を有する材料122の分極の状態に応じて変わる。データ1 (D_1) に応じた分極 (P_{D1}) は、データ0 (D_0) に応じた分極 ($0 = P_{D0}$) よりも絶対値が大きい。そのため、データ1の状態を保持するキャパシタ120は、データ0の状態を保持するキャパシタ120より保持する電荷量が多い。このため、電位0Vに保持された配線BLと、ノードSNに保持された電位 V_B と、で電荷を分配した際、データ1の状態では、配線BLとノードSNの電位が0Vに変化するものの、その変化は緩やかとなる。また、電位0Vに保持された配線BLと、ノードSNに保持された電位0Vと、で電荷を分配した際、データ0の状態では、配線BLとノードSNの電位が電位0Vとなる。

[0088]

また図9に示す期間T11では、信号SWBLBをHレベルとして、配線BLBの電位を参照電位 V_{REF} としておく。

[0089]

なお期間T11において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、ノードSNの電位を配線PLの電位にする、あるいは配線PLの電位に近づけることで、分極がゼロの状態を経る電界が与えられる。データ1 (D_1) に応じた分極 (P_{D1}) は、キャパシタ120の電極に接続されたノードSNの電位が0Vに近づくため、電界が0に向けて変化する。電界の変化によって、材料122の分極が小さくなるよう変化する(図11Aの点線矢印)ものの、データ1の状態を保持するキャパシタ120が保持する電荷量が多いため、その変化は緩やかである。データ0 (D_0) に応じた分極 (P_{D0}) は、キャパシタ120の両端の電極の電位が0Vのままのため、分極の大きさに変化がない(図11Aの破線矢印)。

[0090]

図9に示す期間T12は、信号SAEをHレベル、として、配線BLと参照電位 V_{REF} との高低関係に応じて配線BL、BLBの電位を増幅する期間である。データ1 (Data1) の状態では、キャパシタ120が保持する電荷量が多いため配線BLとノードSNの電位が電位0Vまで下がらず、配線BLの電位は参照電位 V_{REF} より高い。この場合、センスアンプ130は、配線BLの電位が電位 V_B に増幅される。トランジスタ110が導通状態のため、ノードSNも同様の挙動を示す。また配線BLBは、0Vに放電される。

[0091]

またデータ0 (Data0) の状態では、配線BLとノードSNの電位が電位0Vとなるため、配線BLの電位は参照電位 V_{REF} より低い。この場合、センスアンプ130は、配線BLの電位が0Vに放電される。トランジスタ110が導通状態のため、ノードSNも同様の挙動を示す。また配線BLBは、電位 V_B に増幅される。

[0092]

なお期間T12において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0 (D_0) の場合、ノードSNの電位が0Vとなるため、材料122の分極がゼロの状態(図11Bの点線矢印)となる。また、材料122は、データ

1 (D_1) の場合、ノード SN の電位が電位 V_B となり、キャパシタ 120 には、電位差 $-V_B$ が印加される状態となる (図 11B の破線矢印)。そのため、材料 122 が分極反転する。

[0093]

図 9 に示す期間 T_{13} は、配線 WL を L レベルとする。ノード SN の電位 V_B が保持される。期間 T_{13} 後の期間 T_{10} では、再び保持期間、つまりキャパシタ 120 においてデータに応じた分極を保持する期間、となる。信号 EQ を H レベル、信号 SAE を L レベルとし、配線 BL 、 BLB は $0V$ とする。保持期間では、データ 0 (D_0) に応じた分極では分極 $0 = P_{D0}$ の状態、データ 1 (D_1) に応じた分極では分極 P_{D1} の状態、が保持される。

[0094]

図 12 は、図 7 で図示したセンスアンプ 130A の構成例について説明する図である。なおセンスアンプ 130A において、実施の形態 1 の図 5 で説明したセンスアンプ 130 と同一部分又は同様な機能を有する部分は、実施の形態 1 と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

[0095]

センスアンプ 130A は、図 5 で説明したセンスアンプ 130 における回路 133 が省略された構成を有する。またセンスアンプ 130A は、回路 133 において、信号 EQ を H レベルとすることで、配線 BL および配線 BLB の電位を電位 $0V$ とし、且つ配線 BL および配線 BLB の電位を等電位とすることができる。

[0096]

図 12 に示すセンスアンプ 130A は、図 12 の各構成を備えることで、配線 BL および配線 BLB を電位 $0V$ とする機能、および配線 BL の電位が参照電位 V_{REF} より高い場合、配線 BL の電位は電位 V_B 、配線 BLB の電位は $0V$ とし、配線 BL の電位が参照電位 V_{REF} より低い場合、配線 BL は電位 $0V$ 、配線 BLB の電位は電位 V_B とする機能、を有することができる。

[0097]

以上説明した本発明の一態様の半導体装置では、反強誘電性を有する材料を有するキャパシタでのデータの保持に、電界を印加して保持を行う構成とし、読み出し時において、データ保持時の分極の状態となるよう、反強誘電性を有する材料に電界を与える。具体的には、反強誘電性を有する材料の分極がゼロの状態を経る電界を与えてデータ保持時の分極に応じたデータを読み出すとともに、反強誘電性を有する材料が分極反転する電界を与えることで、データ保持時の分極の状態に戻す動作を行う構成とする。当該構成とすることで、分極反転に要する電界の範囲の小さい、半導体装置を提供することができる。または、仕事関数の異なる材料を電極に用いることなく、保持するデータに応じた分極をキャパシタで保持できる。

[0098]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0099]

(実施の形態 3)

本実施の形態は、上記実施の形態で説明した半導体装置の別の構成例について説明する。なお、実施の形態 1 の半導体装置 10 と同一部分又は同様な機能を有する部分は、実施の形態 1 と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

[0100]

図13は、半導体装置の構成例を説明する図である。半導体装置10Bは、メモリセル100およびセンスアンプ130Bを有する。メモリセル100は、トランジスタ110およびキャパシタ120を有する。キャパシタ120の他方の電極は、配線PL__Aに接続される。

[0101]

センスアンプ130Bは、信号SAE、および信号EQによって制御され、配線BLおよび配線BLBの電位差を増幅する機能を有する。

[0102]

センスアンプ130Bは、メモリセル100で保持する電位0V（第2電位ともいう）を配線BLに与える機能を有する。センスアンプ130Bは、信号SAEに応じて配線BLおよび配線BLBの電位を電位 V_A （第1電位ともいう）または電位0Vにする機能を有する。信号SAEに応じた配線BLおよび配線BLBの電位の増幅は、参照電位 V_{REF} との高低関係に応じて行われる。例えば、配線BLの電位が参照電位 V_{REF} より高い場合、配線BLの電位は電位 V_A となり、配線BLBの電位は0Vとなる。配線BLの電位が参照電位 V_{REF} より低い場合、配線BLは電位0Vとなり、配線BLBの電位は電位 V_A となる。

[0103]

配線PL__Aは、キャパシタ120の他方の電極121Bに電位 V_A または電位 V_B を与える機能を有する。配線PL__Aは、データの読み出し時とデータの保持時とで異なる電位を与える構成とする。具体的には、配線PL__Aは、データの読み出し時において電位 V_A を与え、データの保持時に電位 V_B を与える。

[0104]

データの保持時において、電位 V_A と電位0Vによってキャパシタ120に電位差 V_A （または $-V_A$ ）を与えることで、反強誘電性を有する材料122であっても強誘電性が発現する材料として用いることができる。またデータ読み出し時において、キャパシタ120に電位差0Vを与えることで、反強誘電性を有する材料122の分極反転を行うことができる。

[0105]

図14は、図13に示す半導体装置10Bの駆動方法を説明するタイミングチャートである。また図15は、キャパシタ120が有する、反強誘電性を有する材料122のヒステリシス特性の一例を示すグラフである。また図16A乃至図16Dは、図14に示すタイミングチャートの期間に対応する、反強誘電性を有する材料122のヒステリシス特性を説明する図である。

[0106]

図14では、図13に示す半導体装置10Bに示す、配線WL、配線BL、配線PL__A、信号EQ、信号SAE、ノードSN、配線BLB、および信号SWBLB、の信号波形および電位を模式的に表している。信号EQおよび信号SAEは、Hレベルでセンスアンプ130Bの各機能がアクティブ（活性状態）、Lレベルでセンスアンプ130Bの各機能がインアクティブ（不活性状態）、となる。

[0107]

図14に示す期間T20は、保持期間である。保持期間では、メモリセル100のキャパシタ120において、データに応じた分極を保持させる。期間T20において、ノードSNは電位0Vとし、配線PL__Aを電位 V_A とする。キャパシタ120では、図15に図示する、電位差 V_A が印加される状態となる。電位差 V_A をキャパシタ120に印加することで、データ0（ D_0 ）に応じた分

極 P_{D0} の状態、データ1 (D_1) に応じた分極 P_{D1} の状態、が保持される。

[0108]

図14に示す期間 T_{21} では、配線 WL をHレベルおよび配線 PL_A を電位 V_B として、メモリセル100に保持されたデータを配線 BL に読み出す期間である。トランジスタ110が導通状態となり、キャパシタ120に保持された電荷が、配線 BL との間で分配される。キャパシタ120は、配線 PL_A を電位 V_A から電位 V_B に切り替えることで電位差 V_B に変化する。データ0 (D_0) に応じた分極 (P_{D0}) は、電位差 V_A から電位差 V_B への変化に応じて変化する分極の変化が小さい。一方、データ1 (D_1) に応じた分極 (P_{D1}) は、電位差 V_A から電位差 V_B への変化に応じて変化する分極が大きい。そのため、データ1の状態を保持するキャパシタ120では、配線 PL_A を電位 V_A から電位 V_B に切り替えることによる生じる容量結合によって変動する電位が大きい。一方、データ0の状態を保持するキャパシタ120では、配線 PL_A を電位 V_A から電位 V_B に切り替えることによる生じる容量結合によって変動する電位が小さい。その結果、データ1の状態では、配線 BL とノード SN の電位が電位 V_A 寄りとなる。また、データ0の状態では、配線 BL とノード SN の電位が電位0V寄りとなる。

[0109]

また図14に示す期間 T_{21} では、信号 $SWBLB$ をHレベルとして、配線 BLB の電位を参照電位 V_{REF} としておく。

[0110]

なお期間 T_{21} において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、配線 PL が電位 V_A から電位 V_B に切り替わることで電位差 V_B による電界が与えられるため、材料122のデータ0 (D_0) およびデータ1 (D_1) に応じた分極が、電位差 V_B による電界の分極または近傍に近づく。なお材料122の分極が、電位差 V_B による電界の分極または近傍に近づくとは、データ0 (D_0) に応じた分極の状態 (図15に図示) から電位差 V_B による電界の状態の分極 (図16Aの点線矢印) となるよう電界を印加する状態、またはデータ1 (D_1) に応じた分極の状態 (図15に図示) から電界が0の状態の分極 (図16Aの破線矢印) となるよう電界を印加する状態をいう。

[0111]

図14に示す期間 T_{22_1} は、信号 SAE をHレベル、として、配線 BL と参照電位 V_{REF} との高低関係に応じて配線 BL 、 BLB の電位を増幅する期間である。データ1 ($Data1$) の状態では、配線 BL とノード SN の電位が電位 V_A 寄りとなるため、配線 BL の電位は参照電位 V_{REF} より高い。この場合、センスアンプ130Bは、配線 BL の電位が電位 V_A に増幅される。トランジスタ110が導通状態のため、ノード SN も同様の挙動を示す。また配線 BLB は、0Vに放電される。

[0112]

またデータ0 ($Data0$) の状態では、配線 BL とノード SN の電位が電位0V寄りとなるため、配線 BL の電位は参照電位 V_{REF} より低い。この場合、センスアンプ130Bは、配線 BL の電位が0Vに放電される。トランジスタ110が導通状態のため、ノード SN も同様の挙動を示す。また配線 BLB は、電位 V_A に増幅される。

[0113]

なお期間 T_{22_1} において、反強誘電性を有する材料122は、印加される電界が変わるため、

分極の状態が変化する。材料122は、データ0 (D_0) の場合、ノードSNの電位が0Vとなるため、材料122の分極が電位差 V_B による電界の状態(図16Bの点線矢印)となる。また、材料122は、データ1 (D_1) の場合、ノードSNの電位が電位 V_A となり、キャパシタ120には図16Bに図示する、電位差 V_A が印加される状態となる(図16Bの破線矢印)。

[0114]

図14に示す期間T22__2は、配線PL__Aを電位 V_A とする期間である。期間T22__2において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0 (D_0) の場合、ノードSNの電位が0Vとなるため、材料122の分極が電位差 V_A による電界の状態(図16Cの点線矢印)となる。また、材料122は、データ1 (D_1) の場合、配線PL__AおよびノードSNの電位が共に電位 V_A となり、キャパシタ120には図16Cに図示する、電位差0Vが印加される状態となる(図16Cの破線矢印)。そのため、分極反転する電界が材料122に印加される状態となる。

[0115]

図14に示す期間T23は、信号SAEをLレベルと、その後期間T24において、信号EQをHレベル、配線BLを電位0Vとする。配線BL、BLBは、電位0Vで等電位となる。配線WLはHレベルのため、ノードSNは電位0Vとなる。

[0116]

なお期間T24において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0 (D_0) の場合、配線PL__Aの電位が電位 V_A 、ノードSNの電位が電位0Vとなるため、材料122が保持状態での分極(図16Dの点線矢印)となる。また、材料122は、データ1 (D_1) の場合、配線PL__Aの電位が電位 V_A 、ノードSNの電位が電位0Vとなるため、材料122が保持状態での分極(図16Dの破線矢印)となる。

[0117]

期間T24後の期間T20では、再び保持期間である。保持期間では、データ0 (D_0) に応じた残留分極では分極 P_{D0} の状態、データ1 (D_1) に応じた残留分極では分極 P_{D1} の状態、が保持される。

[0118]

図17は、図13で図示したセンスアンプ130Bの構成例について説明する図である。なおセンスアンプ130Bにおいて、実施の形態1の図5で説明したセンスアンプ130と同一部分又は同様な機能を有する部分は、実施の形態1と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

[0119]

センスアンプ130Bは、図5で説明したセンスアンプ130における回路133が省略された構成を有する。またセンスアンプ130Bは、回路131において、信号SAEをHレベル(信号SAEBをLレベル)とすることで、配線BLおよび配線BLBの電位を配線VALの電位 V_A または配線VGLの0Vとすることができる。またセンスアンプ130Bは、回路133において、信号EQをHレベルとすることで、配線BLおよび配線BLBの電位を配線VGLの電位0Vとし、且つ配線BLおよび配線BLBの電位を等電位とすることができる。

[0120]

図17に示すセンスアンプ130Bは、図17の各構成を備えることで、配線BLおよび配線B

LBを電位0Vとする機能、および配線BLの電位が参照電位 V_{REF} より高い場合、配線BLの電位は電位 V_A 、配線BLBの電位は0Vとし、配線BLの電位が参照電位 V_{REF} より低い場合、配線BLは電位0V、配線BLBの電位は電位 V_A とする機能、を有することができる。

[0121]

また図14で説明した構成の変形例について、図18乃至図21を参照して説明する。なお、上述した図14乃至図17での説明と同一部分又は同様な機能を有する部分は、その繰り返しの説明は省略する。

[0122]

図18は、半導体装置の構成例を説明するである。半導体装置10Cは、メモリセル100およびセンスアンプ130Cを有する。メモリセル100は、トランジスタ110およびキャパシタ120を有する。キャパシタ120の他方の電極は、配線PL__Aに接続される。

[0123]

センスアンプ130Cは、信号SAE、および信号EQによって制御され、配線BLおよび配線BLBの電位差を増幅する機能を有する。

[0124]

センスアンプ130Cは、メモリセル100で保持する電位0V（第2電位ともいう）を配線BLに与える機能を有する。センスアンプ130Cは、信号SAEに応じて配線BLおよび配線BLBの電位を電位 V_B （第3電位ともいう）または電位0Vにする機能を有する。信号SAEに応じた配線BLおよび配線BLBの電位の増幅は、参照電位 V_{REF} との高低関係に応じて行われる。例えば、配線BLの電位が参照電位 V_{REF} より高い場合、配線BLの電位は電位 V_B となり、配線BLBの電位は0Vとなる。配線BLの電位が参照電位 V_{REF} より低い場合、配線BLは電位0Vとなり、配線BLBの電位は電位 V_B となる。

[0125]

配線PL__Aは、キャパシタ120の他方の電極121Bに電位 V_A または電位 V_B を与える機能を有する。配線PL__Aは、データの読み出し時とデータの保持時とで異なる電位を与える構成とする。具体的には、配線PL__Aは、データの読み出し時において電位 V_A を与え、データの保持時に電位 V_B を与える。

[0126]

データの保持時において、電位 V_A と電位0Vによってキャパシタ120に電位差 V_A （または $-V_A$ ）を与えることで、反強誘電性を有する材料122であっても強誘電性が発現する材料として用いることができる。またデータ読み出し時において、電位 V_A と電位0Vによってキャパシタ120に電位差 $-V_A$ を与えることで、反強誘電性を有する材料122の分極反転を行うことができる。

[0127]

図19は、図18に示す半導体装置10Cの駆動方法を説明するタイミングチャートである。また図20A乃至図20Dは、図19に示すタイミングチャートの期間に対応する、反強誘電性を有する材料122のヒステリシス特性を説明する図である。なお保持期間における反強誘電性を有する材料122の分極状態は、図15に示す、反強誘電性を有する材料122のヒステリシス特性のグラフの説明と同様である。

[0128]

図19では、図18に示す半導体装置10Cに示す、配線WL、配線BL、配線PL__A、信号EQ、信号SAE、ノードSN、配線BLB、および信号SWBLB、の信号波形および電位を模式的に表している。信号EQおよび信号SAEは、Hレベルでセンスアンプ130Cの各機能がアクティブ（活性状態）、Lレベルでセンスアンプ130Cの各機能がインアクティブ（不活性状態）、となる。

[0129]

図19に示す期間T30は、保持期間である。期間T30では、上述した期間T20での説明と同様である。

[0130]

図19に示す期間T31では、配線WLをHレベルおよび配線PL__Aを電位 V_B として、メモリセル100に保持されたデータを配線BLに読み出す期間である。期間T31では、上述した期間T21での説明と同様である。

[0131]

なお期間T31において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。具体的には、データ0 (D_0) に応じた分極の状態（図15に図示）から電位差 V_B による電界の状態の分極（図20Aの点線矢印）となるよう電界を印加する状態、またはデータ1 (D_1) に応じた分極の状態（図15に図示）から電界が0の状態の分極（図20Aの破線矢印）となるよう電界を印加する状態をいう。

[0132]

図19に示す期間T32__1は、信号SAEをHレベル、として、配線BLと参照電位 V_{REF} との高低関係に応じて配線BL、BLBの電位を増幅する期間である。データ1 (Data1) の状態では、配線BLとノードSNの電位が電位 V_A 寄りとなるため、配線BLの電位は参照電位 V_{REF} より高い。この場合、センスアンプ130Cは、配線BLの電位が電位 V_B に増幅される。トランジスタ110が導通状態のため、ノードSNも同様の挙動を示す。また配線BLBは、0Vに放電される。

[0133]

またデータ0 (Data0) の状態では、配線BLとノードSNの電位が電位0V寄りとなるため、配線BLの電位は参照電位 V_{REF} より低い。この場合、センスアンプ130Cは、配線BLの電位が0Vに放電される。トランジスタ110が導通状態のため、ノードSNも同様の挙動を示す。また配線BLBは、電位 V_B に増幅される。

[0134]

なお期間T32__1において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0 (D_0) の場合、ノードSNの電位が0Vとなるため、材料122の分極が電位差 V_B による電界の状態（図20Bの点線矢印）となる。また、材料122は、データ1 (D_1) の場合、ノードSNの電位が電位 V_B となり、キャパシタ120には図20Bに図示する、電位差0Vが印加される状態となる（図20Bの破線矢印）。

[0135]

図19に示す期間T32__2は、配線PL__Aを電位 V_A とする期間である。期間T22__2において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0 (D_0) の場合、ノードSNの電位が0Vとなるため、材料122の分極

が電位差 V_A による電界の状態（図20Cの点線矢印）となる。また、材料122は、データ1（ D_1 ）の場合、配線PL__AおよびノードSNの電位が共に電位 V_B となり、キャパシタ120には図20Cに図示する、電位差 $-V_A$ が印加される状態となる（図20Cの破線矢印）。そのため、分極反転する電界が材料122に印加される状態となる。

[0136]

図19に示す期間T33は、信号SAEをLレベルと、その後期間T34において、信号EQをHレベル、配線BLを電位0Vとする。配線BL、BLBは、電位0Vで等電位となる。配線WLはHレベルのため、ノードSNは電位0Vとなる。

[0137]

なお期間T34において、反強誘電性を有する材料122は、印加される電界が変わるため、分極の状態が変化する。材料122は、データ0（ D_0 ）の場合、配線PL__Aの電位が電位 V_A 、ノードSNの電位が電位0Vとなるため、材料122が保持状態での分極（図20Dの点線矢印）となる。また、材料122は、データ1（ D_1 ）の場合、配線PL__Aの電位が電位 V_A 、ノードSNの電位が電位0Vとなるため、材料122が保持状態での分極（図20Dの破線矢印）となる。

[0138]

期間T34後の期間T30では、再び保持期間である。保持期間では、データ0（ D_0 ）に応じた残留分極では分極 P_{D0} の状態、データ1（ D_1 ）に応じた残留分極では分極 P_{D1} の状態、が保持される。

[0139]

図21は、図18で図示したセンスアンプ130Cの構成例について説明する図である。なおセンスアンプ130Cにおいて、実施の形態1の図5で説明したセンスアンプ130と同一部分又は同様な機能を有する部分は、実施の形態1と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。

[0140]

センスアンプ130Cは、図5で説明したセンスアンプ130における回路133が省略された構成を有する。またセンスアンプ130Cは、回路131において、信号SAEをHレベル（信号SAEBをLレベル）とすることで、配線BLおよび配線BLBの電位を電位 V_B または0Vとすることができる。またセンスアンプ130Bは、回路133において、信号EQをHレベルとすることで、配線BLおよび配線BLBの電位を電位0Vとし、且つ配線BLおよび配線BLBの電位を等電位とすることができる。

[0141]

図18に示すセンスアンプ130Cは、図21の各構成を備えることで、配線BLおよび配線BLBを電位0Vとする機能、および配線BLの電位が参照電位 V_{REF} より高い場合、配線BLの電位は電位 V_B 、配線BLBの電位は0Vとし、配線BLの電位が参照電位 V_{REF} より低い場合、配線BLは電位0V、配線BLBの電位は電位 V_B とする機能、を有することができる。

[0142]

以上説明した本発明の一態様の半導体装置では、反強誘電性を有する材料を有するキャパシタでのデータの保持に、電界を印加して保持を行う構成とし、読み出し時において、データ保持時の分極の状態となるよう、反強誘電性を有する材料に電界を与える。具体的には、反強誘電性を有する材料の分極がゼロの状態を経る電界を与えてデータ保持時の分極に応じたデータを読み出すとともに

に、反強誘電性を有する材料が分極反転する電界を与えることで、データ保持時の分極の状態に戻す動作を行う構成とする。当該構成とすることで、分極反転に要する電界の範囲の小さい、半導体装置を提供することができる。または、仕事関数の異なる材料を電極に用いることなく、保持するデータに応じた分極をキャパシタで保持できる。

[0143]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0144]

(実施の形態4)

キャパシタ120が有する反強誘電性 (Anti-ferroelectric: AFE) を有する材料122の構成例について説明する。

[0145]

反強誘電性を有する材料122としては、酸化ハフニウム、酸化ジルコニウム、 HfZrO_x (x は0よりも大きい実数とする) などの金属酸化物が挙げられる。

[0146]

また、反強誘電性を有する材料としては、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム (Zr)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) などから選ばれた一つまたは複数) を添加した金属酸化物が挙げられる。ここで、ハフニウム原子と元素J1の原子数の比は適宜設定することができ、例えば、ハフニウム原子と元素J1の原子数を1:1またはその近傍にすればよい。

[0147]

また、反強誘電性を有する材料としては、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム (Hf)、シリコン (Si)、アルミニウム (Al)、ガドリニウム (Gd)、イットリウム (Y)、ランタン (La)、ストロンチウム (Sr) などから選ばれた一つまたは複数) を添加した金属酸化物が挙げられる。また、ジルコニウム原子と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウム原子と元素J2の原子数を1:1またはその近傍にすればよい。

[0148]

また、反強誘電性を有する材料として、 PbTiO_x 、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO)、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0149]

また、反強誘電性を有する材料としては、例えば、上記に列挙した材料から選ばれた複数の金属酸化物からなる混合物または化合物を用いることができる。

[0150]

中でも反強誘電性を有する材料として、酸化ハフニウム、または、酸化ハフニウムおよび酸化ジルコニウムを有する材料は、数nmといった薄膜に加工しても反強誘電性を有することができるため、好ましい。薄膜化することができる反強誘電体層を誘電体などに用いることで、微細化されたキャパシタなどの半導体素子を含む半導体装置を作製できる。

[0151]

ここで、酸化ハフニウムの結晶構造について、図 2 2 を用いて説明を行う。図 2 2 は、酸化ハフニウム（本実施の形態においては HfO_2 ）の結晶構造を説明するモデル図である。酸化ハフニウムは、多様な結晶構造をとることが知られており、例えば、図 2 2 に示す立方晶系（cubic、空間群： $Fm-3m$ ）、正方晶系（tetragonal、空間群： $P4_2/nmc$ ）、直方晶系（orthorhombic、空間群： $Pbc2_1$ ）、及び単斜晶系（monoclinic、空間群： $P2_1/c$ ）などの結晶構造を取りうる。また、図 2 2 に示すように、上述のそれぞれの結晶構造は、相変化しうる。例えば、酸化ハフニウムに、ジルコニウムのドーピングを行った複合材料とすることで、単斜晶系を主とした酸化ハフニウムの結晶構造から直方晶系を主とした結晶構造にすることができる。

[0152]

上述の複合材料として、原子層堆積（ALD: Atomic Layer Deposition）法などを用いて酸化ハフニウムと酸化ジルコニウムとをおよそ 1 : 1 の組成になるように交互に成膜する場合、当該複合材料は、直方晶系の結晶構造を有する。または、当該複合材料は、アモルファス構造を有する。その後、上記複合材料に熱処理などを加えることで、アモルファス構造を、直方晶系の結晶構造とすることができる。

[0153]

ここで、 HfZrO_x の直方晶系の結晶構造のモデルについて、図 2 3 A および図 2 3 B を用いて説明を行う。

[0154]

図 2 3 A および図 2 3 B は、 HfZrO_x 、ここでは、 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ の結晶構造のモデル図である。また、図 2 3 A 中および図 2 3 B 中において、a 軸、b 軸、c 軸の方向も図示してある。図 2 3 A および図 2 3 B は、 HfO_2 の orthorhombic 構造（ $Pca2_1$ ）に関する第一原理計算により、原子の配置が最適化されたモデルである。

[0155]

なお、図 2 3 A および図 2 3 B では、ハフニウムと、ジルコニウムと、が酸素を介して互いに結合している状態であることが分かる。これは、ハフニウムと、ジルコニウムとを、ALD 法により交互に成膜することで、形成することができる。

[0156]

HfZrO_x は、orthorhombic 構造において、図 2 3 A に示す原子配置、および図 2 3 B に示す原子配置のいずれもとる。よって、外部から与えられる電場により、 HfZrO_x 中の酸素原子の一部が変位することで、内部に分極が生じる。ここで、酸素原子の一部は c 軸方向に変位し、分極も c 軸方向に生じる。また、電場の方向または強さを変えることで、 HfZrO_x 中の酸素原子の一部が移動することで、内部に生じる分極の符号が変更される。

[0157]

酸化ハフニウムに、ジルコニウムのドーピングを行った複合材料とすることで、単斜晶系を主とした酸化ハフニウムの結晶構造から正方晶系を主とした結晶構造にすることができる場合がある。このとき、当該複合材料は、反強誘電性を有する場合がある。別言すると、上記複合材料に反強誘電性を付与する場合、単斜晶系の結晶構造よりも、正方晶系の結晶構造が好ましい。

[0158]

なお、上記複合材料において、ハフニウムに対するジルコニウムの含有量は大きいことが好まし

い。例えば、上記複合材料として、 $Hf : Zr = 1 : 2$ [原子数比] もしくはその近傍の組成の複合材料、または $Hf : Zr = 1 : 3$ [原子数比] もしくはその近傍の組成の複合材料を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。ハフニウムに対するジルコニウムの含有量を大きくすることで、複合材料において反強誘電性が発現しやすくなる。

[0159]

本発明の一態様によれば、キャパシタの誘電体として反強誘電性を有する材料を用いることで、キャパシタ 120 の静電容量を大きくすることができる。よって、キャパシタ 120 の占有面積を小さくすることができる。小型化が図られたメモリセルを有する半導体装置とすることができる。

[0160]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0161]

(実施の形態 5)

メモリセル 100 を含む記憶装置 300 の構成例について説明する。

[0162]

図 24A に、記憶装置 300 の構成例を示すブロック図を示す。記憶装置 300 は、駆動回路 21 と、メモリアレイ 20 と、を有する。メモリアレイ 20 は、複数のメモリセル 100 を有する。図 24A では、メモリアレイ 20 が m 行 n 列 (m は 2 以上の整数。 n は 2 以上の整数。) のマトリクス状に配置された複数のメモリセル 100 を有する例を示している。

[0163]

なお、行と列は互いに直交する方向に延在する。本実施の形態では、 X 方向を「行」とし、 Y 方向を「列」としているが、 X 方向を「列」とし、 Y 方向を「行」としてもよい。

[0164]

図 24A では、1 行 1 列目のメモリセル 100 をメモリセル 100 [1, 1] と示し、1 行 n 列目のメモリセル 100 をメモリセル 100 [1, n] と示し、 m 行 1 列目のメモリセル 100 をメモリセル 100 [m , 1] と示し、 m 行 n 列目のメモリセル 100 をメモリセル 100 [m , n] と示している。また、 i 行 j 列目 (i は 1 以上 m 以下の整数。 j は 1 以上 n 以下の整数。) のメモリセル 100 をメモリセル 100 [i , j] と示している。

[0165]

また、メモリアレイ 20 は、行方向に延在する m 本の配線 WL と、列方向に延在する n 本の配線 BL および n 本の配線 BLB と、を備える (図示せず)。本実施の形態などでは、 i 本目 (i 行目) に設けられた配線 WL を配線 WL [i] と示す場合がある。また、 j 本目 (j 列目) に設けられた配線 BL を配線 BL [j] と示す場合がある。

[0166]

j 列目に設けられた複数のメモリセル 100 は、配線 BL [j] と電氣的に接続される (図示せず。)。 i 行目に設けられた複数のメモリセル 100 は、配線 WL [i] と電氣的に接続される (図示せず。)。

[0167]

駆動回路 21 は、 $PSW22$ (パワースイッチ)、 $PSW23$ 、および周辺回路 31 を有する。周辺回路 31 は、周辺回路 41、コントロール回路 32 (Control Circuit)、および電圧生成回路 33 を有する。

[0168]

記憶装置300において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

[0169]

また、信号BW、信号CE、および信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路32で生成してもよい。

[0170]

コントロール回路32は、記憶装置300の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号CE、信号GWおよび信号BWを論理演算して、記憶装置300の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路32は、この動作モードが実行されるように、周辺回路41の制御信号を生成する。

[0171]

電圧生成回路33は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路33への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路33へ入力され、電圧生成回路33は負電圧を生成する。

[0172]

周辺回路41は、メモリセル100に対するデータの書き込みおよび読み出しをするための回路である。周辺回路41は、行デコーダ42（Row Decoder）、列デコーダ44（Column Decoder）、行ドライバ43（Row Driver）、列ドライバ45（Column Driver）、入力回路47（Input Cir.）、出力回路48（Output Cir.）、センスアンプ46（Sense Amplifier）を有する。

[0173]

行デコーダ42および列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定するための回路である。行ドライバ43は、行デコーダ42が指定する配線WLを選択する機能を有する。列ドライバ45は、データをメモリセル100に書き込む機能、メモリセル100からデータを読み出す機能、読み出したデータを保持する機能等を有する。

[0174]

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、メモリセル100に書き込むデータ（Din）である。列ドライバ45がメモリセル100から読み出したデータ（Dout）は、出力回路48に出力される。出力回路48は、Doutを保持する機能を有する。また、出力回路48は、Doutを記憶装置300の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

[0175]

PSW22は周辺回路31への V_{DD} の供給を制御する機能を有する。PSW23は、行ドライバ43への V_{HM} の供給を制御する機能を有する。ここでは、記憶装置300の高電源電位が V_{DD} であり、低電源電圧はGND（接地電位）である。また、 V_{HM} は、ワード線を高レベルにするために用いられる高電源電位であり、 V_{DD} よりも高い電位である。信号PON1によってPSW22のオン・オフが制御され、信号PON2によってPSW23のオン・オフが制御される。図24Aでは、周辺回路31において、 V_{DD} が供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0176]

駆動回路21とメモリアレイ20は同一平面上に設けてもよい。また、図24Bに示すように、駆動回路21とメモリアレイ20を重ねて設けてもよい。駆動回路21とメモリアレイ20を重ねて設けることで、信号伝搬距離を短くすることができる。よって、駆動回路21とメモリアレイ20の間の抵抗および寄生容量が低減され、消費電力および信号遅延の低減が実現できる。また、記憶装置300の小型化が実現できる。

[0177]

前述した通り、本発明の一態様に係るメモリセル100は、反強誘電性を有する材料を有するキャパシタに電界を印加してデータを記憶することができる。反強誘電性を有する材料の分極特性を利用することで小さい面積で大きい静電容量を得ることができるため、キャパシタの占有面積を小さくすることができる。また、トランジスタと積層して設けるキャパシタをトレンチ容量（深孔積層容量）とする際、作りやすくすることができる。

[0178]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0179]

（実施の形態6）

本実施の形態では、半導体装置10のメモリセル100が備えるトランジスタ110に適用可能なトランジスタ、キャパシタ120に適用可能なキャパシタの構成例について説明する。

[0180]

本発明の一態様に係るトランジスタ110として様々な構成のトランジスタを用いることができる。例えば、トランジスタ110のチャネルが形成される半導体層として、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンまたはゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。

[0181]

特に、トランジスタ110として、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ（「OSトランジスタ」ともいう。）を用いることが好ましい。酸化物半導体はバンドギャップが2 eV以上であるため、オフ電流が著しく少ない。よって、半導体装置10の消費電力を低減できる。よって、半導体装置10を含む半導体装置の消費電力を低減できる。

[0182]

また、例えば、多結晶シリコンを用いたトランジスタは、結晶粒界に起因するしきい値電圧のば

らつきがみられるが、OSトランジスタは結晶粒界の影響が少なく、しきい値電圧のばらつきは小さい。そのため、トランジスタ110にOSトランジスタを用いることで、しきい値電圧ばらつきに起因するメモリセルの誤動作を抑えることができる。

[0183]

また、OSトランジスタは高温環境下においても動作が安定し、特性変動が少ない。例えば、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。よって、OSトランジスタを含む半導体装置10は、高温環境下においても動作が安定し、高い信頼性が得られる。また、OSトランジスタは、ソースとドレイン間の絶縁耐圧が高い。メモリセルを構成するトランジスタにOSトランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好なメモリセルを実現できる。トランジスタ110としてOSトランジスタを用いることで、半導体装置10の信頼性を高めることができる。

[0184]

本発明の一態様に係るキャパシタ120として様々な構成の反強誘電性を有する材料を用いることができる。例えば、酸化ハフニウムに、ジルコニウムのドーピングを行った複合材料は、単斜晶系を主とした酸化ハフニウムの結晶構造から正方晶系を主とした結晶構造にすることで、反強誘電性を有する材料とすることができる。

[0185]

なお、上記複合材料において、ハフニウムに対するジルコニウムの含有量は大きいことが好ましい。例えば、上記複合材料として、 $Hf:Zr=1:2$ [原子数比] もしくはその近傍の組成の複合材料、または $Hf:Zr=1:3$ [原子数比] もしくはその近傍の組成の複合材料を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。ハフニウムに対するジルコニウムの含有量を大きくすることで、複合材料において反強誘電性が発現しやすくなる。

[0186]

[トランジスタおよびキャパシタの構成例]

図25A乃至図25Cは、メモリセル100が有するトランジスタ110及びキャパシタ120の平面図および断面図である。図25Aは、メモリセル100の平面図である。また、図25B及び図25Cは、メモリセル100の断面図である。ここで、図25Bは、図25AにA1-A2の一点鎖線で示す部位の断面図である。また、図25Cは、図25AにA3-A4の一点鎖線で示す部位の断面図である。なお、図25Aの平面図では、図の明瞭化のために一部の要素を省いている。

[0187]

図25A乃至図25Cには、絶縁体140と、絶縁体140上の導電体150と、導電体150上のメモリセル100と、導電体150上の絶縁体180と、絶縁体280と、メモリセル100上の絶縁体283と、を図示している。絶縁体140、絶縁体180、絶縁体280、及び絶縁体283は、層間膜として機能する。導電体150は、配線として機能する。

[0188]

メモリセル100は、導電体150上のキャパシタ120と、キャパシタ120上のトランジスタ110と、を有する。

[0189]

キャパシタ120は、導電体150上の導電体115と、導電体115上の絶縁体170と、絶

縁体 170 上の導電体 160 と、を有する。導電体 160 は一対の電極の一方（上部電極と呼ぶ場合がある）として機能し、導電体 115 は一対の電極の他方（下部電極と呼ぶ場合がある）として機能し、絶縁体 170 は反強誘電性を有する材料として機能する。つまり、キャパシタ 120 は、反強誘電性の分極状態を保持することのできるキャパシタである。

[0190]

図 25B 及び図 25C に示すように、絶縁体 180 には、導電体 150 に達する開口部 190 が設けられている。導電体 115 の少なくとも一部は、開口部 190 に配置されている。なお、導電体 115 は、開口部 190 において導電体 150 の上面に接する領域と、開口部 190 において絶縁体 180 の側面に接する領域と、絶縁体 180 の上面の少なくとも一部に接する領域と、を有する。絶縁体 170 は、少なくとも一部が開口部 190 に位置するように配置されている。導電体 160 は、少なくとも一部が開口部 190 に位置するように配置されている。なお、導電体 160 は、図 25B 及び図 25C に示すように、開口部 190 を埋め込むように設けることが好ましい。

[0191]

キャパシタ 120 は、開口部 190 において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、開口部 190 の深さを深くするほど、キャパシタ 120 の静電容量を大きくすることができる。このようにキャパシタ 120 の単位面積当たりの静電容量を大きくすることにより、メモリセルアレイにおける読み出し動作を安定にすることができる。また、メモリセルの微細化または高集積化を推し進めることができる。

[0192]

開口部 190 の側壁は、導電体 150 の上面に対して垂直であることが好ましい。このとき、開口部 190 は円筒形状を有する。このような構成にすることで、メモリセルの微細化または高集積化を図ることができる。

[0193]

開口部 190 の側壁及び導電体 150 の上面に沿って導電体 115 及び絶縁体 170 が積層して設けられている。また、開口部 190 を埋めるように、絶縁体 170 上に導電体 160 が設けられている。このような構成を有するキャパシタ 120 は、上述したトレンチ容量（深孔積層容量）に相当する。

[0194]

キャパシタ 120 上に、絶縁体 280 が配置されている。つまり、導電体 115、絶縁体 170、及び導電体 160 の上に、絶縁体 280 が配置されている。別言すると、絶縁体 280 の下に、導電体 160 が配置されている。

[0195]

トランジスタ 110 は、導電体 160 と、絶縁体 280 上の導電体 240 と、酸化物半導体 230 と、酸化物半導体 230 上の絶縁体 250 と、絶縁体 250 上の導電体 260 と、を有する。酸化物半導体 230 は半導体層として機能し、導電体 260 はゲート電極として機能し、絶縁体 250 はゲート絶縁体として機能し、導電体 160 はソース電極及びドレイン電極の一方として機能し、導電体 240 はソース電極及びドレイン電極の他方として機能する。

[0196]

図 25B 及び図 25C に示すように、絶縁体 280 及び導電体 240 には、導電体 160 に達す

る開口部２９０が設けられている。酸化物半導体２３０の少なくとも一部は、開口部２９０に配置されている。なお、酸化物半導体２３０は、開口部２９０において導電体１６０の上面に接する領域と、開口部２９０において導電体２４０の側面に接する領域と、導電体２４０の上面の少なくとも一部に接する領域と、を有する。絶縁体２５０は、少なくとも一部が開口部２９０に位置するように配置されている。導電体２６０は、少なくとも一部が開口部２９０に位置するように配置されている。なお、導電体２６０は、図２５Ｂ及び図２５Ｃに示すように、開口部２９０を埋め込むように設けることが好ましい。

[０１９７]

酸化物半導体２３０は、開口部２９０における導電体２４０の側面と接する領域と、導電体２４０の上面の一部と接する領域と、有する。このように、酸化物半導体２３０が導電体２４０の側面だけでなく上面にも接することで、酸化物半導体２３０と導電体２４０とが接する面積を大きくすることができる。

[０１９８]

図２５Ａ乃至図２５Ｃに示すように、トランジスタ１１０は、キャパシタ１２０と重なるように設けられる。また、トランジスタ１１０の構造の一部が設けられる開口部２９０は、キャパシタ１２０の構造の一部が設けられる開口部１９０と重なる領域を有する。特に、導電体１６０は、トランジスタ１１０のソース電極及びドレイン電極の一方としての機能と、キャパシタ１２０の上部電極としての機能とを有するため、トランジスタ１１０とキャパシタ１２０は、構造の一部を共有することになる。このような構成にすることで、平面視において、占有面積を大きく増加させることなく、トランジスタ１１０及びキャパシタ１２０を設けることができる。これにより、メモリセル１００の占有面積を低減できるため、メモリセル１００を高密度に配置し、記憶容量を大きくすることができる。

[０１９９]

メモリセル１００の回路図を図２５Ｄに示す。ここで、配線ＢＬは導電体２４０に対応し、配線ＷＬは導電体２６０に対応し、配線ＰＬは導電体１５０に対応する。図２５Ａ乃至図２５Ｃに示すように、導電体２６０はＹ方向に延在して設けられ、導電体２４０はＸ方向に延在して設けられることが好ましい。このような構成にすることで、配線ＢＬと、配線ＷＬは互いに交差して設けられる。また、図２５Ａでは、配線ＰＬ（導電体１５０）が面状に設けられているが、本発明はこれに限られるものではない。例えば、配線ＰＬは、配線ＷＬ（導電体２６０）に平行に設けられてもよいし、配線ＢＬ（導電体２４０）に平行に設けられてもよい。

[０２００]

キャパシタ１２０は、導電体１１５と、絶縁体１７０と、導電体１６０と、を有する。また、導電体１１５の下方に導電体１５０が設けられている。導電体１１５は、導電体１５０と接する領域を有する。

[０２０１]

導電体１５０は、絶縁体１４０上に設けられる。導電体１５０は、配線ＰＬとして機能し、例えば、面状に設けることができる。導電体１５０としては、導電体を、単層または積層で用いることができる。例えば、導電体１５０として、タングステンなどの、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電体１５０の導電性を向上させ、配線ＰＬとして十分に機能させることができる。

[0202]

また、導電体115は、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを、単層または積層で用いることが好ましい。例えば、窒化チタン、又はシリコンを添加したインジウム錫酸化物などを用いてもよい。又は、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。又は、例えば、第1の窒化チタンの上にタングステンを積層し、当該タングステンの上に第2の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁体170に酸化物絶縁体を用いる場合、絶縁体170によって導電体150が酸化されるのを抑制できる。また、絶縁体180に酸化物絶縁体を用いる場合、絶縁体180によって導電体150が酸化されるのを抑制できる。

[0203]

絶縁体170は、導電体115上に設けられる。絶縁体170は、導電体115の上面及び側面に接するように設けられる。つまり、絶縁体170は、導電体150の側端部を覆う構造にすることが好ましい。これにより、導電体115と導電体160がショートするのを防ぐことができる。

[0204]

また、絶縁体170の側端部と導電体115の側端部が一致する構造にしてもよい。このような構造にすることで、絶縁体170と導電体115を同一のマスクを用いて形成することができる。

[0205]

絶縁体170として、反強誘電性を有する材料を用いる。絶縁体170として反強誘電性を有する材料を用いることで、キャパシタ120の静電容量を十分確保することができる。反強誘電性を有する材料としては、酸化ハフニウム、酸化ジルコニウム、 HfZrO_x （ x は0よりも大きい実数とする）などの金属酸化物が挙げられる。

[0206]

ハフニウム及びジルコニウム的一方又は両方を含む金属酸化物は、数nmといった薄膜に加工しても反強誘電性を有することができるため、好ましい。ここで、絶縁体170の膜厚は、100nm以下、好ましくは50nm以下、より好ましくは20nm以下、さらに好ましくは10nm以下（代表的には、2nm以上9nm以下）にすることができる。例えば、膜厚を、8nm以上12nm以下にすることが好ましい。薄膜化することができる反強誘電体層とすることで、キャパシタ120を、微細化されたトランジスタなどの半導体素子に組み合わせて半導体装置を形成することができる。

[0207]

また、ハフニウム及びジルコニウム的一方又は両方を含む金属酸化物は、微小な面積でも反強誘電性を有することができるため、好ましい。例えば、反強誘電体層の上面視における面積（占有面積）が、 $100\mu\text{m}^2$ 以下、 $10\mu\text{m}^2$ 以下、 $1\mu\text{m}^2$ 以下、又は $0.1\mu\text{m}^2$ 以下であっても、反強誘電性を有することができる。また、 10000nm^2 以下、又は 1000nm^2 以下であっても、反強誘電性を有する場合がある。面積が小さい反強誘電体層とすることで、キャパシタ120の占有面積を小さくすることができる。

[0208]

導電体160は、絶縁体170の上面の一部に接して設けられる。また、導電体160の側端部は、X方向及びY方向のいずれにおいても、導電体115の側端部よりも内側に位置することが好ましい。なお、絶縁体170が導電体115の側端部を覆う構造においては、導電体160の側端

部は、導電体 115 の側端部よりも外側に位置してもよい。

[0209]

導電体 160 としては、単層または積層の導電体を用いることができる。導電体 160 として、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなどを用いることができる。また、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。この場合、窒化チタンが絶縁体 170 に接し、窒化タンタルが酸化物半導体 230 に接する。このような構造にすることで、酸化物半導体 230 によって導電体 160 が過剰に酸化されるのを抑制できる。また、絶縁体 170 に酸化物絶縁体を用いる場合、絶縁体 170 によって導電体 160 が過剰に酸化されるのを抑制できる。又は、導電体 160 として、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。

[0210]

また、導電体 160 は、酸化物半導体 230 と接する領域を有するため、酸素を含む導電性材料を用いることが好ましい。導電体 160 として酸素を含む導電性材料を用いることで、導電体 160 が酸素を吸収しても導電性を維持することができる。また、絶縁体 170 として酸化ジルコニウムなどの酸素を含む絶縁体を用いる場合においても、導電体 160 は導電性を維持できるため好適である。導電体 160 として、例えば、インジウム錫酸化物（ITO ともいう）、シリコンを添加したインジウム錫酸化物（ITSO ともいう）、インジウム亜鉛酸化物（IZO（登録商標）ともいう）などを単層または積層で用いることができる。

[0211]

絶縁体 180 は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。絶縁体 180 としては、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。このとき、絶縁体 180 は、少なくともシリコンと、酸素と、を有する。

[0212]

図 25A 乃至図 25C に示すように、トランジスタ 110 は、導電体 160 と、絶縁体 280 上の導電体 240 と、開口部 290 において露出している導電体 160 の上面、開口部 290 における絶縁体 280 の側面、開口部 290 における導電体 240 の側面、及び導電体 240 の上面の少なくとも一部に接して設けられた酸化物半導体 230 と、酸化物半導体 230 の上面に接して設けられた絶縁体 250 と、絶縁体 250 の上面に接して設けられた導電体 260 と、を有する構成にすることができる。

[0213]

トランジスタ 110 の構成要素の少なくとも一部は、開口部 290 に配置される。ここで、開口部 290 の底部は、導電体 160 の上面であり、開口部 290 の側壁は、絶縁体 280 の側面、及び導電体 240 の側面である。

[0214]

開口部 290 の側壁は、導電体 150 の上面に対して垂直であることが好ましい。このとき、開口部 290 は円筒形状を有する。このような構成にすることで、メモリセルの微細化または高集積化を図ることができる。

[0215]

また、本実施の形態では、平面視において開口部 290 が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口部 290 が、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。このとき、開口部 290 の最大幅は、開口部 290 の最上部の形状に合わせて適宜算出するとよい。例えば、平面視において開口部が四角形である場合、開口部 290 の最大幅は、開口部 290 の最上部の対角線の長さとするといよい。

[0216]

酸化物半導体 230、絶縁体 250、及び導電体 260 の開口部 290 に配置される部分は、開口部 290 の形状を反映して設けられる。よって、開口部 290 の底部及び側壁を覆うように酸化物半導体 230 が設けられ、酸化物半導体 230 を覆うように絶縁体 250 が設けられ、開口部 290 の形状を反映した絶縁体 250 の凹部を埋め込むように導電体 260 が設けられる。

[0217]

ここで、図 25B における酸化物半導体 230 及びその近傍の拡大図を図 26A に示す。また、導電体 240 を含む、XY 平面における断面図を、図 26B に示す。

[0218]

図 26A に示すように、酸化物半導体 230 は、領域 230i と、領域 230i を挟むように設けられる領域 230na 及び領域 230nb と、を有する。

[0219]

領域 230na は、酸化物半導体 230 の導電体 160 と接する領域である。領域 230na の少なくとも一部は、トランジスタ 110 のソース領域及びドレイン領域の一方として機能する。領域 230nb は、酸化物半導体 230 の導電体 240 と接する領域である。領域 230nb の少なくとも一部は、トランジスタ 110 のソース領域及びドレイン領域の他方として機能する。図 26B に示すように、導電体 240 は酸化物半導体 230 の外周全体に接する。よって、トランジスタ 110 のソース領域及びドレイン領域の他方は、酸化物半導体 230 の、導電体 240 と同じ層に形成される部分の外周全体に形成されうる。

[0220]

領域 230i は、酸化物半導体 230 の、領域 230na と領域 230nb の間の領域である。領域 230i の少なくとも一部が、トランジスタ 110 のチャネル形成領域として機能する。つまり、トランジスタ 110 のチャネル形成領域は、酸化物半導体 230 の、導電体 160 と導電体 240 の間の領域に位置する。また、トランジスタ 110 のチャネル形成領域は、酸化物半導体 230 の、絶縁体 280 と接する領域またはその近傍の領域に位置する、ということもできる。

[0221]

トランジスタ 110 のチャネル長は、ソース領域とドレイン領域の間の距離となる。つまり、トランジスタ 110 のチャネル長は、導電体 160 上の絶縁体 280 の厚さによって決定される、といことができる。図 26A は、トランジスタ 110 のチャネル長 L を破線の両矢印で示している。チャネル長 L は、断面視において、酸化物半導体 230 と導電体 160 が接する領域の端部と、酸化物半導体 230 と導電体 240 が接する領域の端部との距離となる。つまり、チャネル長 L は、断面視における絶縁体 280 の開口部 290 側の側面の長さに相当する。

[0222]

従来のトランジスタでは、チャネル長がフォトリソグラフィの露光限界で設定されていたが、本

発明においては、絶縁体 280 の膜厚でチャネル長を設定することができる。よって、トランジスタ 110 のチャネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、60 nm 以下、50 nm 以下、40 nm 以下、30 nm 以下、20 nm 以下、または 10 nm 以下であって、1 nm 以上、または 5 nm 以上）にすることができる。これにより、トランジスタ 110 のオン電流が大きくなり、周波数特性の向上を図ることができる。よって、メモリセル 100 の読み出し速度及び書き込み速度を向上させることができるため、動作速度が速い記憶装置を提供できる。

[0223]

さらに、上記のように、開口部 290 に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、及びドレイン領域が、XY 平面上に別々に設けられていた、従来のトランジスタと比較して、トランジスタ 110 の占有面積を低減できる。これにより、記憶装置を高集積化することができるため、単位面積当たりの記憶容量を大きくすることができる。

[0224]

また、酸化物半導体 230 のチャネル形成領域を含む XY 平面においても、図 26B と同様に、酸化物半導体 230、絶縁体 250、及び導電体 260 は、同心円状に設けられる。よって、中心に設けられた導電体 260 の側面は、絶縁体 250 を介して、酸化物半導体 230 の側面と対向する。つまり、平面視において、酸化物半導体 230 の周全体がチャネル形成領域になる。このとき、例えば、酸化物半導体 230 の外周の長さによって、トランジスタ 110 のチャネル幅が決まる。つまり、トランジスタ 110 のチャネル幅は、開口部 290 の最大幅（平面視において開口部 290 が円形である場合は最大径）の大きさによって決定される、ということができる。図 26A 及び図 26B は、開口部 290 の最大幅 D を二点鎖線の両矢印で示している。図 26B は、トランジスタ 110 のチャネル幅 W を一点鎖線の両矢印で示している。開口部 290 の最大幅 D の大きさを大きくすることで、単位面積当たりのチャネル幅を大きくし、オン電流を大きくすることができる。

[0225]

フォトリソグラフィ法を用いて開口部 290 を形成する場合、開口部 290 の最大幅 D はフォトリソグラフィの露光限界で設定される。また、開口部 290 の最大幅 D は、開口部 290 に設ける、酸化物半導体 230、絶縁体 250、及び導電体 260 それぞれの膜厚によって設定される。開口部 290 の最大幅 D は、例えば、5 nm 以上、10 nm 以上、又は 20 nm 以上であって、100 nm 以下、60 nm 以下、50 nm 以下、40 nm 以下、又は 30 nm 以下が好ましい。なお、平面視において開口部 290 が円形である場合、開口部 290 の最大幅 D は開口部 290 の直径に相当し、チャネル幅 W は “ $D \times \pi$ ” と算出することができる。

[0226]

また、本発明の一態様のメモリセル 100 においては、トランジスタ 110 のチャネル長 L は、少なくともトランジスタ 110 のチャネル幅 W よりも小さいことが好ましい。本発明の一態様に係るトランジスタ 110 のチャネル長 L は、トランジスタ 110 のチャネル幅 W に対し、0.1 倍以上 0.99 倍以下、好ましくは 0.5 倍以上 0.8 倍以下である。このような構成にすることで、良好な電気特性及び高い信頼性を有するトランジスタを実現できる。

[0227]

また、平面視で円形になるように開口部 290 を形成することで、酸化物半導体 230、絶縁体 250、及び導電体 260 は、同心円状に設けられる。これにより、導電体 260 と酸化物半導体

230の距離が概略均一になるため、酸化物半導体230にゲート電界を概略均一に印加することができる。

[0228]

半導体層に酸化物半導体を用いるトランジスタのチャネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、または水素、窒素、金属元素などの不純物濃度が低いことが好ましい。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合があるため、チャネル形成領域においては、 V_OH も低減されていることが好ましい。このように、トランジスタのチャネル形成領域は、キャリア濃度が低い高抵抗領域である。よってトランジスタのチャネル形成領域は、i型（真性）または実質的にi型であるということができる。

[0229]

また、半導体層に酸化物半導体を用いるトランジスタのソース領域及びドレイン領域は、チャネル形成領域よりも、酸素欠損が多い、 V_OH が多い、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、トランジスタのソース領域及びドレイン領域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗なn型の領域である。

[0230]

なお、図25B及び図25Cでは、開口部290の側壁が導電体150の上面に対して垂直となるように、開口部290を設けているが、本発明はこれに限られるものではない。例えば、開口部290の側壁は、テーパ形状になってもよい。

[0231]

また、図25Cでは、酸化物半導体230の側端部が、導電体240の側端部より内側に位置する構成を示している。なお、本発明はこれに限られるものではない。例えば、Y方向において、酸化物半導体230の側端部と導電体240の側端部が一致する構造にしてもよい。又は、酸化物半導体230の側端部が、導電体240の側端部より外側に位置する構造にしてもよい。

[0232]

酸化物半導体230として用いる金属酸化物のバンドギャップは、2eV以上が好ましく、2.5eV以上がより好ましい。酸化物半導体230としてバンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。

[0233]

なお、酸化物半導体230としては、金属酸化物を、単層または積層で用いることができる。

[0234]

酸化物半導体230として、具体的には、 $I_n:M:Z_n=1:3:2$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=1:3:4$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=1:1:0.5$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=1:1:1$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=1:1:1.2$ [原子数比] もしくはその近傍の組成、 $I_n:M:Z_n=1:1:2$ [原子数比] もしくはその近傍の組成、または $I_n:M:Z_n=4:2:3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0235]

金属酸化物の形成には、スパッタリング法、または原子層堆積（ALD: Atomic Layer Deposition）法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0236]

酸化物半導体230は、結晶性を有することが好ましい。結晶性を有する酸化物半導体として、CAAC-OS（c-axis aligned crystalline oxide semiconductor）、nc-OS（nanocrystalline oxide semiconductor）、多結晶酸化物半導体、単結晶酸化物半導体等が挙げられる。酸化物半導体230として、CAAC-OS又はnc-OSを用いることが好ましく、CAAC-OSを用いることが特に好ましい。

[0237]

CAAC-OSは、複数の層状の結晶領域を有し、c軸が被形成面の法線方向に配向していることが好ましい。例えば、酸化物半導体230は、開口部290の側壁、特に絶縁体280の側面に対して、概略平行な層状の結晶を有することが好ましい。このような構成にすることで、トランジスタ110のチャンネル長方向に対して、酸化物半導体230の層状の結晶が概略平行に形成されるため、トランジスタのオン電流を大きくすることができる。

[0238]

なお、図25B及び図25Cでは、酸化物半導体230を単層で示したが、本発明はこれに限られるものではない。酸化物半導体230は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、上記金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

[0239]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0240]

(実施の形態7)

本実施の形態では、上記実施の形態に示す半導体装置などが組み込まれた電子部品の一例を示す。

[0241]

<電子部品>

図27Aに電子部品700および電子部品700が実装された基板（実装基板704）の斜視図を示す。図27Aに示す電子部品700は、モールド711内に半導体装置の一種である記憶装置300を有している。図27Aは、電子部品700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電気的に接続され、電極パッド713は記憶装置300とワイヤ714によって電気的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電気的に接続されることで実装基板704が完成する。

[0242]

記憶装置300は、駆動回路21と、メモリアレイ20と、を有する。また、駆動回路21上に

複数層のメモリアレイ 20 を用いてもよい。

[0243]

図 27B に電子部品 730 の斜視図を示す。電子部品 730 は、SiP (System in package) または MCM (Multi Chip Module) の一例である。電子部品 730 は、パッケージ基板 732 (プリント基板) 上にインターポーザ 731 が設けられ、インターポーザ 731 上に半導体装置 735、および複数の記憶装置 300 が設けられている。

[0244]

電子部品 730 では、記憶装置 300 を広帯域メモリ (HBM: High Bandwidth Memory) として用いる例を示している。また、半導体装置 735 は、CPU、GPU、FPGA などの集積回路 (半導体装置) を用いることができる。

[0245]

パッケージ基板 732 は、セラミックス基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ 731 は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0246]

インターポーザ 731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ 731 は、インターポーザ 731 上に設けられた集積回路をパッケージ基板 732 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0247]

インターポーザ 731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0248]

HBM では、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBM を実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBM を実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0249]

また、シリコンインターポーザを用いた SiP、MCM などでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する 2.5D パッケージ (2.5 次元実装) では、シリコンインターポーザを用いることが好ましい。

[0250]

また、電子部品 730 と重ねてヒートシンク (放熱板) を設けてもよい。ヒートシンクを設ける

場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置300と半導体装置735の高さを揃えることが好ましい。

[0251]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図27Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

[0252]

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、またはQFN(Quad Flat Non-leaded package)などの実装方法を用いることができる。

[0253]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[0254]

(実施の形態8)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0255]

本発明の一態様に係る記憶装置は、例えば、各種電子機器(例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、ゲーム機など)の記憶装置に適用できる。また、イメージセンサ、IoT(Internet of Things)、ヘルスケア関連機器などに用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0256]

本発明の一態様に係る記憶装置を有する電子機器の一例について説明する。なお、図28A乃至図28J、図28A乃至図28Eには、当該記憶装置を有する電子部品700または電子部品730が各電子機器に含まれている様子を図示している。

[0257]

[携帯電話]

図28Aに示す情報端末5500は、情報端末の一種である携帯電話(スマートフォン)である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0258]

情報端末5500は、本発明の一態様に係る記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイル(例えば、ウェブブラウザの使用時のキャッシュなど)を保持

することができる。

[0259]

[ウェアラブル端末]

また、図28Bには、ウェアラブル端末の一例である情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、バンド5905などを有する。

[0260]

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様に係る記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0261]

[情報端末]

また、図28Cには、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

[0262]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様に係る記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0263]

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、デスクトップ用情報端末を例として、それぞれ図28A乃至図28Cに図示したが、スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

[0264]

[電化製品]

また、図28Dには、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。例えば、電気冷凍冷蔵庫5800は、IoT（Internet of Things）に対応した電気冷凍冷蔵庫である。

[0265]

電気冷凍冷蔵庫5800に本発明の一態様に係る記憶装置を適用することができる。電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などの情報を、インターネットなどを通じて、情報端末などに送受信することができる。電気冷凍冷蔵庫5800は、当該情報を送信する際に生成される一時的なファイルを、当該半導体装置に保持することができる。

[0266]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器など

が挙げられる。

[0267]

[ゲーム機]

また、図28Eには、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0268]

更に、図28Fには、ゲーム機の一例である据え置き型ゲーム機7500が図示されている。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線または有線によってコントローラ7522を接続することができる。また、図28Fには示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなる、タッチパネル、スティック、回転式つまみ、またはスライド式つまみなどを備えることができる。また、コントローラ7522は、図28Fに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、または音声によって操作する形式としてもよい。

[0269]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[0270]

携帯ゲーム機5200または据え置き型ゲーム機7500に上記実施の形態で説明した記憶装置を適用することによって、低消費電力の携帯ゲーム機5200または低消費電力の据え置き型ゲーム機7500を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0271]

更に、携帯ゲーム機5200または据え置き型ゲーム機7500に上記実施の形態で説明した記憶装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイルなどの保持をおこなうことができる。

[0272]

ゲーム機の一例として図28Eに携帯ゲーム機を示す。また、図28Fに家庭用の据え置き型ゲーム機を示す。なお、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0273]

[移動体]

上記実施の形態で説明した記憶装置は、移動体である自動車、および自動車の運転席周辺に適用

することができる。

[0274]

図28Gには移動体の一例である自動車5700が図示されている。

[0275]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す記憶装置が備えられていてもよい。

[0276]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0277]

上記実施の形態で説明した半導体装置は、情報を一時的に保持することができるため、例えば、当該記憶装置を、自動車5700の自動運転、道路案内、危険予測などを行うシステムなどにおける、必要な一時的な情報の保持に用いることができる。当該表示装置には、道路案内、危険予測などの一時的な情報を表示する構成としてもよい。また、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

[0278]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができる。

[0279]

[カメラ]

上記実施の形態で説明した記憶装置は、カメラに適用することができる。

[0280]

図28Hには、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作スイッチ6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

[0281]

デジタルカメラ6240に上記実施の形態で説明した記憶装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0282]

[ビデオカメラ]

上記実施の形態で説明した記憶装置は、ビデオカメラに適用することができる。

[0283]

図28Iには、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作スイッチ6304、レンズ6305、接続部6306等を有する。操作スイッチ6304およびレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0284]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した半導体装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

[0285]

[ICD]

上記実施の形態で説明した記憶装置は、植え込み型除細動器（ICD）に適用できる。

[0286]

図28Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402、右心室へのワイヤ5403とを少なくとも有している。

[0287]

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405および上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0288]

ICD本体5400は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、心室細動など）、電気ショックによる治療が行われる。

[0289]

ICD本体5400は、ペーシングおよび電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、当該センサなどによって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間などを電子部品700に記憶することができる。

[0290]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0291]

また、電力を受信できるアンテナ５４０４とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[０２９２]

[ＰＣ用の拡張デバイス]

上記実施の形態で説明した半導体装置は、ＰＣ（Personal Computer）などの計算機、情報端末用の拡張デバイスに適用することができる。

[０２９３]

図２９Ａは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、ＰＣに外付けする拡張デバイス６１００を示している。拡張デバイス６１００は、例えば、ＵＳＢ（Universal Serial Bus）などでＰＣに接続することで、当該チップによる情報の記憶を行うことができる。なお、図２９Ａは、持ち運びが可能な形態の拡張デバイス６１００を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[０２９４]

拡張デバイス６１００は、筐体６１０１、キャップ６１０２、ＵＳＢコネクタ６１０３および基板６１０４を有する。基板６１０４は、筐体６１０１に収納されている。基板６１０４には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板６１０４には、電子部品７００、コントローラチップ６１０６が取り付けられている。ＵＳＢコネクタ６１０３は、外部装置と接続するためのインターフェースとして機能する。

[０２９５]

[ＳＤカード]

上記実施の形態で説明した記憶装置は、情報端末、デジタルカメラなどの電子機器に取り付けが可能なＳＤカードに適用することができる。

[０２９６]

図２９ＢはＳＤカードの外観の模式図であり、図２９Ｃは、ＳＤカードの内部構造の模式図である。ＳＤカード５１１０は、筐体５１１１、コネクタ５１１２および基板５１１３を有する。コネクタ５１１２が外部装置と接続するためのインターフェースとして機能する。基板５１１３は筐体５１１１に収納されている。基板５１１３には、記憶装置および記憶装置を駆動する回路が設けられている。例えば、基板５１１３には、電子部品７００、コントローラチップ５１１５が取り付けられている。なお、電子部品７００とコントローラチップ５１１５とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、読み出し回路などは、電子部品７００でなく、コントローラチップ５１１５に組み込んだ構成としてもよい。

[０２９７]

基板５１１３の裏面側にも電子部品７００を設けることで、ＳＤカード５１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板５１１３に設けてもよい。これによって、外部装置とＳＤカード５１１０との間で無線通信を行うことができ、電子部品７００のデータの読み出し、書き込みが可能となる。

[０２９８]

[SSD]

上記実施の形態で説明した記憶装置は、情報端末など電子機器に取り付けが可能なSSD (Solid State Drive) に適用することができる。

[0299]

図29DはSSDの外観の模式図であり、図29Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152および基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、記憶装置および記憶装置を駆動する回路が設けられている。例えば、基板5153には、電子部品700、メモリチップ5155、コントローラチップ5156が取り付けられている。基板5153の裏面側にも電子部品700を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、ECC回路などが組み込まれている。なお、電子部品700と、メモリチップ5155と、コントローラチップ5115と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

[0300]

[計算機]

図30Aに示す計算機5600は、大型の計算機の例である。計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。

[0301]

計算機5620は、例えば、図30Bに示す斜視図の構成とすることができる。図30Bにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0302]

図30Cに示すPCカード5621は、CPU、GPU、記憶装置などを備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図30Cには、半導体装置5626、半導体装置5627、および半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、および半導体装置5628の説明を参照すればよい。

[0303]

接続端子5629は、マザーボード5630のスロット5631に挿することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeなどが挙げられる。

[0304]

接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 は、例えば、P C カード 5 6 2 1 に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、P C カード 5 6 2 1 によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 のそれぞれの規格としては、例えば、U S B (U n i v e r s a l S e r i a l B u s)、S A T A (S e r i a l A T A)、S C S I (S m a l l C o m p u t e r S y s t e m I n t e r f a c e) などが挙げられる。また、接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 から映像信号を出力する場合、それぞれの規格としては、H D M I (登録商標) などが挙げられる。

[0305]

半導体装置 5 6 2 6 は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード 5 6 2 2 が備えるソケット (図示しない。) に対して差し込むことで、半導体装置 5 6 2 6 とボード 5 6 2 2 を電氣的に接続することができる。

[0306]

半導体装置 5 6 2 7 は、複数の端子を有しており、当該端子をボード 5 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5 6 2 7 とボード 5 6 2 2 を電氣的に接続することができる。半導体装置 5 6 2 7 としては、例えば、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、GPU、CPU などが挙げられる。半導体装置 5 6 2 7 として、例えば、電子部品 7 3 0 を用いることができる。

[0307]

半導体装置 5 6 2 8 は、複数の端子を有しており、当該端子をボード 5 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5 6 2 8 とボード 5 6 2 2 を電氣的に接続することができる。半導体装置 5 6 2 8 としては、例えば、記憶装置などが挙げられる。半導体装置 5 6 2 8 として、例えば、電子部品 7 0 0 を用いることができる。

[0308]

計算機 5 6 0 0 は並列計算機としても機能できる。計算機 5 6 0 0 を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

[0309]

上記の各種電子機器などに、本発明の一態様の記憶装置を用いることにより、電子機器の小型化、および低消費電力化を図ることができる。また、本発明の一態様の記憶装置は低消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

[0310]

本実施の形態は、本明細書で示す他の実施の形態などと適宜組み合わせることができる。

[符号の説明]

[0311]

B L : 配線、B L B : 配線、C E : 信号、E Q : 信号、P L : 配線、P R E : 信号、S A E : 信号、S N : ノード、S W B L : 信号、S W B L B : 信号、W L : 配線、1 0 : 半導体装置、1 0 0 : メモリセル、1 1 0 : トランジスタ、1 2 1 A : 電極、1 2 1 B : 電極、1 2 2 : 材料、1 3 0 : セ

ンスアンプ

請求の範囲

[請求項 1]

トランジスタおよびキャパシタを有するメモリセルと、
センスアンプと、
前記センスアンプおよび前記トランジスタのソースおよびドレインの一方に電氣的に接続された第 1 配線と、
前記キャパシタに電氣的に接続された第 2 配線と、を有し、
前記キャパシタは、第 1 電極と第 2 電極との間に反強誘電性を有する材料を有し、
前記センスアンプは、前記第 1 配線に第 1 電位を与える機能、前記第 1 配線に前記第 1 電位より低い第 2 電位を与える機能、および前記第 1 配線の電位が参照電位より高い場合、前記第 1 配線の電位を前記第 1 電位より高い第 3 電位にし、前記第 1 配線の電位が前記参照電位より低い場合、前記第 1 配線の電位を前記第 2 電位にする機能、を有し、
前記第 2 配線は、前記第 2 電極に前記第 2 電位を与える機能を有し、
前記トランジスタのソースおよびドレインの他方は、前記第 1 電極と電氣的に接続され、
前記メモリセルにおけるデータの保持は、前記第 1 電極を前記第 1 電位に保持することで行われ、
前記メモリセルにおけるデータの読み出しは、前記第 1 配線を前記第 2 電位とし、前記トランジスタを導通状態とすることで変動する前記第 1 配線の電位を前記第 3 電位または前記第 2 電位にすることで行われる、半導体装置。

[請求項 2]

請求項 1 において、
前記参照電位は、前記センスアンプに電氣的に接続された第 3 配線に与えられる電位である、半導体装置。

[請求項 3]

請求項 1 において、
前記トランジスタは、チャネル形成領域を有する半導体層を有し、
前記半導体層は、インジウムおよび亜鉛の少なくとも一を有する、半導体装置。

[請求項 4]

請求項 1 において、
前記材料は、ハフニウムおよびジルコニウムを有する、半導体装置。

[請求項 5]

トランジスタおよびキャパシタを有するメモリセルと、
センスアンプと、
前記センスアンプおよび前記トランジスタのソースおよびドレインの一方に電氣的に接続された第 1 配線と、
前記キャパシタに電氣的に接続された第 2 配線と、を有し、
前記キャパシタは、第 1 電極と第 2 電極との間に反強誘電性を有する材料を有し、
前記第 2 配線は、前記第 2 電極に前記第 1 電位、または前記第 1 電位より高い第 3 電位を与える機能を有し、
前記センスアンプは、前記第 1 配線に前記第 1 電位より低い第 2 電位を与える機能、および前記第 1 配線の電位が参照電位より高い場合、前記第 1 配線の電位を前記第 3 電位にし、前記第 1 配線

の電位が前記参照電位より低い場合、前記第 1 配線の電位を前記第 2 電位にする機能、を有し、
前記トランジスタのソースおよびドレインの他方は、前記第 1 電極と電氣的に接続され、
前記メモリセルにおけるデータの保持は、前記第 1 電極を前記第 2 電位に保持し、且つ前記第 2 電極に前記第 1 電位を与えることで行われ、
前記メモリセルにおけるデータの読み出しは、前記第 2 電極を前記第 3 電位とし、前記トランジスタを導通状態とすることで変動する前記第 1 配線の電位を前記第 3 電位または前記第 2 電位にすることで行われる、半導体装置。

[請求項 6]

トランジスタおよびキャパシタを有するメモリセルと、
センスアンプと、
前記センスアンプおよび前記トランジスタのソースおよびドレインの一方に電氣的に接続された第 1 配線と、
前記キャパシタに電氣的に接続された第 2 配線と、を有し、
前記キャパシタは、第 1 電極と第 2 電極との間に反強誘電性を有する材料を有し、
前記第 2 配線は、前記第 2 電極に前記第 1 電位、または前記第 1 電位より高い第 3 電位を与える機能を有し、
前記センスアンプは、前記第 1 配線に前記第 1 電位より低い第 2 電位を与える機能、および前記第 1 配線の電位が参照電位より高い場合、前記第 1 配線の電位を前記第 1 電位にし、前記第 1 配線の電位が前記参照電位より低い場合、前記第 1 配線の電位を前記第 2 電位にする機能、を有し、
前記トランジスタのソースおよびドレインの他方は、前記第 1 電極と電氣的に接続され、
前記メモリセルにおけるデータの保持は、前記第 1 電極を前記第 2 電位に保持し、且つ前記第 2 電極に前記第 1 電位を与えることで行われ、
前記メモリセルにおけるデータの読み出しは、前記第 2 電極に第 3 電位を与え、前記トランジスタを導通状態とすることで変動する前記第 1 配線の電位を前記第 1 電位または前記第 2 電位にすることで行われる、半導体装置。

[請求項 7]

請求項 5 または 6 において、
前記参照電位は、前記センスアンプに電氣的に接続された第 3 配線に与えられる電位である、半導体装置。

[請求項 8]

請求項 5 または 6 において、
前記トランジスタは、チャネル形成領域を有する半導体層を有し、
前記半導体層は、インジウムおよび亜鉛の少なくとも一を有する、半導体装置。

[請求項 9]

請求項 5 または 6 において、
前記材料は、ハフニウムおよびジルコニウムを有する、半導体装置。

図1A

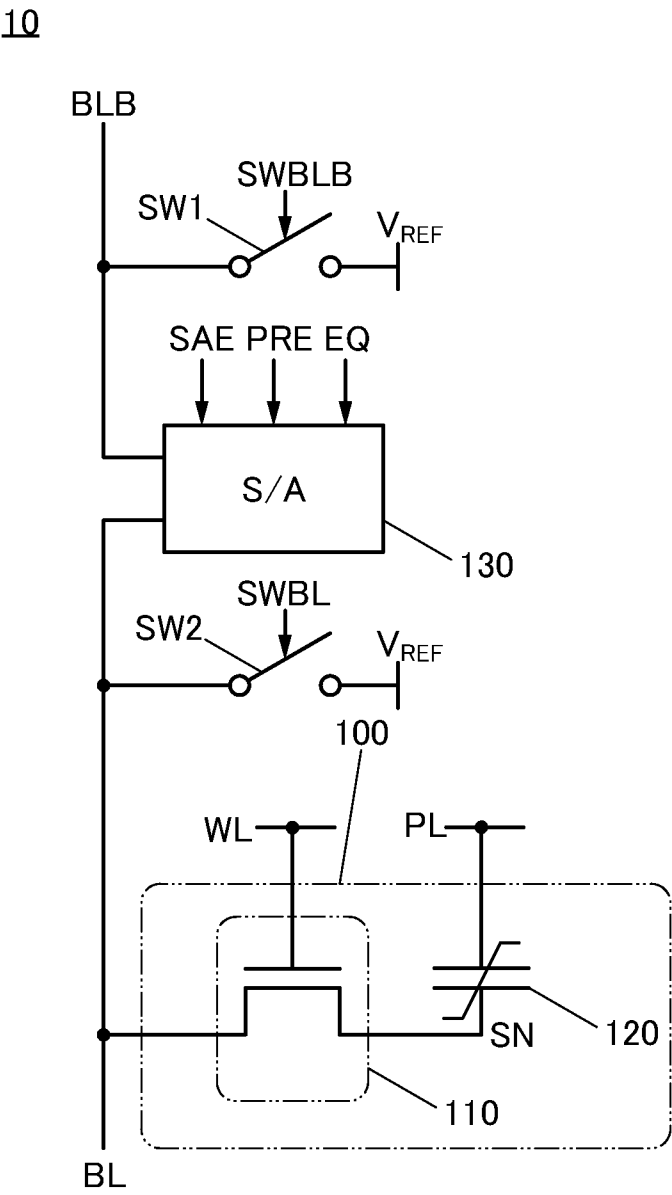
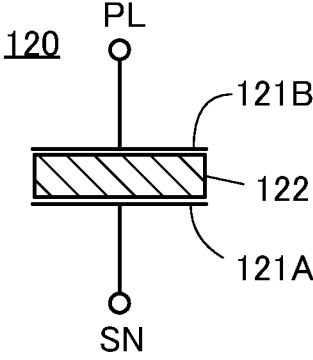
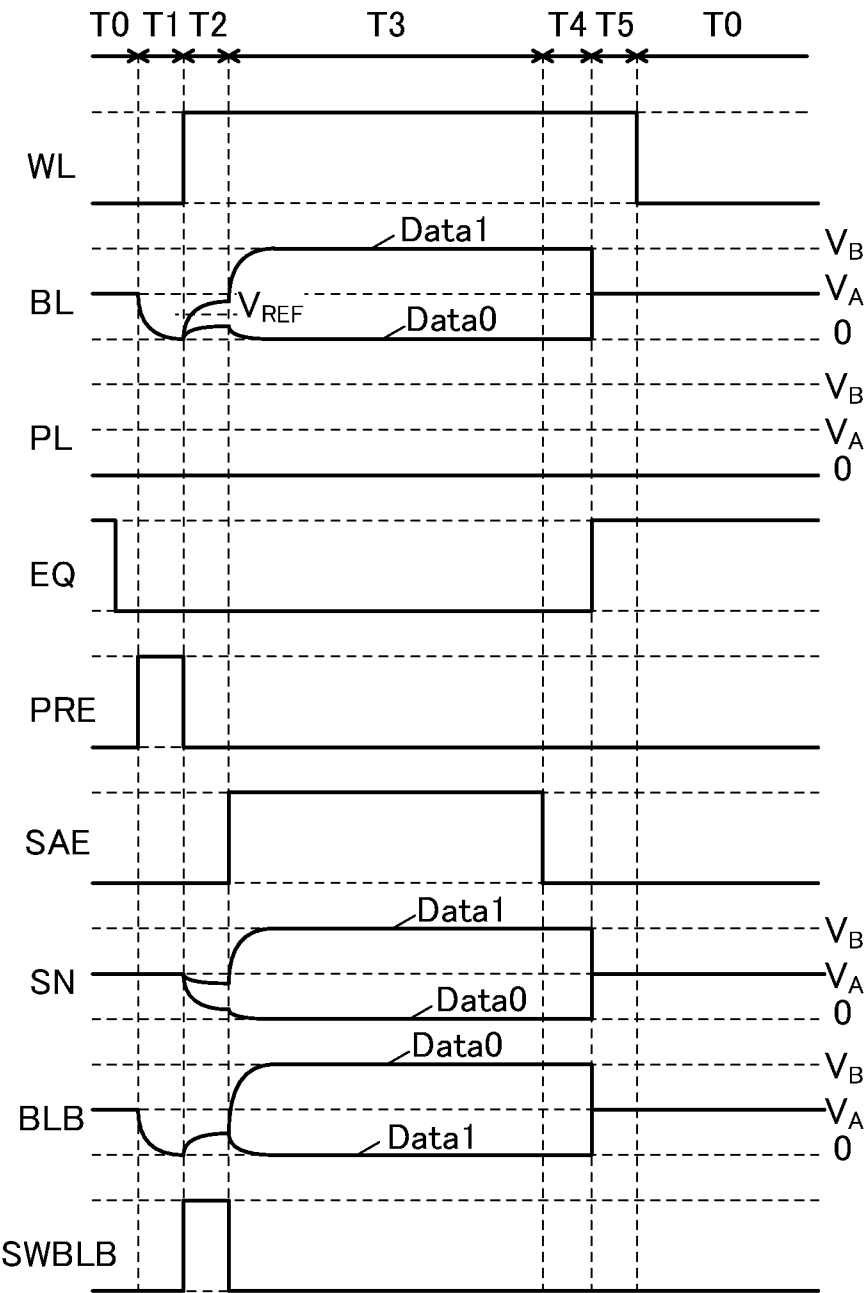


図1B





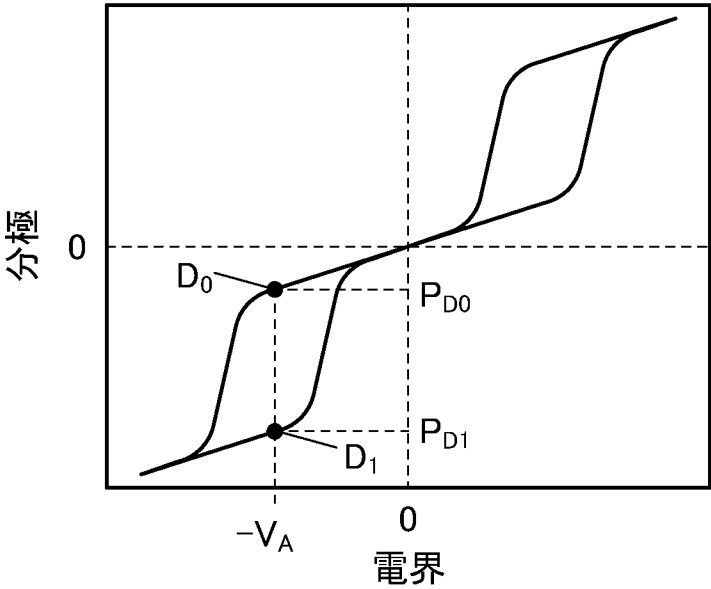


図4B

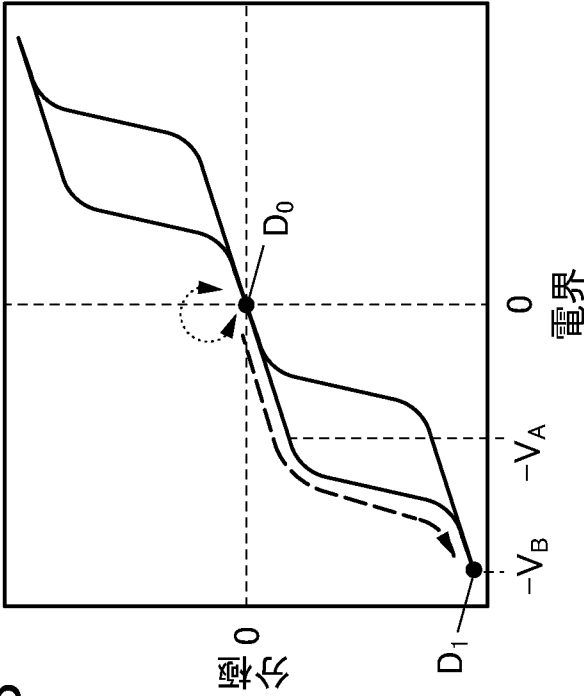


図4A

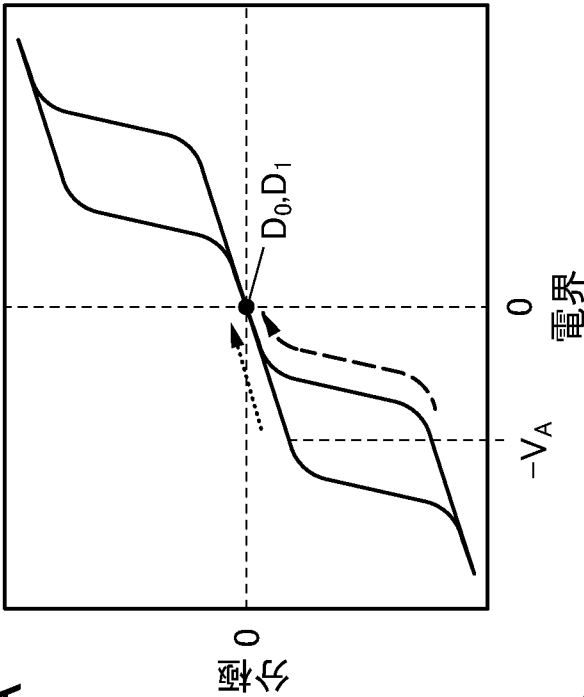
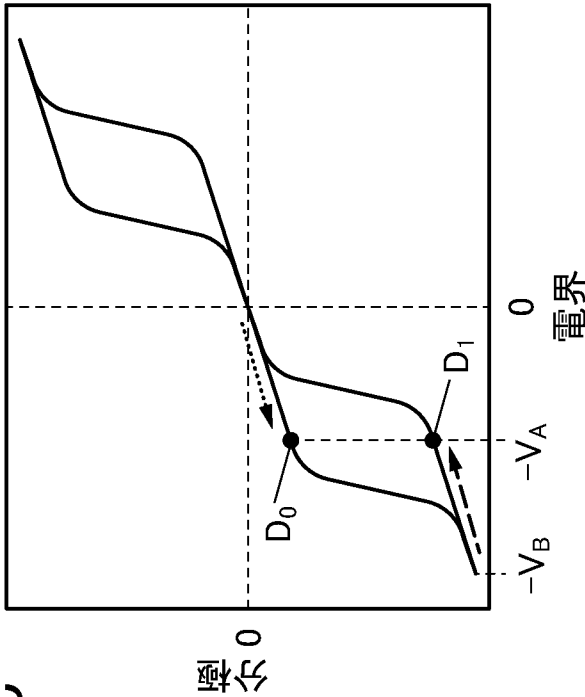
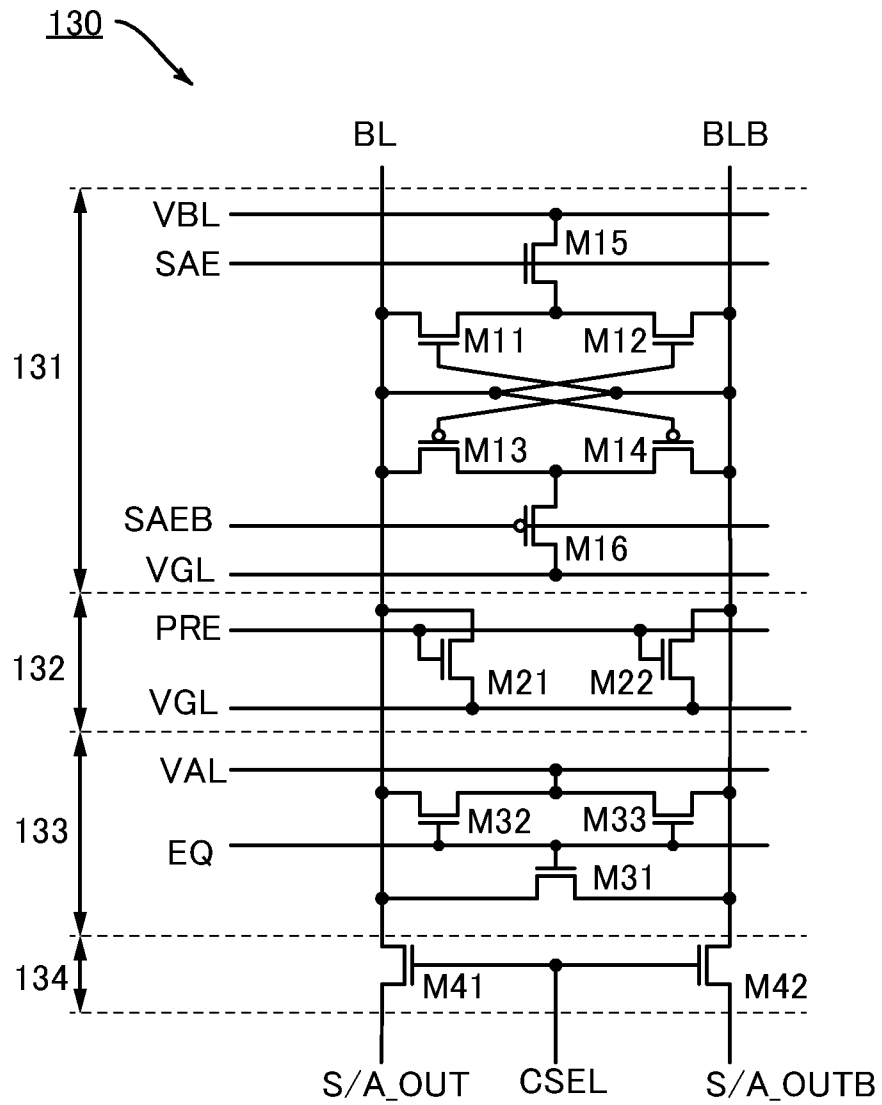
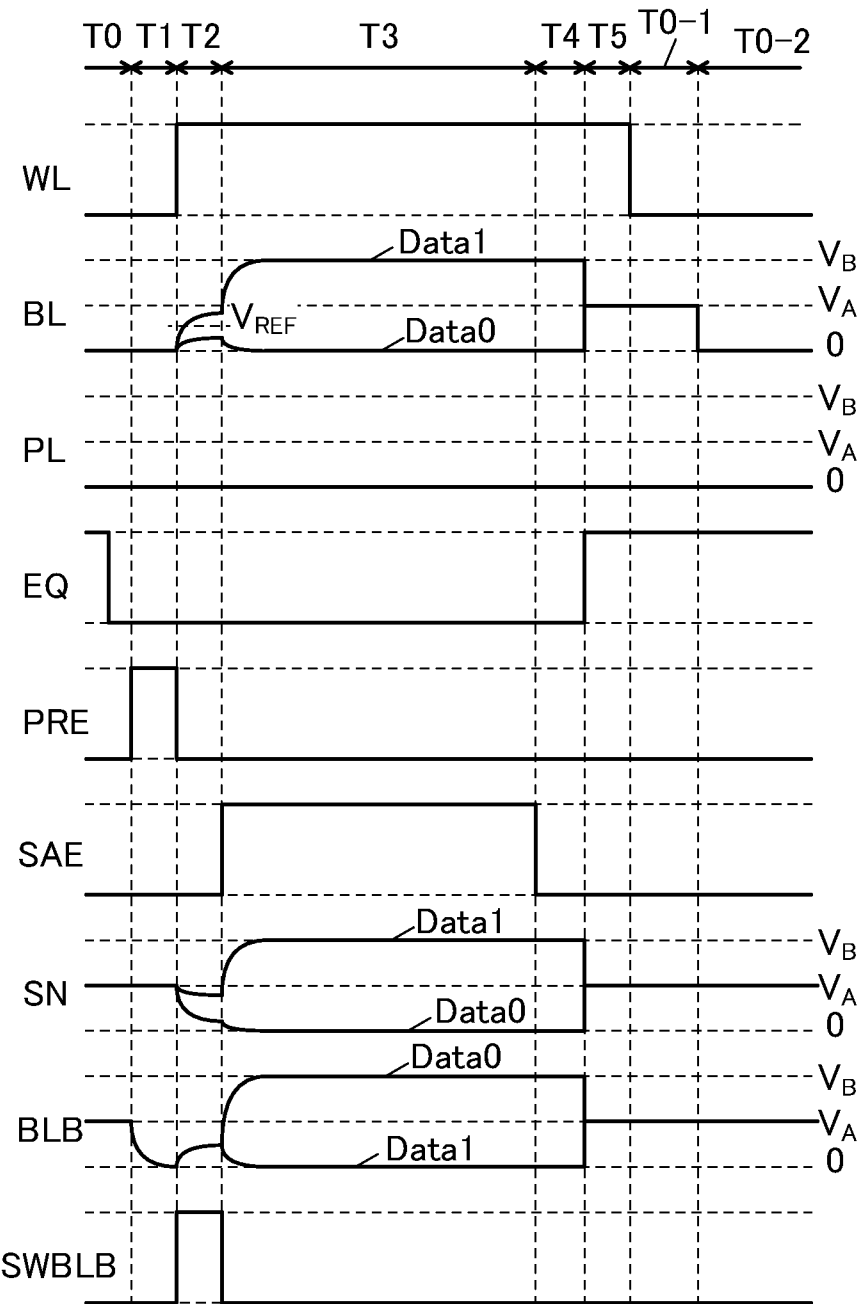
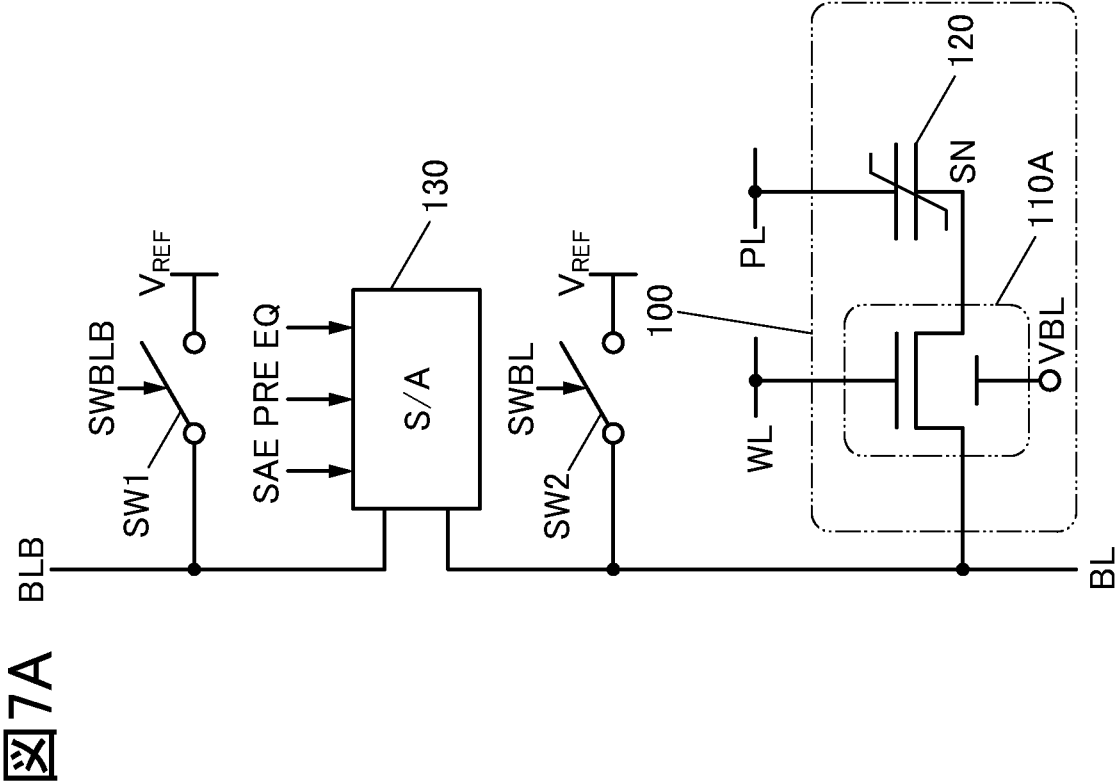
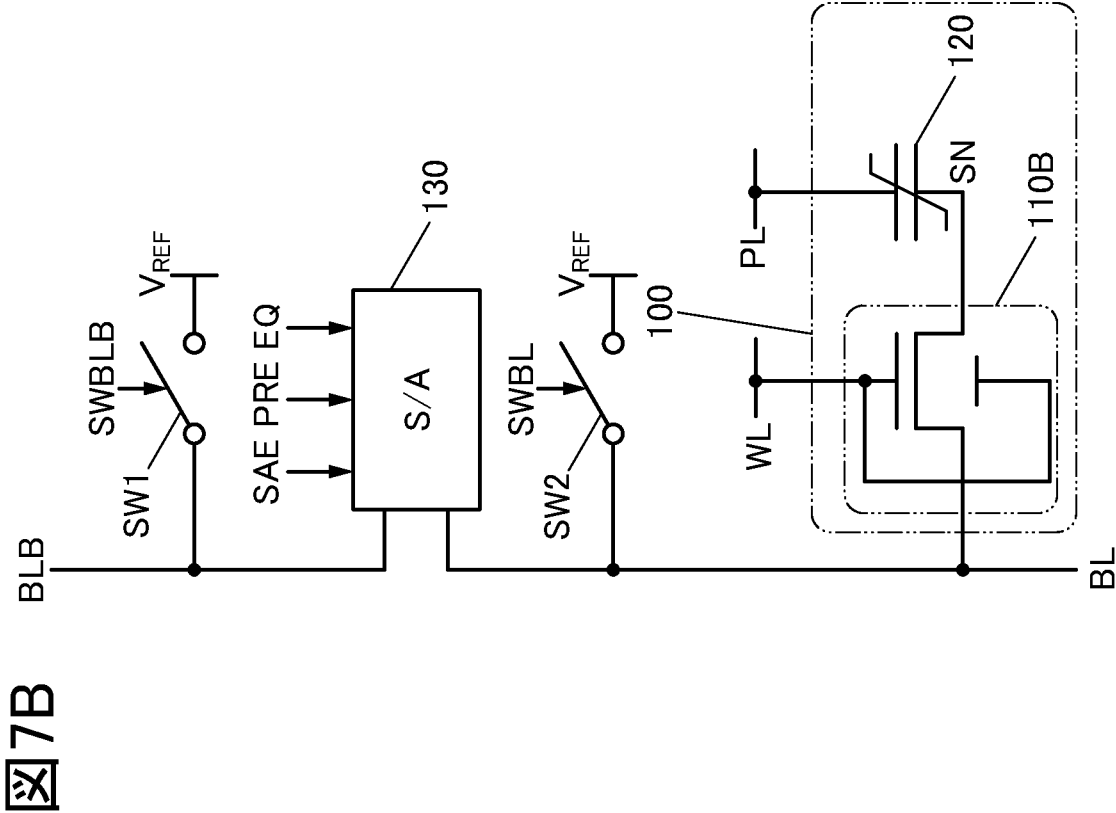


図4C

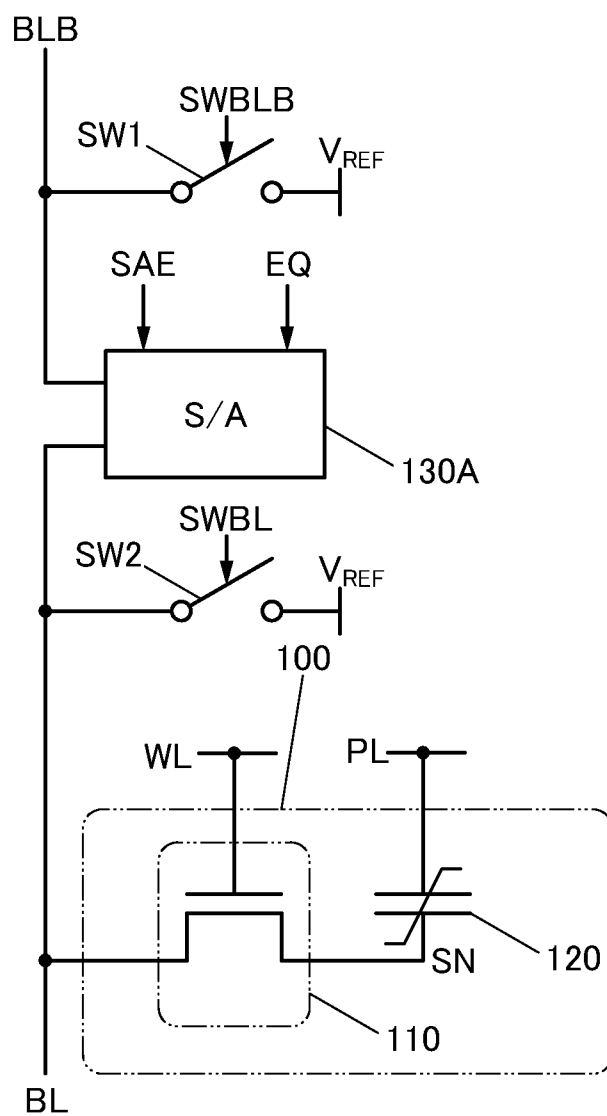


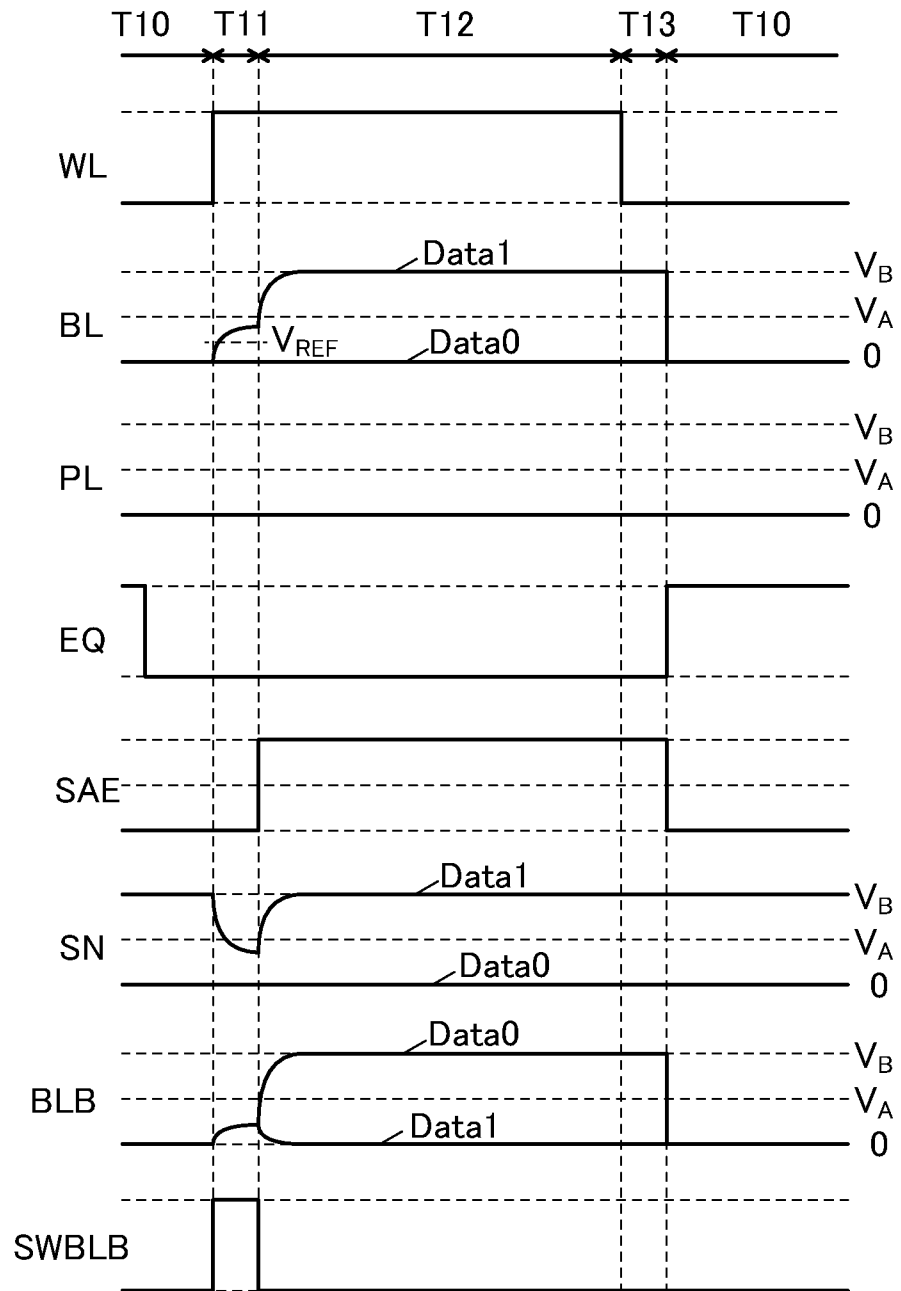






10A





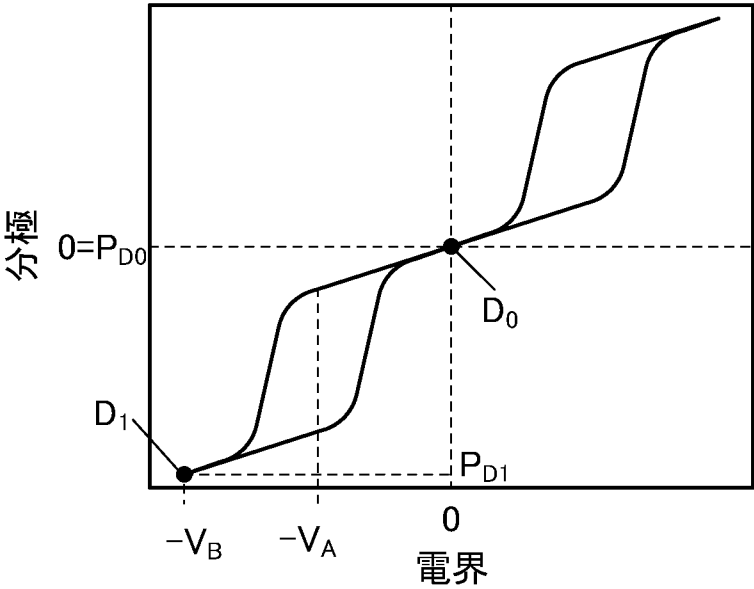


図11A

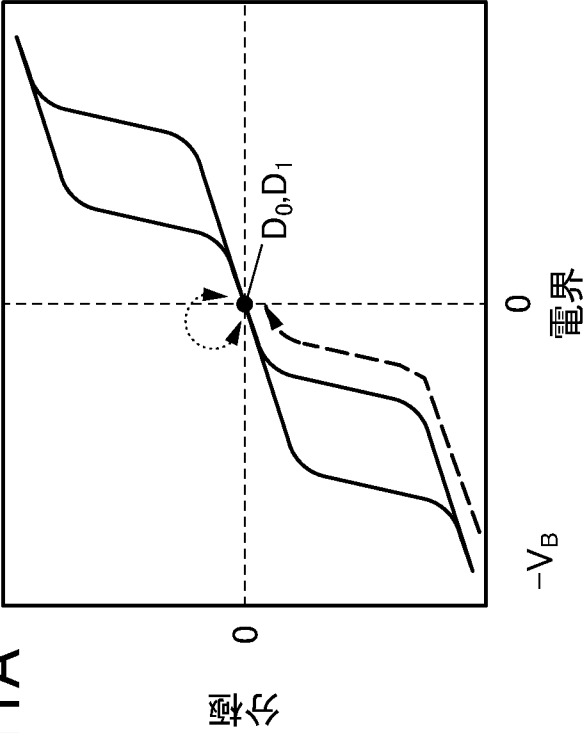
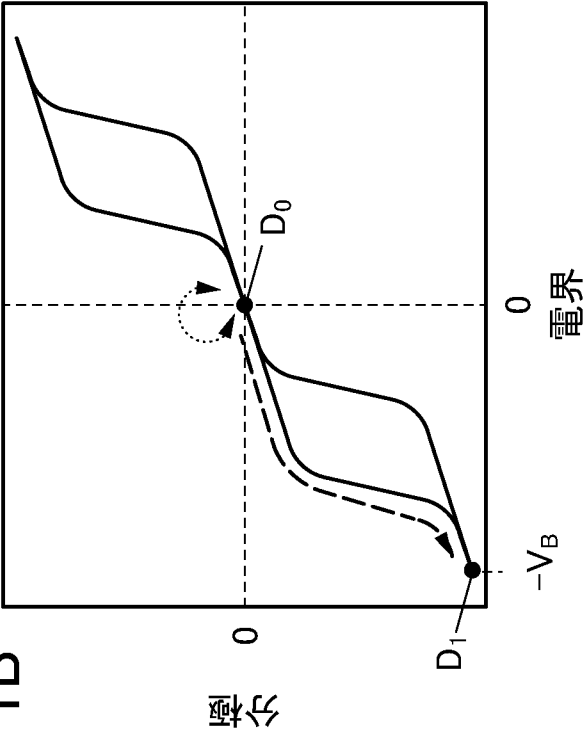
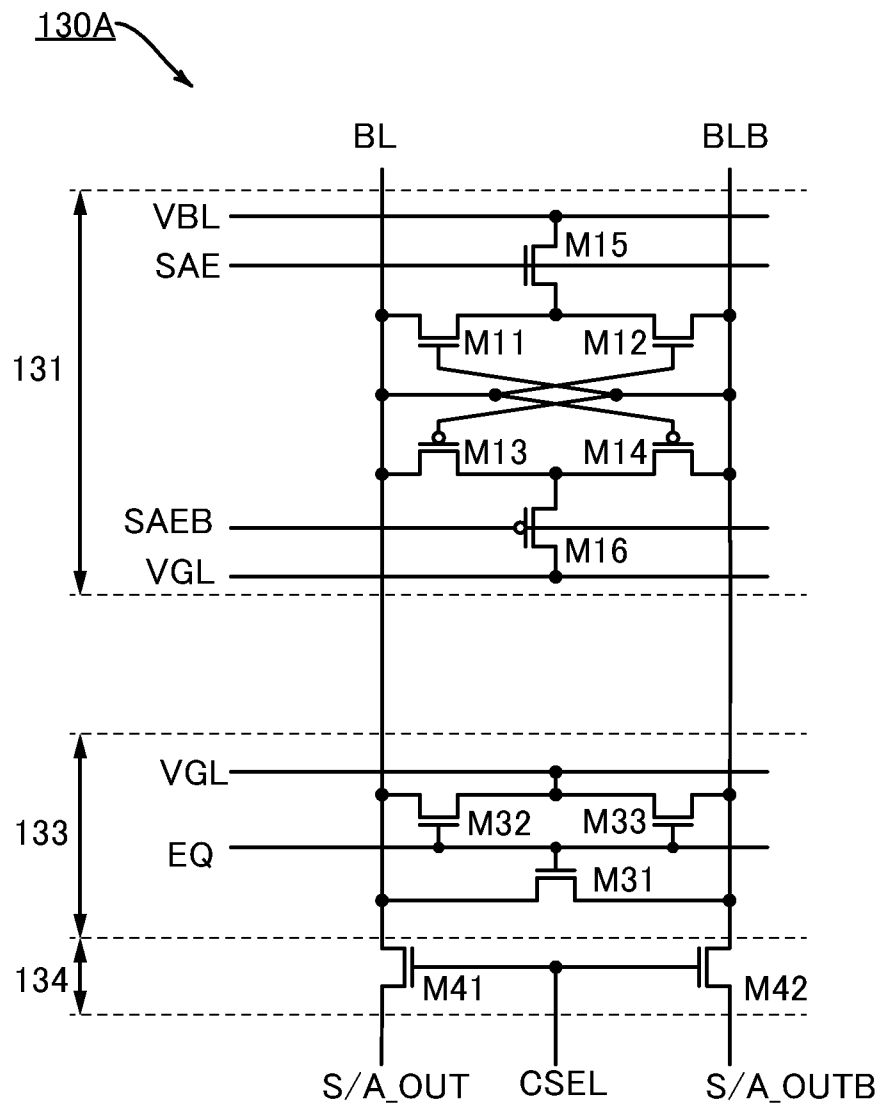
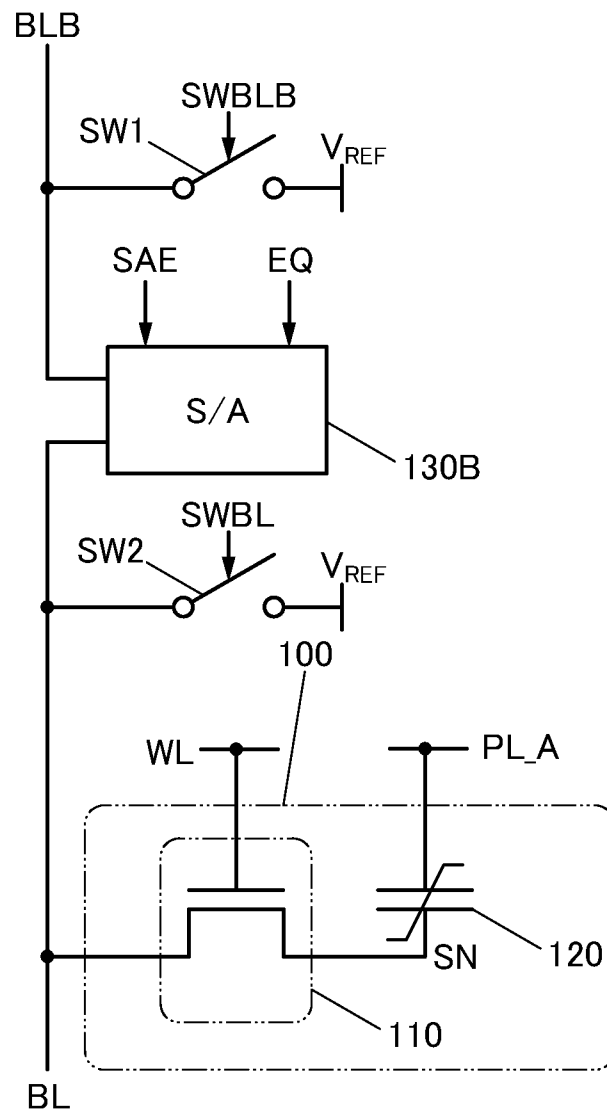


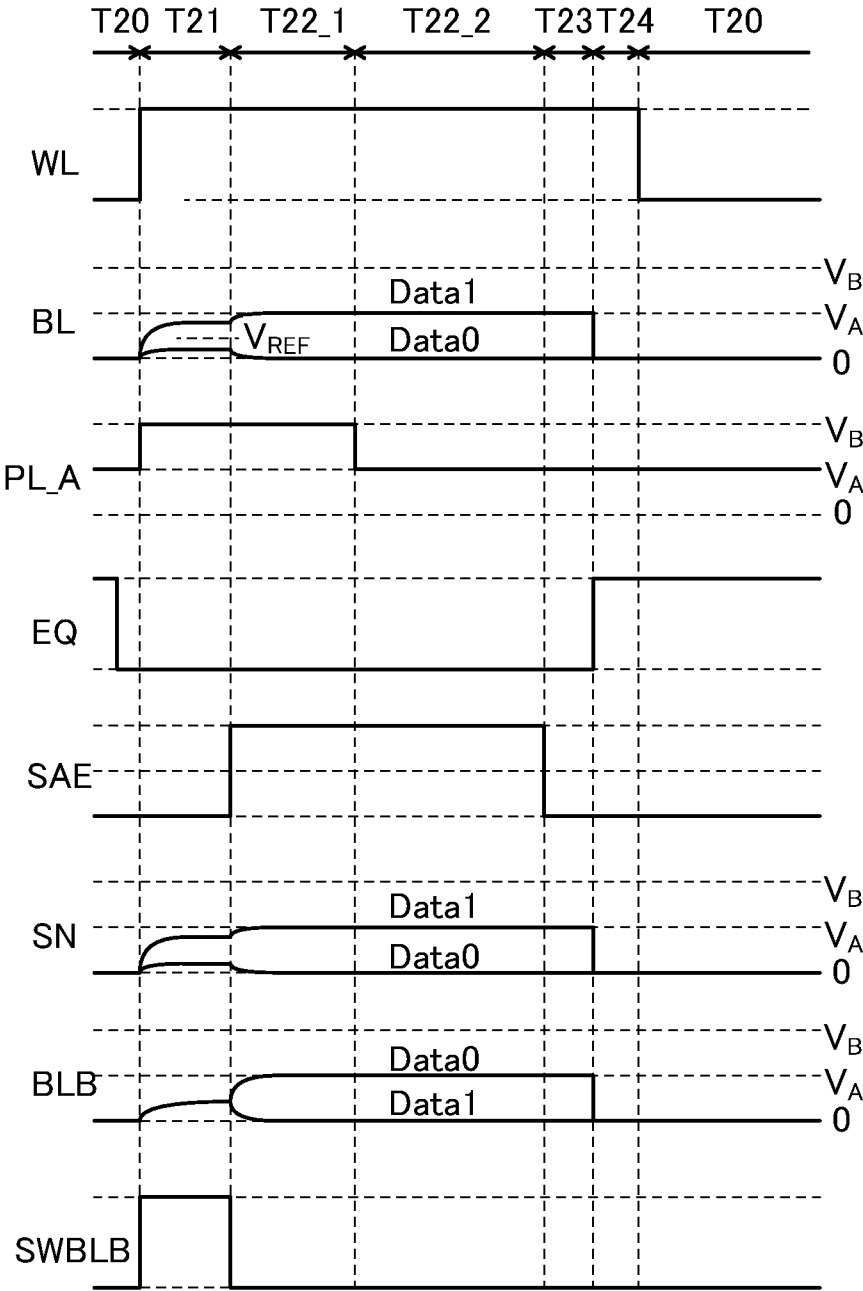
図11B





10B





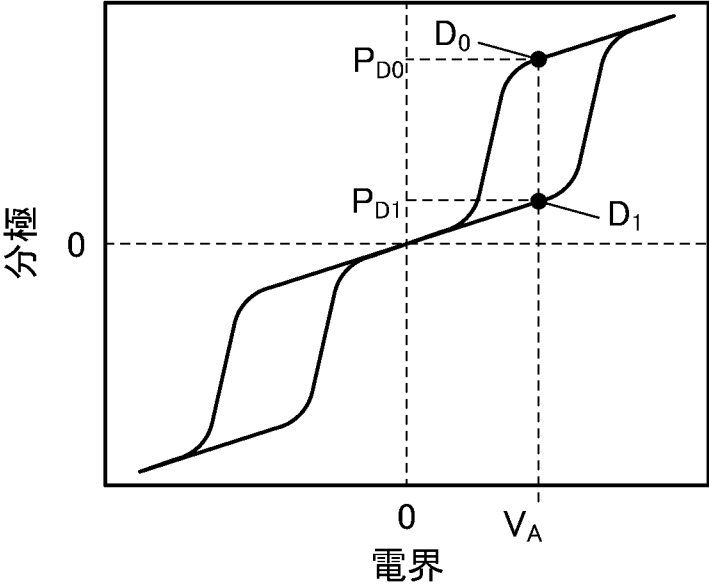


図16B

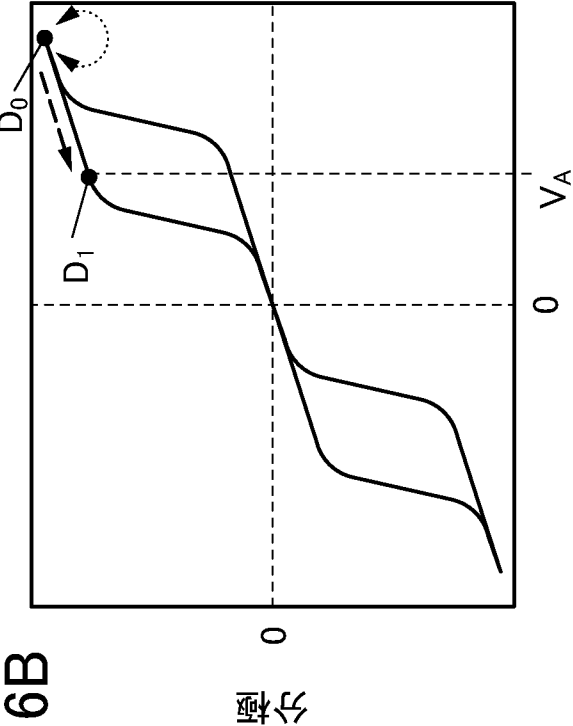


図16D

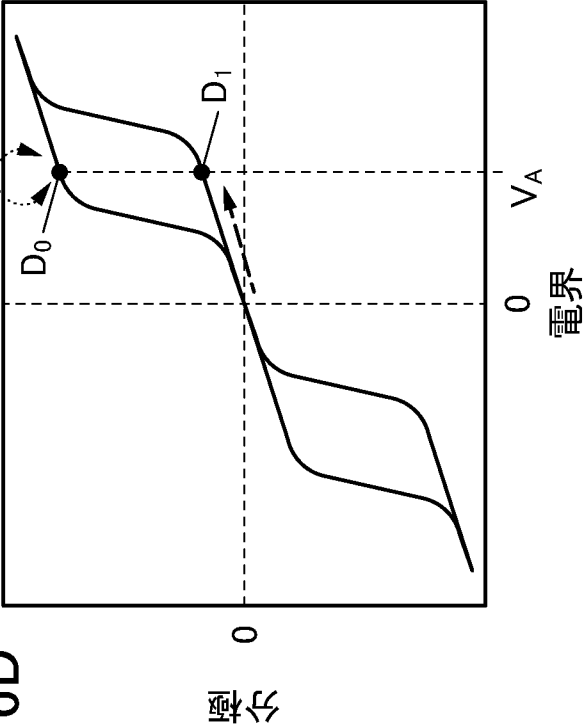


図16A

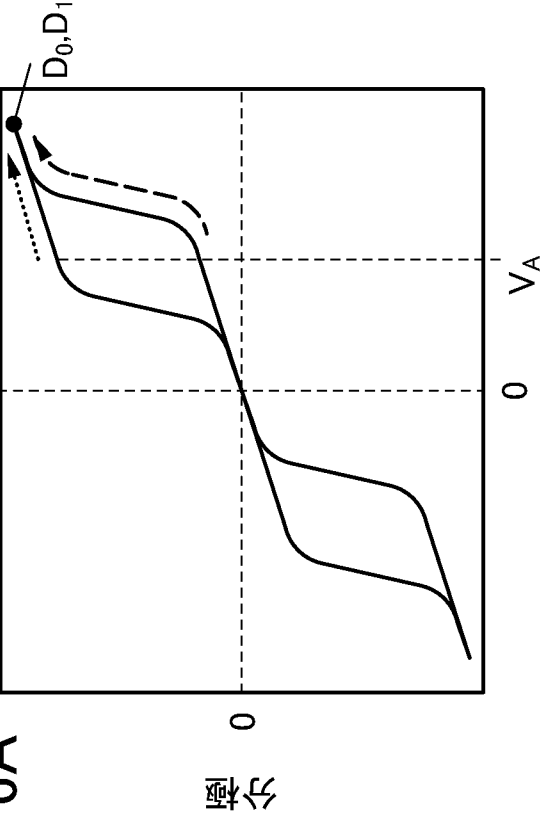
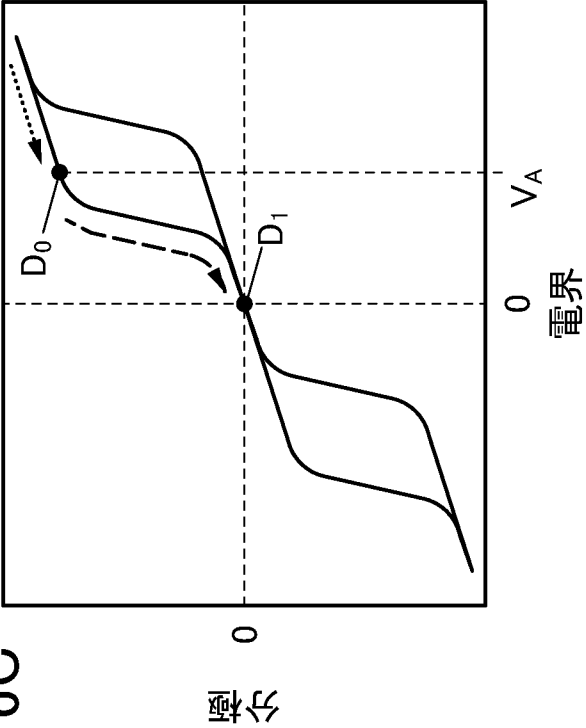
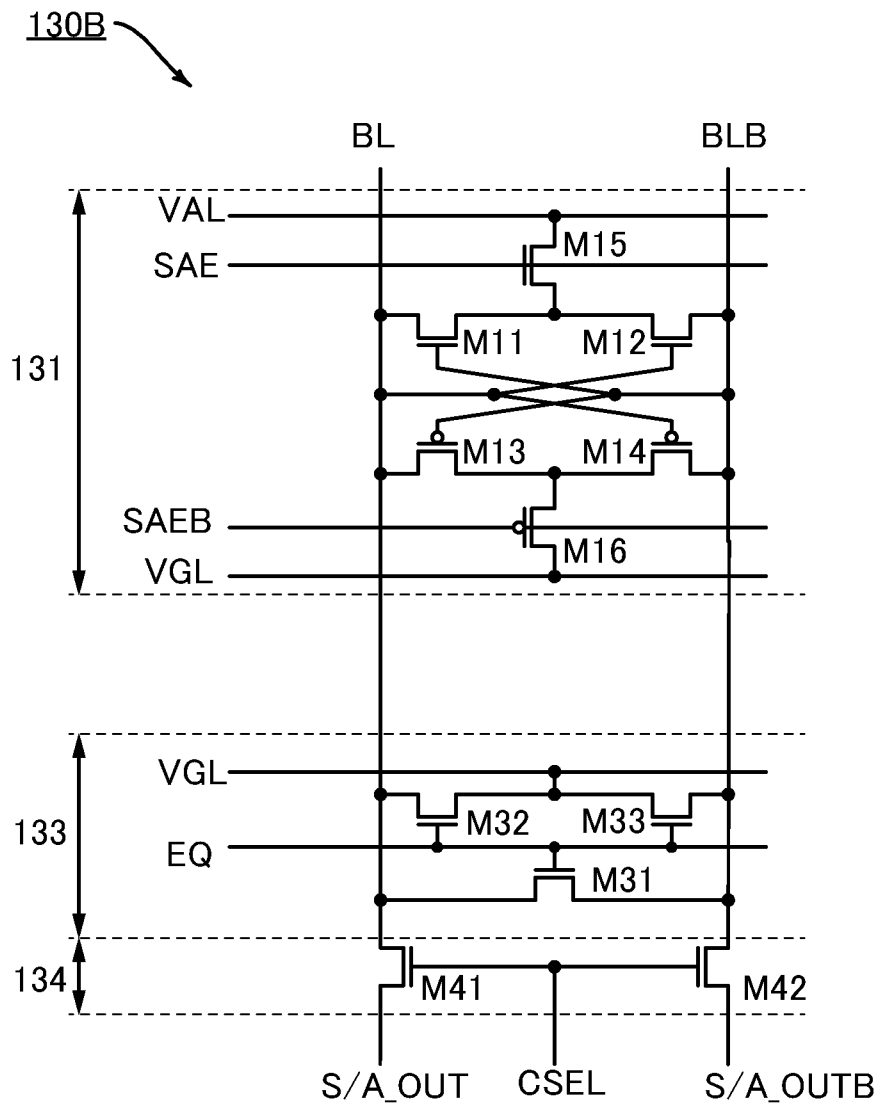
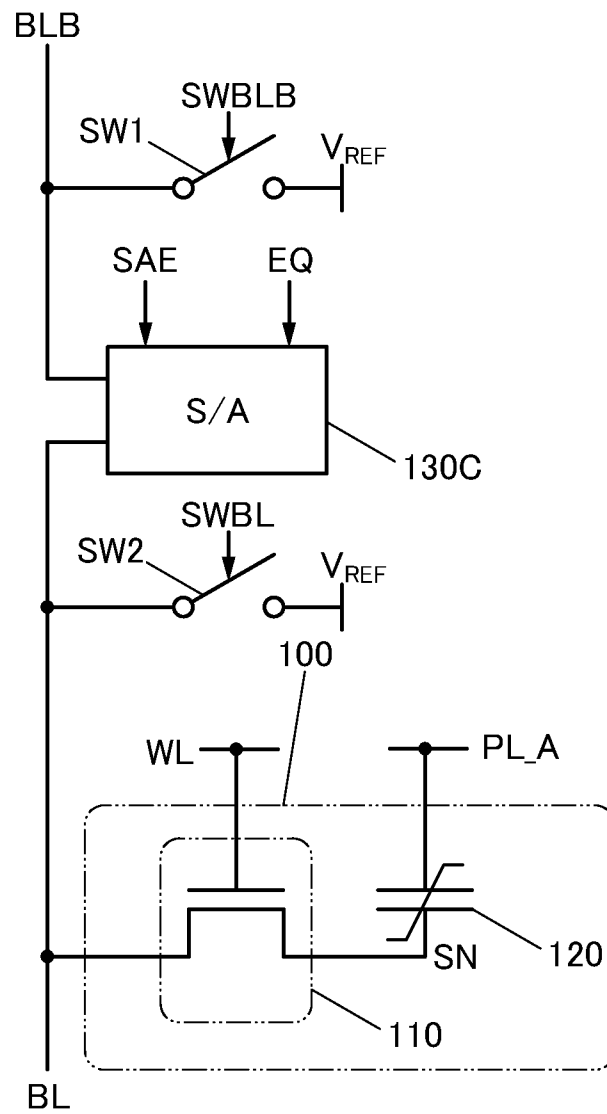


図16C





10C



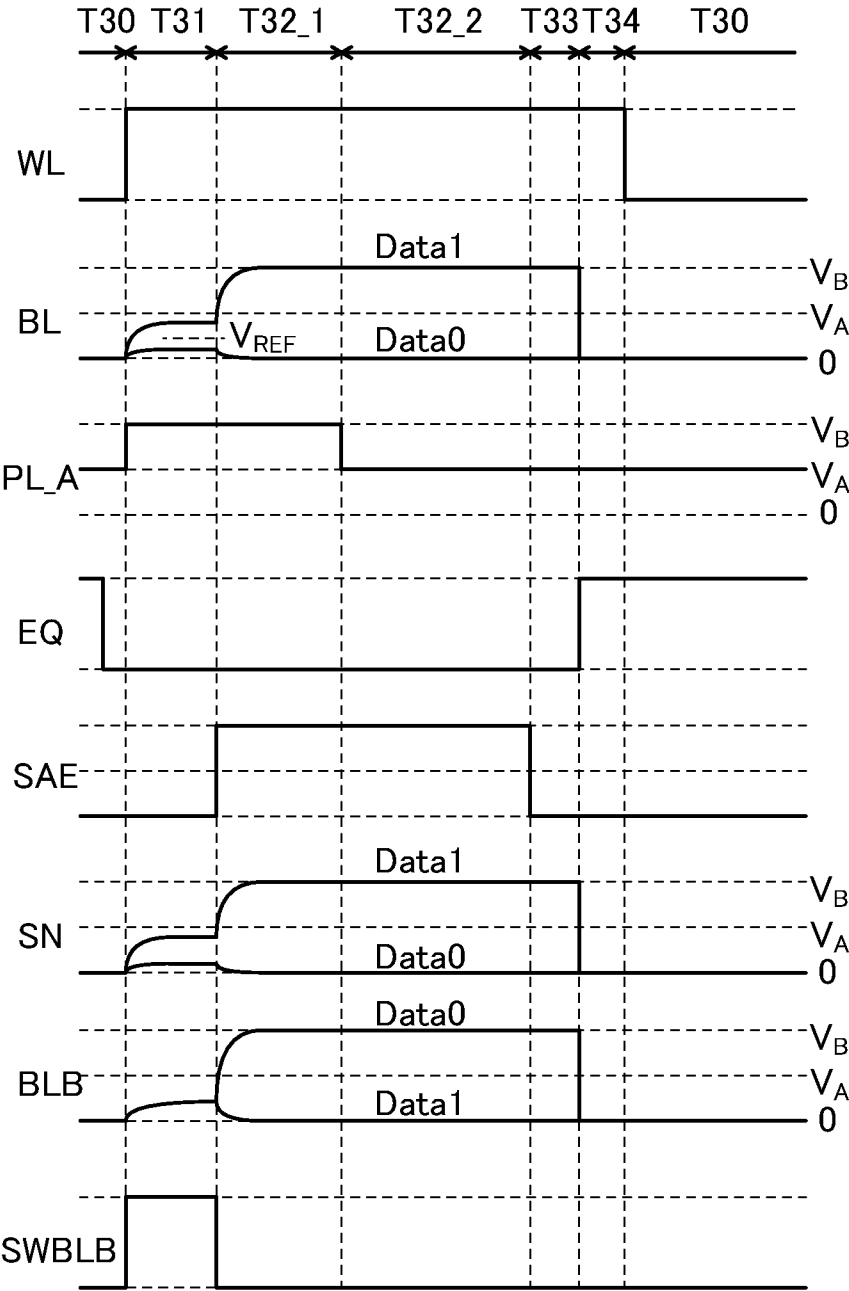


図20B

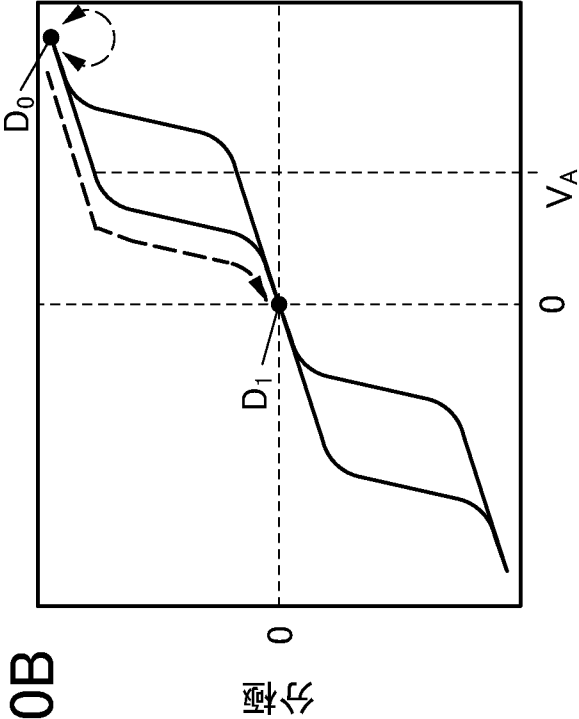


図20D

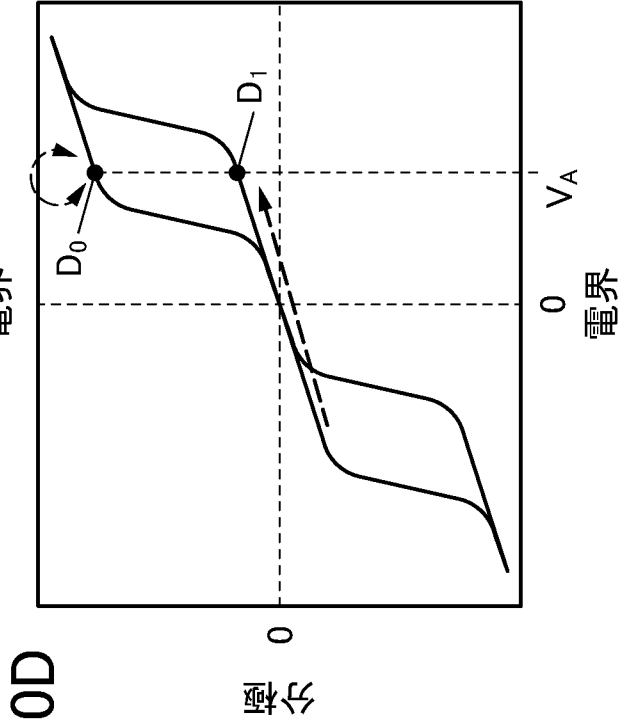


図20A

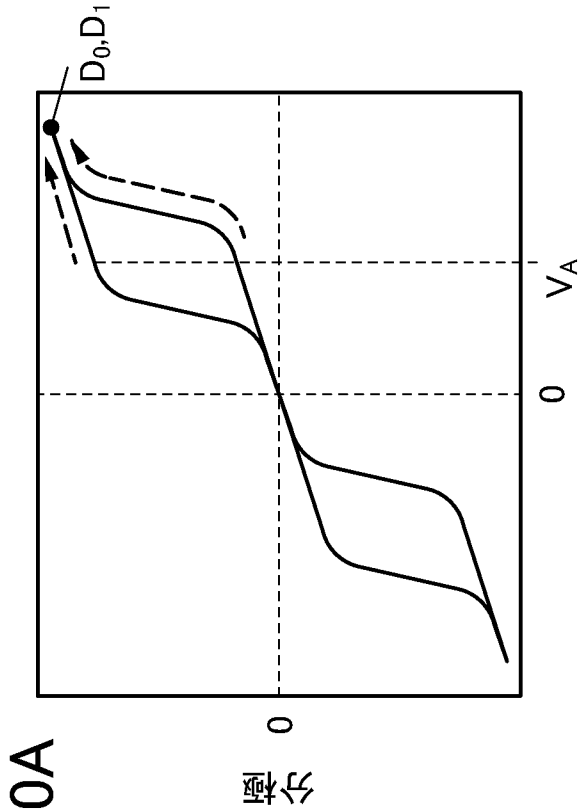


図20C

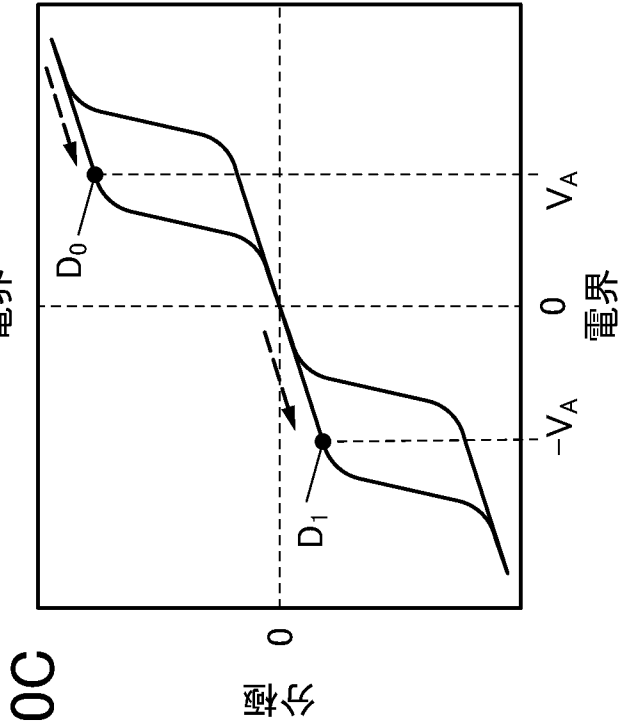
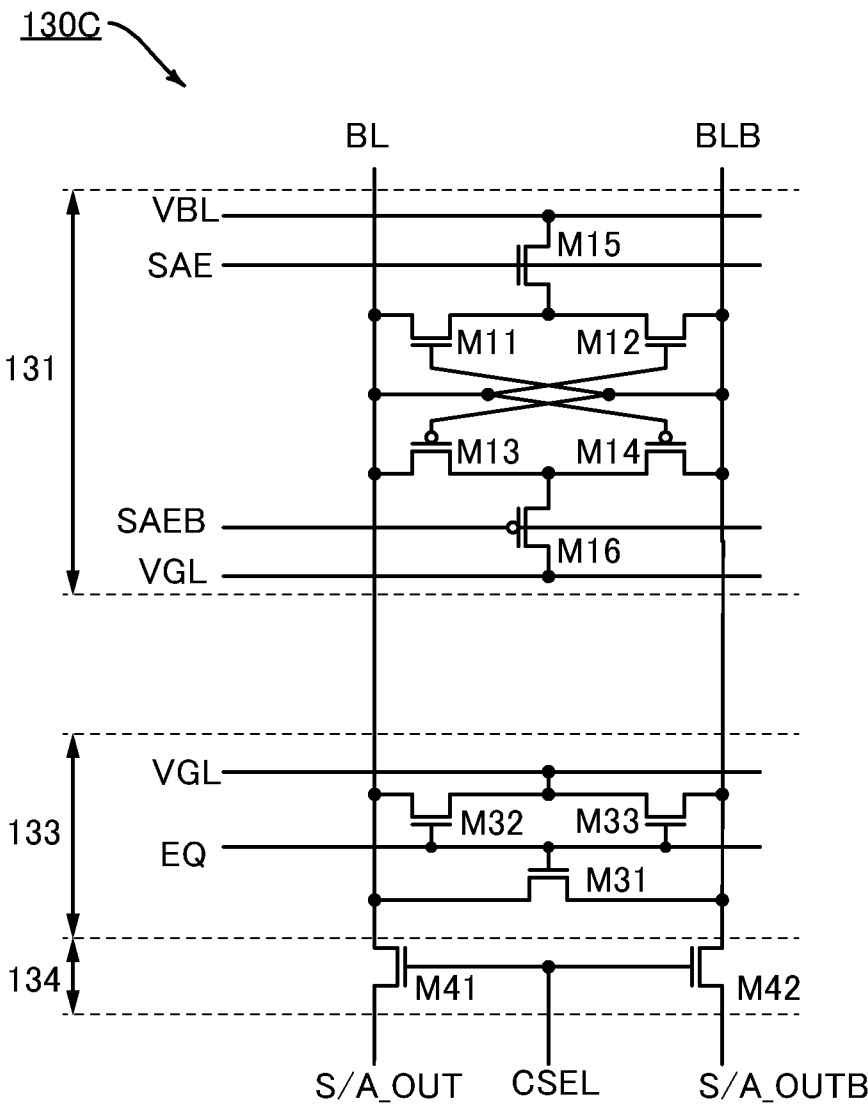


図21A



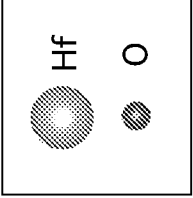
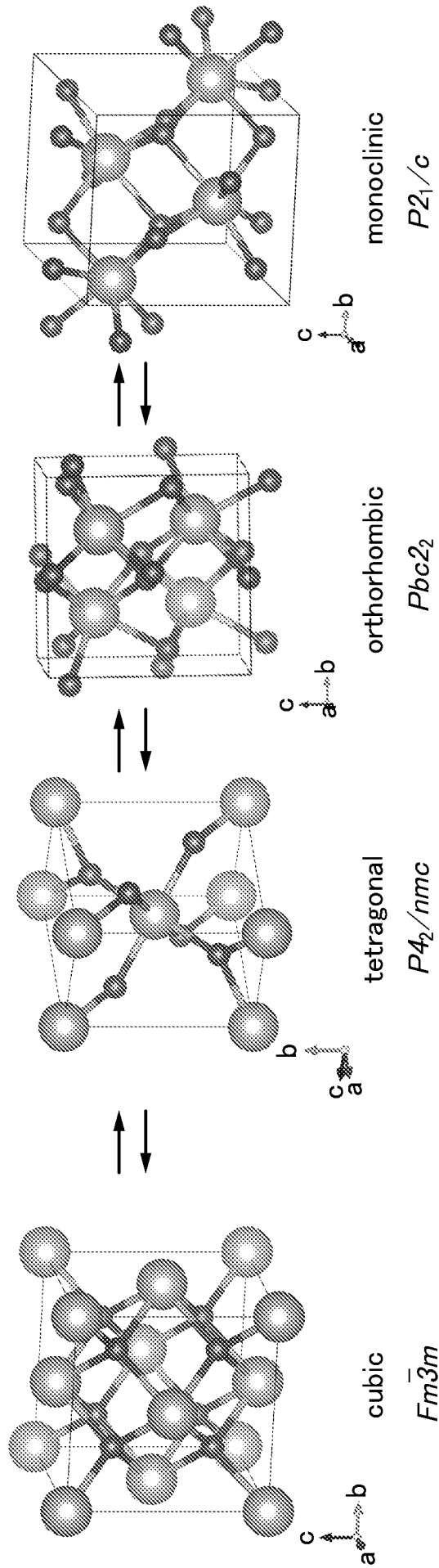


図23A

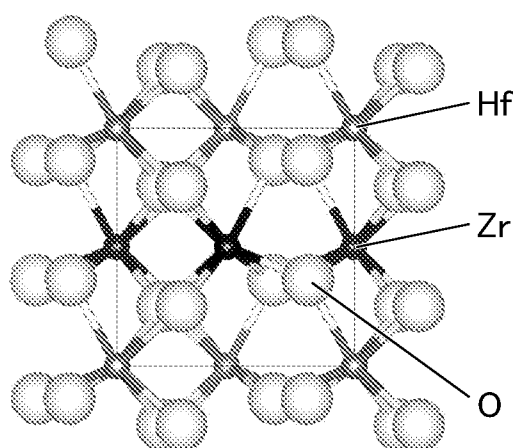
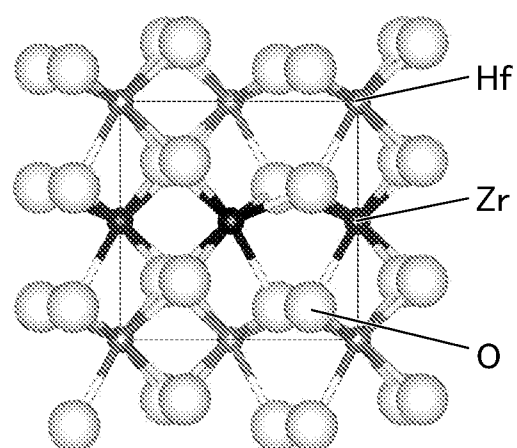
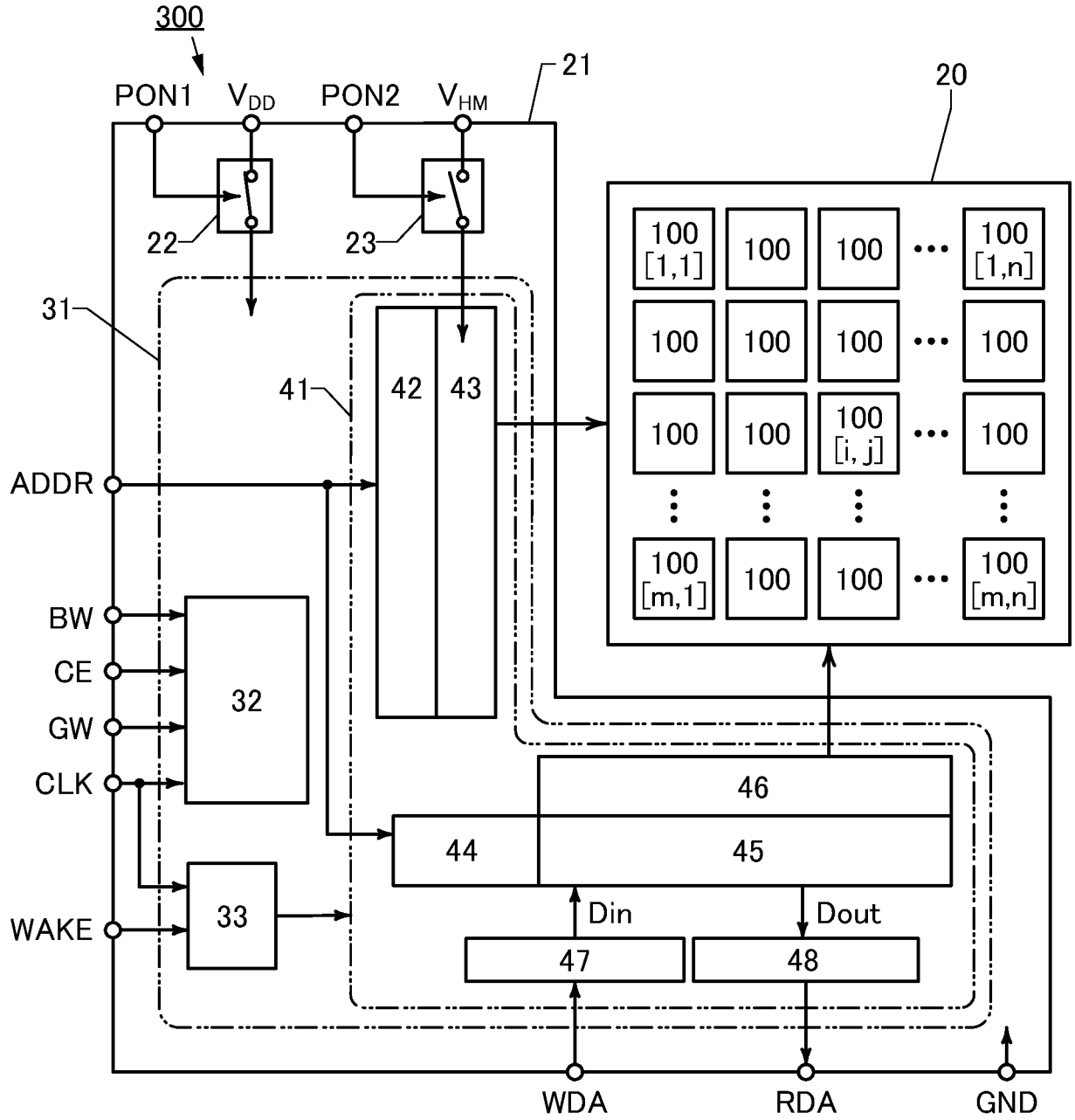


図23B



24A



24B

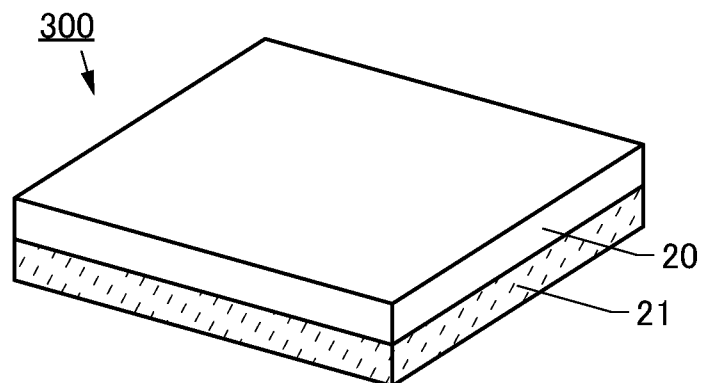


図25A

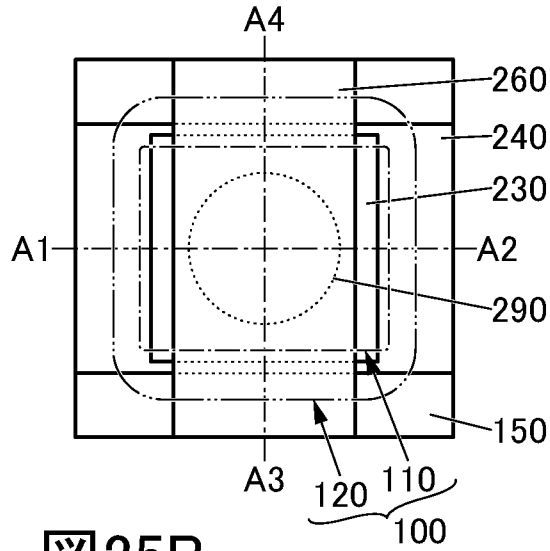


図25B

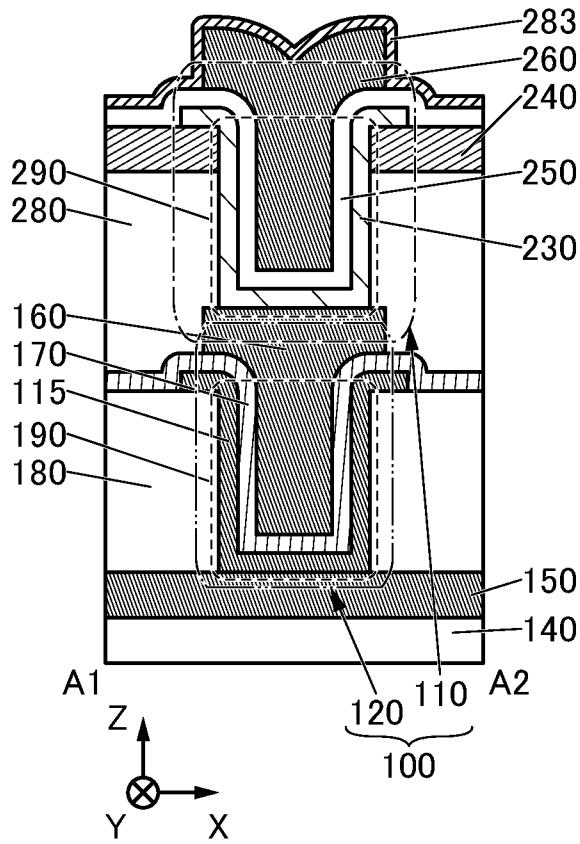


図25C

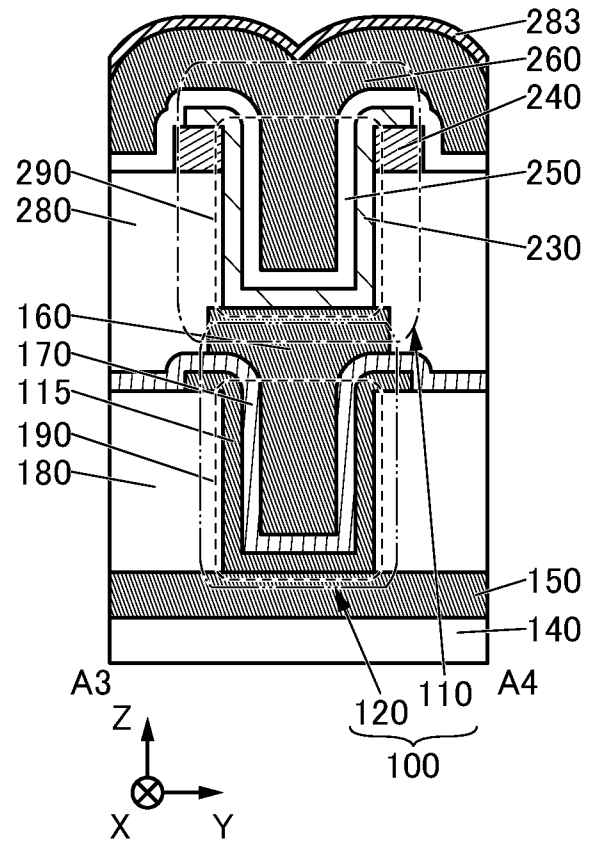


図25D

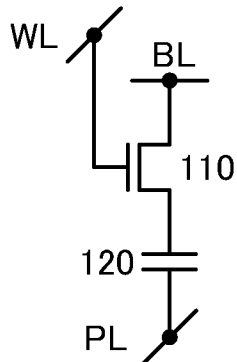


図26A

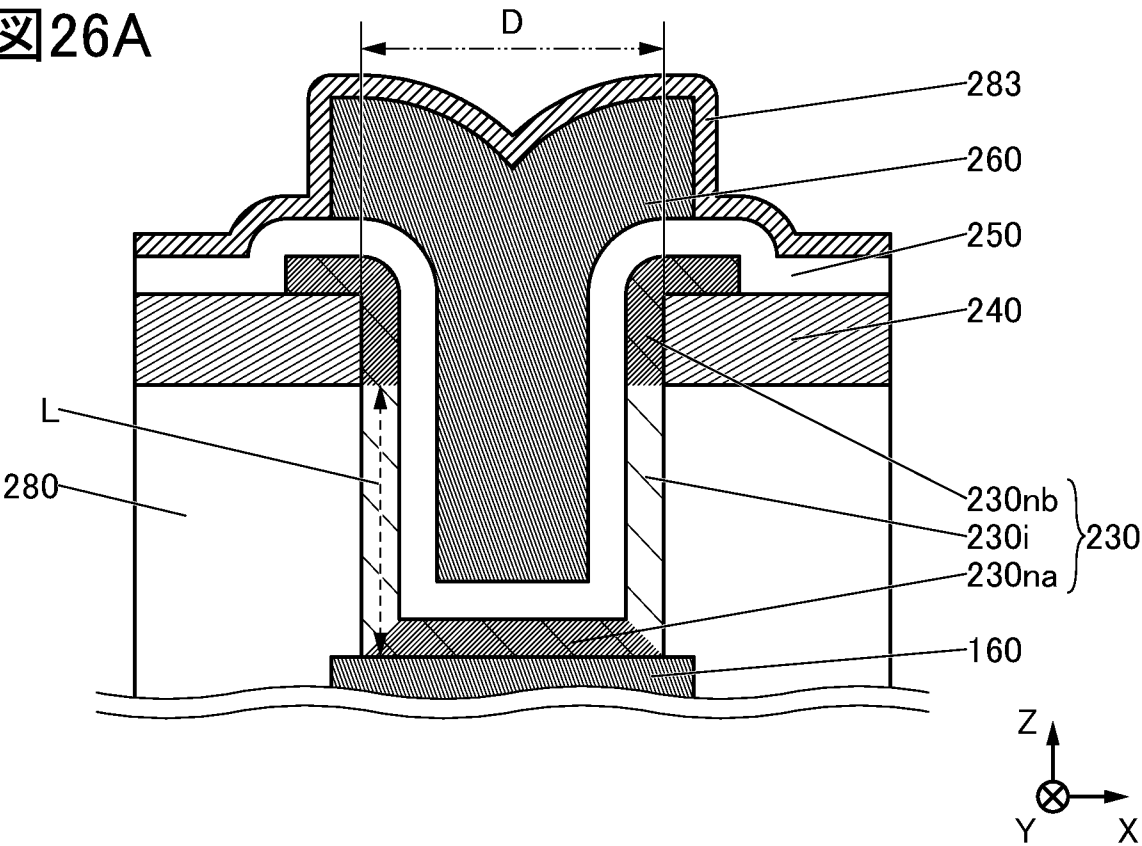


図26B

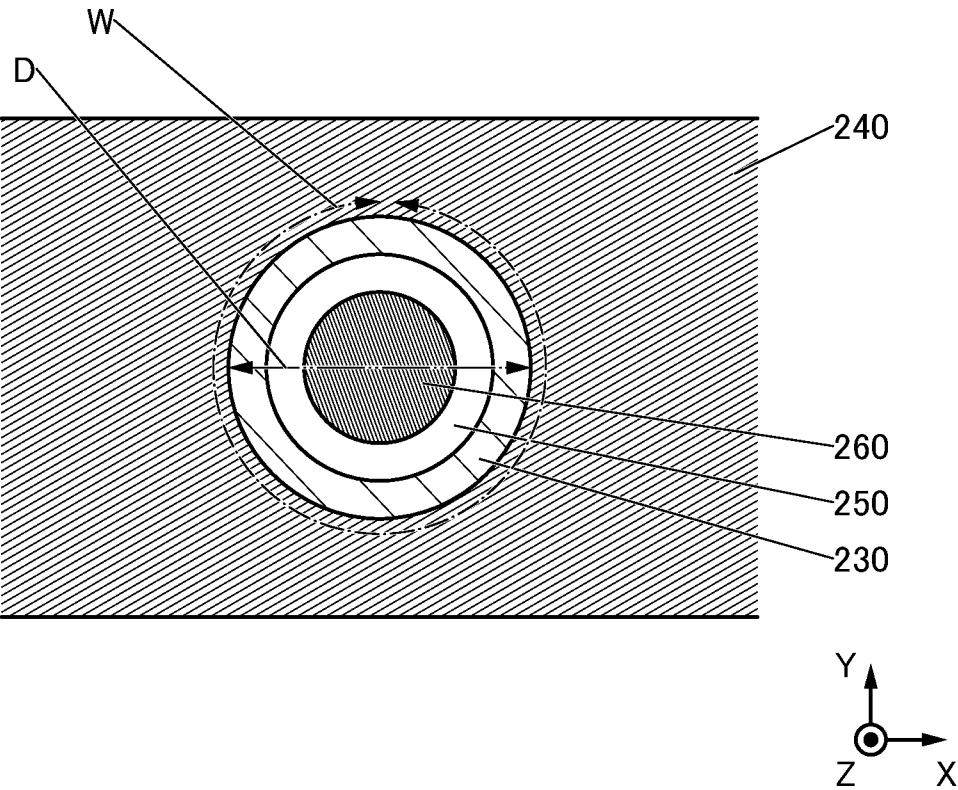


図27A

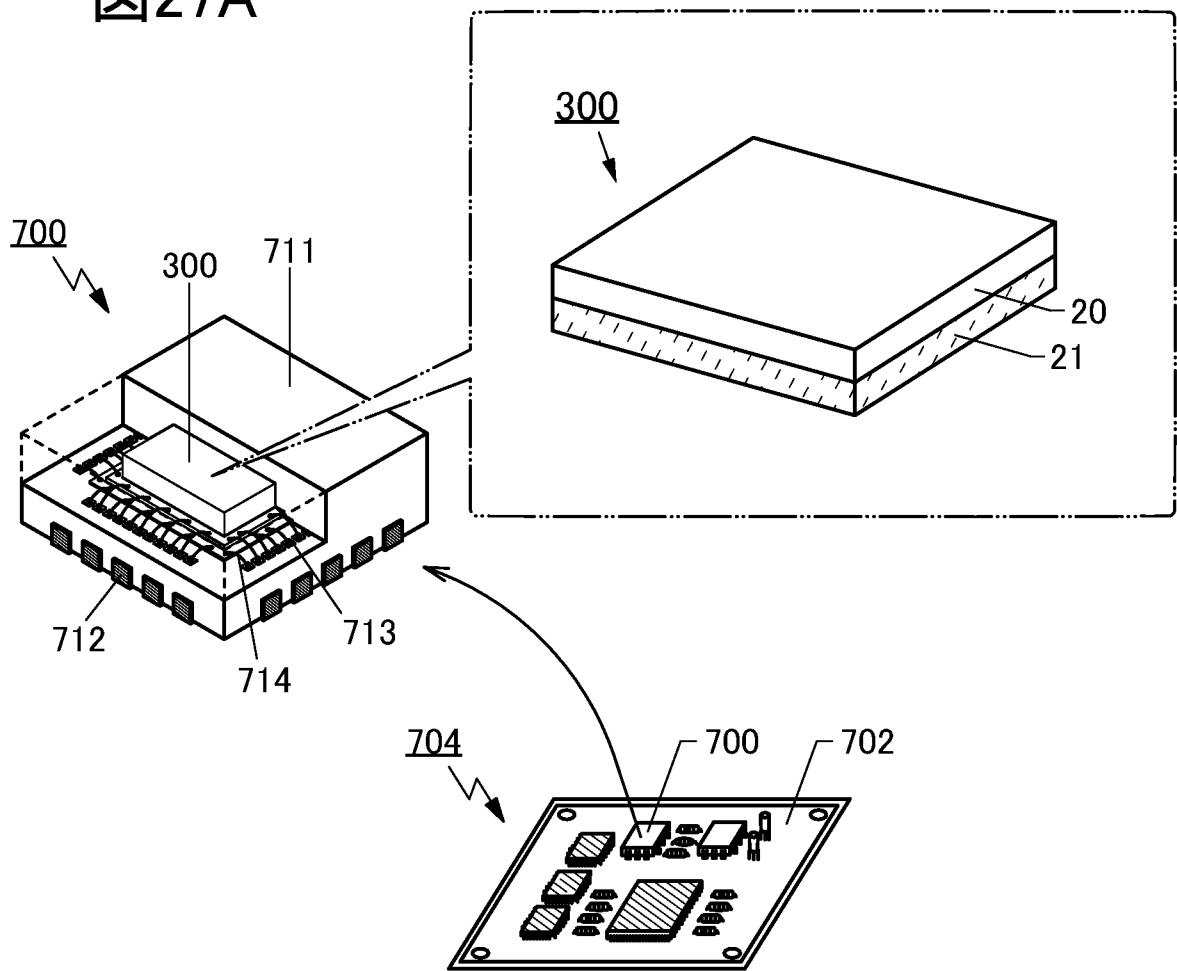


図27B

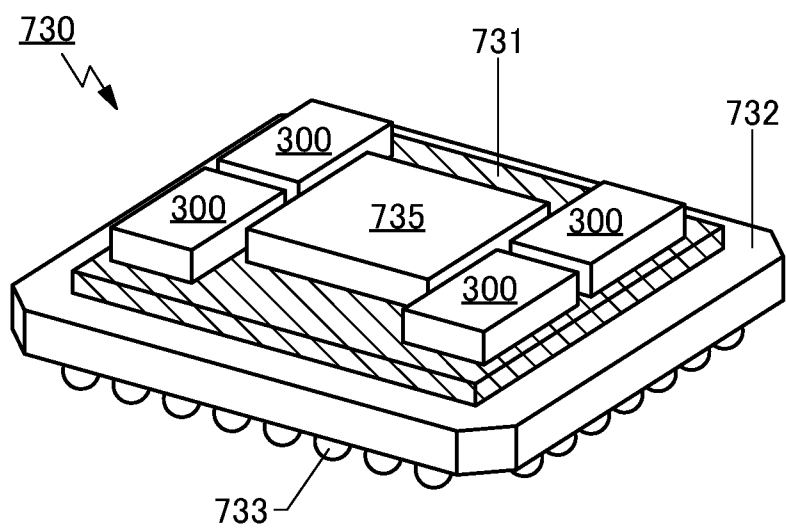


图28A

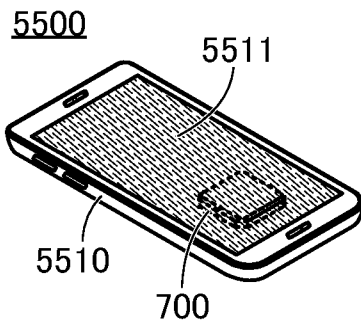


图28B

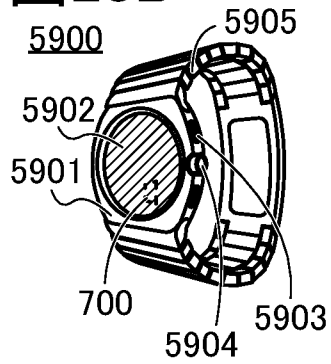


图28C

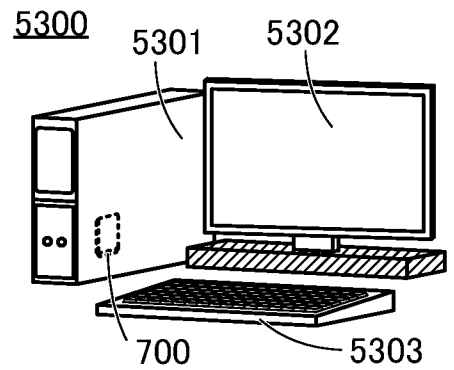


图28D

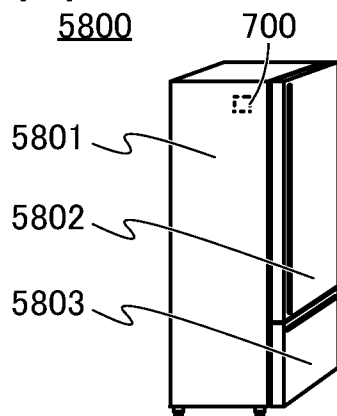


图28E

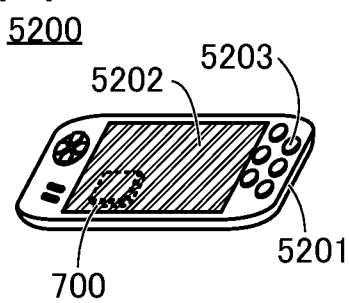


图28F

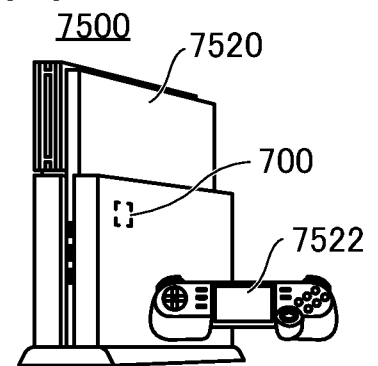


图28G

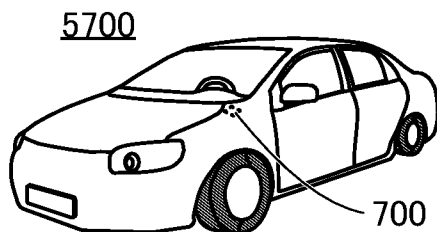


图28H

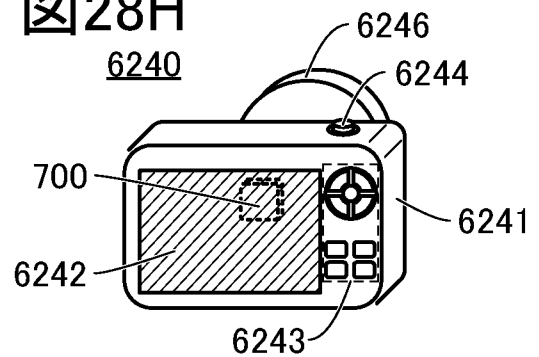


图28I

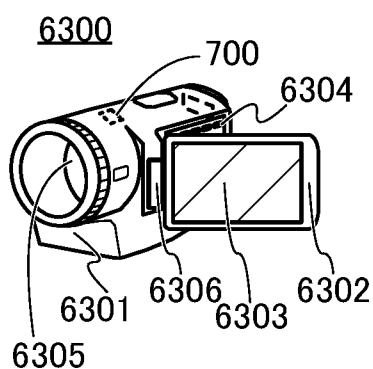


图28J

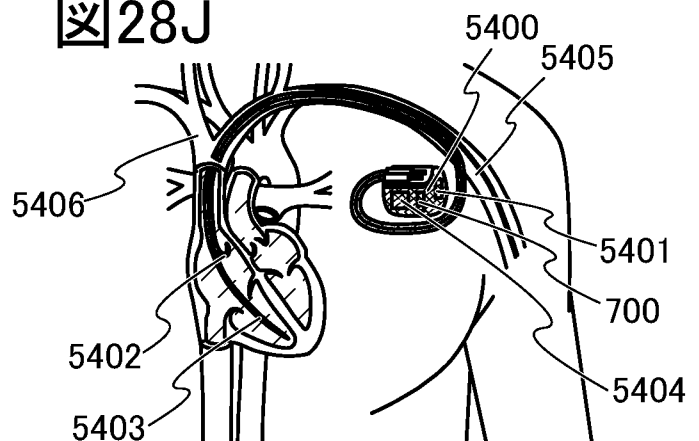


図29A

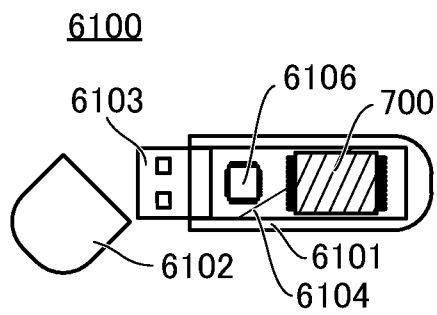


図29B

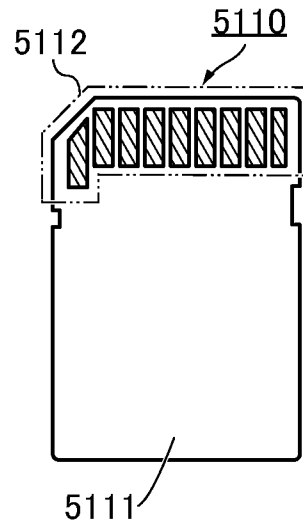


図29C

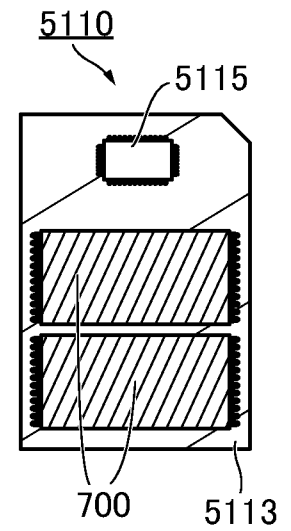


図29D

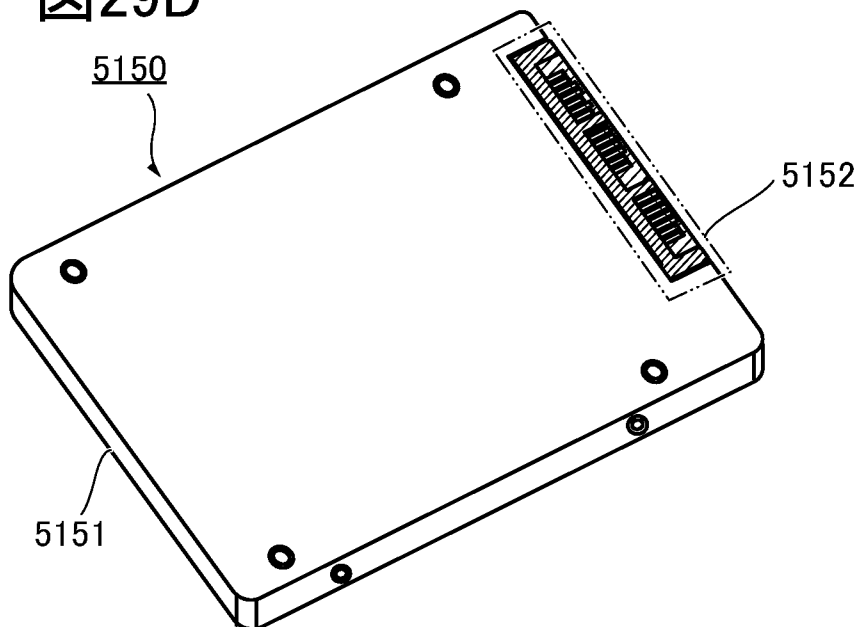


図29E

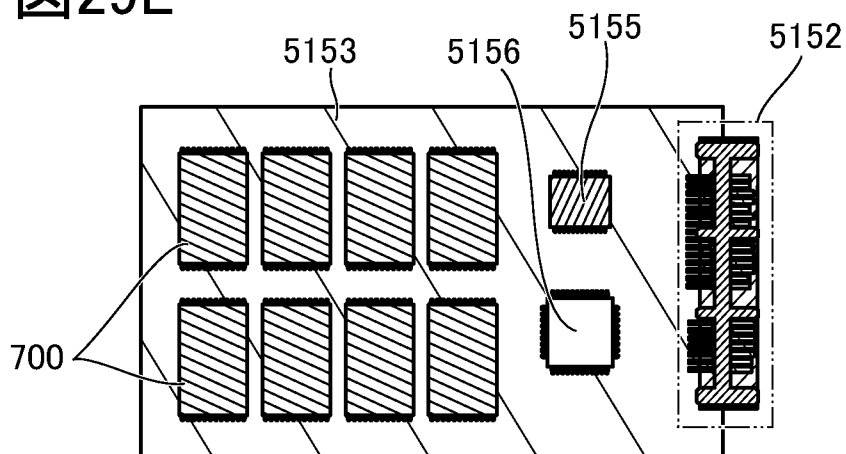


図30A

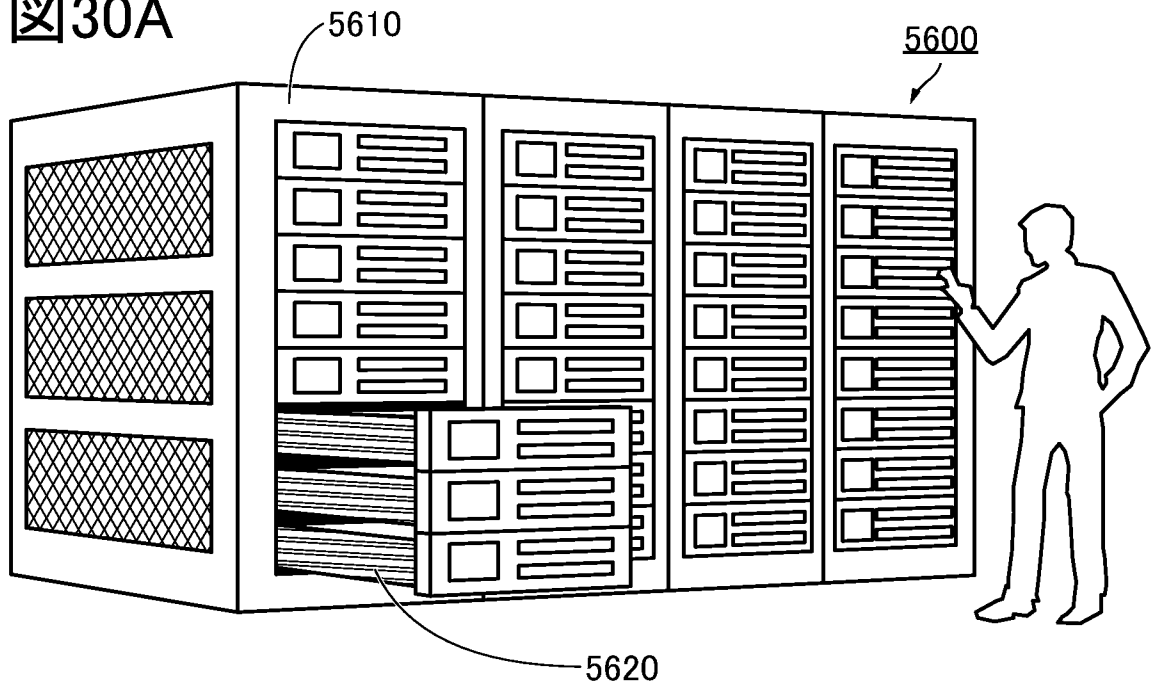


図30B

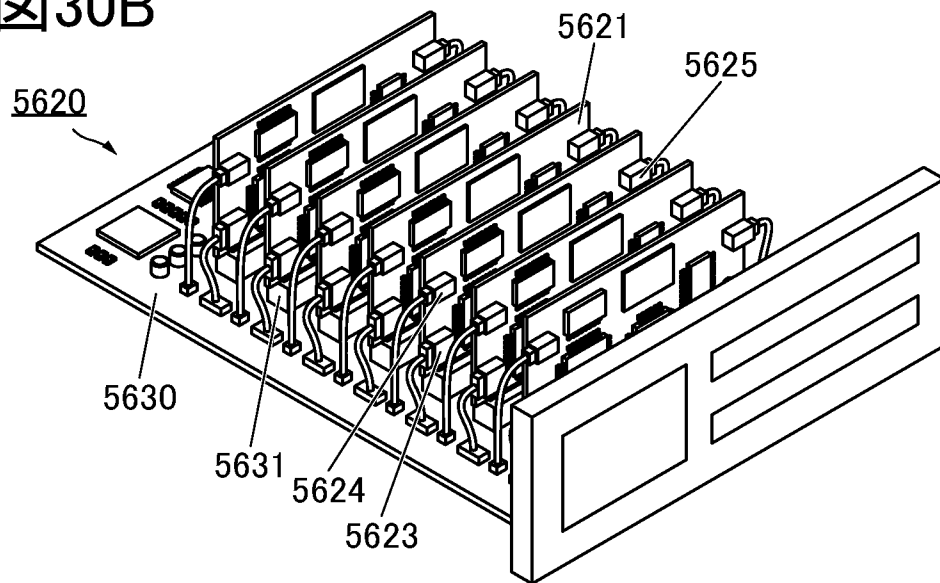
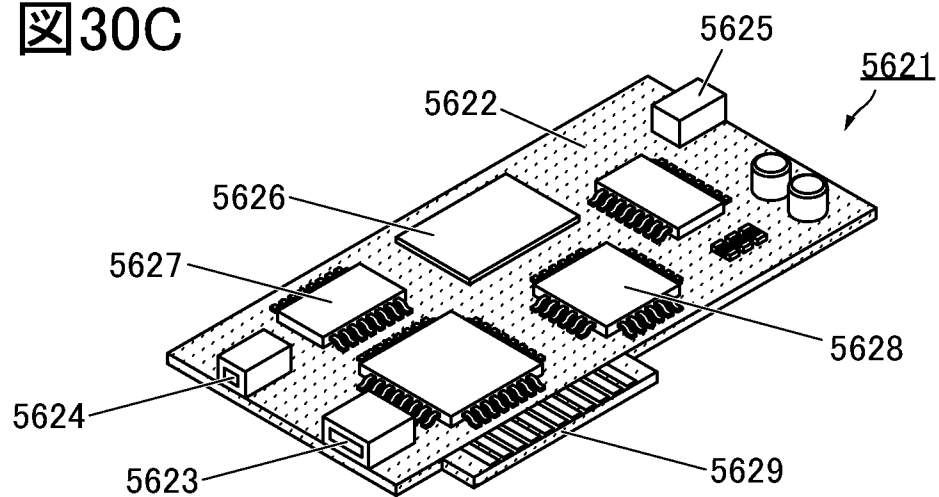


図30C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/061146

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/22(2006.01)i; **H10B 12/00**(2023.01)i; **H10B 53/30**(2023.01)i; **H10B 53/40**(2023.01)i; **H01L 29/786**(2006.01)i
 FI: G11C11/22 230; H10B12/00 671B; H10B12/00 671Z; H10B12/00 625; H01L29/78 613B; H01L29/78 618B;
 H10B53/40; H10B53/30; G11C11/22 110; G11C11/22 218; G11C11/22 214

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/22; H01L29/786; H10B12/00; H10B53/30; H10B53/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-243090 A (TOSHIBA CORP) 08 September 2000 (2000-09-08) paragraphs [0068]-[0165], fig. 1, 3-17	1-9
A	JP 8-147982 A (OLYMPUS OPTICAL CO LTD) 07 June 1996 (1996-06-07) paragraphs [0065]-[0074], [0140], fig. 13, 14	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

26 December 2023

Date of mailing of the international search report

23 January 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2023/061146

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2000-243090	A	08 September 2000	(Family: none)	
JP	8-147982	A	07 June 1996	US 5666305 A column 20, line 11 to column 21, line 29, column 35, lines 37-42, fig. 30, 31	

A. 発明の属する分野の分類（国際特許分類（IPC））

G11C 11/22(2006.01)i; H10B 12/00(2023.01)i; H10B 53/30(2023.01)i; H10B 53/40(2023.01)i; H01L 29/786(2006.01)i

FI: G11C11/22 230; H10B12/00 671B; H10B12/00 671Z; H10B12/00 625; H01L29/78 613B; H01L29/78 618B; H10B53/40; H10B53/30; G11C11/22 110; G11C11/22 218; G11C11/22 214

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G11C11/22; H01L29/786; H10B12/00; H10B53/30; H10B53/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2023年

日本国実用新案登録公報1996-2023年

日本国登録実用新案公報1994-2023年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-243090 A（株式会社東芝）08.09.2000（2000-09-08） 段落[0068]-[0165]、図1,3-17	1-9
A	JP 8-147982 A（オリンパス光学工業株式会社）07.06.1996（1996-06-07） 段落[0065]-[0074]、[0140]、図13,14	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

26.12.2023

国際調査報告の発送日

23.01.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

後藤 彰 5S 4226

電話番号 03-3581-1101 内線 3546

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2023/061146

引用文献			公表日	パテントファミリー文献	公表日
JP	2000-243090	A	08.09.2000	(ファミリーなし)	
JP	8-147982	A	07.06.1996	US 5666305 A	
				第20欄第11行－第21欄第29 行、第35欄第37行－同欄第 42行、図30,31	