

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月7日(07.03.2019)



(10) 国際公開番号

WO 2019/044209 A1

(51) 国際特許分類:

H01L 21/329 (2006.01) H01L 27/146 (2006.01)
H01L 21/02 (2006.01) H01L 29/861 (2006.01)
H01L 21/822 (2006.01) H01L 29/868 (2006.01)
H01L 27/04 (2006.01) H01L 29/87 (2006.01)
H01L 27/06 (2006.01)

(21) 国際出願番号: PCT/JP2018/026529

(22) 国際出願日: 2018年7月13日(13.07.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-165619 2017年8月30日(30.08.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

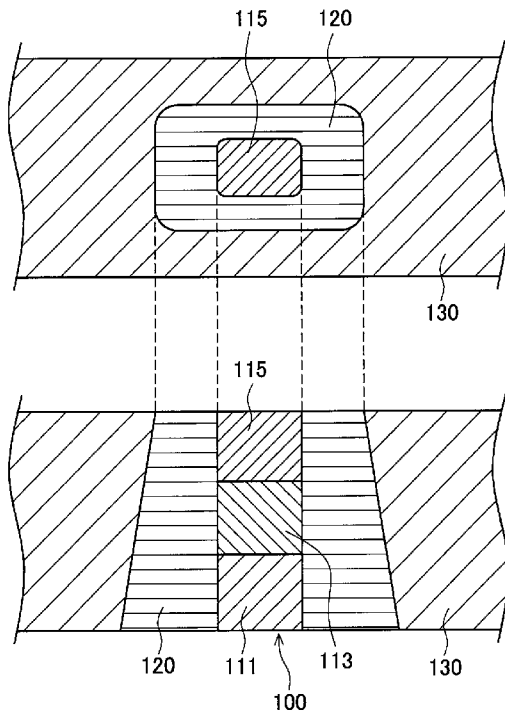
(72) 発明者: 岡野 仁志(OKANO, Hitoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 亀谷 美明, 外 (KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3-1-3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置及び電子機器



(57) Abstract: [Problem] To provide a semiconductor device which is capable of withstanding a higher voltage with more efficient area occupation. [Solution] A semiconductor device which is provided with: a first conductivity type layer into which an impurity of a first conductivity type is introduced; a second conductivity type layer into which an impurity of a second conductivity type is introduced, said impurity of a second conductivity type having a polarity that is different from the polarity of the impurity of a first conductivity type; and an intermediate layer which is sandwiched between the first conductivity type layer and the second conductivity type layer, and which does not contain the impurity of a first conductivity type or the impurity of a second conductivity type, or alternatively has a concentration of the impurity of a first conductivity type or the impurity of a second conductivity type lower than the concentration of the impurity of the first conductivity type layer or the second conductivity type layer. This semiconductor device is configured such that the first conductivity type layer, the intermediate layer and the second conductivity type layer are laminated within a semiconductor substrate in the thickness direction of the semiconductor substrate.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】より効率的な占有面積で、より高電圧に耐えられる半導体装置を提供する。【解決手段】第1導電型不純物が導入された第1導電型層と、前記第1導電型不純物と極性が異なる第2導電型不純物が導入された第2導電型層と、前記第1導電型層及び前記第2導電型層に挟持され、前記第1導電型不純物又は前記第2導電型不純物を含まない、又は前記第1導電型不純物又は前記第2導電型不純物の濃度が前記第1導電型層及び第2導電型層よりも低い中間層と、を備え、前記第1導電型層、前記中間層及び前記第2導電型層は、半導体基板の内部に前記半導体基板の厚み方向に積層されて設けられる、半導体装置。

明 細 書

発明の名称：半導体装置及び電子機器

技術分野

[0001] 本開示は、半導体装置及び電子機器に関する。

背景技術

[0002] 近年、IoT (Internet of Things) 分野及び自動車分野にて使用される半導体装置において、電源の高電圧化が進んでいる。このため、このような半導体装置において、内部回路を保護するために入出力部（I/O部ともいう）等に設けられる耐圧素子には、より高いサージ電圧に耐えることが求められている。

[0003] 例えば、一般的な耐圧素子として、P型半導体及びN型半導体を接合したPN接合ダイオードが知られている。しかしながら、PN接合ダイオードは、ブレイクダウン電圧が低いため、上述したような高耐圧性が求められる耐圧素子への適用は困難であった。

[0004] ここで、高耐圧性を有する耐圧素子としては、例えば、下記の特許文献1に開示されるように、低ドーズの中間層を介してP型半導体及びN型半導体を接合したPIN (P-Intrinsic-N) 構造のダイオードが提案されている。PIN構造のダイオードでは、低ドーズの中間層と、P型半導体及びN型半導体との間で空乏層が形成されるため、形成された空乏層によってP型半導体及びN型半導体の間の電界が緩和される。これにより、PIN構造のダイオードは、PN接合ダイオードよりもブレイクダウン電圧を高くすることができるため、より高耐圧性の耐圧素子に適用することが可能となる。

先行技術文献

特許文献

[0005] 特許文献1：特開平11-251597号公報

発明の概要

発明が解決しようとする課題

- [0006] しかし、特許文献 1 に開示された耐圧素子は、半導体基板の面内方向に P I N 構造が形成されるため、半導体基板内での耐圧素子の占有面積が大きくなり、半導体装置の微細化に不向きであった。特に、入出力部ごとに耐圧素子を設ける場合、占有面積の大きな耐圧素子は、半導体装置のチップサイズを縮小する際の制約になっていた。
- [0007] また、P I N 構造のダイオードでブレークダウン電圧をより高くするためには、P 型半導体及び N 型半導体との間に形成される空乏層の幅をより大きくする必要がある。したがって、より高耐圧性が要求される耐圧素子ほど占有面積が大きくなり、半導体装置が大型化してしまう可能性があった。
- [0008] そこで、より効率的な占有面積で、より高電圧に耐えられる半導体装置が求められていた。

課題を解決するための手段

- [0009] 本開示によれば、第 1 導電型不純物が導入された第 1 導電型層と、前記第 1 導電型不純物と極性が異なる第 2 導電型不純物が導入された第 2 導電型層と、前記第 1 導電型層及び前記第 2 導電型層に挟持され、前記第 1 導電型不純物又は前記第 2 導電型不純物を含まない、又は前記第 1 導電型不純物又は前記第 2 導電型不純物の濃度が前記第 1 導電型層及び第 2 導電型層よりも低い中間層と、を備え、前記第 1 導電型層、前記中間層及び前記第 2 導電型層は、半導体基板の内部に前記半導体基板の厚み方向に積層されて設けられる、半導体装置が提供される。
- [0010] また、本開示によれば、半導体基板の内部に設けられた半導体装置を含み、前記半導体装置は、第 1 導電型不純物が導入された第 1 導電型層と、前記第 1 導電型不純物と極性が異なる第 2 導電型不純物が導入された第 2 導電型層と、前記第 1 導電型層及び前記第 2 導電型層に挟持され、前記第 1 導電型不純物又は前記第 2 導電型不純物を含まない、又は前記第 1 導電型不純物又は前記第 2 導電型不純物の濃度が前記第 1 導電型層及び第 2 導電型層よりも低い中間層と、を備え、前記第 1 導電型層、前記中間層及び前記第 2 導電型

層は、前記半導体基板の厚み方向に積層されて設けられる、電子機器が提供される。

[0011] 本開示によれば、積層方向に、第1導電型不純物を含む第1導電型層と、導電型不純物を含まない、又は導電型不純物を低濃度で含む中間層と、第2導電型不純物を含む第2導電型層とからなるP I N構造を形成することができる。

発明の効果

[0012] 以上説明したように本開示によれば、より効率的な占有面積で、より高電圧に耐えられる半導体装置を提供することが可能である。

[0013] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0014] [図1]本開示の一実施形態に係る半導体装置の構成を説明する斜視図である。

[図2]同実施形態に係る半導体装置の構成を説明する上面図及び断面図である。

[図3A]同実施形態に係る半導体装置を単層型半導体装置に適用した一例を示す断面図である。

[図3B]同実施形態に係る半導体装置を単層型半導体装置に適用した他の例を示す断面図である。

[図3C]同実施形態に係る半導体装置を単層型半導体装置に適用したさらに他の例を示す断面図である。

[図4A]同実施形態に係る半導体装置を積層型半導体装置に適用した一例を示す断面図である。

[図4B]同実施形態に係る半導体装置を積層型半導体装置に適用した他の例を示す断面図である。

[図4C]同実施形態に係る半導体装置を積層型半導体装置に適用したさらに他の例を示す断面図である。

[図5A]積層型半導体装置の第1の製造方法の一工程を模式的に説明する縦断面図である。

[図5B]積層型半導体装置の第1の製造方法の一工程を模式的に説明する縦断面図である。

[図5C]積層型半導体装置の第1の製造方法の一工程を模式的に説明する縦断面図である。

[図5D]積層型半導体装置の第1の製造方法の一工程を模式的に説明する縦断面図である。

[図5E]積層型半導体装置の第1の製造方法の一工程を模式的に説明する縦断面図である。

[図5F]積層型半導体装置の第1の製造方法の一工程を模式的に説明する縦断面図である。

[図6A]積層型半導体装置の第2の製造方法の一工程を模式的に説明する縦断面図である。

[図6B]積層型半導体装置の第2の製造方法の一工程を模式的に説明する縦断面図である。

[図6C]積層型半導体装置の第2の製造方法の一工程を模式的に説明する縦断面図である。

[図6D]積層型半導体装置の第2の製造方法の一工程を模式的に説明する縦断面図である。

[図6E]積層型半導体装置の第2の製造方法の一工程を模式的に説明する縦断面図である。

[図7A]積層型半導体装置の第3の製造方法の一工程を模式的に説明する縦断面図である。

[図7B]積層型半導体装置の第3の製造方法の一工程を模式的に説明する縦断面図である。

[図7C]積層型半導体装置の第3の製造方法の一工程を模式的に説明する縦断面図である。

[図7D]積層型半導体装置の第3の製造方法の一工程を模式的に説明する縦断面図である。

[図7E]積層型半導体装置の第3の製造方法の一工程を模式的に説明する縦断面図である。

[図8A]本開示の一実施形態に係る電子機器の一例を示す外観図である。

[図8B]同実施形態に係る電子機器の他の例を示す外観図である。

[図8C]同実施形態に係る電子機器のさらに他の例を示す外観図である。

発明を実施するための形態

[0015] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0016] なお、説明は以下の順序で行うものとする。

1. 半導体装置の構成
2. 半導体装置の適用例
 2. 1. 単層型半導体装置への適用例
 2. 2. 積層型半導体装置への適用例
3. 半導体装置の製造方法
 3. 1. 第1の製造方法
 3. 2. 第2の製造方法
 3. 3. 第3の製造方法
4. 電子機器
5. まとめ

[0017] <1. 半導体装置の構成>

まず、図1を参照して、本開示の一実施形態に係る半導体装置の構成について説明する。図1は、本実施形態に係る半導体装置100の構成を説明する斜視図である。

[0018] 図1に示すように、半導体装置100は、第1導電型層111と、中間層

113と、第2導電型層115と、を備える。また、半導体装置100は、電氣的な絶縁のために、側面の周囲を分離層120で覆われていてもよい。

[0019] 第1導電型層111は、第1導電型不純物が導入された半導体材料にて形成される。具体的には、第1導電型層111は、リン(P)又はヒ素(As)などのn型不純物が導入されたシリコン(Si)にて形成されてもよい。例えば、第1導電型層111は、イオン注入法などを用いて、n型不純物を 1.0×10^{16} 個/cm³~ 1.0×10^{19} 個/cm³の濃度で導入されたシリコン層として形成されてもよい。

[0020] 第2導電型層115は、第2導電型不純物が導入された半導体材料にて形成される。具体的には、第2導電型層115は、ホウ素(B)又はアルミニウム(Al)などのp型不純物が導入されたシリコン(Si)にて形成されてもよい。例えば、第2導電型層115は、イオン注入法などを用いて、p型不純物を 1.0×10^{16} 個/cm³~ 1.0×10^{19} 個/cm³の濃度で導入されたシリコン層として形成されてもよい。

[0021] 本実施形態に係る半導体装置100において、第1導電型不純物と、第2導電型不純物とは、互いに極性が異なる導電型不純物を表す。したがって、上記で例示したように、第1導電型不純物がn型不純物である場合、第2導電型不純物はp型不純物である。逆に、第1導電型不純物がp型不純物である場合、第2導電型不純物はn型不純物である。

[0022] 中間層113は、第1導電型層111及び第2導電型層115の間に、積層方向に挟持されて設けられる。中間層113は、導電型不純物を含まない半導体材料、又は第1導電型層111若しくは第2導電型層115よりも含まれる導電型不純物の濃度が低い半導体材料にて形成される。

[0023] 具体的には、中間層113は、p型不純物又はn型不純物を含まないシリコン層、又は第1導電型層111又は第2導電型層115よりも含まれるp型不純物又はn型不純物の濃度が低いシリコン層であってもよい。例えば、中間層113は、イオン注入法などを用いて、n型不純物を 1.0×10^{14} 個/cm³~ 1.0×10^{15} 個/cm³の濃度で導入されたシリコン層として

形成されてもよい。なお、中間層 113 は、第 1 導電型層 111 及び第 2 導電型層 115 よりも p 型不純物又は n 型不純物のドーピング濃度が低いことを特徴とする層であり、中間層 113 に p 型不純物又は n 型不純物が含まれるか否かは特に限定されない。

[0024] 上記の第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 は、いずれも半導体材料で形成され、これらの層では、該半導体材料に含まれる導電型不純物の有無、種類及び濃度の少なくともいずれかが異なる。そのため、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 は、同一の半導体材料で構成されてもよい。例えば、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 は、いずれもシリコンで形成されてもよい。

[0025] ただし、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 は、シリコン以外の半導体材料で構成されてもよいことは言うまでもない。例えば、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 は、ゲルマニウム (Ge) などの他の元素半導体、又はガリウムヒ素 (GaAs)、窒化ガリウム (GaN) 若しくはシリコンカーバイド (SiC) 等の化合物半導体で構成されてもよい。

[0026] 分離層 120 は、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 の積層体の側面を取り囲むように絶縁材料にて設けられる。例えば、分離層 120 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸素化シリコン (SiON) などの絶縁材料にて設けられてもよい。分離層 120 は、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 の積層体の側面に電気的な絶縁層を形成することによって、半導体装置 100 からのリーク電流を抑制することができる。

[0027] 第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 からなる積層体において、積層方向に互いに対向する第 2 導電型層 115 の上面、及び第 1 導電型層 111 の下面は、分離層 120 にて覆われておらず、露出される。露出された第 2 導電型層 115 の上面、及び第 1 導電型層 111 の下面は、半導体装置 100 の端子として機能し、例えば、ビア等を介して各種配線

と電氣的に接続され得る。露出された第2導電型層115の上面、及び第1導電型層111の下面は、半導体装置100とビアとの接触抵抗を低減するために、より高濃度の導電型不純物にてドーピングされていてもよい。

[0028] これらの構成により、本実施形態に係る半導体装置100では、低濃度でドーピングされた、又はドーピングされていない半導体層（すなわち、中間層113）を介して、p型半導体及びn型半導体（すなわち、第1導電型層111及び第2導電型層115）が積層方向にて接合されたPIN構造が形成される。PIN構造では、第1導電型層111及び第2導電型層115から中間層113に向かって、キャリア濃度が極めて低い空乏層が形成される。本実施形態に係る半導体装置100では、該空乏層によって、ブレークダウン電圧を上昇させることができるため、高耐圧性を確保することができる。

[0029] 例えば、PIN構造ダイオードにおいて、PN接合ダイオードの耐圧性（例えば、10V程度）を超える高耐圧性（例えば、20V超）を達成するためには、中間層113は、数 μm を超える厚みが必要となる。本実施形態に係る半導体装置100では、PIN構造を積層方向に形成することによって、PIN構造が平面方向に形成された場合と比較して、半導体装置100が占有する平面面積を縮小することができる。

[0030] なお、半導体装置100では、第1導電型層111又は第2導電型層115の中間層113が設けられた面と対向する面に、異なる極性の導電型不純物を含む層が設けられていてもよい。具体的には、第1導電型層111の中間層113が設けられた面と対向する面には、第2導電型不純物を含む層が設けられていてもよい。または、第2導電型層115の中間層113が設けられた面と対向する面には、第1導電型不純物を含む層が設けられていてもよい。このような場合、半導体装置100は、NPN構造又はPNP構造を備えるバイポーラトランジスタのPN接合をPIN接合に置き換えたNPIN（N-P-Intrinsic-N）構造又はPINP（P-Intrinsic-N-P）構造を備えることになる。この構造によっても、半導体

装置 100 は、高耐圧素子として機能することが可能である。

[0031] 次に、図 2 を参照して、本実施形態に係る半導体装置 100 のより具体的な構成について説明する。図 2 は、本実施形態に係る半導体装置 100 の構成を説明する上面図及び断面図である。なお、図 2 を正対視して上側の図が半導体装置 100 の上面図であり、下側の図が半導体装置 100 の断面図である。

[0032] 図 2 に示すように、例えば、半導体装置 100 は、半導体基板 130 の内部に設けられ、分離層 120 によって半導体基板 130 と電氣的に絶縁されてもよい。

[0033] 半導体基板 130 は、半導体材料で形成された基板である。例えば、半導体基板 130 は、シリコン基板であってもよい。半導体基板 130 が容易に加工可能なシリコン基板である場合、半導体基板 130 の内部における半導体装置 100 の形成をより容易に行うことができる。ただし、半導体基板 130 は、ゲルマニウムなどの他の元素半導体で形成された基板、又はガリウムヒ素 (GaAs)、窒化ガリウム (GaN) 若しくはシリコンカーバイド (SiC) 等の化合物半導体で形成された基板であってもよい。

[0034] また、半導体基板 130 は、CMP (Chemical Mechanical Polishing) 等によって薄肉化されていてもよい。本実施形態に係る半導体装置 100 は、半導体基板 130 を貫通して設けられ得る。したがって、半導体装置 100 の耐圧性を所望の特性とするためには、半導体基板 130 の厚みは、中間層 113 の厚みが数 μm ~ 数十 μm の範囲に収まるように、数 μm ~ 数十 μm 程度に薄肉化されてもよく、例えば、2 μm ~ 20 μm 程度に薄肉化されてもよい。半導体装置の形成のために市販されている一般的な半導体基板 130 の厚さは、数百 μm 程度であるため、半導体基板 130 を上記範囲まで薄肉化することで、所望の特性を備える半導体装置 100 をより容易に形成することが可能である。

[0035] 半導体装置 100 は、上述したように、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 の積層構造にて、半導体基板 130 を貫通して設

けられる。具体的には、半導体装置 100 は、第 1 導電型層 111 及び第 2 導電型層 115 に対応する半導体基板 130 の厚み方向の領域に、所定の導電型不純物（第 1 導電型不純物又は第 2 導電型不純物のいずれか）を導入することで、形成することができる。すなわち、半導体基板 130 のうち、第 1 導電型不純物が導入された領域が第 1 導電型層 111 となり、第 2 導電型不純物が導入された領域が第 2 導電型層 115 となる。また、半導体基板 130 の厚み方向で、前述の第 1 導電型層 111 及び第 2 導電型層 115 によって挟持された領域が中間層 113 となる。

[0036] 半導体装置 100 は、半導体基板 130 を貫通して設けられるため、第 1 導電型層 111 及び第 2 導電型層 115 は、それぞれ半導体基板 130 の対向する両主面にて露出され得る。これにより、半導体装置 100 では、露出された第 1 導電型層 111 及び第 2 導電型層 115 を P I N 構造ダイオードの端子として用いることができるため、半導体装置 100 と各種配線との電気的な接続を容易に形成することができる。

[0037] ただし、第 1 導電型層 111 及び第 2 導電型層 115 は、形成された時点から半導体基板 130 の対向する両主面にて露出されていなくともよい。例えば、第 1 導電型層 111 及び第 2 導電型層 115 は、半導体基板 130 の内部に形成された後、後段で行われる半導体基板 130 の薄肉化によって、半導体基板 130 の対向する両主面に露出されてもよい。

[0038] 分離層 120 は、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 の積層体として設けられた半導体装置 100 の側面を囲むように、半導体基板 130 を貫通して設けられる。具体的には、分離層 120 は、半導体装置 100 の周囲の半導体基板 130 をエッチング等で除去した後、除去した領域を絶縁材料で埋め込むことで形成することができる。例えば、分離層 120 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁材料を半導体基板 130 の開口に埋め込むことで形成されてもよい。すなわち、分離層 120 は、いわゆる S T I (Shallow Trench Isolation) 法と同様の方法によっ

て形成されてもよい。

[0039] ここで、分離層 120 は、半導体基板 130 の一主面からのエッチングによって形成された開口を絶縁材料で埋め込むことで形成されてもよく、半導体基板 130 の対向する両主面からのエッチングによって形成された開口の各々を絶縁材料でそれぞれ埋め込むことで形成されてもよい。

[0040] 分離層 120 の形成時におけるエッチング方向は、例えば、半導体基板 130 の厚み方向における分離層 120 の断面形状のテーパの掛かり方によって判断することが可能である。具体的には、分離層 120 の断面形状のテーパの向きが同一である場合、分離層 120 は、半導体基板 130 の一主面からのエッチングのみにて形成されたと判断することができる。一方、分離層 120 の断面形状のテーパの向きが途中で反転している場合、分離層 120 は、半導体基板 130 の対向する両主面の各々からのエッチングにて形成されたと判断することができる。図 2 で示す分離層 120 は、分離層 120 の断面形状のテーパの向きが一定であるため、第 1 導電型層 111 が設けられた側の半導体基板 130 の一主面からのエッチングのみにて形成されたと判断することができる。

[0041] このような構成を備える半導体装置 100 によれば、半導体基板 130 の厚み方向に P I N 構造を設けることができるため、半導体基板 130 の面内方向に P I N 構造を設けた場合と比較して、半導体装置 100 の占有する平面面積を縮小させることができる。また、半導体装置 100 は、半導体基板 130 を貫通して設けられるため、各種配線との電氣的接続を容易に形成することができる。

[0042] < 2. 半導体装置の適用例 >

続いて、図 3 A ~ 図 4 C を参照して、本実施形態に係る半導体装置 100 の適用例について説明する。図 3 A ~ 図 3 C は、本実施形態に係る半導体装置 100 を単層型半導体装置に適用した一例を示す断面図である。図 4 A ~ 図 4 C は、本実施形態に係る半導体装置 100 を積層型半導体装置に適用した一例を示す断面図である。

[0043] (2. 1. 単層型半導体装置への適用例)

まず、図3A～図3Cを参照して、本実施形態に係る半導体装置100の単層型半導体装置への適用例について説明する。

[0044] 図3Aに示すように、単層型半導体装置11は、1つの半導体基板130と、半導体基板130の上に形成された1つの多層配線層140と、を備える。

[0045] 半導体基板130は、例えば、数 μm ～数十 μm （例えば、2 μm ～20 μm ）の厚みに薄肉化されたシリコン基板である。半導体基板130には、例えば、PINダイオード100（すなわち、上述した半導体装置100）及び電界効果トランジスタ145等が分離層120及び素子分離層121によって離隔されて設けられる。

[0046] PINダイオード100は、上述したように、半導体基板130の厚み方向に第1導電型層111、中間層113及び第2導電型層115が積層されることで構成され、耐圧素子として機能する。電界効果トランジスタ145は、例えば、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) であり、単層型半導体装置11における信号処理等を実行する。

[0047] なお、電界効果トランジスタ145は、半導体基板130に設けられる能動素子及び受動素子の一例であり、半導体基板130に設けられる素子が電界効果トランジスタ145に限定されるわけではない。また、半導体基板130には、他の能動素子及び受動素子が複数設けられていてもよい。

[0048] 分離層120及び素子分離層121は、例えば、酸化シリコンなどの絶縁材料で形成され、PINダイオード100及び電界効果トランジスタ145が半導体基板130を介して導通しないように、互いを電氣的に離隔する。なお、分離層120は、PINダイオード100を電氣的に離隔するために、半導体基板130を貫通して設けられる。一方、素子分離層121は、半導体基板130を貫通して設けられなくともよく、電界効果トランジスタ145を電氣的に離隔することができる所定の深さまで設けられていればよい。

。

[0049] 多層配線層 140 は、例えば、絶縁材料からなる複数の層間絶縁膜 143 を積層することで、半導体基板 130 の上に設けられる。加えて、多層配線層 140 の内部には、例えば、P I N ダイオード 100 及び電界効果トランジスタ 145 等からの信号を伝達する配線層 142 が設けられる。配線層 142 は、最下層に設けられたビア 141 によって、半導体基板 130 に設けられた P I N ダイオード 100 又は電界効果トランジスタ 145 等と電氣的に接続される。配線層 142 は、ビア 141 を介して P I N ダイオード 100 及び電界効果トランジスタ 145 等から信号を取り出すことができる。

[0050] 層間絶縁膜 143 は、例えば、S i O₂ 又は S i N 等の公知の絶縁材料によって形成されてもよい。また、層間絶縁膜 143 は、1 種の絶縁材料によって形成されてもよく、複数種の絶縁材料によって形成されてもよい。配線層 142 は、より高速での信号伝達を可能とするために、例えば、比較的抵抗である銅 (C u) 又はアルミニウム (A l) などの金属材料によって形成されてもよい。ビア 141 は、例えば、成膜時における開口への埋め込み性が高いタングステン (W) 等の金属材料によって形成されてもよい。

[0051] このような単層型半導体装置 11 に対して、P I N ダイオード 100 (すなわち、上述した半導体装置 100) を耐圧素子として適用することができる。P I N ダイオード 100 は、例えば、半導体基板 130 の裏面 (すなわち、多層配線層 140 が設けられた面と対向する面) に露出した第 1 導電層 111 をバンプ等に接続することで、外部回路からのサージ電圧から内部回路を保護する耐圧保護素子として使用することが可能である。

[0052] 次に、図 3 B を参照して、単層型半導体装置の他の例について説明する。

[0053] 図 3 B に示すように、単層型半導体装置 12 は、1 つの半導体基板 130 と、半導体基板 130 の上に形成された 1 つの多層配線層 140 と、を備える。半導体基板 130 には、例えば、P I N ダイオード 100 A 及び電界効果トランジスタ 145 等が、分離層 120 A 及び素子分離層 121 によって分離されて設けられる。P I N ダイオード 100 A は、半導体基板 130 の

厚み方向に第1導電型層111A、中間層113A及び第2導電型層115Aが積層されることで構成される。

[0054] なお、PINダイオード100A及び分離層120Aの断面形状以外の構成については、図3Bに示す単層型半導体装置12の各構成は、図3Aに示す単層型半導体装置11の各構成と実質的に同様である。よって、これらの構成についての説明はここでは省略する。

[0055] 図3Bに示す単層型半導体装置12は、図3Aに示す単層型半導体装置11と比較して、PINダイオード100A及び分離層120Aの断面形状のみが異なる。具体的には、図3Bに示す単層型半導体装置12では、PINダイオード100A及び分離層120Aの断面形状は、途中からテーパの向きが反転した六角形形状となっている。一方、図3Aに示す単層型半導体装置11では、PINダイオード100及び分離層120の断面形状は、一方向のテーパが掛かった台形形状となっている。

[0056] このような分離層120Aの断面形状の差異は、分離層120Aの形成工程の差異によって生じ得る。具体的には、アスペクト比が高い開口をエッチングにて形成する場合、形成された開口は、底部の方が開口側の上部よりも面積が小さい逆テーパ形状となる。

[0057] 図3Bに示す単層型半導体装置12の分離層120Aは、半導体基板130の対向する両主面からのエッチングによる開口の各々を絶縁材料で埋め込むことで形成されるため、途中からテーパの向きが反転した六角形形状の断面形状となる。一方、図3Aに示す単層型半導体装置11の分離層120は、半導体基板130の一主面からのエッチングによる開口を絶縁材料で埋め込むことで形成されるため、一方向のテーパが掛かった台形形状となる。

[0058] 図3Bに示す単層型半導体装置12では、半導体基板130の電界効果トランジスタ145が形成された面側から素子分離層121と同時に分離層120Aの一部を形成し、その後、半導体基板130の素子分離層121を形成した面と対向する面から分離層120Aの残部を形成する。これにより、図3Bに示す単層型半導体装置12では、半導体基板130を貫通する分離

層 1 2 0 A を形成することができる。

[0059] 図 3 B に示す単層型半導体装置 1 2 では、分離層 1 2 0 A の形成時に半導体基板 1 3 0 を貫通する高アスペクト比の開口を形成しなくともよいため、分離層 1 2 0 A を形成する際のエッチングの難易度を低減することができる。

[0060] さらに、図 3 C を参照して、単層型半導体装置のさらに他の例について説明する。

[0061] 図 3 C に示すように、単層型半導体装置 1 3 は、1 つの半導体基板 1 3 0 A と、半導体基板 1 3 0 A の上に形成された 1 つの多層配線層 1 4 0 と、を備える。半導体基板 1 3 0 A には、例えば、P I N ダイオード 1 0 0 及び電界効果トランジスタ（図示せず）等が、分離層 1 2 0 及び素子分離層 1 2 1 によって離隔されて設けられる。P I N ダイオード 1 0 0 は、半導体基板 1 3 0 の厚み方向に第 1 導電型層 1 1 1、中間層 1 1 3 及び第 2 導電型層 1 1 5 が積層されることで構成される。

[0062] ここで、図 3 C に示す単層型半導体装置 1 3 では、半導体基板 1 3 0 A は、薄肉化されておらず、数百 μm 程度の厚みを有する。したがって、半導体基板 1 3 0 A を貫通するように P I N ダイオード 1 0 0 を形成した場合、P I N ダイオード 1 0 0 の全体の高さが数百 μm 程度になってしまうため、所望の特性を有する P I N ダイオード 1 0 0 を実現することが困難となる。

[0063] そこで、図 3 C に示す単層型半導体装置 1 3 では、まず、P I N ダイオード 1 0 0 を所望の特性を有する高さに形成する。その後、半導体基板 1 3 0 A の多層配線層 1 4 0 が設けられた面と対向する面から P I N ダイオード 1 0 0 を露出させる開口 1 3 1 を設けることで、P I N ダイオード 1 0 0 への電気的な接続を可能とする。

[0064] 図 3 C に示す単層型半導体装置 1 3 では、半導体基板 1 3 0 が薄肉化されず、数百 μm 程度の厚みを有するため、単層型半導体装置 1 3 の機械的強度を高めることが可能である。

[0065] なお、半導体基板 1 3 0 A の厚み以外の構成については、図 3 C に示す単

層型半導体装置 13 の各構成は、図 3 A に示す単層型半導体装置 11 の各構成と実質的に同様である。よって、これらの構成についての説明はここでは省略する。

[0066] (2. 2. 積層型半導体装置への適用例)

次に、図 4 A ~ 図 4 C を参照して、本実施形態に係る半導体装置 100 の積層型半導体装置への適用例について説明する。

[0067] 図 4 A に示すように、積層型半導体装置 21 は、半導体基板 130 及び該半導体基板 130 の上に形成された多層配線層 140 からなる基板と、半導体基板 230 及び該半導体基板 130 の上に形成された多層配線層 240 からなる基板とを備える。すなわち、積層型半導体装置 21 は、2 つの半導体基板を貼り合わせた半導体装置であり、例えば、裏面照射型固体撮像装置であってもよい。

[0068] 積層型半導体装置 21 では、半導体基板 130 及び該半導体基板 130 の上に形成された多層配線層 140 からなる基板と、半導体基板 230 及び該半導体基板 230 の上に形成された多層配線層 240 からなる基板とが、絶縁層 151 を介して互いの多層配線層 140、240 が対向するように（すなわち、Face to Face にて）貼り合わされている。ただし、積層型半導体装置 21 は、半導体基板 130 と多層配線層 240 とが対向するように、又は多層配線層 140 と半導体基板 230 とが対向するように（すなわち、Face to Back にて）貼り合わされていてもよいことは言うまでもない。

[0069] 半導体基板 130 は、例えば、数 μm ~ 数十 μm （例えば、2 μm ~ 20 μm ）の厚みに薄肉化されたシリコン基板である。半導体基板 130 には、例えば、PIN ダイオード 100（すなわち、上述した半導体装置 100）及び電界効果トランジスタ 145 等が分離層 120 及び素子分離層 121 によって離隔されて設けられる。

[0070] PIN ダイオード 100 は、上述したように、半導体基板 130 の厚み方向に第 1 導電型層、中間層及び第 2 導電型層が積層されることで構成され、

耐圧素子として機能する。電界効果トランジスタ 145 は、例えば、MOSFET であり、積層型半導体装置 21 における信号処理等を実行する。

[0071] なお、電界効果トランジスタ 145 は、半導体基板 130 に設けられる能動素子及び受動素子の一例であり、半導体基板 130 に設けられる素子が電界効果トランジスタ 145 に限定されるわけではない。また、半導体基板 130 には、他の能動素子及び受動素子が複数設けられていてもよい。

[0072] 分離層 120 及び素子分離層 121 は、例えば、酸化シリコンなどの絶縁材料で形成され、半導体基板 130 に形成され PIN ダイオード 100 及び電界効果トランジスタ 145 等を電氣的に離隔する。なお、分離層 120 は、PIN ダイオード 100 を電氣的に離隔するために、半導体基板 130 を貫通して設けられる。一方、素子分離層 121 は、半導体基板 130 を貫通して設けられなくともよい。

[0073] 多層配線層 140 は、例えば、絶縁材料からなる複数の層間絶縁膜 143 を積層することで、半導体基板 130 の上に設けられる。加えて、多層配線層 140 の内部には、例えば、PIN ダイオード 100 及び電界効果トランジスタ 145 等からの信号を伝達する配線層 142 が設けられる。配線層 142 は、最下層に設けられたビア 141 によって、半導体基板 130 に設けられた PIN ダイオード 100 及び電界効果トランジスタ 145 等と電氣的に接続される。配線層 142 は、ビア 141 を介して PIN ダイオード 100 及び電界効果トランジスタ 145 等から信号を取り出すことができる。

[0074] ツインコンタクト 551 は、半導体基板 130 の多層配線層 140 が設けられた面と対向する面に設けられ、PIN ダイオード 100 からの信号を取り出す。具体的には、ツインコンタクト 551 は、PIN ダイオード 100 の第 1 導電型層又は第 2 導電型層のいずれかを露出させる開口と、配線層 142 を露出させる開口とを銅 (Cu) などの金属材料等で埋め込み、埋め込んだ両者を接続することで形成される。

[0075] 層間絶縁膜 143 は、例えば、SiO₂ 又は SiN 等の公知の絶縁材料によって形成されてもよい。また、層間絶縁膜 143 は、1 種の絶縁材料によっ

て形成されてもよく、複数種の絶縁材料によって形成されてもよい。配線層 142 は、例えば、比較的低抵抗である銅（Cu）又はアルミニウム（Al）などの金属材料によって形成されてもよい。これにより、配線層 142 は、より高速での信号伝達が可能となる。ビア 141 は、例えば、成膜時における開口への埋め込み性が高いタングステン（W）等の金属材料によって形成されてもよい。

[0076] 半導体基板 230 は、例えば、シリコン基板である。半導体基板 230 は、薄肉化されていてもよく、薄肉化されていなくともよい。半導体基板 230 には、例えば、電界効果トランジスタ 245 等が素子分離層 221 によって離隔されて設けられる。電界効果トランジスタ 245 は、例えば、MOSFET であり、積層型半導体装置 21 における信号処理等を実行する。

[0077] なお、電界効果トランジスタ 245 は、半導体基板 230 に設けられる能動素子及び受動素子の一例であり、半導体基板 230 に設けられる素子が電界効果トランジスタ 245 に限定されるわけではない。また、半導体基板 230 には、他の能動素子及び受動素子が複数設けられていてもよい。

[0078] 素子分離層 221 は、例えば、酸化シリコンなどの絶縁材料で形成され、半導体基板 230 に形成された電界効果トランジスタ 245 等を互いに電氣的に離隔する。

[0079] 多層配線層 240 は、例えば、絶縁材料からなる複数の層間絶縁膜 243 を積層することで、半導体基板 230 の上に設けられる。加えて、多層配線層 240 の内部には、例えば、電界効果トランジスタ 245 等からの信号を伝達する配線層 242 が設けられる。配線層 242 は、最下層に設けられたビア 241 によって、半導体基板 230 に設けられた電界効果トランジスタ 245 等と電氣的に接続される。配線層 242 は、ビア 241 を介して電界効果トランジスタ 245 等から信号を取り出すことができる。

[0080] 層間絶縁膜 243 は、例えば、 SiO_x 又は SiN_x 等の公知の絶縁材料によって形成されてもよい。また、層間絶縁膜 243 は、1 種の絶縁材料によって形成されてもよく、複数種の絶縁材料によって形成されてもよい。配線

層 2 4 2 は、より高速での信号伝達を可能とするために、例えば、比較的低抵抗である銅（Cu）又はアルミニウム（Al）などの金属材料によって形成されてもよい。ビア 2 4 1 は、例えば、成膜時における開口への埋め込み性が高いタングステン（W）等の金属材料によって形成されてもよい。

[0081] 絶縁層 1 5 1 は、例えば、 SiO_x 又は SiN_x 等の公知の絶縁材料によって形成され、多層配線層 1 4 0 と、多層配線層 2 4 0 との間に設けられる。絶縁層 1 5 1 は、多層配線層 1 4 0 内の配線層 1 4 2 と、多層配線層 2 4 0 内の配線層 2 4 2 とを電氣的に絶縁する。

[0082] なお、多層配線層 1 4 0 内の配線層 1 4 2 と、多層配線層 2 4 0 内の配線層 2 4 2 との間の電氣的な接続は、公知の方法にて形成することが可能である。例えば、多層配線層 1 4 0 内の配線層 1 4 2 と、多層配線層 2 4 0 内の配線層 2 4 2 との間の電氣的な接続は、例えば、絶縁層 1 5 1 を貫通して設けられるコンタクトビア、複数の貫通孔を導電材料で埋め込むことで電氣的な接続を形成したツインコンタクトビア、貼り合わせ面に露出させた電極同士を接合することで電氣的な接続を形成した電極接合構造などによって形成することが可能である。

[0083] パッド 5 3 3 は、開口 5 3 1 によって露出された金属層であり、積層型半導体装置 2 1 の入出力部（I/O 部）として機能する。パッド 5 3 3 にワイヤボンディング等を接続することによって、積層型半導体装置 2 1 と外部回路との間の電氣的な接続を形成することができる。パッド 5 3 3 は、例えば、ワイヤボンディングなどによる電氣的接続が容易なアルミニウム（Al）などの金属材料にて形成されてもよい。

[0084] 絶縁層 5 1 0 は、半導体基板 1 3 0 の多層配線層 1 4 0 が設けられた面と対向する面側に設けられ、積層型半導体装置 2 1 の内部回路等を保護する保護層として機能する。絶縁層 5 1 0 は、例えば、 SiO_x 、 SiN_x 、 Al_2O_3 又は TiO_2 等の透明な絶縁材料で形成されてもよい。

[0085] マイクロレンズ 5 2 0 は、積層型半導体装置 2 1 が固体撮像装置である場合に設けられ、撮像対象からの光を集光することで、固体撮像装置の感度を

向上させる。また、積層型半導体装置 21 が固体撮像装置である場合、カラーでの撮像を可能とするために、マイクロレンズ 520 には、それぞれ赤色、緑色又は青色のいずれかの色を有するカラーフィルタが設けられていてもよい。

[0086] このような 2 層積層構造の積層型半導体装置 21 に対して、PIN ダイオード 100（すなわち、上述した半導体装置 100）を耐圧素子として適用することができる。積層型半導体装置 21 では、PIN ダイオード 100 が設けられる半導体基板 130 の対向する両主面に、それぞれ多層配線層又は半導体基板が設けられるため、より容易に PIN ダイオード 100 との電氣的な接続を形成することができる。これによれば、PIN ダイオード 100 は、積層型半導体装置 21 にて発生するサージ電圧から内部回路を保護する耐圧保護素子として使用することが可能である。

[0087] なお、図 4 A に示す積層型半導体装置 21 では、PIN ダイオード 100 が半導体基板 130 の内部に設けられる例を示したが、PIN ダイオード 100 は、半導体基板 230 の内部に設けられてもよいことは言うまでもない。

[0088] 次に、図 4 B を参照して、積層型半導体装置の他の例について説明する。

[0089] 図 4 B に示すように、積層型半導体装置 31 は、半導体基板 130 及び該半導体基板 130 の上に形成された多層配線層 140 からなる基板と、半導体基板 230 及び該半導体基板 230 の上に形成された多層配線層 240 からなる基板と、半導体基板 330 及び該半導体基板 330 の上に形成された多層配線層 340 からなる基板と、を備える。すなわち、積層型半導体装置 31 は、3 つの半導体基板を貼り合わせた半導体装置であり、例えば、裏面照射型固体撮像装置であってもよい。

[0090] 積層型半導体装置 31 では、半導体基板 130 及び該半導体基板 130 の上に形成された多層配線層 140 からなる基板と、半導体基板 230 及び該半導体基板 230 の上に形成された多層配線層 240 からなる基板とが、絶縁層 151 を介して互いの多層配線層 140、240 が対向するように貼り

合わされている。一方、半導体基板 130 及び該半導体基板 130 の上に形成された多層配線層 140 からなる基板と、半導体基板 330 及び該半導体基板 330 の上に形成された多層配線層 340 からなる基板とは、絶縁層 152 を介して半導体基板 130 及び多層配線層 340 が対向するように貼り合わされている。

[0091] 図 4 B に示す積層型半導体装置 31 では、PIN ダイオード 100 は、電極接合構造 552 によって、多層配線層 340 に設けられた電界効果トランジスタ 345 等と電氣的に接続され得る。図 4 B に示す積層型半導体装置 31 において、図 4 A に示す積層型半導体装置 21 にて説明した構成と同名及び同符号の構成は、実質的に図 4 A に示す積層型半導体装置 21 にて説明したとおりであるため、ここでの説明は省略する。

[0092] 半導体基板 330 は、例えば、数 μm ～数十 μm （例えば、2 μm ～20 μm ）の厚みに薄肉化されたシリコン基板である。半導体基板 330 には、例えば、電界効果トランジスタ 345 等が設けられる。電界効果トランジスタ 345 は、例えば、MOSFET であり、積層型半導体装置 31 における信号処理等を実行する。

[0093] なお、電界効果トランジスタ 345 は、半導体基板 330 に設けられる能動素子及び受動素子の一例であり、半導体基板 330 に設けられる素子が電界効果トランジスタ 345 に限定されるわけではない。また、半導体基板 330 には、他の能動素子及び受動素子が複数設けられていてもよい。

[0094] 多層配線層 340 は、例えば、 SiO_x 又は SiN_x 等の公知の絶縁材料からなる複数の層間絶縁膜を積層することで、半導体基板 230 の上に設けられる。加えて、多層配線層 340 の内部には、例えば、電界効果トランジスタ 345 等からの信号を伝達する配線層（図示せず）が設けられてもよい。配線層は、最下層に設けられたビア（図示せず）によって、半導体基板 330 に設けられた電界効果トランジスタ 345 等と電氣的に接続される。なお、配線層及びビアは、例えば、比較的低抵抗である銅（Cu）、アルミニウム（Al）又は（W）等の金属材料によって形成されてもよい。

- [0095] 絶縁層 152 は、例えば、 SiO_x 又は SiN_x 等の公知の絶縁材料によって形成され、多層配線層 340 と、半導体基板 130 との間に設けられる。絶縁層 152 は、多層配線層 340 と、半導体基板 130 とを電氣的に絶縁する。
- [0096] 電極接合構造 552 は、絶縁層 152 及び多層配線層 340 の貼り合わせ面に露出させた電極同士を接合することで形成された電氣的接続構造である。具体的には、電極接合構造 552 は、絶縁層 152 に形成された銅 (Cu) からなる電極と、多層配線層 340 に形成された銅 (Cu) からなる電極とを接触させ、熱処理によって両者を接合することで形成される。
- [0097] このような 3 層積層構造の積層型半導体装置 31 に対しても、PIN ダイオード 100 を耐圧素子として適用することができる。また、多層配線層 340 と、PIN ダイオード 100 又は多層配線層 140 との電氣的接続を形成する構造は、上記の電極接合構造 552 に限定されず、コンタクトビア又はツインコンタクトビアなど多様な構造を用いることも可能である。
- [0098] 図 4 B に示す積層型半導体装置 31 では、PIN ダイオード 100 は、半導体基板 130 の内部に設けられる例を示したが、PIN ダイオード 100 は、半導体基板 230 又は半導体基板 330 の内部に設けられてもよいことは言うまでもない。
- [0099] 続いて、図 4 C を参照して、積層型半導体装置のさらに他の例について説明する。
- [0100] 図 4 C に示すように、積層型半導体装置 32 は、半導体基板 130 及び該半導体基板 130 の上に形成された多層配線層 140 からなる基板と、半導体基板 230 及び該半導体基板 230 の上に形成された多層配線層 240 からなる基板と、半導体基板 330 及び該半導体基板 330 の上に形成された多層配線層 340 からなる基板と、を備える。すなわち、積層型半導体装置 32 は、3 つの半導体基板を貼り合わせた半導体装置であり、例えば、裏面照射型固体撮像装置であってもよい。
- [0101] 積層型半導体装置 32 では、半導体基板 130 及び該半導体基板 130 の

上に形成された多層配線層 140 からなる基板と、半導体基板 230 及び該半導体基板 230 の上に形成された多層配線層 240 からなる基板とが、絶縁層 151 を介して互いの多層配線層 140、240 が対向するように貼り合わされている。一方、半導体基板 130 及び該半導体基板 130 の上に形成された多層配線層 140 からなる基板と、半導体基板 330 及び該半導体基板 330 の上に形成された多層配線層 340 からなる基板とは、絶縁層 152 を介して半導体基板 130 及び多層配線層 340 が対向するように貼り合わされている。

[0102] 図 4 C に示す積層型半導体装置 32 では、PIN ダイオード 100 は、ツインコンタクト 551 A、551 B によって、多層配線層 340 に設けられた電界効果トランジスタ 345、及び多層配線層 140 に設けられた配線層 142 と電氣的に接続され得る。図 4 C に示す積層型半導体装置 32 において、図 4 A 及び図 4 B に示す積層型半導体装置 21、31 にて説明した構成と同名及び同符号の構成は、実質的に図 4 A 及び図 4 B に示す積層型半導体装置 21、31 にて説明したとおりであるため、ここでの説明は省略する。

[0103] ツインコンタクト 551 A、551 B は、半導体基板 130 の多層配線層 140 が設けられた面と対向する面に設けられ、PIN ダイオード 100 からの信号を取り出す。具体的には、ツインコンタクト 551 A は、PIN ダイオード 100 の第 1 導電型層又は第 2 導電型層のいずれかを露出させる開口と、配線層 142 を露出させる開口とを銅 (Cu) などの金属材料等で埋め込み、埋め込んだ両者を接続することで形成される。また、ツインコンタクト 551 B は、ツインコンタクト 551 A を露出させる開口と、電界効果トランジスタ 345 の端子を露出させる開口とを銅 (Cu) などの金属材料等で埋め込み、埋め込んだ両者を接続することで形成される。

[0104] このような 3 層積層構造の積層型半導体装置 32 に対しても、PIN ダイオード 100 を耐圧素子として適用することができる。

[0105] <3. 半導体装置の製造方法>

次に、図 5 A ~ 図 7 E を参照して、図 4 A に示す積層型半導体装置 21 の

製造方法を説明する。

[0106] (3. 1. 第1の製造方法)

図5A～図5Eを参照して、積層型半導体装置21の第1の製造方法について説明する。図5A～図5Eは、積層型半導体装置21の第1の製造方法の各工程を模式的に説明する縦断面図である。

[0107] まず、図5Aに示すように、半導体基板130の所定の領域に、分離層120及び素子分離層121を形成する。具体的には、シリコンなどで構成された半導体基板130の一主面の所定の領域をエッチングすることで、開口を形成する。その後、エッチングによって形成された開口を絶縁材料で埋め込み、平坦化することで分離層120及び素子分離層121を形成する。なお、分離層120は、素子分離層121が形成された深さと同等又はよりも深い領域まで形成される。

[0108] 次に、図5Bに示すように、半導体基板130の所定の領域に、第2導電型層115、及び電界効果トランジスタ145を形成した後、半導体基板130の上に層間絶縁膜143を形成する。具体的には、半導体基板130の分離層120にて囲まれた領域に、第2導電型不純物をイオン注入し、熱処理することで、第2導電型層115を形成する。また、半導体基板130の素子分離層121にて囲まれた領域に、公知の方法によって電界効果トランジスタ145を形成する。その後、半導体基板130の第2導電型層115、及び電界効果トランジスタ145が形成された一主面の上に、酸化シリコンなどを用いて層間絶縁膜143を形成する。なお、第2導電型層115を形成する際の熱処理は、他の構成に対する熱処理と同時に行われてもよい。

[0109] 続いて、図5Cに示すように、半導体基板130の上に多層配線層140が形成される。具体的には、層間絶縁膜143の成膜、配線層142の形成、及び層間絶縁膜143を貫通するビア141の形成を繰り返すことで、半導体基板130の上に多層配線層140を形成する。層間絶縁膜143、配線層142及びビア141を形成する材料は、上述した材料を用いることが可能である。

[0110] 次に、図5Dに示すように、上記工程にて多層配線層140が形成された半導体基板130と、同様の工程にて多層配線層240が形成された半導体基板230とを絶縁層151を介して貼り合わせる。具体的には、多層配線層140が形成された半導体基板130と、多層配線層240が形成された半導体基板230とを互いの多層配線層140、240が対向するように貼り合わせる。このとき、多層配線層140、240の貼り合わせ面に絶縁層151を設けることで、多層配線層140内の配線層142と、多層配線層240内の配線層242とを電氣的に絶縁する。多層配線層140内の配線層142と、多層配線層240内の配線層242との電氣的接続（図示せず）は、別途、公知の方法を用いることで形成することができる。

[0111] その後、図5Eに示すように、分離層120が露出するまで半導体基板130を研磨することで、半導体基板130を薄肉化する。具体的には、CMPなどを用いて半導体基板130の多層配線層140が設けられた面と対向する面側を分離層120が露出するまで研磨することで、半導体基板130を数 μm ～数十 μm 程度（例えば、2 μm ～20 μm ）の厚さに薄肉化する。

[0112] 次に、図5Fに示すように、半導体基板130の所定の領域に、第1導電型層111を形成する。具体的には、半導体基板130の分離層120にて囲まれた領域に、第1導電型不純物をイオン注入し、熱処理することで、第1導電型層111を形成する。第1導電型層111は、第2導電型層115と接触しない深さの領域に形成され、第1導電型層111及び第2導電型層115の間の領域が中間層113となる。これにより、第1導電型層111、中間層113及び第2導電型層115を積層した半導体装置100、及び半導体装置100を備える積層型半導体装置を形成することができる。

[0113] （3. 2. 第2の製造方法）

図6A～図6Eを参照して、積層型半導体装置21の第2の製造方法について説明する。図6A～図6Eは、積層型半導体装置21の第2の製造方法の各工程を説明する縦断面図である。

[0114] まず、図6Aに示すように、半導体基板130の所定の領域に、分離層120及び素子分離層121を形成する。具体的には、シリコンなどで構成された半導体基板130の一主面の所定の領域をエッチングすることで、開口を形成する。その後、エッチングによって形成された開口を絶縁材料で埋め込み、平坦化することで分離層120及び素子分離層121を形成する。なお、分離層120は、素子分離層121が形成された深さと同等又はよりも深い領域まで形成される。

[0115] 次に、図6Bに示すように、半導体基板130の所定の領域に、第1導電型層111、第2導電型層115、及び電界効果トランジスタ145を形成した後、半導体基板130の上に層間絶縁膜143を形成する。具体的には、半導体基板130の分離層120にて囲まれた領域に、第1導電型不純物及び第2導電型不純物をそれぞれイオン注入し、熱処理することで、第1導電型層111及び第2導電型層115を形成する。第1導電型層111及び第2導電型層115が形成される深さは、イオン注入時の第1導電型不純物及び第2導電型不純物のエネルギーによって制御することが可能である。したがって、イオン注入の条件を制御することで、第1導電型層111、中間層113及び第2導電型層115の積層構造を形成することが可能である。また、半導体基板130の素子分離層121にて囲まれた領域に、公知の方法によって電界効果トランジスタ145を形成する。その後、半導体基板130の第2導電型層115、及び電界効果トランジスタ145が形成された一主面の上に酸化シリコンなどを用いて層間絶縁膜143を形成する。

[0116] 続いて、図6Cに示すように、半導体基板130の上に多層配線層140が形成される。具体的には、層間絶縁膜143の成膜、配線層142の形成、及び層間絶縁膜143を貫通するビア141の形成を繰り返すことで、半導体基板130の上に多層配線層140を形成する。層間絶縁膜143、配線層142及びビア141を形成する材料は、上述した材料を用いることが可能である。

[0117] 次に、図6Dに示すように、上記工程にて多層配線層140が形成された

半導体基板 130 と、同様の工程にて多層配線層 240 が形成された半導体基板 230 とを絶縁層 151 を介して貼り合わせる。具体的には、多層配線層 140 が形成された半導体基板 130 と、多層配線層 240 が形成された半導体基板 230 とを互いの多層配線層 140、240 が対向するように貼り合わせる。このとき、多層配線層 140、240 の貼り合わせ面に絶縁層 151 を設けることで、多層配線層 140 内の配線層 142 と、多層配線層 240 内の配線層 242 とを電氣的に絶縁する。多層配線層 140 内の配線層 142 と、多層配線層 240 内の配線層 242 との電氣的接続（図示せず）は、別途、公知の方法を用いることで形成することができる。

[0118] その後、図 6 E に示すように、第 1 導電型層 111 が露出するまで半導体基板 130 を研磨することで、半導体基板 130 を薄肉化する。具体的には、CMP などを用いて、半導体基板 130 の多層配線層 140 が設けられた面と対向する面側を第 1 導電型層 111 が露出するまで研磨することで、半導体基板 130 を数 μm ～数十 μm 程度（例えば、 $2\mu\text{m}$ ～ $20\mu\text{m}$ ）の厚さに薄肉化する。これにより、第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 を積層した半導体装置 100、及び半導体装置 100 を備える積層型半導体装置を形成することができる。

[0119] （3. 3. 第 3 の製造方法）

図 7 A ～図 7 E を参照して、積層型半導体装置 21 の第 3 の製造方法について説明する。図 7 A ～図 7 E は、積層型半導体装置 21 の第 3 の製造方法の各工程を説明する模式的な縦断面図である。

[0120] まず、図 7 A に示すように、半導体基板 130 の所定の領域に、一部が拡散層 123 となった分離層 120 と、素子分離層 121 とを形成する。具体的には、シリコンなどで構成された半導体基板 130 の一主面の所定の領域をエッチングすることで、開口を形成する。分離層 120 が形成される開口では、まず、無機絶縁物に第 1 導電型不純物を添加した材料で開口の一部を埋め込むことで拡散層 123 を形成した後、絶縁材料で開口の残部を埋め込み、平坦化することで分離層 120 を形成する。一方、素子分離層 121 が

形成される開口では、絶縁材料で開口を埋め込み、平坦化することで素子分離層 1 2 1 を形成する。

[0121] 次に、図 7 B に示すように、半導体基板 1 3 0 の所定の領域に、第 2 導電型不純物を導入した後、熱処理を行うことで、第 1 導電型層 1 1 1 及び第 2 導電型層 1 1 5 を形成する。その後、半導体基板 1 3 0 の所定の領域に電界効果トランジスタ 1 4 5 を形成した後、半導体基板 1 3 0 の上に層間絶縁膜 1 4 3 を形成する。具体的には、半導体基板 1 3 0 の分離層 1 2 0 に囲まれた領域に、第 2 導電型不純物を導入した後、熱処理を行うことで、導入された第 2 導電型不純物が活性化し、第 2 導電型層 1 1 5 が形成される。また、熱処理によって、拡散層 1 2 3 に含まれる第 1 導電型不純物が固相拡散し、第 1 導電型層 1 1 1 が形成される。これにより、第 1 導電型層 1 1 1、中間層 1 1 3 及び第 2 導電型層 1 1 5 の積層構造を形成することが可能である。また、半導体基板 1 3 0 の素子分離層 1 2 1 にて囲まれた領域に、公知の方法によって電界効果トランジスタ 1 4 5 を形成する。その後、半導体基板 1 3 0 の第 2 導電型層 1 1 5、及び電界効果トランジスタ 1 4 5 が形成された一主面の上に酸化シリコンなどを用いて層間絶縁膜 1 4 3 を形成する。

[0122] 続いて、図 7 C に示すように、半導体基板 1 3 0 の上に多層配線層 1 4 0 が形成される。具体的には、層間絶縁膜 1 4 3 の成膜、配線層 1 4 2 の形成、及び層間絶縁膜 1 4 3 を貫通するビア 1 4 1 の形成を繰り返すことで、半導体基板 1 3 0 の上に多層配線層 1 4 0 を形成する。層間絶縁膜 1 4 3、配線層 1 4 2 及びビア 1 4 1 を形成する材料は、上述した材料を用いることが可能である。

[0123] 次に、図 7 D に示すように、上記工程にて多層配線層 1 4 0 が形成された半導体基板 1 3 0 と、同様の工程にて多層配線層 2 4 0 が形成された半導体基板 2 3 0 とを絶縁層 1 5 1 を介して貼り合わせる。具体的には、多層配線層 1 4 0 が形成された半導体基板 1 3 0 と、多層配線層 2 4 0 が形成された半導体基板 2 3 0 とを互いの多層配線層 1 4 0、2 4 0 が対向するように貼り合わせる。このとき、多層配線層 1 4 0、2 4 0 の貼り合わせ面に絶縁層

151を設けることで、多層配線層140内の配線層142と、多層配線層240内の配線層242とを電氣的に絶縁する。多層配線層140内の配線層142と、多層配線層240内の配線層242との電氣的接続（図示せず）は、別途、公知の方法を用いることで形成することができる。

[0124] その後、図7Eに示すように、分離層120が露出するまで半導体基板130を研磨することで、半導体基板130を薄肉化する。具体的には、CMPなどを用いて、半導体基板130の多層配線層140が設けられた面と対向する面側を分離層120が露出するまで研磨することで、半導体基板130を数 μm ～数十 μm 程度（例えば、2 μm ～20 μm ）の厚さに薄肉化する。これにより、第1導電型層111、中間層113及び第2導電型層115を積層した半導体装置100、及び半導体装置100を備える積層型半導体装置を形成することができる。

[0125] <4. 電子機器>

続いて、本開示の一実施形態に係る電子機器について説明する。本開示の一実施形態に係る電子機器は、上述した半導体装置100を含む回路が搭載された種々の電子機器である。図8A～図8Cを参照して、本実施形態に係る電子機器の例について説明する。図8A～図8Cは、本実施形態に係る電子機器の一例を示す外観図である。

[0126] 例えば、本実施形態に係る電子機器は、スマートフォンなどの電子機器であってもよい。具体的には、図8Aに示すように、スマートフォン900は、各種情報を表示する表示部901と、ユーザによる操作入力を受け付けるボタン等から構成される操作部903と、を備える。ここで、スマートフォン900の各種動作を制御する制御回路内には、本開示の一実施形態に係る半導体装置100が設けられてもよい。

[0127] 例えば、本実施形態に係る電子機器は、デジタルカメラなどの電子機器であってもよい。具体的には、図8B及び図8Cに示すように、デジタルカメラ910は、本体部（カメラボディ）911と、交換式のレンズユニット913と、撮影時にユーザによって把持されるグリップ部915と、各種情報

を表示するモニタ部 917 と、撮影時にユーザによって観察されるスルー画を表示する EVF (Electronic View Finder) 919 と、を備える。なお、図 8B は、デジタルカメラ 910 を前方（すなわち、被写体側）から眺めた外観図であり、図 8C は、デジタルカメラ 910 を後方（すなわち、撮影者側）から眺めた外観図である。ここで、デジタルカメラ 910 の各種動作を制御する制御回路内には、本開示の一実施形態に係る半導体装置 100 が設けられてもよい。

[0128] なお、本実施形態に係る電子機器は、上記例示に限定されない。本実施形態に係る電子機器は、あらゆる分野の電子機器であってもよい。このような電子機器としては、例えば、眼鏡型ウェアラブルデバイス、HMD (Head Mounted Display)、テレビジョン装置、電子ブック、PDA (Personal Digital Assistant)、ノート型パーソナルコンピュータ、ビデオカメラ又はゲーム機器等を例示することができる。

[0129] 特に、本開示の一実施形態に係る半導体装置 100 は、より高電圧に耐える耐圧素子として機能する。したがって、本開示の一実施形態に係る半導体装置 100 は、内部回路にてより高圧の電源が使用される車載分野又は IoT 分野の電子機器に対して、より好適に用いることができる。

[0130] <5. まとめ>

以上にて説明したように、本開示の一実施形態に係る半導体装置 100 によれば、積層方向に第 1 導電型層 111、中間層 113 及び第 2 導電型層 115 を含む PIN 構造を形成することができる。したがって、本実施形態に係る半導体装置 100 は、平面方向に PIN 構造を形成した場合と比較して、平面方向の占有面積をより縮小することができる。よって、本実施形態に係る半導体装置 100 は、より効率的な占有面積で、より高電圧に耐える耐圧素子を提供することが可能である。

[0131] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分

野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0132] 例えば、上記実施形態では、本実施形態に係る半導体装置 100 は、固体撮像装置に適用される例を示したが、本技術はかかる例に限定されない。本実施形態に係る半導体装置 100 は、論理回路、メモリ装置、又は各種センサ装置などに適用されてもよい。

[0133] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0134] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

第 1 導電型不純物が導入された第 1 導電型層と、

前記第 1 導電型不純物と極性が異なる第 2 導電型不純物が導入された第 2 導電型層と、

前記第 1 導電型層及び前記第 2 導電型層に挟持され、前記第 1 導電型不純物又は前記第 2 導電型不純物を含まない、又は前記第 1 導電型不純物又は前記第 2 導電型不純物の濃度が前記第 1 導電型層及び第 2 導電型層よりも低い中間層と、

を備え、

前記第 1 導電型層、前記中間層及び前記第 2 導電型層は、半導体基板の内部に前記半導体基板の厚み方向に積層されて設けられる、半導体装置。

(2)

前記第 1 導電型層、前記中間層及び前記第 2 導電型層と、前記半導体基板との間には、互いを離隔する分離層がさらに設けられる、前記 (1) に記載の半導体装置。

(3)

前記半導体基板の厚み方向における前記分離層の断面形状は、テーパが掛かった形状である、前記(2)に記載の半導体装置。

(4)

前記第1導電型層、前記中間層及び前記第2導電型層の積層体は、前記半導体基板を厚み方向に貫通して設けられる、前記(1)～(3)のいずれか一項に記載の半導体装置。

(5)

前記第1導電型層及び前記第2導電型層は、前記半導体基板の互いに対向する両主面にてそれぞれ露出している、前記(4)に記載の半導体装置。

(6)

前記第1導電型層又は前記第2導電型層の少なくともいずれかは、前記半導体基板に設けられた開口によって露出される、前記(4)に記載の半導体装置。

(7)

前記中間層は、前記第1導電型層及び第2導電型層の前記第1導電型不純物又は前記第2導電型不純物の濃度よりも低い濃度にて、前記第1導電型不純物又は前記第2導電型不純物を含む、前記(1)～(6)のいずれか一項に記載の半導体装置。

(8)

前記第1導電型層又は前記第2導電型層は、前記半導体基板のいずれかの主面に形成された多層配線層に設けられたビアと電氣的に接続される、前記(1)～(7)のいずれか一項に記載の半導体装置。

(9)

半導体基板の内部に設けられた半導体装置を含み、
前記半導体装置は、

第1導電型不純物が導入された第1導電型層と、

前記第1導電型不純物と極性が異なる第2導電型不純物が導入された第2

導電型層と、

前記第 1 導電型層及び前記第 2 導電型層に挟持され、前記第 1 導電型不純物又は前記第 2 導電型不純物を含まない、又は前記第 1 導電型不純物又は前記第 2 導電型不純物の濃度が前記第 1 導電型層及び第 2 導電型層よりも低い中間層と、

を備え、

前記第 1 導電型層、前記中間層及び前記第 2 導電型層は、前記半導体基板の厚み方向に積層されて設けられる、電子機器。

符号の説明

- [0135] 1 1、1 2、1 3 単層型半導体装置
 2 1、3 1、3 2 積層型半導体装置
 1 0 0 半導体装置
 1 1 1 第 1 導電型層
 1 1 3 中間層
 1 1 5 第 2 導電型層
 1 2 0 分離層
 1 2 1、2 2 1 素子分離層
 1 3 0、2 3 0、3 3 0 半導体基板
 1 4 0、2 4 0、3 4 0 多層配線層
 1 4 1、2 4 1 ビア
 1 4 2、2 4 2 配線層
 1 4 3、2 4 3 層間絶縁膜
 1 4 5、2 4 5、3 4 5 電界効果トランジスタ
 5 1 0 絶縁層
 5 2 0 マイクロレンズ
 5 3 1 開口
 5 3 3 パッド
 5 5 1、5 5 1 A、5 5 1 B ツインコンタクト

5 5 2 電極接合構造

請求の範囲

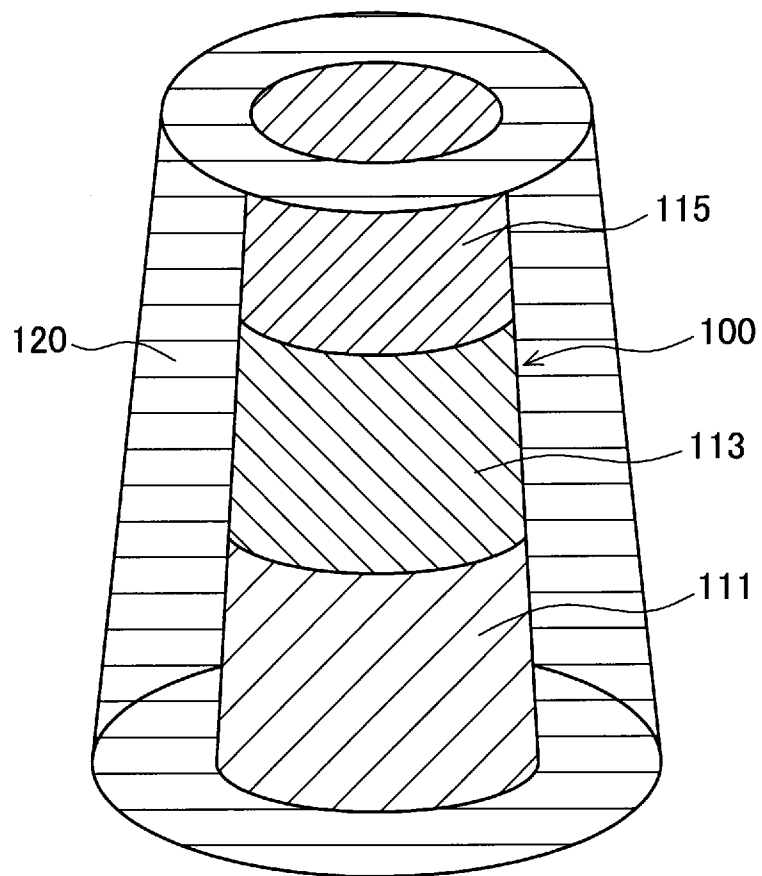
- [請求項1] 第1導電型不純物が導入された第1導電型層と、
前記第1導電型不純物と極性が異なる第2導電型不純物が導入された第2導電型層と、
前記第1導電型層及び前記第2導電型層に挟持され、前記第1導電型不純物又は前記第2導電型不純物を含まない、又は前記第1導電型不純物又は前記第2導電型不純物の濃度が前記第1導電型層及び第2導電型層よりも低い中間層と、
を備え、
前記第1導電型層、前記中間層及び前記第2導電型層は、半導体基板の内部に前記半導体基板の厚み方向に積層されて設けられる、半導体装置。
- [請求項2] 前記第1導電型層、前記中間層及び前記第2導電型層と、前記半導体基板との間には、互いを離隔する分離層がさらに設けられる、請求項1に記載の半導体装置。
- [請求項3] 前記半導体基板の厚み方向における前記分離層の断面形状は、テープが掛かった形状である、請求項2に記載の半導体装置。
- [請求項4] 前記第1導電型層、前記中間層及び前記第2導電型層の積層体は、前記半導体基板を厚み方向に貫通して設けられる、請求項1に記載の半導体装置。
- [請求項5] 前記第1導電型層及び前記第2導電型層は、前記半導体基板の互いに対向する両主面にてそれぞれ露出している、請求項4に記載の半導体装置。
- [請求項6] 前記第1導電型層又は前記第2導電型層の少なくともいずれかは、前記半導体基板に設けられた開口によって露出される、請求項4に記載の半導体装置。
- [請求項7] 前記中間層は、前記第1導電型層及び第2導電型層の前記第1導電型不純物又は前記第2導電型不純物の濃度よりも低い濃度にて、前記

第 1 導電型不純物又は前記第 2 導電型不純物を含む、請求項 1 に記載の半導体装置。

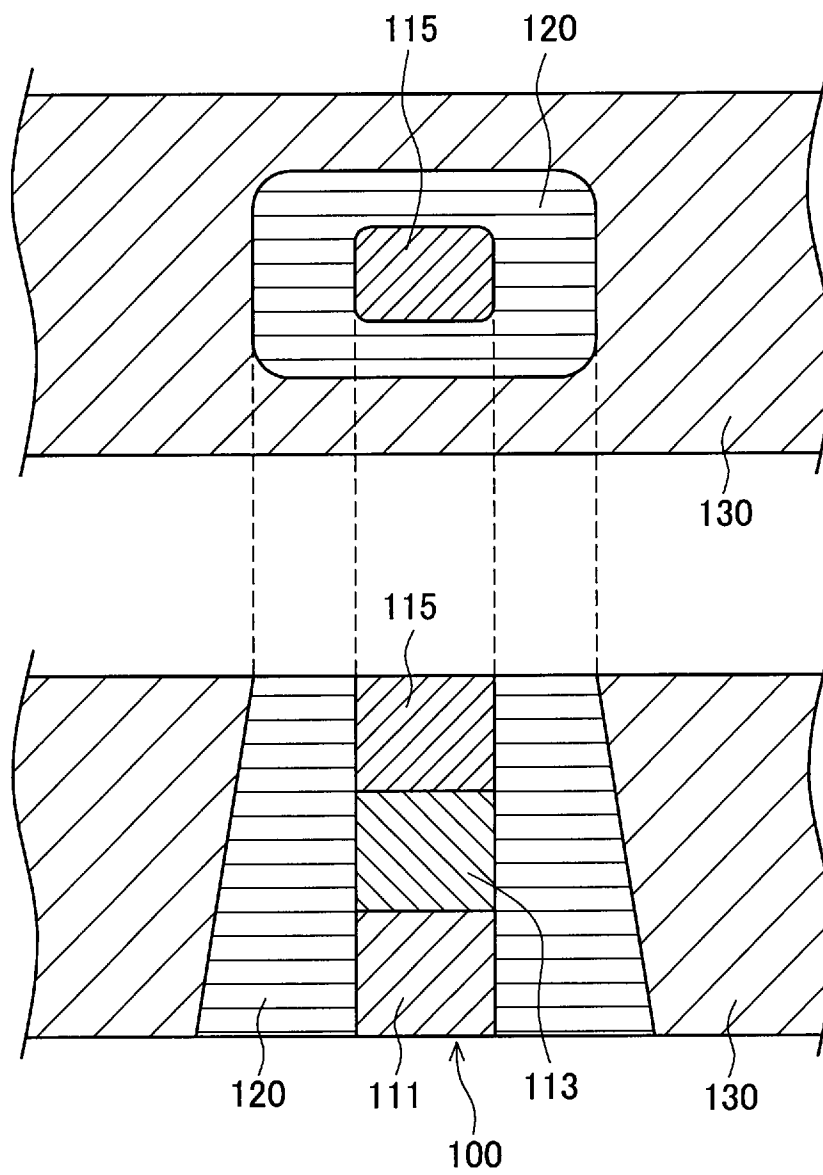
[請求項8] 前記第 1 導電型層又は前記第 2 導電型層は、前記半導体基板のいずれかの主面に形成された多層配線層に設けられたビアと電氣的に接続される、請求項 1 に記載の半導体装置。

[請求項9] 半導体基板の内部に設けられた半導体装置を含み、
前記半導体装置は、
第 1 導電型不純物が導入された第 1 導電型層と、
前記第 1 導電型不純物と極性が異なる第 2 導電型不純物が導入された第 2 導電型層と、
前記第 1 導電型層及び前記第 2 導電型層に挟持され、前記第 1 導電型不純物又は前記第 2 導電型不純物を含まない、又は前記第 1 導電型不純物又は前記第 2 導電型不純物の濃度が前記第 1 導電型層及び第 2 導電型層よりも低い中間層と、
を備え、
前記第 1 導電型層、前記中間層及び前記第 2 導電型層は、前記半導体基板の厚み方向に積層されて設けられる、電子機器。

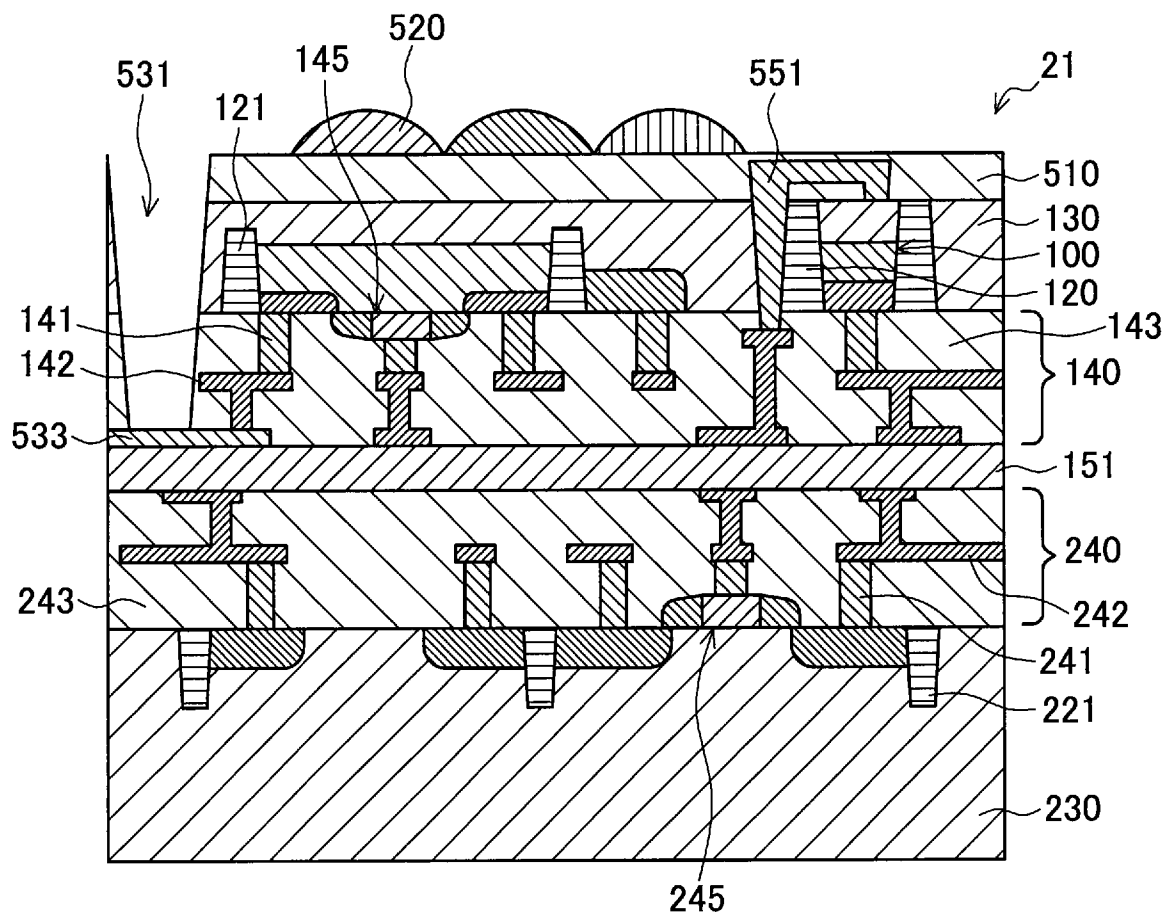
[図1]



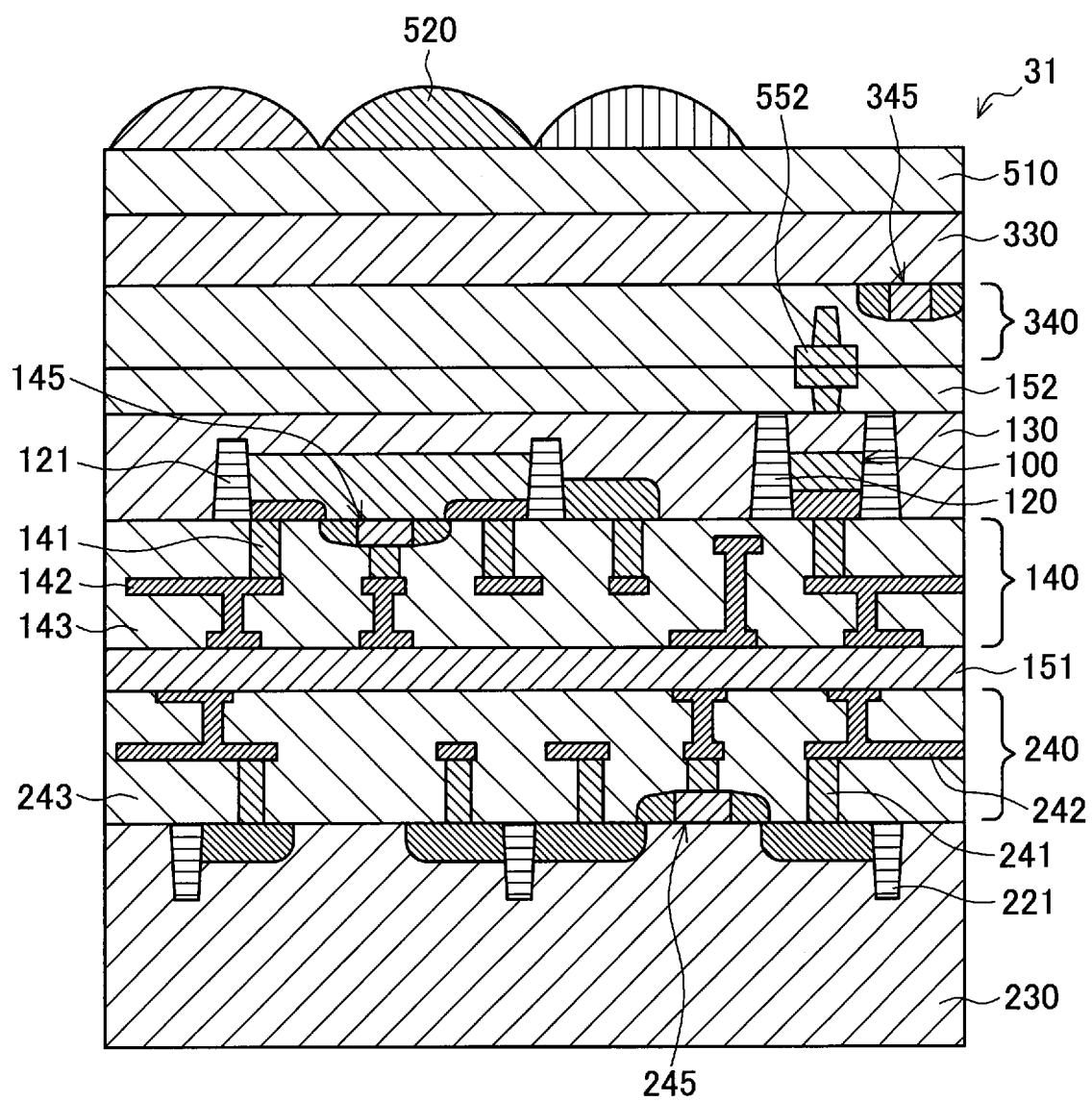
[図2]



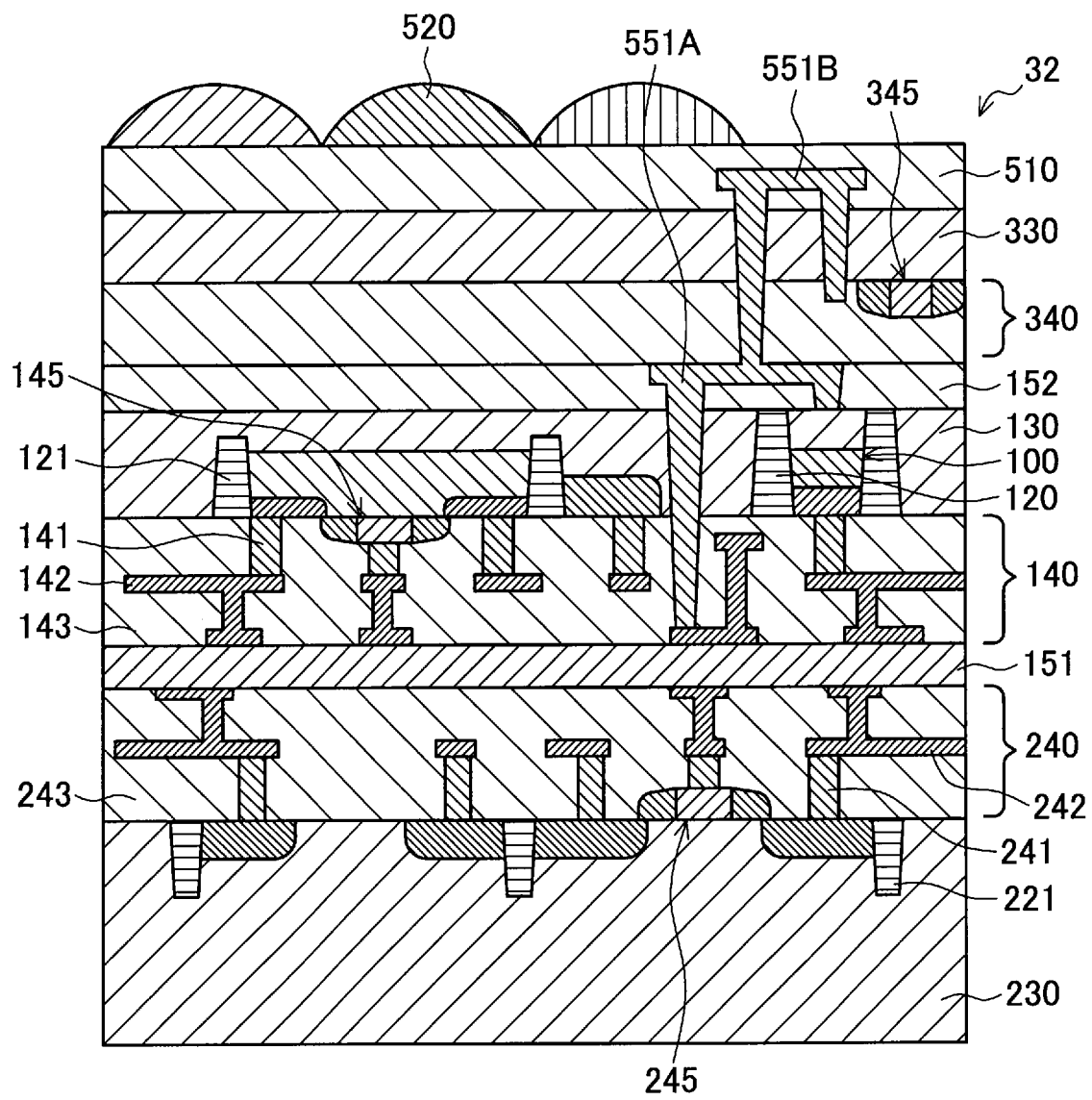
[図4A]



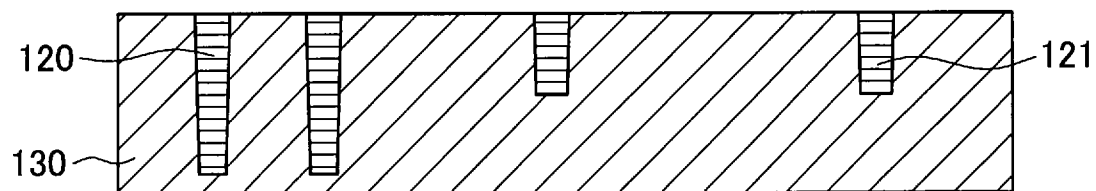
[図4B]



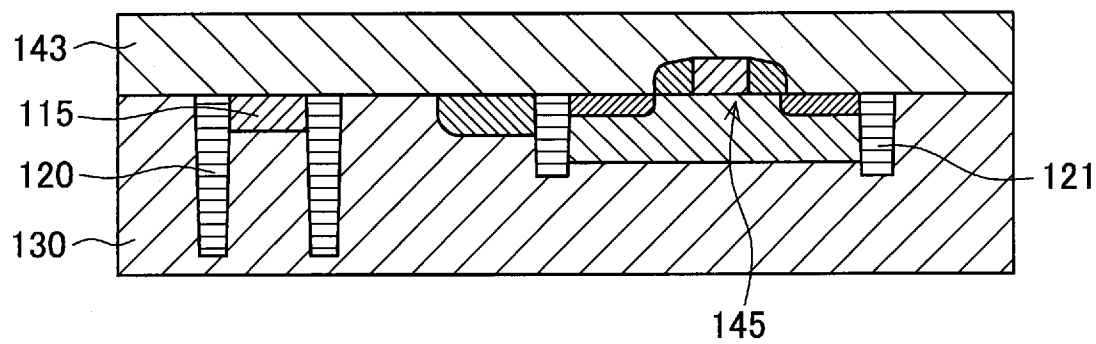
[図4C]



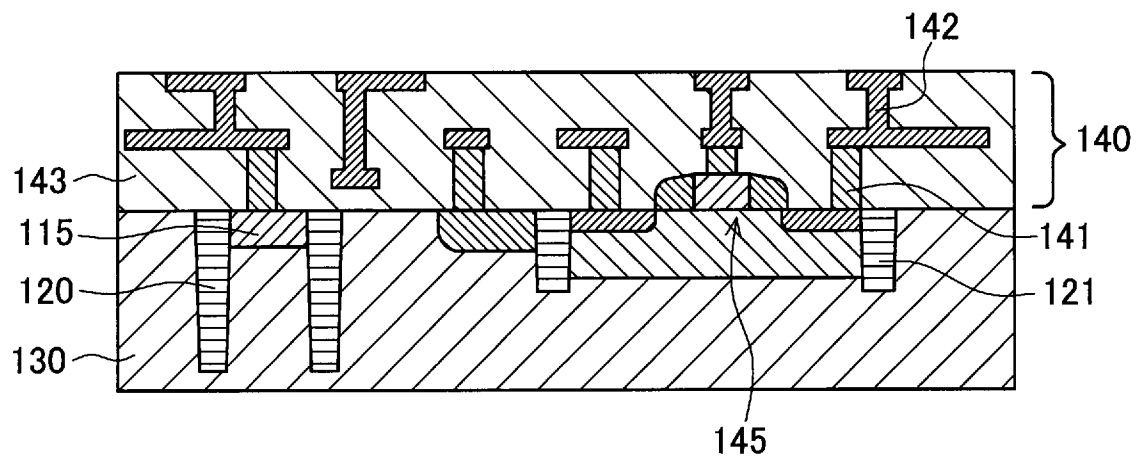
[図5A]



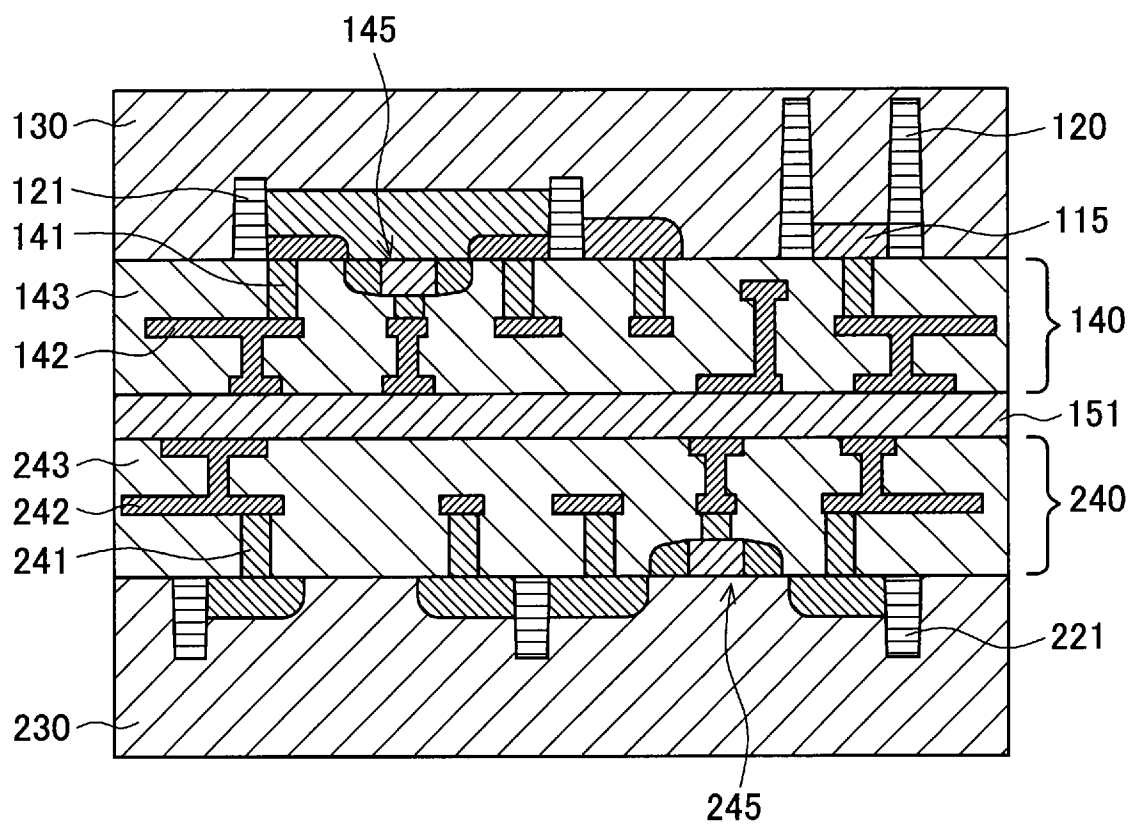
[図5B]



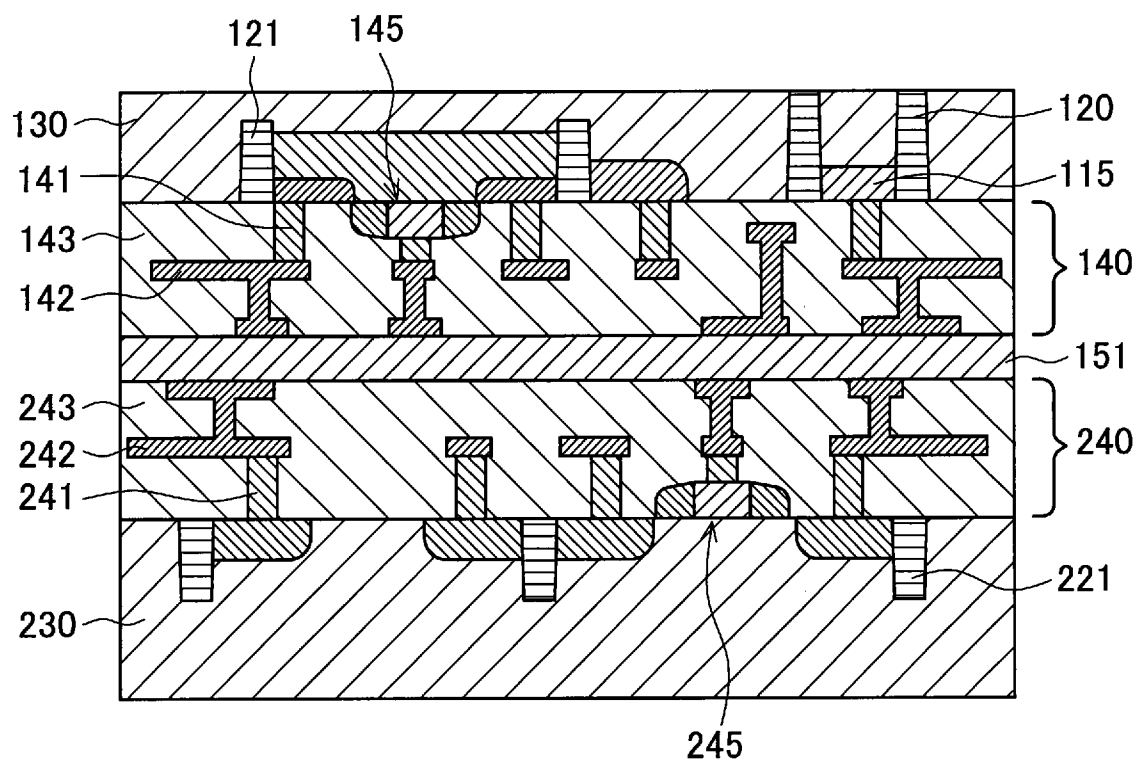
[図5C]



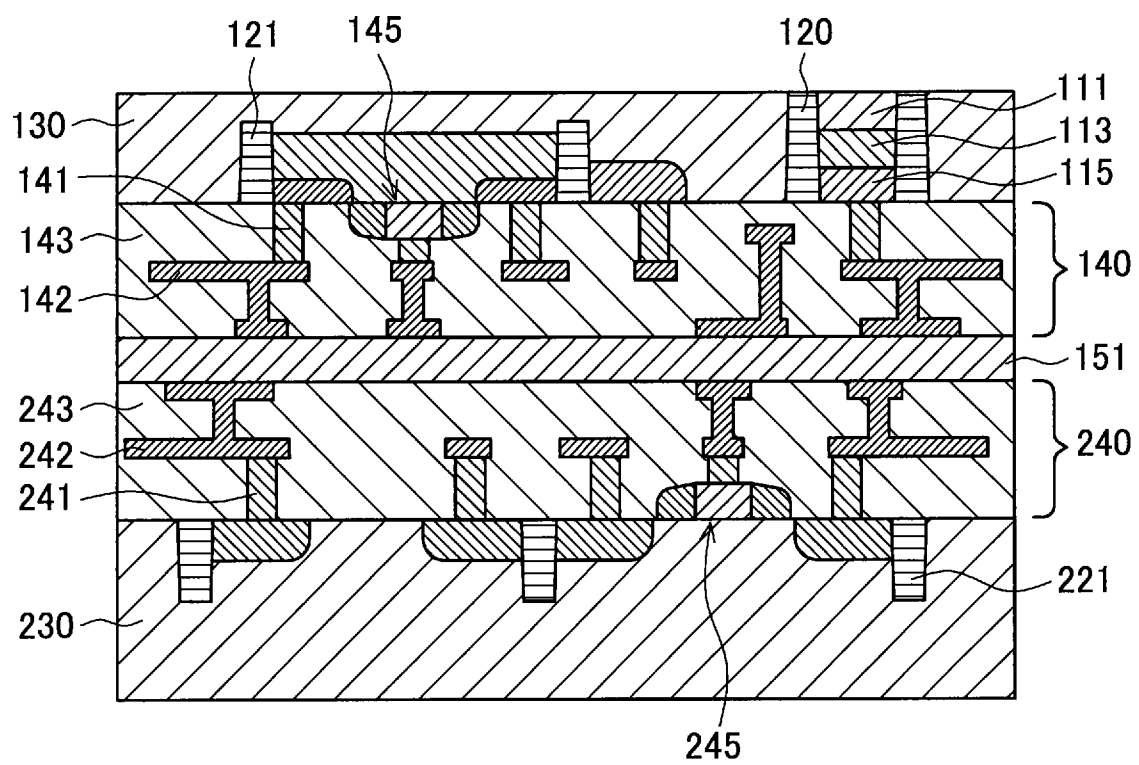
[図5D]



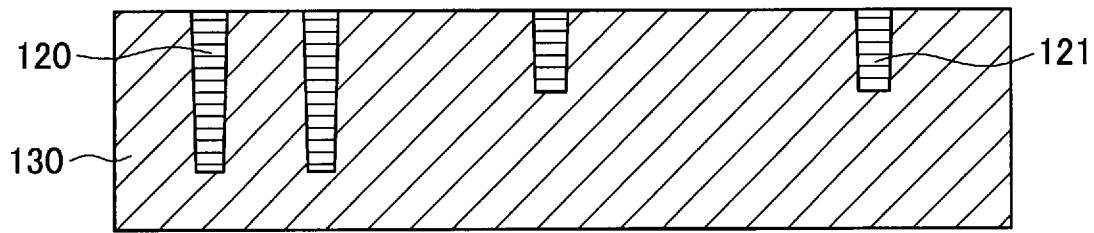
[図5E]



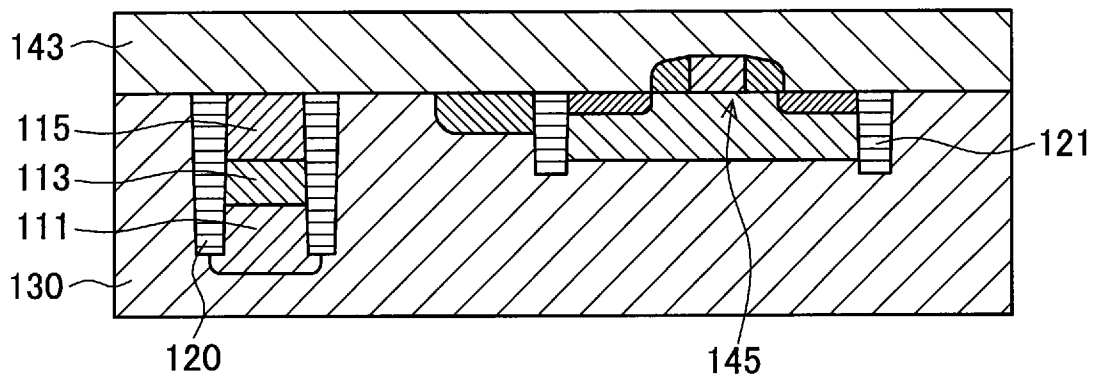
[図5F]



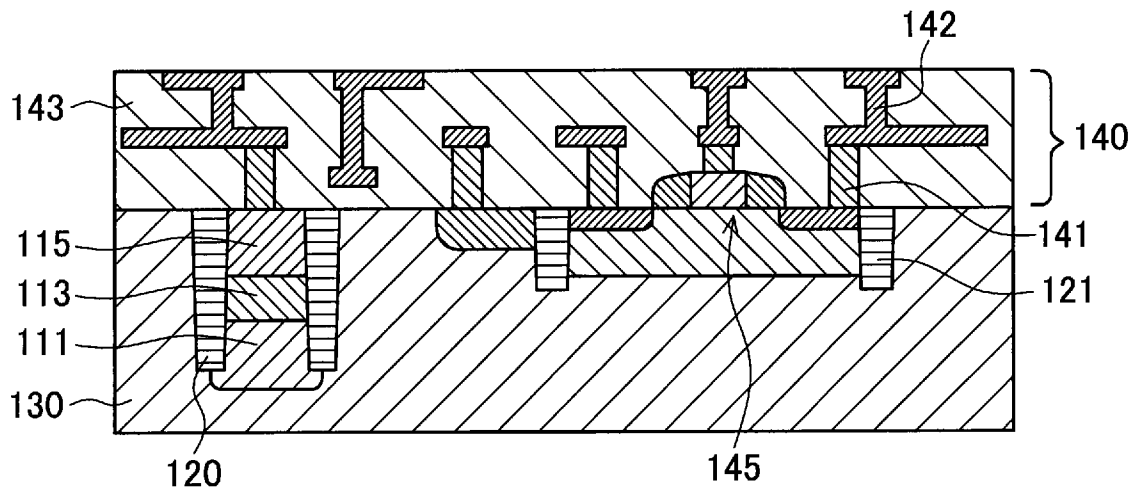
[図6A]



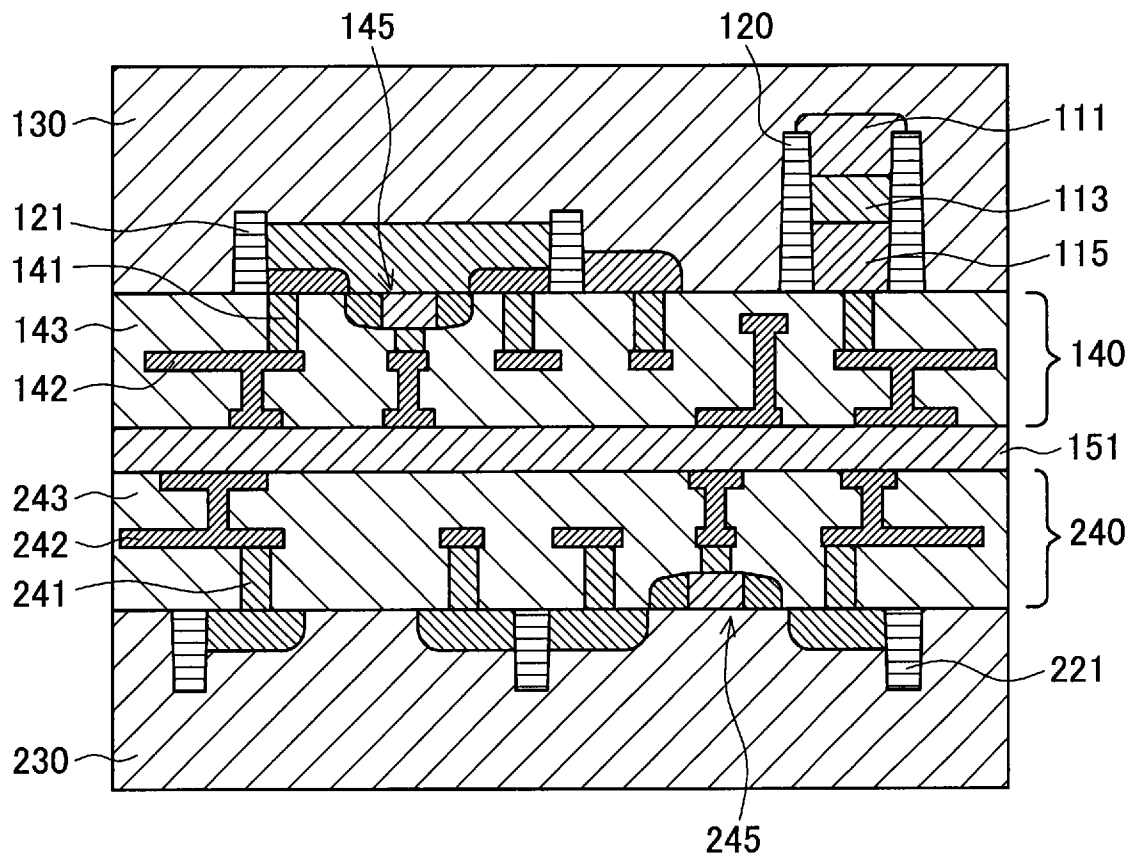
[図6B]



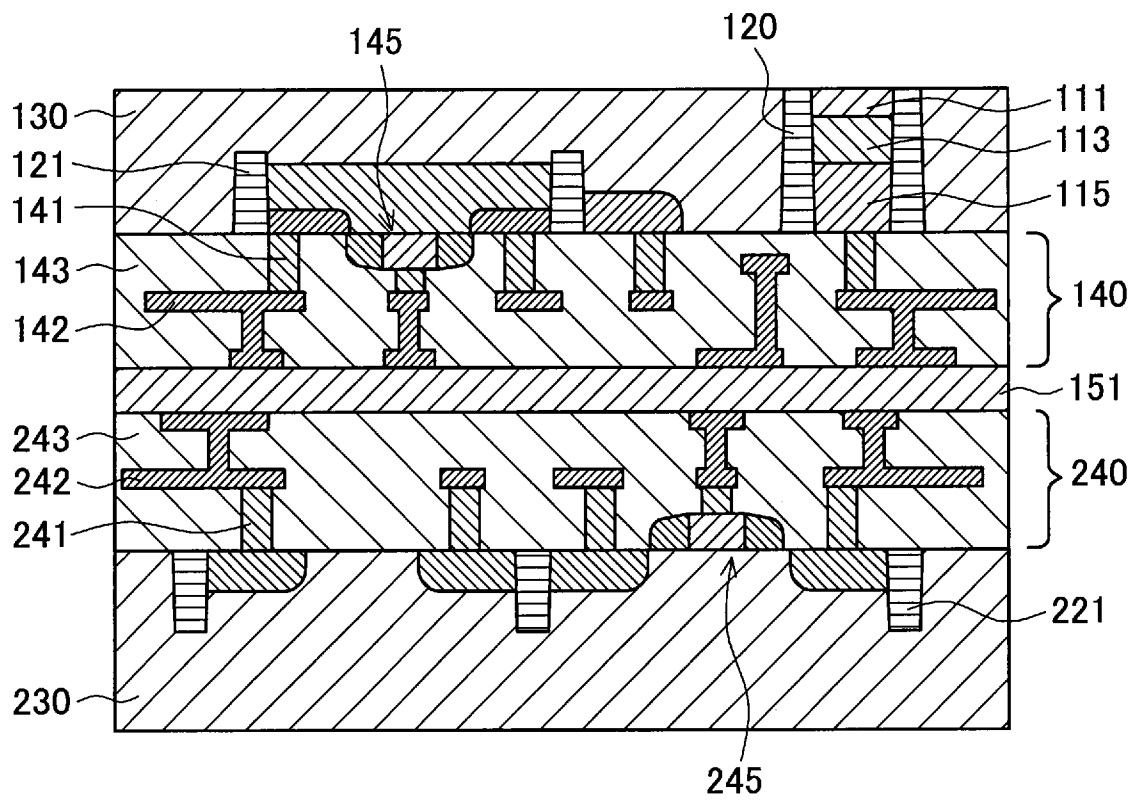
[図6C]



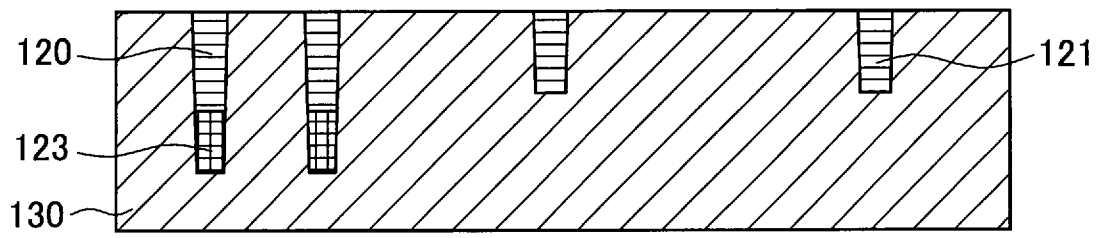
[図6D]



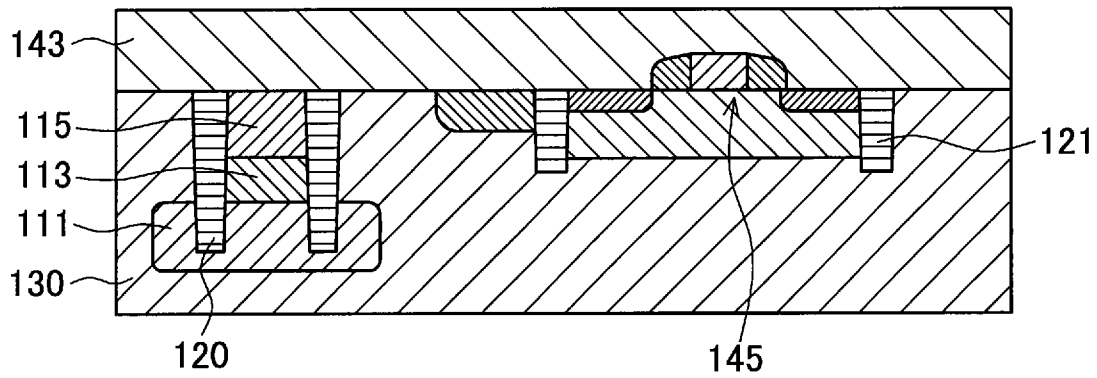
[図6E]



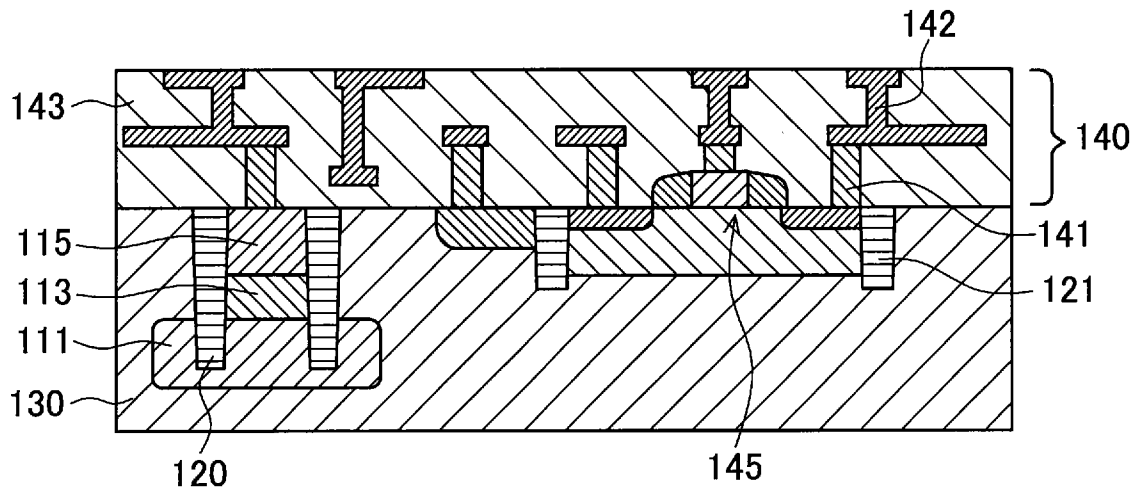
[図7A]



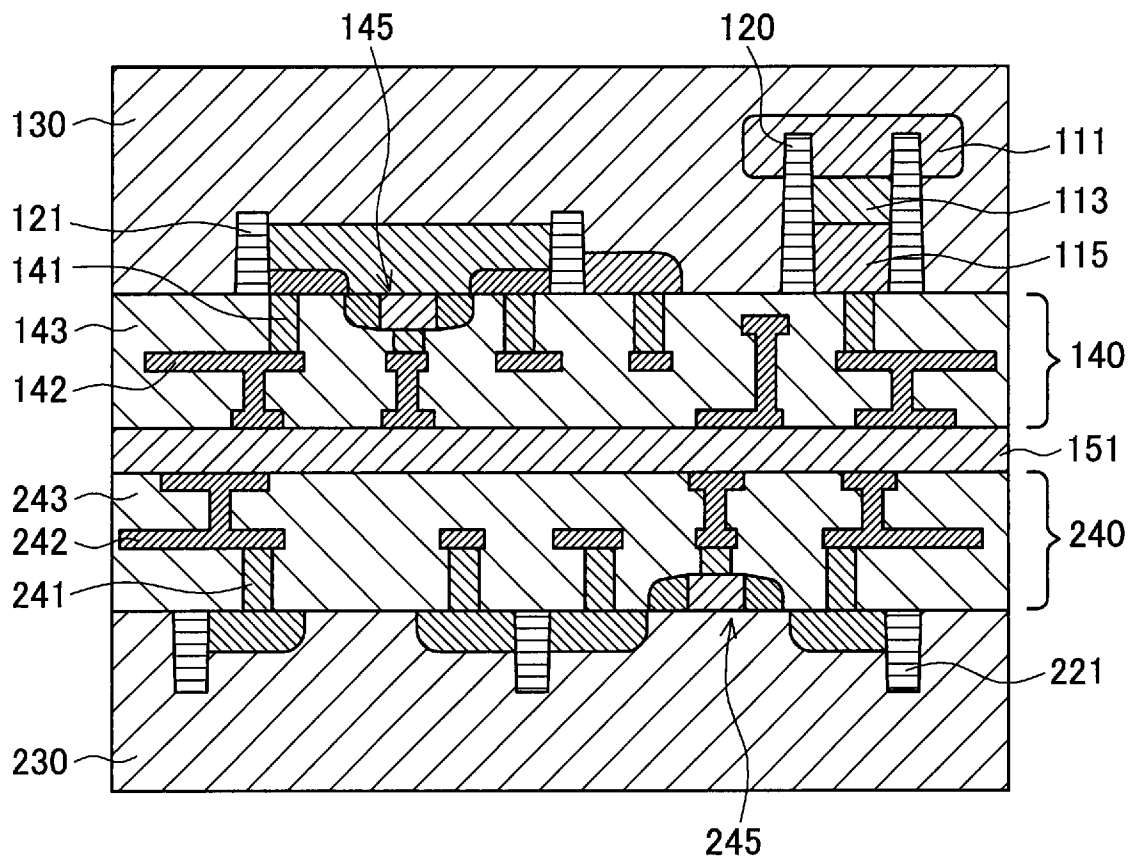
[図7B]



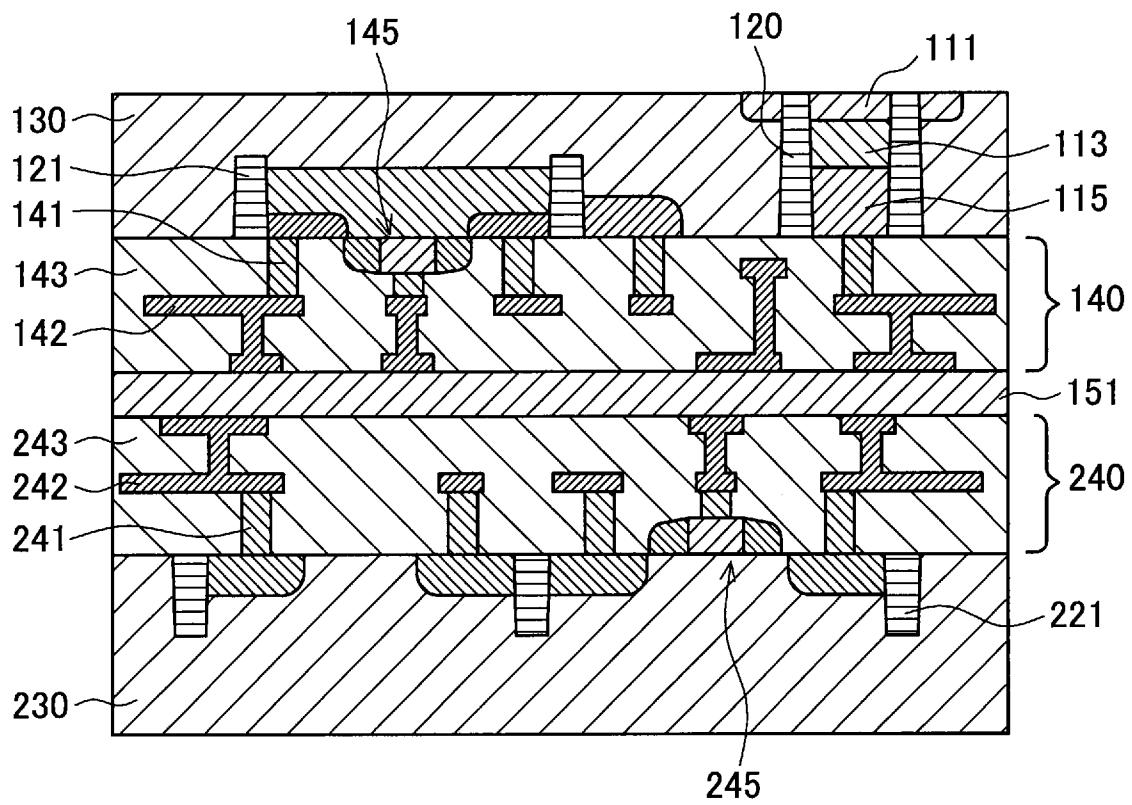
[図7C]



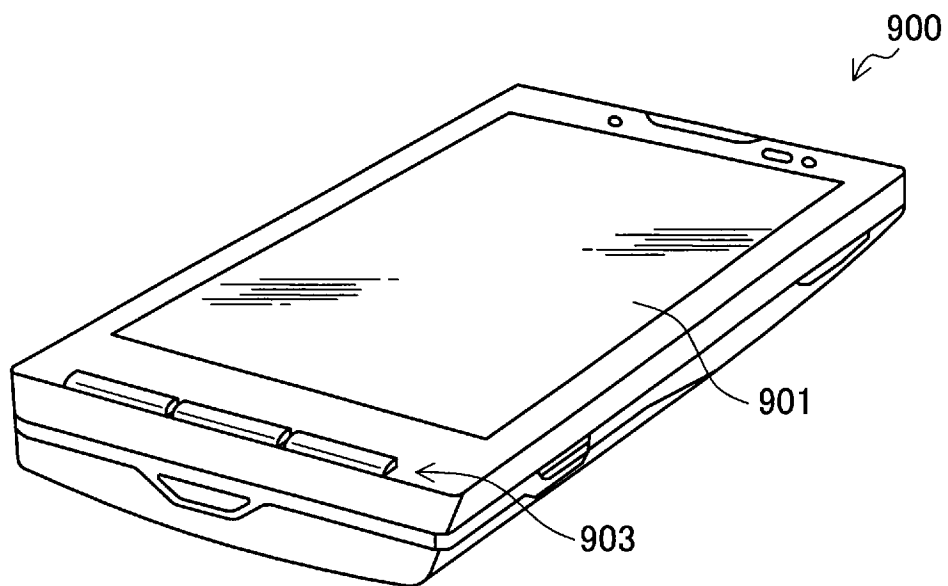
[図7D]



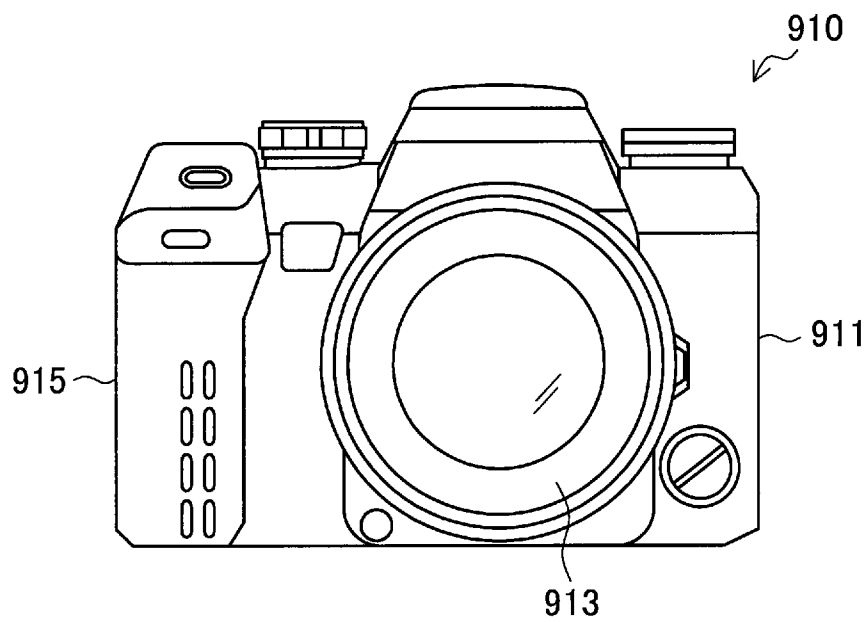
[図7E]



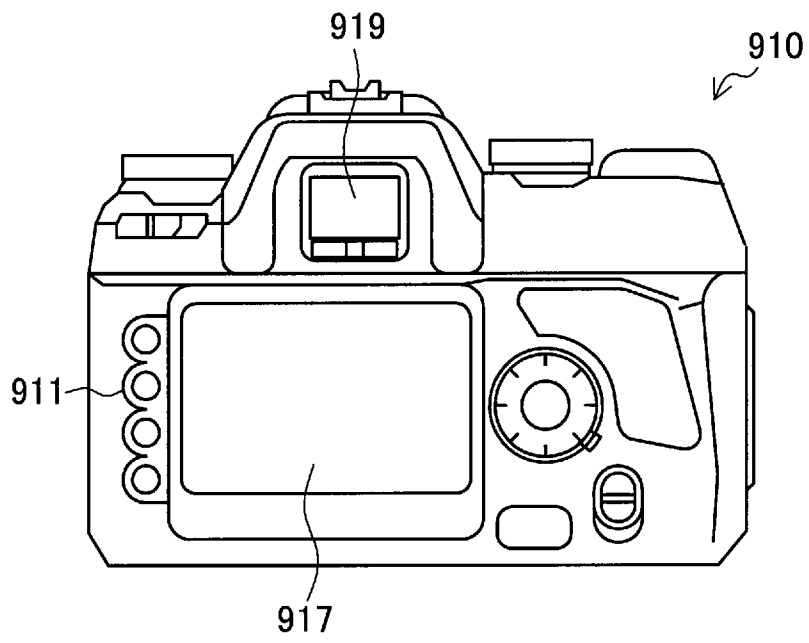
[図8A]



[図8B]



[図8C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/026529

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/329(2006.01)i, H01L21/02(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/146(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i, H01L29/87(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/329, H01L21/02, H01L21/822, H01L27/04, H01L27/06, H01L27/146, H01L29/861, H01L29/868, H01L29/87

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-227445 A (SONY CORPORATION) 31 August 2006, paragraphs [0095]-[0098], fig. 9 (Family: none)	1-3, 6-9 4-5
Y	JP 2011-9466 A (SONY CORPORATION) 13 January 2011, paragraph [0042], fig. 1 (Family: none)	1-3, 6-9
Y	JP 2007-141937 A (CANON INC.) 07 June 2007, paragraphs [0028]-[0034] (Family: none)	3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06.09.2018

Date of mailing of the international search report
18.09.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/026529

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-35095 A (FUJITSU SEMICONDUCTOR LTD.) 17 February 2011, paragraph [0027], fig. 3 & US 2011/0024807 A1, paragraph [0034], fig. 3	8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/329(2006.01)i, H01L21/02(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i,
H01L27/06(2006.01)i, H01L27/146(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i,
H01L29/87(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/329, H01L21/02, H01L21/822, H01L27/04, H01L27/06, H01L27/146, H01L29/861, H01L29/868,
H01L29/87

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-227445 A（ソニー株式会社） 2006.08.31, 段落 0095-0098, 図 9, （ファミリーなし）	1-3, 6-9
A		4-5
Y	JP 2011-9466 A（ソニー株式会社） 2011.01.13, 段落 0042, 図 1, （ファミリーなし）	1-3, 6-9
Y	JP 2007-141937 A（キヤノン株式会社） 2007.06.07, 段落 0028-0034, （ファミリーなし）	3

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06.09.2018

国際調査報告の発送日

18.09.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

7895

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-35095 A (富士通セミコンダクター株式会社) 2011.02.17, 段落 0027, 図 3 & US 2011/0024807 A1, 段落 0034, 図 3	8