(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/36 (2006.01)

(45) 공고일자 2006년11월30일
(11) 등록번호 10-0578618
(24) 등록일자 2006년05월03일

(21) 출원번호 10-1998-0021206
(22) 출원일자 1998년06월09일
심사청구일자 2002년10월29일

(65) 공개번호 10-1999-0006775
(43) 공개일자 1999년01월25일

(30) 우선권주장 97-151080 1997년06월09일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 나카노 순이치
일본국 치바켕 모바라시 하야노 3550

이가라시 요이치
일본국 치바켕 모바라시 모바라 1568-3

(74) 대리인 신중훈
임옥순

심사관 : 정병락

전체 청구항 수 : 총 11 항

(54) 액정표시장치

(57) 요약

본 발명은, 표시데이터의 버스라인의 버스폭을 증대하는 일없이, 구동수단에 송출되는 클록신호의 주파수를 저감한 액정표시장치를 제공하는 것을 과제로한 것으로서, 그 해결수단으로서, 매트릭스형상을 형성되는 복수의 화소를 가진 액정표시패널(10)과, 열(列)방향의 복수의 화소에 표시데이터에 의거한 영상전압을 인가하는 M개(M:정의정수)의 구동수단(130)과, 입력되는 표시데이터를 상기 M개의 구동수단에 송출하는 동시에, 입력되는 입력표시제어신호에 의거하여 적어도 클록신호를 포함한 제어신호를 생성하고, 이 제어신호를 상기 M개의 구동수단에 송출해서, 상기 M개의 구동수단을 제어구동하는 표시제어수단(110)을 구비하는 액정표시장치에 있어서, 표시제어수단은, 입력되는 단순일렬의 표시데이터를 재배열해서 M개의 구동수단에 송출하는 동시에, 주파수가 동일하고 서로 위상이 다른 N개(N:M보다 작은 정의정수)의 클록신호를 생성하고, 이 N개의 클록신호를, 각각 N개의 구동수단군에 송출하는 것을 특징으로 한 것이다.

대표도

도 1

특허청구의 범위

청구항 1.

매트릭스형상으로 형성되는 복수의 화소를 가지는 액정표시패널과, 열방향의 복수의 화소에 표시데이터에 의거한 영상전압을 인가하는 복수의 구동수단과, 입력되는 상기 표시데이터를 상기 복수의 구동수단에 송출하는 동시에, 입력되는 입력표시제어신호에 의거하여 적어도 클록신호를 포함한 제어신호를 생성하고, 해당 제어신호를 상기 복수의 구동수단에 송출하고, 상기 복수의 구동수단을 제어 구동하는 표시제어수단을 구비하는 액정표시장치에 있어서,

상기 표시제어수단은,

입력되는 단순 일렬의 표시데이터를 재배열하고 재배열된 표시데이터를 M개의 구동수단에, 상기 M개의 구동수단이 접속된 1 계통의 버스라인을 통하여 송출하는 재배열수단과,

주파수가 동일하고 서로 위상이 상이한 N개의 클럭신호를 생성하고, 해당 N개의 클럭신호를, N개의 구동수단군에 송출하는 클럭생성수단

을 가지고 ,

상기 1 계통의 버스라인에 접속된 M개의 구동수단은, 서로 인접하여 배치된 첫번째로부터 N번째의 N개의 구동수단이 각각 다른 구동수단군에 속하도록, 상기 N개의 구동수단군으로 분할되고,

상기 N개의 클럭신호의 각각은 상기 N개의 구동수단군 중의 하나에 각각 송출되고,

상기 1 계통의 버스라인에 송출된 재배열된 표시데이터의 차례는, 재배열되기 전에 있어서의, 상기 단순 일렬의 표시데이터 중에서 상기 1 계통의 버스라인에 송출되어야 할 표시데이터만을 보고 고려한 차례로부터 변화하고 있는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서, 상기 N개의 구동수단군의 각각은, 상기 M개의 구동수단 중의 M/N개를 가지고 있는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1항 또는 제 2항에 있어서, 상기 복수의 구동수단 중의 하나에 접속되고, 또한, 상기 복수의 화소에 접속되는 복수의 드레인신호선을 가지고,

서로 인접하는 적어도 2개의 드레인신호선의 상기 복수의 구동수단 중의 동일한 1개의 구동수단에 접속되어 있는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 1항 또는 제 2항에 있어서, 상기 표시제어수단의 재배열수단은, 적어도 N개의 구동수단으로부터 영상전압을 인가하는 열방향의 화소수 만큼의 표시데이터를 저장하는 메모리와, 입력되는 단순 일렬의 표시데이터를 상기 메모리에 기입, 또한 상기 메모리로부터의 판독출력순서를 변경하고, 입력되는 단순 일렬의 표시데이터를 재배열하여 상기 M개의 구동수단에 송출하는 제어수단을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

매트릭스형상으로 형성되는 복수의 화소를 가지는 액정 표시 패널과, 열방향의 복수의 화소에 표시데이터에 의거한 영상 전압을 인가하는 복수의 구동수단과, 입력되는 상기 표시데이터를 상기 복수의 구동수단에 송출하는 동시에, 입력되는 입력표시제어신호에 의거하여 적어도 클럭신호를 포함한 제어신호를 생성하고, 해당 제어신호를 상기 복수의 구동수단에 송출하고, 상기 복수의 구동수단을 제어구동하는 표시제어수단을 구비하는 액정표시장치에 있어서,

상기 복수의 구동수단은, K계통에 있는 버스라인 중의 대응하는 계통의 버스라인에 접속됨으로써 K개의 구동수단군으로 분할할 수 있고,

상기 표시제어수단은,

입력되는 단순 일렬의 표시데이터를 배분하고, 재배열하여 K계통의 표시데이터를 생성하고, 해당 K계통의 재배열된 표시데이터를, 각각에 대응하는 계통의 버스라인을 통하여 K개의 구동수단군에 송출하는 배분·재배열수단과,

주파수가 동일하고 서로 위상이 상이한 N개의 클럭신호를 생성하고, 해당 N개의 클럭신호를, N개의 구동수단군에 송출하는 클럭생성수단

을 가지고,

동일한 계통의 버스라인에 접속되어 있는 복수의 구동수단은, 서로 인접하여 배치된 첫번째로부터 N번째의 N개의 구동수단이 각각 다른 구동수단군에 속하도록, 송출되는 상기 N개의 클럭신호에 대응하여 상기 N개의 구동수단군으로 분할할 수 있고,

각각의 계통의 버스라인에 송출된 재배열된 표시데이터의 차례는, 재배열되기 전에 있어서의, 상기 단순 일렬의 표시데이터 중에서 그 계통의 버스라인에 송출되어야 할 표시데이터만을 보고 고려한 차례로부터 변화하고 있는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 5항에 있어서, 1 계통의 버스라인에는 M개의 구동수단이 접속되어 있고,

상기 N개의 구동수단군의 각각은 상기 M개의 구동수단 중의 M/N개의 구동수단을 가지고 있는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6항에 있어서, 상기 표시제어수단의 배분·재배열수단은, 적어도 N개의 구동수단으로부터 영상전압을 인가하는 열방향의 화소수분의 표시데이터를 저장하는 메모리와, 입력되는 단순 일렬의 표시데이터를 상기 메모리에 기입, 또한, 상기 메모리로부터의 판독출력 순서를 변경하고, 입력되는 단순 일렬의 표시데이터를 재배열하여 상기 M개의 구동 수단에 송출하는 제어수단을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 5항 내지 제 7항 중 어느 한 항에 있어서, 상기 복수의 구동수단 중의 하나에 접속되고, 또한, 상기 복수의 화소에 접속되는 복수의 드레인 신호선을 가지고,

서로 인접하는 적어도 2개의 드레인 신호선이 상기 복수의 구동수단 중의 동일한 1개의 구동수단에 접속되어 있는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 1항, 제 2항, 제 5항, 제 6항, 제 7항 중 어느 한 항에 있어서, 상기 N개의 클럭신호는, 상기 표시데이터와 동일한 주파수이고, 서로 위상이 상이한 제 1 클럭신호와 제 2 클럭신호인 것을 특징으로 하는 액정표시장치.

청구항 10.

제 9항에 있어서, 상기 제 2 클럭신호는, 상기 제 1 클럭신호의 반전신호인 것을 특징으로 하는 액정표시장치.

청구항 11.

제 1항, 제 2항, 제 5항, 제 6항, 제 7항 중 어느 한 항에 있어서, 상기 표시데이터 및 입력표시제어신호는, 저진폭이고 차동형식의 신호에 의해 컴퓨터본체쪽으로부터 상기 표시제어장치에 입력되는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치에 관한 것으로서, 특히, 액정표시패널의 고해상도화에 적용해서 유효한 기술에 관한 것이다.

화소마다 능동소자(예를 들면 박막트랜지스터)를 가지고, 이 능동소자를 스위칭구동하는 액티브매트릭스형 액정표시장치는, 능동소자를 개재해서 화소전극에 액정구동전압(계조전압)을 인가하기 때문에, 각 화소간의 크로스토크가 없고, 단순매트릭스형 액정표시장치와 같이 크로스토크를 방지하기 위한 특수한 구동방법을 사용할 필요가 없고, 다계조표시가 가능하다.

이 액티브매트릭스형 액정표시장치의 하나에, TFT(Thin Film Transister)방식의 액정표시패널(TFT-LCD)과, 액정표시패널의 위쪽에 배치되는

드레인드라이버와, 액정표시패널의 측면에 배치되는 게이트드라이버 및 인터페이스부를 구비한 TFT방식의 액정표시모듈이 알려져 있다.

이 TFT방식의 액정표시모듈에 있어서, 인터페이스부는, 표시제어장치와 전원회로로 구성된다. 전원회로는, 드레인드라이버, 게이트드라이버 및 액정표시패널의 공통전극에 인가하는 구동전압을 생성한다.

표시제어장치는, 1개의 반도체집적회로(LSI)로 구성되고, 컴퓨터본체쪽으로부터 송신되어오는 클록신호, 디스플레이타이밍신호, 수평동기신호, 수직동기신호의 각표시제어신호, 표시용 데이터를 근거로, 드레인드라이버 및 게이트드라이버를 제어·구동한다.

드레인드라이버는, 표시제어장치로부터 송출되는 표시데이터래치용

클록신호(D3)(이하, 클록신호(D3)이라 호칭함.)에 의거해서, 표시데이터를 출력개수분만큼 입력레지스터부에 래치한다. 또, 표시제어장치로부터 송출되는 출력타이밍제어용 클록신호(D1)에 의거해서, 입력레지스터부에 래치되어 있던

표시데이터를, 스토리지래치부에 래치하고, 또, 이 스토리지래치부에 래치된 각 표시데이터에 대응하는 영상전압을, 액정표시패널의 각 드레인신호선(D)에 출력한다.

게이트드라이버는, 표시제어장치로부터 송출되는 프레임개시지시신호 및 클록신호(G1)에 의거하여, 클록신호(G1)에 동기해서, 액정표시패널의 각 게이트신호선(G)에 접속된 복수의 박막트랜지스터(TFT)를 1수평시간마다 순차 도통시킨다.

이상의 동작에 의해, 액정표시패널에 화상이 표시된다. 또한, 이와 같은 기술은, 예를 들면, 일본국 특원평 8-247659호에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

종래부터 액정표시장치에 있어서는, 액정표시패널의 고해상도화가 요구되고 있으며, 액정표시패널의 해상도가, 예를 들면, VGA표시모드의 640×480화소로부터 SVGA표시모드의 800×600화소로 확대되어 오고 있다.

그러나, 최근, 액정표시장치에 있어서는, 액정표시패널의 대화면화의 요구에 따라서, 액정표시패널의 해상도로서, XGA표시모드의 1024×768화소, SXGA표시모드의 1280×1024화소, UXGA표시모드의 1600×1200화소로 더한층의 고해상도화가 요구되고 있다.

이와 같은, 액정표시패널의 고해상도화에 따라, 표시제어장치, 드레인드라이버 및 게이트드라이버도 고속동작을 부득이하게 하고 있으며, 특히, 표시제어장치로부터 드레인드라이버에 출력되는 클록신호(D3) 및 표시데이터의 표시동작주파수는 고속화의 필요성이 크다.

예를 들면, XGA표시모드의 1024×768화소의 액정표시패널에서는, 65㎒의 주파수의 클록신호(D3) 및 32.5㎒(65㎒의 절반)의 주파수의 표시데이터가 필요하게 된다.

그러나, 주파수가 32.5㎒의 표시데이터는 드레인드라이버에 의해 인식가능하나, 상기 클록신호(D3)는 프린트배선기판에 형성되는 신호선을 개재해서, 표시제어장치로부터 드레인드라이버에 송출되는 관계상, 주파수가 65㎒의 클록신호(D3)는 드레인드라이버에 의해 인식하는 일이 곤란했었다.

즉, 프린트배선기판에 형성되는 신호선은, 종단(終端)개방의 분포정수선로와 등가이나, 이 종단개방의 분포정수선로에 의해 65㎒의 클록신호(D3)를 전송하는 경우에는 파형변형이 현저하게 되고, 드레인드라이버에 의해, 클록신호(D3)를 인식하는 일이 곤란하게 된다.

한편, 전자기기가 방사하는 전자잡음(EMI(electromagnetic interfervence)잡음)이 원인으로, 다른 전자기기가 오동작하는 것을 방지하기 위하여, 전자기기가 발생하는 방사전자파의 발생량이 규제되고 있으며, 액정표시모듈에 있어서도, 이 방사전자파의 발생량을 저감시키기 위한 대책(소위, 불요(不要)복사대책)이 시행되고 있다. 이 경우에, 클록신호의 주파수가 높아지면, 프린트배선기판으로부터 방사되는 전자잡음을 저감시키기 위한 대책이 곤란했었다.

이와 같이, 종래의 액정표시장치에서는, 액정표시패널의 대화면화에 따라서, 고해상도의 액정표시패널을 사용하는 경우에, 표시제어장치로부터 고주파수의 클록신호(D3)를 드레인드라이버에 송출하는 것이 곤란하고, 또 설사 고주파의

클록신호(D3)를 송출할 수 있었다해도, 불요복사대책이 곤란하다고 하는 문제점이 있었다.

본 발명의 목적은, 액정표시장치에 있어서, 표시데이터의 버스라인의 버스폭을 증대하는 일없이, 또 종래와 마찬가지의 구동수단을 사용해서 구동수단에 송출되는 클록신호의 주파수를 저감하는 일이 가능해지는 기술을 제공하는 데 있다.

본 발명의 상기 목적과 신규한 특징은, 본 명세서의 기술 및 첨부도면에 의해서 명백해질 것이다.

발명의 구성

본 발명의 일측면에 의하면, 매트릭스형상으로 형성되는 복수의 화소를 가진 액정표시패널과, 열(列)방향의 복수의 화소에 표시데이터에 의거한 영상전압을 인가하는 M개의 구동수단과, 입력되는 표시데이터를 상기 M개(M:정(正)의정수)의 구동수단에 송출하는 동시에, 입력되는 입력표시제어신호에 의거하여 적어도 클록신호를 포함한 제어신호를 생성하고, 이 제어신호를 상기 M개의 구동수단에 송출해서, 상기 M개의 구동수단을 제어구동하는 표시제어수단을 구비하는 액정표시장치에 있어서, 상기 표시제어수단은, 구동수단에 송출되는 클록신호의 주파수를 저감시키기 위하여, 주파수가 동일하고 서

로 위상이 다른 N개(N: M보다 작은 정의 정수)의 클록신호를 생성하고, 이 N개의 클록신호를, 각각(M/N)개의 구동수단에 의해 구성되는 N개의 구동수단군에 송출하고, 또, 그것에 맞추어서, 입력되는 단순일렬의 표시데이터를 재배열해서 M개의 구동수단에 송출한다.

이하, 본 발명의 실시형태를 도면을 참조해서 설명한다.

또한, 발명의 실시형태를 설명하기 위한 전체도면에 있어서, 동일 기능을 가진 것은 동일부호를 붙이고, 그 반복설명은 생략한다.

도 1은, 본 발명의 일실시예에 의한 TFT방식의 액정표시모듈의 개략구성을 표시한 블록도이다.

본 실시예의 액정표시모듈(LCM)은, 액정표시패널(TFT-LCD)(10)의 위쪽에 드레인드라이버(130)가 배치되고, 또, 액정표시패널(10)의 측면에, 게이트드라이버(140), 인터페이스부(100)가 배치된다.

인터페이스부(100)는 인터페이스기판에 실장되고, 또, 드레인드라이버(130), 게이트드라이버(140)도, 각각 전용의 프린트기판에 실장된다.

또, 본 실시예의 액정표시모듈은, 컴퓨터본체쪽과의 인터페이스로서, 디지털·인터페이스를 채용하고 있다. 본 실시예에서는, LVDS(Low Voltage Differ- ential Signaling)방식에 의해, 컴퓨터본체쪽으로부터 클록신호(CK), 디스플레이타이밍신호(DTMG), 수평동기신호(Hsync), 수직동기신호(Vsync)의 각 표시제어신호 및 표시용 데이터(R,G,B)가 송출된다.

도 1에 표시한 바와 같이, 컴퓨터본체쪽의 그래픽제어기(180)의 출력단과, 표시제어장치(110)의 입력단과의 사이에, 각각 반도체집적회로(LSI)에 의해 구성되는 트랜스미터(170)과 리시버(160)가 배치된다.

상기 트랜스미터(170)는, 그래픽제어기(180)로부터의 디스플레이타이밍신호(DTMG), 수평동기신호(Hsync), 수직동기신호(Vsync)를 포함하는 제어신호 및 표시용 데이터(R,G,B)의 전부에 의해 21비트의 신호를 병렬-직렬변환해서, 3개의 비틀림쌍선(twisted pair line)에 의해 리시버(160)에 송출한다.

상기 리시버(160)는, 상기 직렬신호를 직렬-병렬변환해서, 디스플레이타이밍신호(DTMG), 수평동기신호(Hsync), 수직동기신호(Vsync) 및 표시용 데이터(R·G·B)를 표시제어장치(110)에 송출한다.

또, 클록신호(CK)는, 1개의 비틀림쌍선에 의해 상기 트랜스미터(170)로부터 리시버(160)에 전송된다.

여기서, 3개의 비틀림쌍선위에서의 직렬신호의 주파수는, 클록신호(CK)의 주파수의 7배로 되어 있다.

또한, 이 LVDS(Low Voltage Differential Signaling)방식에 대해서는, 일본국, 닛케이일렉트로닉스 1996.7-15(№ 666) pp110～115에 기재되어 있다(혹은 LVDS Owner's Manual, 1997, National Semiconductor Corp.참조).

도 2는, 도 1에 표시한 액정표시패널(10)의 일예의 등가회로를 표시한 도면이다.

또한, 도 2는 회로도이나, 실제의 기하학적 배치에 대응해서 그려져 있으며, 동도면에 표시한 바와 같이, 액정표시패널(10)은, 매트릭스형상으로 형성되는 복수의 화소를 가진다.

각 화소는, 인접하는 2개의 제 1의 신호선(드레인신호선(D) 또는 게이트신호선(G))과, 인접하는 2개의 제 2의 신호선(게이트신호선(G) 또는 드레인신호선(D))과의 교차영역내에 배치된다.

각 화소는 박막트랜지스터(TFT)를 가지고, 각 화소의 박막트랜지스터(TFT)의 소스전극은, 화소전극(TIO1)에 접속되고, 화소전극(ITO1)과 공통전극(ITO2)과의 사이에 액정층(LC)이 형성됨으로, 박막트랜지스터(TFT)의 소스전극과 공통전극(ITO2)과의 사이에는, 액정용량(C_{LC})이 등가적으로 접속된다.

또, 박막트랜지스터(TFT)의 소스전극(화소전극)과 앞단계의 게이트신호선(G)과의 사이에는, 부가용량(C_{ADD})이 또한 접속된다.

도 3은, 도 1에 표시한 액정표시패널(10)의 다른 예의 등가회로를 표시한 도면이다.

도 2에 표시한 예에서는, 앞단계의 게이트신호선(G)과 소스전극과의 사이에 부가용량(C_{ADD})이 형성되어 있으나, 도 3에 표시한 예의 등가회로에서는, 공통신호선(COM)과 화소전극과의 사이에 유지용량(CSTG)이 형성되어 있는 점이 달라져 있다. 또한, 참조부호CN은 각 공통신호선(COM)을 상호접속하기 위한 도선이다.

본 발명은, 어느쪽에도 적용가능하나, 전자의 방식에서는, 앞단계의 게이트신호선(G)펄스가 부가용량(C_{ADD})을 개재해서 화소전극(ITO1)에 다이빙하는데 대해, 후자의 방식에서는, 다이빙이 없기 때문에, 보다 양호한 표시가 가능하게 된다. 또한, 도 2 및 도 3에 있어서, AR은 표시영역이다.

도 2 또는 도 3에 표시한 액정표시패널(10)에 있어서, 열방향으로 배치된 각 화소의 박막트랜지스터(TFT)의 드레인전극은, 각각 드레인신호선(D)에 접속되고, 각 드레인신호선(D)는, 열방향으로 배치된 화소의 액정에 영상전압(표시데이터전압)을 인가하는 드레인드라이버(130)에 접속된다.

또, 행방향으로 배치된 각 화소에 있어서의 박막트랜지스터(TFT)의 게이트전극은, 각각 게이트신호선(G)에 접속되고, 각 게이트신호선(G)은, 1수평주사시간, 박막트랜지스터(TFT)의 게이트에 주사구동전압(양(positive)의 바이아스전압 또는 음(negative)의 바이어스전압)을 공급하는 게이트드라이버(140)에 접속된다. 여기서, 도 1에 표시한 액정표시패널(10)은, 1024×3×768화소로 구성된다.

도 1에 표시한 인터페이스부(100)는, 표시제어장치(110)와 전원회로(120)로 구성된다.

표시제어장치(110)는, 1개의 반도체집적회로(LSI)로 구성되고, 컴퓨터본체쪽으로부터 송신되어 오는 클록신호(CK), 디스플레이타이밍신호(DTMG), 수평동기신호(Hsync), 수직동기신호(Vsync)의 각 표시제어신호 및 표시용 데이터(R.G.B)를 근거로, 드레인드라이버(130) 및 게이트드라이버(140)를 제어·구동한다.

이 경우에, 표시제어장치(110)는, 컴퓨터본체쪽으로부터의 클록신호(CK)로부터, 표시데이터래치용 클록신호로서, 제 1의 클록신호(D4)(이하, 클록신호(D4)라 호칭함.) 및 제 1의 클록신호(D4)와 주파수가 동일하고, 위상이 다른 제 2의 클록신호(D5)(이하, 클록신호(D5)라 호칭함.)를 생성한다. 본 실시예에서는, 클록신호(D5)는, 클록신호(D4)의 반전클록신호이다.

클록신호(D4)는, 신호선(131)을 개재해서, A군의 드레인드라이버(130)(도 1에서는, 홀수번째의 드레인드라이버(130))에 송신된다. 또, 클록신호(D5)는, 신호선(132)을 개재해서, B군의 드레인드라이버(130)(도 1에서는, 짝수번째의 드레인드라이버(130))에 송신된다.

이에 맞추어서, 표시제어장치(110)는, 컴퓨터본체쪽으로부터 수취한 단순 일렬의 표시데이터를 재배열해서, 표시데이터의 버스라인(134)을 개재해서 드레인드라이버(130)에 출력한다.

또, 표시제어장치(110)는, 1수평분의 표시데이터가 종료한 경우에, 신호선(133)을 개재해서, 드레인드라이버(130)에 출력타이밍제어용 클록신호(D1)(이하, 클록신호(D1)라 호칭함.)를 출력한다. 표시제어장치(110)는, 신호선(135)을 개재해서 드레인드라이버(130)에 출력극성제어신호(이하, 교류화신호라 호칭함)를 출력한다.

또, 표시제어장치(110)는, 신호선(142)을 개재해서 게이트드라이버(140)에 프레임개시지시신호를 출력하고, 또, 1수평주사시간마다, 액정표시패널(10)의 각 게이트신호선(G)을 순차 선택하기 위한 시프트클록신호(G1)(이하, 클록신호(G1)라 호칭함.)를, 신호선(141)을 개재해서 게이트드라이버(140)에 출력한다.

도 4A, 도 4B는, 도 1에 표시한 표시제어장치(110)내의 표시데이터재배열부분 및 클록신호(D4, D5)를 생성하는 부분의 회로구성의 일예와, 표시제어장치(110)로부터 송출되는 표시데이터와 클록신호(D4, D5)의 타이밍차트를 표시한 도면이다.

도 4A에 표시한 예에서는, 컴퓨터본체쪽으로부터 송신되는 65㎒의 클록신호(CK)는, D형 플롭플립회로(111)에서 분주되고, D형 플롭플립회로(111)의 정전(正轉)출력단자(Q)와 반전(反轉)출력단자($\overline{Q}$)로부터, 도 4B에 표시한 바와 같은 32.5㎒의 클록신호(D4, D5)가 출력된다.

또, 컴퓨터본체쪽으로부터 송신되는 단순 일렬의 표시데이터는, 제 1의 메모리(112)(또는 제 2의 메모리(113))에 입력된다. 이 제 1의 메모리(112)(및 제 2의 메모리(113))에는, 2개의 드레인드라이버(130)에 접속되는 드레인신호선(D)의 총수분 2n개의 표시데이터가 격납된다(n은 정의 정수로서, 1개의 드레인 드라이버(130)에 접속되는 드레인 신호선(D)의 총수임).

도 4A에 표시한 예에서는, 처음에, 컴퓨터본체쪽으로부터 송신되는 단순 일렬의 2n개의 표시데이터를, 예를 들면, 제 1의 메모리(112)에 기록한다. 이 제 1의 메모리(112)에, 2n개분의 표시데이터가 격납되면, 다음에, 컴퓨터본체쪽으로부터 송신되는 단순일렬의 2n개의 표시데이터를, 제 2의 메모리(113)에 기록하고, 그 사이에, 제 1의 메모리(112)로부터, 도 4B에 표시한 순으로 표시데이터를 판독해서, 표시데이터의 버스라인(134)을 개재해서 드레인드라이버(130)에 출력한다.

메모리제어회로(114)는, 상기 제 1의 메모리 및 제 2의 메모리의 기록, 판독을 제어한다.

또한, 도 4B의 타임차트에 표시한 바와 같이, 클록신호(D4)의 하강(상승이어도 좋음)시점이, 표시데이터가 변화하는 시점의 중심부근이 되도록 설정하고 있으나, 이에 한정되는 것은 아니며, 클록신호(D4)의 하강시점은, 표시데이터가 변화하는 시점의 사이가 되도록 설정하면 된다. 또, 클록신호(D5)는, 클록신호(D4)에 대해서, 반드시 π위상이 달라져 있을 필요는 없다. 또, 본 실시예에서는, 표시데이터래치용 클록신호로서, 클록신호(D4, D5)를 사용하도록 하였으나, 이에 한정되는 것은 아니며, 예를 들면, 4개의 클록신호를 사용하는 것도 가능하다.

이와 같이 본 실시예에 의하면, 표시데이터의 주파수와 동일주파수인 32.5㎒의 클록신호(D4, D5)를, 각각 A군 또는 B군의 드레인드라이버(130)(하나걸러의 드레인드라이버(130))에 전송하고, 또, 1계통의 버스라인(134)을 개재해서 재배열한 표시데이터를 각 드레인드라이버(130)에 전송하도록 하였음으로, 표시데이터의 버스라인(134)의 버스폭을 넓히는 일없이, 표시제어장치(110)로부터 드레인드라이버(130)에, 표시데이터를 전송하는 일이 가능하게 된다.

도 5A는, 본 실시예의 앞에 본 발명자에 의해서 검토된, 액정표시패널의 해상도가 1024×768화소의 경우에, 표시제어장치(110)로부터 드레인드라이버(130)에, 표시데이터를 전송하는 숫법의 일예를 표시한 블록도이다. 도 5B는, 표시제어장치로부터 송출되는 표시데이터버스(A),(B)와 클록신호(D6),(D7)의 타이밍차트이다.

도 5A, 도 5B에 표시한 방법은, 표시데이터의 버스라인으로서, (134a)와 (134b)의 2계통의 버스라인을 형성하고, 이 2계통의 버스라인(134a),(134b)에 번갈아 드레인드라이버(130')를 접속하고, 2개의 드레인드라이버(130')를 동시에 제어하는 것이다. 이에 의해, 도 5A, 도 5B에 표시한 방법에서는, 표시데이터래치용 클록신호(D6),(D7)의 주파수를 32.5㎒(65㎒의 절반)으로 할 수 있다.

그러나, 도 5A, 도 5B에 표시한 방법은, 표시데이터의 버스라인의 버스폭이 2배(예를 들면, 64계조면 36(6×3×2)비트, 256계조면 48(8×3×2)비트로되기 때문에, 표시제어장치(110)의 다(多)핀화 및 표시제어장치(110)가 탑재되는 프린트배선기판의 다층화, 면적확대화를 초래하여, 표시제어장치(110) 및 프린트배선기판의 코스트업, 및 인터페이스부(100)와 드레인드라이버(130)사이를 접속하는 배선기판의 커넥터(connector)의 대형화의 요인이 된다고 하는 문제점이 있다.

그러나, 본 실시예에 의하면, 표시데이터의 버스라인(134)의 버스폭을 넓힐 필요는 없고, 클록신호(D4) 또는 클록신호(D5)를 위하여, 신호선을 1개 추가하는 것만으로 되므로, 표시제어장치(110)의 다핀화 및 드레인드라이버(130)가 탑재되는 프린트배선기판의 다층화, 면적확대화를 초래하는 일도 없다. 또, 표시데이터의 버스라인(134)에 삽입되는 EMI(electromagnetic interference)용 필터수도 적어서 되므로, 드레인드라이버(130) 및 프린트배선기판의 코스트업도 최소화 할 수 있다.

도 1에 표시한 전원회로(120)는, 양전압생성회로(121), 음전압생성회로(122), 공통전극(대향전극)전압생성회로(123), 게이트전극전압생성회로(124)로 구성된다.

양전압생성회로(121), 음전압생성회로(122)는, 각각 직렬저항분압회로로 구성되고, 양극성의 5치(値)의 계조기준전압(V0～V4)을, 음전압생성회로(122)는 음극성의 5치의 계조기준전압(V5～V9)를 출력한다. 이 양극성의 계조기준전압(V0～V4) 및 음극성의 계조기준전압(V5～V9)는, 각 드레인드라이버(130)에 공급된다. 또, 각 드레인드라이버(130)에는, 표시제어장치(110)로부터의 후술하는 교류화신호(교류화타이밍신호:M)도 신호선(135)을 개재해서 공급된다.

공통전극전압생성회로(123)는 공통전극(ITO2)에 인가하는 구동전압을, 게이트전극전압생성회로(124)는 박막트랜지스터(TFT)의 게이트에 인가하는 구동전압(양의 바이어스전압 및 음의 바이어스전압)을 생성한다.

일반적으로, 액정층(LC)은, 장시간 동일전압(직류전압)이 인가되어 있으면, 액정층(LC)의 기울기가 고정화되고, 결과로서 잔상(殘像)현상을 야기하여, 액정층(LC)의 수명을 단축하게 된다.

이것을 방지하기 위하여, 종래의 액정표시장치에 있어서는, 액정층(LC)에 인가하는 액정구동전압을 어떤 일정시간마다 교류화, 즉, 공통전극(ITO2)의 액정구동전압을 기준으로 해서, 화소전극(ITO1)에 인가되는 액정구동전압을, 일정시간마다 양전압쪽/음전압쪽으로 변화시키도록 하고 있다.

이 액정층(LC)에 교류전압을 인가하는 구동방법으로서, 공통대칭법과 공통반전법의 2가지의 방법이 알려져 있다. 공통반전법이란, 공통전극(ITO2)와 화소전극(ITO1)에 인가되는 전압을 다같이 번갈아 반전시키는 방법이며, 또, 공통대칭법이란, 공통전극(ITO2)에 인가되는 전압을 일정하게 하고, 화소전극(ITO1)에 인가하는 전압을, 공통전극(ITO2)에 인가되는 전압을 기준으로해서 번갈아 양, 음으로 반전시키는 방법이다.

이 공통대칭법은, 화소전극(ITO1)에 인가되는 전압의 진폭이, 공통반전법의 경우에 비해 2배로 되고, 저전압의 드라이버를 사용할 수 없다고 하는 점에서 완전하게 만족스러운 것은 아니나, 저소비전력과 표시품질의 점에서 뛰어난 도트반전법 또는 V라인반전법이 사용가능하다.

본 실시예의 액정표시모듈에서는, 그 구동방법으로서, 상기 도트반전법을 사용하고 있다.

도 6은, 도 1에 표시한 드레인드라이버(130)로부터 드레인신호선(D)에 출력되는 액정구동전압, 즉, 화소전극(ITO1)에 인가되는 액정구동전압과, 공통전극(ITO2)에 인가되는 액정구동전압과의 관계를 표시한 도면이다.

또한, 도 6에서는, 드레인드라이버(130)로부터 드레인신호선(D)에 출력되는 액정구동전압은, 액정표시패널(10)의 표시면에 흑을 표시하는 경우의 액정구동전압을 표시하고 있다.

도 6에 표시한 바와 같이, 드레인드라이버(130)로부터 홀수번째의 드레인신호선(D)에 출력되는 액정구동전압(VDH)과, 드레인드라이버(130)로부터 출력되는 짝수번째의 드레인신호선(D)에 인가되는 액정구동전압(VCOM)에 대해서 역극성, 즉, 홀수번째의 드레인신호선(D)에 출력되는 액정구동전압(VDH)이 양극성(또는 음극성)이면, 짝수번째의 드레인신호선(D)에 출력되는 액정구동전압(VDL)은 음극성(또는 양극성)이다.

그리고, 그 극성은 1라인마다 반전되고, 또, 각 라인마다의 극성이, 프레임마다 반전된다.

이 도트반전법을 사용함으로써, 인접하는 신호선(D)에 인가되는 전압이 역극성으로 되기 때문에, 공통전극(ITO2)이나 게이트전극(G)에 흐르는 전류가 인접하는 것끼리 맞지우기하여, 소비전력을 저감할 수 있다.

공통전극(ITO2)에 흐르는 전류가 적고 전압강하가 크게 되지 않기 때문에, 공통전극(ITO2)의 전압레벨이 안정되고, 표시품질의 저하를 최소한으로 억제할 수 있다.

도 7은, 도 1에 표시한 드레인드라이버(130)의 일예의 개략구성을 표시한 블록도이다.

동도면에 있어서, 양극성계조전압생성회로(151a)은, 양전압생성회로(121)로부터 입력되는 양극성의 5치의 계조기준전압(V0～V4)에 의거해서, 양극성의 64계조분의 계조전압을 생성하고, 전압밸런스(158a)를 개재해서 출력회로(157)에 출력한다. 음극성계조전압생성회로(151b)는, 음전압생성회로(122)로부터 입력되는 음극성의 5치의 계조기준전압(V5～V9)에 의거해서, 음극성의 64계조분의 계조전압을 생성하고, 전압버스라인(158b)을 개재해서 출력회로(157)에 출력한다.

또, 드레인드라이버(130)의 제어회로(152)내의 시프트레지스터회로(153)는, 표시제어장치(110)로부터 입력되는 표시데이터래치용 클록(D3 또는 D4)에 의거해서, 입력레지스터회로(154)의 데이터도입용 신호를 생성하여, 입력레지스터회로(154)에 출력한다.

입력레지스터회로(154)는, 시프트레지스터회로(153)로부터 출력되는 데이터도입용 신호에 의거하여, 표시제어장치(110)로부터 입력되는 표시데이터래치용 클록(D4 또는 D5)에 동기해서, 각 색마다 6비트의 표시데이터를 출력개수분만큼 래치한다.

스토리지레지스터회로(155)는, 표시제어장치(110)로부터 입력되는 출력타이밍제어용 클록(D1)에 따라서, 입력레지스터회로(154)내의 표시데이터를 래치한다. 이 스토리지레지스터회로(155)에 도입된 표시데이터는, 레벨시프트회로(156)를 개재해서 출력회로에 입력된다. 레벨시프트회로(156)는, 스토리지레지스터회로(155)로부터 입력되는 표시데이터의 전압을 승압한다.

출력회로(157)은, 표시제어장치(110)로부터 입력되는 교류화신호(D2)에 따른 극성의 출력전압을 드레인신호선(D)에 출력한다.

도 8은, 출력회로(157)의 구성을 중심으로, 도 7에 표시한 드레인드라이버(130)의 구성을 설명하기 위한 블록도이다.

동도면에 있어서, (153)은 제어회로(152)내의 시프트레지스터회로, (156)은 레벨시프트회로, (261)은 디코더부, (262)는 제 1의 스위치부, (263)은 앰프회로쌍, (264)는 제 2의 스위치부, (265)는 데이터래치부이다. 또, Y1, Y2, Y3, Y4, Y5, Y6은, 각각 제 1번째, 제 2번째, 제 3번째, 제 4번째, 제 5번째, 제 6번째의 드레인신호선(D)을 표시하고 있다.

또한, 도 8에 있어서, 디코더부(261), 앰프회로쌍(263), 앰프회로쌍(263)의 출력을 절환하는 제 2의 스위치부(264)가, 도 7에 표시한 출력회로(157)를 구성하고, 또, 데이터래치부(265)는, 도 7에 표시한 입력레지스터회로(154)와 스토리지레지스터회로(155)를 표시하고 있다. 여기서, 제 1의 스위치부(262) 및 제 2의 스위치부(264)는, 교류화신호(D2)에 의거해서 제어된다.

본 실시예의 드레인드라이버(130)에 있어서는, 제 1의 스위치부(262)에 의해, 데이터래치부(265)(보다 상세히는, 도 7에 표시한 입력레지스터(154))에 입력되는 데이터도입용 신호를 절환해서, 인접하는 데이터레치부(265)에 입력한다.

디코더부(261)는, 계조전압생성회로(151a)로부터 전압버스라인(158a)을 개재해서 출력되는 양극성의 64계조분의 계조전압중에서부터, 각 데이터래치부(265)(보다 상세하게는, 도 7에 표시한 스토리지레지스터(155))로부터 출력되는 표시용 데이터에 대응하는 계조전압을 선택하는 고전압용 디코더회로(278)와, 계조전압생성회로(151b)로부터 전압버스라인(158b)을 개재해서 출력되는 음극성의 64계조분의 계조전압중에서부터, 각 데이터래치부(265)로부터 출력되는 표시용 데이터에 대응하는 계조전압을 선택하는 저전압용 디코더회로(279)로 구성된다.

이 고전압용 디코더회로(278)와 저전압용 디코더회로(279)는, 인접하는 데이터래치부(265)마다 배설되어 있다. 여기서, 저전압용 디코더회로(279)에 입력되는 음극성의 계조전압의 전압레벨은, 예를 들면, 0V～4V의 전압레벨임으로, 저전압용 디코더회로(279)는 저내압MOS트랜지스터에 의해 구성할 수 있다.

그러나, 고전압용 디코더회로(278)에 입력되는 양극성의 계조전압의 전압레벨은, 예를 들면, 4V～8V의 전압레벨이므로, 고전압용 디코더회로(278)는 고내압MOS트랜지스터에 의해 구성되어 있으며, 그 때문에, 고전압용 디코더회로(278)에 접속되는 레벨시프트회로(156)에 의해, 표시용 데이터의 전압레벨을 고전압, 예를 들면, 4V～8V의 전압레벨로 레벨변환할 필요가 있다.

또한, 도 8에서는, 플러스(+)전원을 사용하는 경우에 대해서 설명하였으나, 마이너스(-)전원을 사용하는 경우에는, 저전압용 디코더회로(279)를 고내압MOS트랜지스터에 의해 구성하면 된다.

또, 도 8에서는, 모든 레벨시프트회로(156)가, 표시용 데이터의 전압레벨을 고전압레벨로 변환하고, 또, 고전압용 디코더회로(278)와 저전압용 디코더회로(279)는, 다같이, 고내압MOS트랜지스터에 의해 구성한 경우에 대해서 설명한다.

앰프회로쌍(263)은, 고전압용 앰프회로(271)과 저전압용 앰프회로(272)에 의해 구성된다. 고전압용 앰프회로(271)에는 고전압용 디코더회로(278)에서 선택된 양극성의 계조전압이 입력되고, 고전압용 앰프회로(271)는 양극성의 액정구동전압을 출력한다. 저전압용 앰프회로(272)에는 저전압용 디코더회로(279)에서 선택된 음극성의 계조전압이 입력되고, 저전압용 앰프회로(272)는 음극성의 액정구동전압을 출력한다.

도트반전법에서는, 인접하는 각 색의 액정구동전압은 서로 역극성으로 되고, 또, 앰프회로쌍(263)의 고전압용 앰프회로(271) 및 저전압용 앰프회로(272)의 배열은, 고전압용 앰프회로(271)→저전압용 앰프회로(272)→고전압용 앰프회로(271)→저전압용 앰프회로(272)로 됨으로, 제 1의 스위치부(262)에 의해, 데이터래치부(265)에 입력되는 데이터도입용 신호를 절환하여, 인접하는 데이터래치부(265)에 입력하고, 그것에 맞추어서, 고전압용 앰프회로(271) 또는 저전압용 앰

프회로(272)로부터 출력되는 출력전압을, 제 2의 스위치부(264)에 의해 절환하고, 각색의 액정구동전압이 출력되는 드레인신호선(D), 예를 들면 제 1번째의 드레인신호선(Y1)과 제 4번째의 드레인신호선(Y4)에 출력함으로써, 각 드레인신호선(D)에 양극성 또는 음극성의 액정구동전압을 출력하는 것이 가능하게 된다.

또한, 고전압용 콘덴서회로(278)과 저전압용 디코더회로(279)를 동일 극성의 고내압MOS트랜지스터회로에 의해 구성함으로써, 고전압용 디코더회로(278)와 저전압용 디코더회로(279)를, 고내압PMOS트랜지스터와 고내압NMOS트랜지스터로 이루어진 상보(相補)형 MOS트랜지스터회로에 의해 구성하는 경우보다, 반도체집적회로의 칩면적을 축소할 수 있다.

도 8에 표시한 드레인드라이버(130)에서는, 양극성의 액정구동전압을 출력하는 앰프회로로서 볼테이지폴로어(voltage follower)회로를 사용할 수 있음으로, 드레인드라이버(130)를 구성하는 반도체집적회로(IC칩)의 칩사이즈를 작게할 수 있다.

또, 볼테이지폴로어회로는 입력임피던스가 큼으로, 전압버스라인(158a), (158b)으로부터 볼테이지폴로어회로에 전류가 흘러드는 일이 없음으로, 양극성계조전압생성회로(151a) 또는 음극성계조전압생성회로(151b)의 전압레벨이 변동하는 일이 없어진다.

도 9는, 본 실시예의 액정표시모듈의 조립완성도로서, 액정표시패널의 표시면쪽으로부터 본정면도, 상면도, 우측면도, 좌측면도 및 하면도이다. 도 10은, 본 실시예의 액정표시모듈의 조립완성도로서, 액정표시패널의 뒷면쪽으로부터 본도면이다.

본 실시예의 액정표시모듈은, 몰드케이스(ML), 실드케이브(SHD)를 구비한다. HLD1, HLD2, HLD3 및 HLD4는, 몰드케이스(ML), 실드케이스(SHD)에 각각 형성되는 장착구멍이다. 이 액정표시모듈은, 이 4개의 장착구멍에 나사등을 통해서 노트북형 개인컴퓨터등에 실장된다. 백라이트를 구동하기 위한 인버터회로유닛은, 장착구멍(HLD1, HLD2)사이의 오목부에 배치되고, 접속커넥터(LCT), 램프케이블(LCP1, LCP2)을 개재해서 냉음극형광등(LP)에 구동전압을 공급한다.

컴퓨터본체로부터의 표시데이터, 표시제어신호 및 전원은, 모듈뒷면에 위치하는 인터페이스커넥터(CT1)를 개재해서, 인터페이스부(100)에 공급된다.

본 실시예에서는, 그 외형치수 및 표시영역(AR)의 크기는, SVGA표시모드의 액정표시패널보다 크게되어 있음에도 불구하고, 표시에 기여하지 않는 액자(額字)영역을 작게할 수 있다. 따라서, 본 실시예의 액정표시모듈을 탑재함으로써, 노트북형 개인컴퓨터 등의 가반형(加搬型)정보처리장치의 가반성(portability)을 상실하는 일없이, 보기 쉬운 큰 표시를 얻을 수 있다.

도 11A는, 도 9에 표시한 액정표시모듈의 XIA-XIA선에서 절단한 단면도, 도 11B는, 도 9에 표시한 액정표시모듈의 XIB-XIB선에서 절단한 단면도, 도 12A는, 도 9에 표시한 액정표시모듈의 XIIA-XIIA선에서 절단한 단면도, 도 12B는, 도 9에 표시한 액정표시모듈의 XIIB-XIIB선에서 절단한 단면도이다.

도 11A, 도 11B, 도 12A, 도 12B에 있어서, SHD는 액정표시패널의 주변 및 액정표시패널의 구동회로를 덮는 실드케이스(위쪽케이스)이다. ML은 백라이트유닛을 수납하는 몰드케이스(아래쪽케이스)이다. LF1 및 LF2는 아래쪽케이스(ML)를 덮는 제 1 및 제 2의 아래쪽 실드케이스이다.

WSPC는 백라이트유닛의 주위를 덮는 프레임스페이서이다. SUB1 및 SUB2는, 액정표시패널을 구성하는 유리기판이다. 도 12에 있어서는, 유리기판(SUB1)은 박막트랜지스터(TFT) 및 화소전극(ITO1)이 형성되어 있는 기판, 유리기판(SUB2)은 컬러필터 및 공통전극(ITO2)이 형성되는 기판이다.

FUS는 밀봉재이며, BM은 유리기판(SUB2)에 형성된 차광막, POL1은 유리기판(SUB2)에 부착되는 상부편광판, POL2는 유리기판(SUB1)에 부착되는 하부편광판, VINCI는 유리기판(SUB2)에 부착되는 시야확대필름, VINC2는 유리기판(SUB2)에 부착되는 시야확대필름이다.

본 실시예에서는, 유리기판(SUB1, SUB2)에 시야확대필름을 부착함으로써, 사용자가 보는 각도에 따라 콘트라스트가 변화하는 액저표시패널특유의 문제인, 시야의존성을 없애고 있다. 또한, 시야확대필름(VINC1),(VINC2)는, 편광판(POL1), (POL2)의 바깥쪽에 부착해도 되나, 시야확대필름(VINC1),(VINC2)을 편광판(POL1), (POL2)과 유리기판(SUB1), (SUB2)의 사이에 형성함으로써, 시야확대효과를 증대할 수 있다.

LP는 냉음극형광등, LS는 램프반사시트, GLB는 도광판, RFS는 반사시트, PRS는 프리즘시트이다. POR은 편광반사판이며, 액정표시패널의 휘도를 향상시키기 위하여 형성되어 있다. 편광반사판(POR)은 특정의 편광축의 광만을 투과하고, 그 이외의 편광축의 광은 반사하는 성질을 가지고 있다. 따라서, 편광반사판(POR)의 투과하는 편광축을 하부편광판(POL2)의 편광축과 합치시킴으로써, 종래 하부편광판(POL2)에서 흡수되고 있던 광도, 편광반사판(POR)과 도광판(BLB)과의 사이에서 왔다갔다하고 있는 사이에, 하부편광판(POL2)을 투과하는 편광광으로 변화되어서 편광반사판(POR)으로부터 사출됨으로, 액정표시패널의 콘트라스트를 향상 시킬 수 있다.

프레임스페이서(WSPC)는 도광판(GLB)의 주변부를 누르고, 프레임스페이서(WSPC)의 혹을 몰드케이스(ML)의 구멍에 삽입함으로써, 도광판(GLB)을 몰드케이스(ML)에 단단히 고정하고, 도광판(GLB)이 액정표시패널에 충돌하는 것을 방지하고 있다 또, 확산시프(SPS), 프리즘시트(PRS) 및 편광반사판(POR)도, 프레임스페이서(WSPC)에 의해 억눌려있음으로, 확산시트(SPS), 프리즘시트(PRS) 및 편광반사판(POR)이 변형됨이없이, 백라이트유닛을 액정표시모듈에 실장할 수 있다.

GC1은 프레임스페이서(WSPC)와 유리기판(SUB1)과의 사이에 형성되는 고무쿠션이다. LPC3은 냉음극형광등(LP)에 구동전압을 공급하는 램프케이블이며, 실장스페이스를 잡지않도록 납작케이블(flat cable)로 이루어지고 프레임스페이서(WSPC)와 램프반사시트(LS)사이에 배치된다. 이 램프케이블(LPC3)은 양면테이프에 의해 램프반사시트(LS)에 부착되어 있음으로, 냉음극형광등(LP)을 교환할때에 램프반사시트(LS)와 함께 교환할 수 있어, 램프케이블(LPC3)을 램프반사시트(LS)로부터 뗄 필요가 없고, 냉음극형광등(LP)의 교환이 용이하다.

OL은 ○링이며, 냉음극형광등(LP)과 램프반사시트(LS)와의 사이의 완충의 작용을 한다. ○링(OL)은 냉음극형광등(LP)의 발광휘도가 저하하지 않도록 투명한 합성수지재료에 의해 구성된다. 또, ○링(OL)은 냉음극형광등(LP)으로부터 고주파의 전류가 새나오는 것을 방지하기 위하여, 유전률이 낮은 절연재료에 의해 구성된다. 또, ○링(OL)은 냉음극형광등(LP)이 도광판(GLB)과 충돌하는 것을 방지하는 쿠션작용도 한다.

IC1은 액정표시패널(10)의 드레인신호선(D)에 영상전압을 공급하는 드레인드라이버(130)를 구성하는 반도체칩이며, 유리기판(SUB1)위에 실장되어 있다. 이 반도체칩(IC1)은 유리기판(SUB1)의 한쪽의 변에만 실장되어 있음으로, 반도체칩(IC1)이 실장된 변과 대향하는 변의 액자영역을 작게할 수 있다. 또, 냉음극형광등(LP) 및 램프반사시트(LS)는, 유리기판(SUB1)의 반도체칩(IC1)이 실장된 부분의 아래쪽에 포개어 배치되므로, 냉음극형광등(LP) 및 램프반사시트(LS)를, 액정표시모듈내에 콤팩트하게 수납할 수 있다.

IC2는 액정표시패널(10)의 게이트신호(G)에 주사구동전압을 공급하는 게이트드라이버(140)를 구성하는 반도체칩이며, 유리기판(SUB1)위에 실장되어 있다. 이 반도체칩(IC2)도 유리기판(SUB1)의 한쪽의 변에만 실장되어 있으므로, 반도체칩(IC2)이 실장된 변과 대향하는 변의 액자영역을 작게할 수 있다.

FPC1은 게이트신호선쪽 가요성프린트기판으로서, 유리기판(SUB1)의 외부단자에 이방성도전막에 의해 접속되고, 반도체칩(IC2)에 전원 및 구동신호를 공급한다. FPC2는 드레인신호선쪽 가요성프린트기판으로서, 유리기판(SUB1)의 외부단자에 이방성도전막에 의해 접속되고, 반도체칩(IC1)에 전원 및 구동신호를 공급한다. 가요성프린트기판(FPC1),(FPC2)위에는 저항, 콘덴서등의 칩부품(EP)이 실장되어 있다.

본 실시예에서는, 액정표시패널(10)의 액자영역을 축소하기 위하여, 가요성프린트기판(FPC2)은 램프반사시트(LS)를 둘러싸도록 접어구부려지고, 가요성프린트기판(FPC2)의 일부(b부)는 백라이트유닛 뒤의 몰드케이스(ML)와 제 2의 실드케이스와의 사이에 끼워져서 고정된다. 그 때문에, 몰드케이스(ML)에는, 가요성프린트기판(FPC2)위에 실장되는 칩부품(EP)의 스페이스를 확보하기 위한 오려냄이 형성되어 있다.

가요성프린트기판(FPC2)은, 접어구부림을 용이하게 하기 위한 얇은 두께의 부분(a부)과, 다층배선을 위한 두께가 두꺼운 부분(b부)로 구성된다. 또, 본 실시예에서는, 아래쪽 실드케이스를 제 1의 아래쪽 실드케이스(LF1)와 제 2아래쪽 실드케이스(LF2)로 구성하고, 이 2개의 아래쪽실드케이스(LF1),(LF2)에 의해 액정표시모듈의 뒷면을 덮도록 하였음으로, 제 2의 아래쪽실드케이스(LF2)를 떼어내면 램프반사시트(LS)를 노출시킬 수 있음으로, 냉음극형광등(LP)의 교환이 용이하다.

PCB는 표시제어장치(110)나 전원회로(120)가 탑재되는 인터페이스기판이며, 이 인터페이스기판(PCB)도 다층의 프린트기판에 의해 구성된다. 본 실시예에서는, 액정표시패널(10)의 액자영역을 작게하기 위하여, 인터페이스기판(PCB)은, 가요성프린트기판(FPC1)의 아래에 포개어 배치되고 양면테이프(BAT)로 유리기판(SUB1)에 접착되어 있다.

인터페이스기판(PCB)에는 커넥터(CTR3)와 커넥터(CTR4)가 배치되고, 커넥터(CTR4)는 가요성프린트기판(FPC2)의 커넥터(CT4)와 전기적으로 접속된다. 마찬가지로, 커넥터(CTR3)는 가요성프린트기판(FPC1)의 커넥터(CT3)와 전기적으로 접속된다. 또, 인터페이스기판(PCB)에는, 리시버(160a),(160b)를 구성하는 반도체칩도 탑재된다.

도 13은 액정표시패널(10)의 주변에 가요성프린트배선기판(FPC1)과, 접어구부리기전의 가요성프린트배선기판(FPC2)을 실장한 상태를 표시한 도면이다. 또, 도 14는, 도 13에 있어서, 액정표시패널(10)과 가요성프린트배선기판(FPC1),(FPC2)이 접속되어 있는 부분을 확대해서 표시한 도면이다.

또한, 도 13, 도 14에 있어서, TCON은 표시제어장치(110)를 구성하는 반도체칩이며, 또, DTM은 드레인단자, GTM은 게이트단자이다.

도 11, 도 12에 있어서, SUB는 보강판이며, 아래쪽 실드케이스(LF1)와 커넥터(CT4)의 사이에 배치되고, 커넥터(CT4)가 커넥터(CTR4)로부터 분리되는 것을 방지하고 있다. SPC4는 실드케이스(SHD)와 상부편광판(POL1)과의 사이에 설치되는 스페이서이며, 부직포로 이루어지고 접착제에 의해 실드케이스(SHD)에 부착되어 있다.

본 실시예에서는, 상부편광판(POL1)과 시야확대필름(VINC1)을 유리기판(SUB2)으로부터 꺼내고, 상부편광판(POL1)과 시야확대필름(VINC1)을 실드케이스(SHD)에 의해 누르고 있다. 이 구성에 의해, 본 실시예에서는, 액자영역을 작게해도 충분한 강도를 확보하고 있다.

DSPC는 드레인스페이서이며, 실드케이스(SHD)와 유리기판(SUB1)과의 사이에 설치되고, 실드케이스(SHD)와 유리기판(SBU1)이 충돌하는 것을 방지하고 있다. 또, 드레인스페이서(DSPC)는 반도체칩(IC1)을 덮도록 설치되므로, 반도체칩(IC1)의 부분에는 노치(NOT)가 형성된다. 이에 의해, 실드케이스(SHD)나 드레인스페이서(DSPC)가 반도체칩(IC1)에 충돌하는 일이 없어진다. 또, 드레인스페이서(DSPC)는, 유리기판(SUB1)의 외부접속단자위에 있는 가요성프린트기판(FPC2)도 누르고 있음으로, 유리기판(SUB1)으로부터 가요성프린트기판(FPC2)이 박리되는 것을 방지하고 있다. FUS는 액정표시패널의 액정봉입구를 봉하여 막는 실링재이다.

도 15A, 도 15B는, 본 발명의 다른 실시예에 의한 액정표시모듈의 요부개략구성을 표시한 블록도이다.

본 실시예에서는, 도 15A에 표시한 바와 같이, 표시제어장치(110)로부터의 표시데이터의 버스라인으로서, 표시데이터A와 표시데이터B의 2계통의 버스라인(134a),(134b)을 형성하고, 표시데이터A의 버스라인(버스A)(134a)에 의해, (4m-3)(m=1…n)번째 및 (4m-2)번째의 드레인드라이버(130)에 표시데이터를 공급하고, 또, 표시데이터B의 버스라인(버스B)(134b)에 의해, (4m-1)(m=1…n)번째 및 (4m)번째의 짝의 드레인드라이버(130)에 표시데이터를 공급한다.

또, 신호선(131a)을 개재해서, 표시데이터래치용 클록신호인 클록신호(D4a)를 (4m-3)번째의 드레인드라이버(130)에 공급하고, 신호선(132a)을 개재해서, 클록신호(D5a)를 (4m-2)번째의 드레인드라이버(130)에 공급하고, 신호선(131b)을 개재해서, 클록신호(D4b)를 (4m-1)번째의 드레인드라이버(130)에 공급하고, 신호선(132b)을 개재해서, 클록신호(D5b)를 (4m)번째의 드레인드라이버(130)에 공급한다.

이 경우에, 도 15B의 타이밍차트에 표시한 바와 같이, 표시제어장치(110)는, 컴퓨터본체쪽으로부터 수취한 단순일렬의 표시데이터를 배분(配分), 재배열해서, (4m-3)번째 및 (4m-2)번째의 드레인드라이버(130) 및 (4m-1)번째 및 (4m)번째의 드레인드라이버(130)에 송신한다.

본 실시예에서는, 표시데이터의 버스라인을 2계통 형성하도록 하였음으로, 표시데이터를 래치하기 위한 클록신호(D4a),(D4b),(D5a),(D5b)의 주파수를, 더욱 저감하는 일이 가능하게 된다. 또한, 도 15B의 타이밍차트로부터 알 수 있는 바와 같이, 클록신호(D4a)와 클록신호(D4b) 및 클록신호(D5a)와 클록신호(D5b)는, 동일위상임으로, 표시제어장치(110)로부터 드레인드라이버(130)에 송신하는 표시데이터래치용 클록신호는, 클록신호(D4a)와 클록신호(D4b)의 2개여도 된다.

도 16A, 도 16B는, 도 15A, 도 15B에 표시한 본 발명의 실시예를 실현하는 표시장치(110)내의 표시데이터재배열부분 및 클록신호(D4a),(D4b),(D5a),(D5b)를 생성하는 부분의 회로구성의 일예와, 표시장치(110)로부터 송출하는 표시데이터와 클록신호(D4a),(D4b),(D5a),(D5b)의 타이밍차트를 표시한 도면이다.

도 15A에 표시한 예에서는 컴퓨터본체쪽으로부터 송신되는 16㎒의 클록신호(CK)는, 1/4분주회로(280)에 의해 분주되고, 클록신호(D4a),(D4b)로서 출력된다. 또, 1/4분주회로의 출력으로부터 반전회로(281)를 개재한 신호가, 클록신호(D5a), (D5b)로서 출력된다.

또, 컴퓨터본체쪽으로부터 송신되는 단순 일렬의 표시데이터는, 제 1의 메모리(282)(또는 제 2의 메모리(283))에 입력된다. 이 제 1의 메모리(282)(또는 제 2의 메모리(283))에는, 4개의 드레인드라이버(130)에 접속되는 드레인신호선(D)의 총수분4n개의 표시데이터가 격납된다(n은 정의 정수로서, 1개의 드레인드라이버(130)에 접속되는 드레인신호선(D)의 총수임).

도 16A에 표시한 예에서는, 처음에 컴퓨터본체쪽으로부터 송신되는 단순일렬의 4n개의 표시데이터를, 예를 들면 제 1의 메모리(282)에 기록한다. 이 제 1의 메모리(282)에 4n개의 표시데이터가 격납되면, 다음에 컴퓨터본체쪽으로부터 송신되는 단순일렬의 4n개의 표시데이터를, 제 2의 메모리(283)에 기록하고, 그 사이에, 제 1의 메모리(282)로부터, 도 16B에 표시한 순서로 표시데이터를 판독해서, 표시데이터의 버스라인(BUSA),(BUSB)을 개재해서 드레인드라이버(130)에 출력한다.

메모리제어회로(284)는, 상기 제 1의 메모리 및 제 2의 메모리의 기록, 판독을 제어한다.

상기 각 실시예에서는, 본 발명을 TFT방식의 액정표시장치에 적용한 경우에 대해서 설명하였으나, 이에 한정되는 것은 아니며, 본 발명은, STN방식의 단순매트릭스형 액정표시장치에도 적용가능한 것은 말할 것도 없다.

이상, 본 발명자에 의해서 이루어진 발명을, 상기 발명의 실시예에 의거하여 구체적으로 설명하였으나, 본 발명은, 상기 발명의 실시예에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에 있어서 여러 가지 변경가능한 것은 물론이다.

발명의 효과

이상 설명한 바와 같이, 상기한 본 발명의 실시예에 의하면, 고해상도의 액정표시패널을 구비하는 액정표시장치에 있어서, 표시데이터의 버스라인의 버스폭을 증대하는 일없이, 구동수단에 송출되는 클록신호의 주파수를 저감하는 일이 가능하게 된다.

또, 상기한 본 발명의 실시예에 의하면, 프린트기판에 신호선을 추가하는 것만으로 됨으로, 표시제어수단의 다핀화 및 프린트배선기판의 다층화, 면적확대화를 초래하는 일도 없고, 최소한의 코스트업으로 구동수단에 송출되는 클록신호의 주파수를 저감하는 일이 가능하게 된다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 의한 TFT방식의 액정표시모듈의 개략구성을 표시한 블록도

2는 도 1에 표시한 액정표시패널의 일예의 등가회로를 표시한 도면

3은 도 1에 표시한 액정표시패널의 다른 예의 등가회로를 표시한 도면

4A, 도 4B는 도 1에 표시제어장치내의 표시데이터재배열부분 및 클록신호를 생성하는 부분의 회로구성의 일예와, 표시제어장치로부터 송출되는 표시데이터와 클록신호의 타이밍차트를 표시한 도면

5A, 도 5B는 본 발명자들에 의해서 검토된, 액정표시패널의 해상도가 대(大)해상도의 경우에, 표시제어장치로부터 드레인드라이버에, 표시데이터를 전송하는 숫법의 일예를 표시한 블록도 및 타이밍차트

도 6은 도 1에 표시한 드레인드라이버로부터 드레인신호선에 출력되는 액정구동전압, 즉, 화소전극에 인가하는 액정구동전압과, 공통전극에 인가되는 액정구동전압과의 관계를 표시한 도면

도 7은 도 1에 표시한 드레인드라이버의 일예의 개략구성을 표시한 블록도

도 8은 도 7에 표시한 드레인드라이버의 출력회로의 구성을 중심으로, 도 7에 표시한 드레인드라이버의 구성을 설명하기 위한 블록도

도 9는 본 발명의 일실시예에 의한 액정표시모듈의 조립완성도로서, 액정표시패널의 표시면쪽으로부터 본 정면도, 앞측면도, 우측면도, 좌측면도 및 뒤측면도

도 10은 도 9에 표시한 액정표시모듈의 조립완성도로서, 액정표시패널의 뒷면쪽으로부터 본 도면

도 11A, 도 11B는 도 9에 표시한 XIA-XIA선에서 절단한 단면도 및 XIB-XIB선에서 절단한 단면도

도 12A, 도 12B는 도 9에 표시한 XIIA-XIIA선에서 절단한 단면도 및 XIIB-XIIB에서 절단한 단면도

도 13은 본 발명의 일실시예에 의한 액정표시모듈에 있어서, 액정표시패널의 주변에 가요성프린트배선기판과, 접어구부리기전의 가요성프린트배선기판을 실장한 상태를 표시한 도면

도 14는 도 13에 있어서, 액정표시패널과 가요성프린트배선기판이 접속되어 있는 부분을 확대해서 표시한 도면

도 15A, 도 15B는 본 발명의 일실시예에 의한 액정표시모듈의 요부개략구성을 표시한 블록도 및 동작파형도

도 16A, 도 16B는 도 15A, 도 15B에서 표시한 표시제어장치내의 표시데이터재배열부분 및 클록신호를 생성하는 부분의 회로구성의 일예와, 표시제어장치로부터 송출되는 표시데이터와 클록신호의 타이밍차트를 표시한 도면

<도면의 주요부분에 대한 부호의 설명>

LCM: 액정표시모듈

D: 드레인신호선(영상신호선 또는 수직신호선)

G: 게이트신호선(주사신호선 또는 수평신호선)

ITO1: 화소전극 ITO2: 공통전극(ITO2),

TFT: 박트랜지스터 CSTG: 유지용량

C ADD: 부가용량 10: 액정표시패널(TFT-LCD)

100: 인터페이스부 110: 표시제어장치

111: D형 플롭플립회로 112, 113: 메모리

114: 메모리제어회로 120: 전원회로

121, 122: 전압생성회로 123: 공통전극전압생성회로

124: 게이트전극전압생성회로 130, 130', 130: 드레인드라이버

131, 131a, 131b, 132, 132a, 132b, 133, 135, 141, 142: 신호선

134, 134a, 134b: 표시데이터의 버스라인

140: 게이트드라이버 151a, 151b: 계조전압생성회로

152: 제어회로 153: 시프트레지스터회로

154: 입력레지스터회로 155: 스토리지레지스터회로

156: 레벨시프트회로 157: 출력회로

158a, 158b: 전압버스라인 160: 리시버

170: 트랜스미터 180: 그래픽제어기

261: 디코더부 262, 264: 스위치부

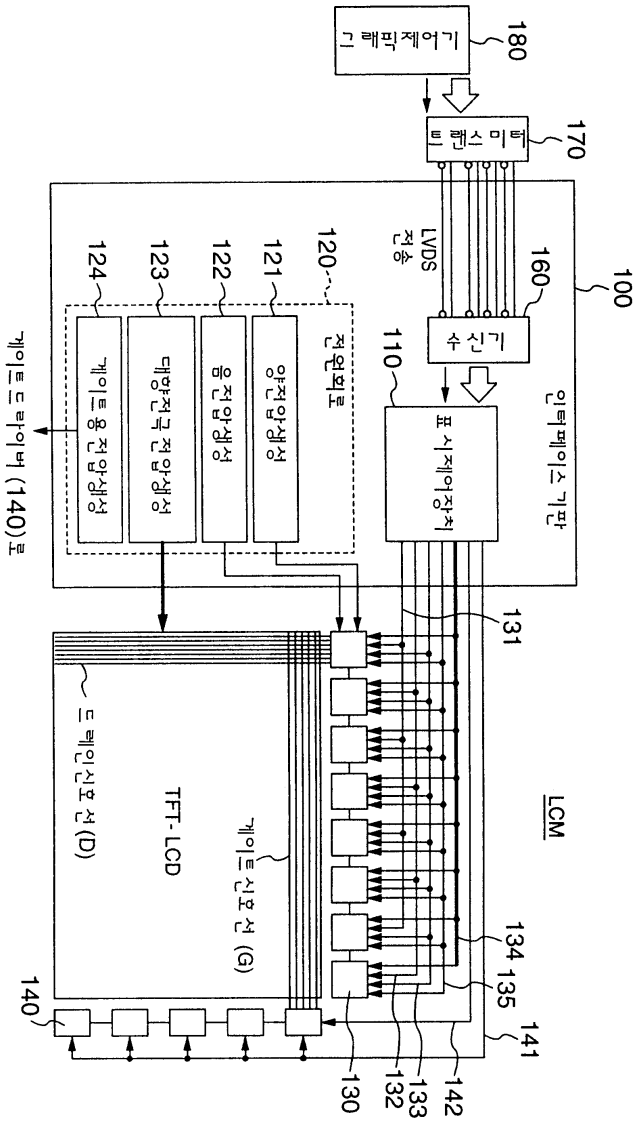
263: 앰프회로쌍 265: 데이터래치

278, 279: 디코더회로 271: 고전압용 앰프회로

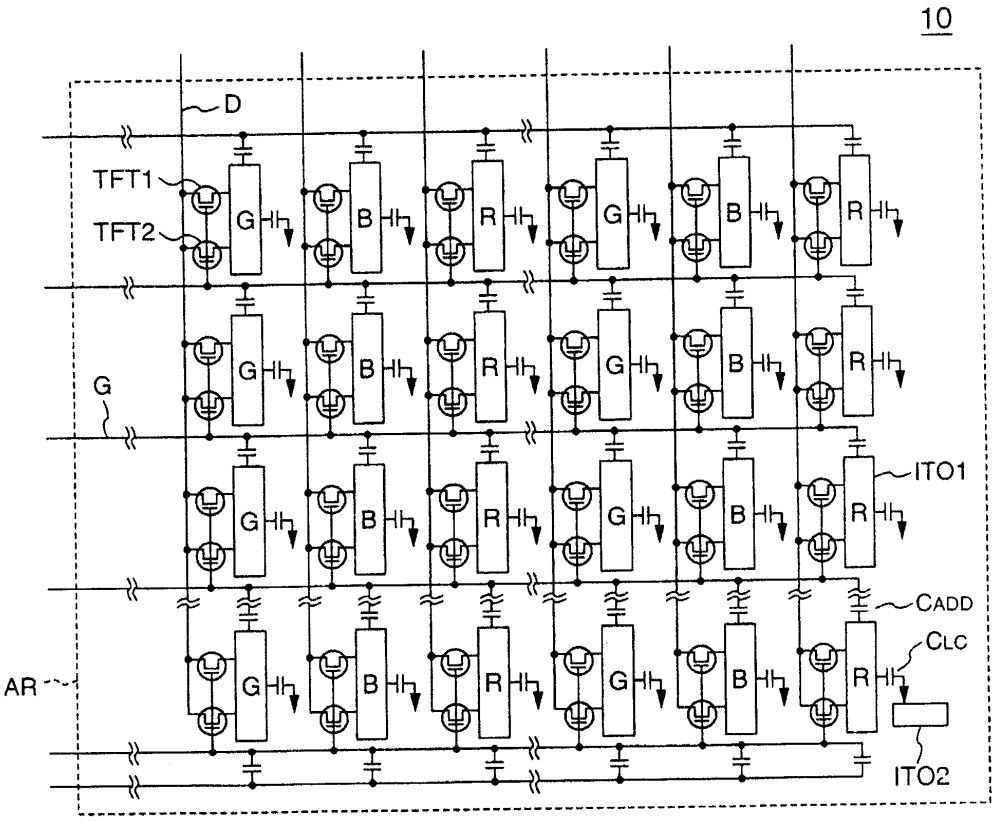
272: 저전압용 앰프회로

도면

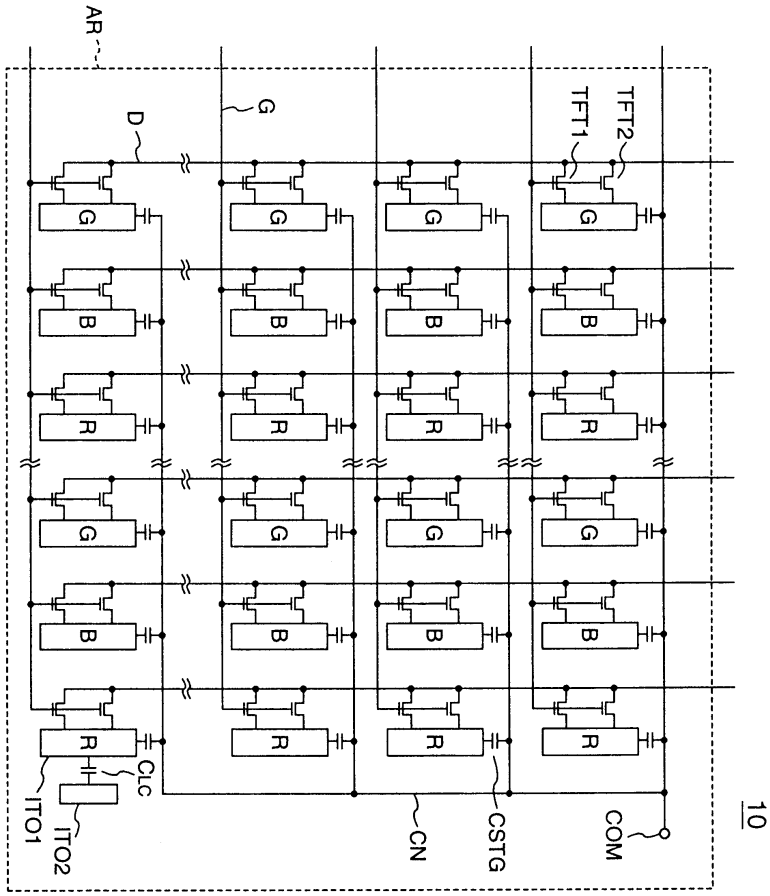
도면1


그래픽제어기
180
트랜스미터
170
LVDS 전송
160
100
수신기
110
표시제어장치
인터페이스 기판
120
전원회로
121
양전압생성
122
음전압생성
123
대향전극 전압생성
124
게이트용 전압생성
게이트 드라이버 (140)로
131
LCM
드레인 신호 선 (D)
TFT-LCD
게이트 신호 선 (G)
134
135
141
140
130
132
133
142

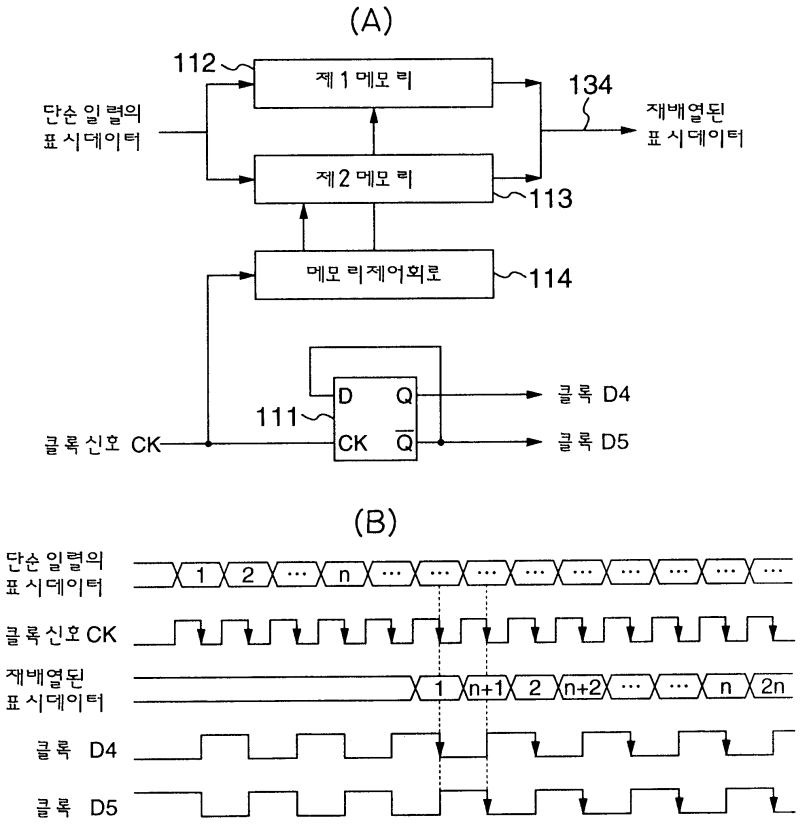
도면2



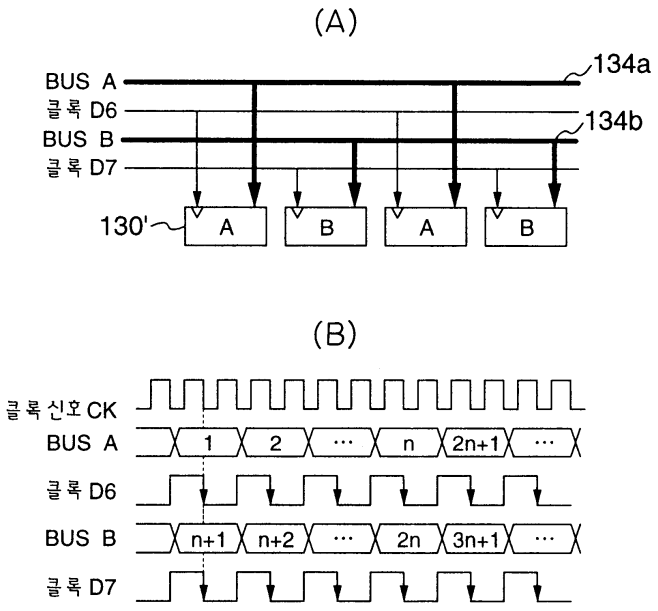
도면3



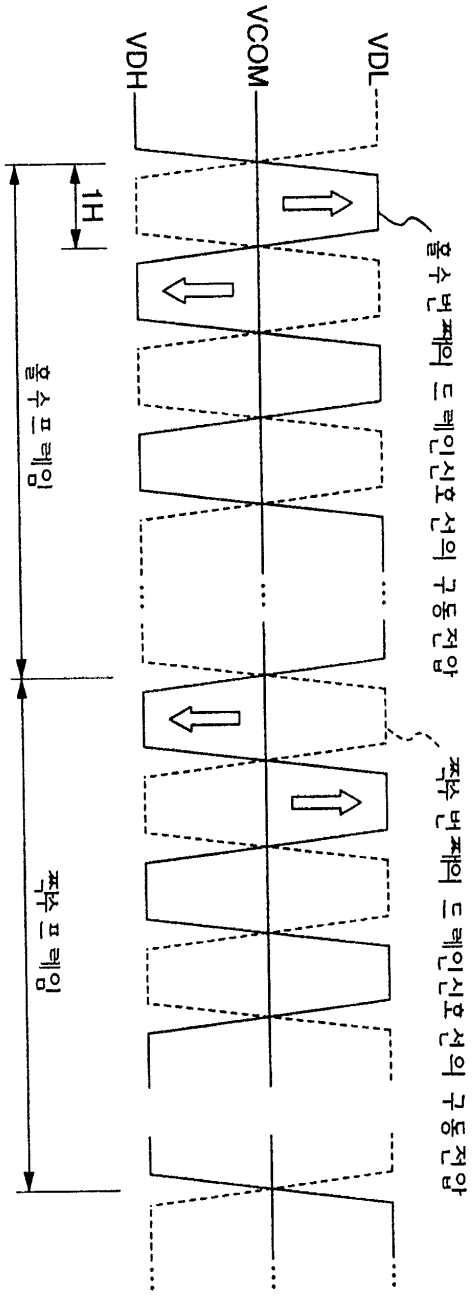
도면4


(A)
112
제 1 메모 리
134
단순 일 렬의
표 시데이터
재배열된
표 시데이터
제2 메모 리
113
메모 리제어회로
114
111
D
Q
CK
Q
클록 D4
클록 D5
클록 신호 CK
(B)
단순 일렬의
표 시데이터
클록신호 CK
재배열된
표 시데이터
클록 D4
클록 D5
1
2
n
1
n+1
2
n+2
n
2n

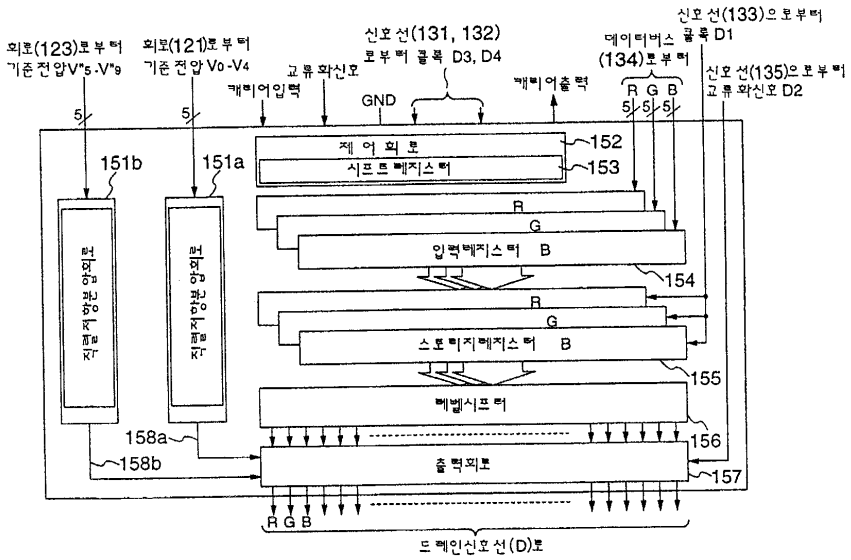
도면5


(A)
BUS A
클록 D6
BUS B
클록 D7
134a
134b
130'
A
B
A
B
(B)
클록 신호 CK
BUS A
클록 D6
BUS B
클록 D7
1
2
n
2n+1
n+1
n+2
2n
3n+1

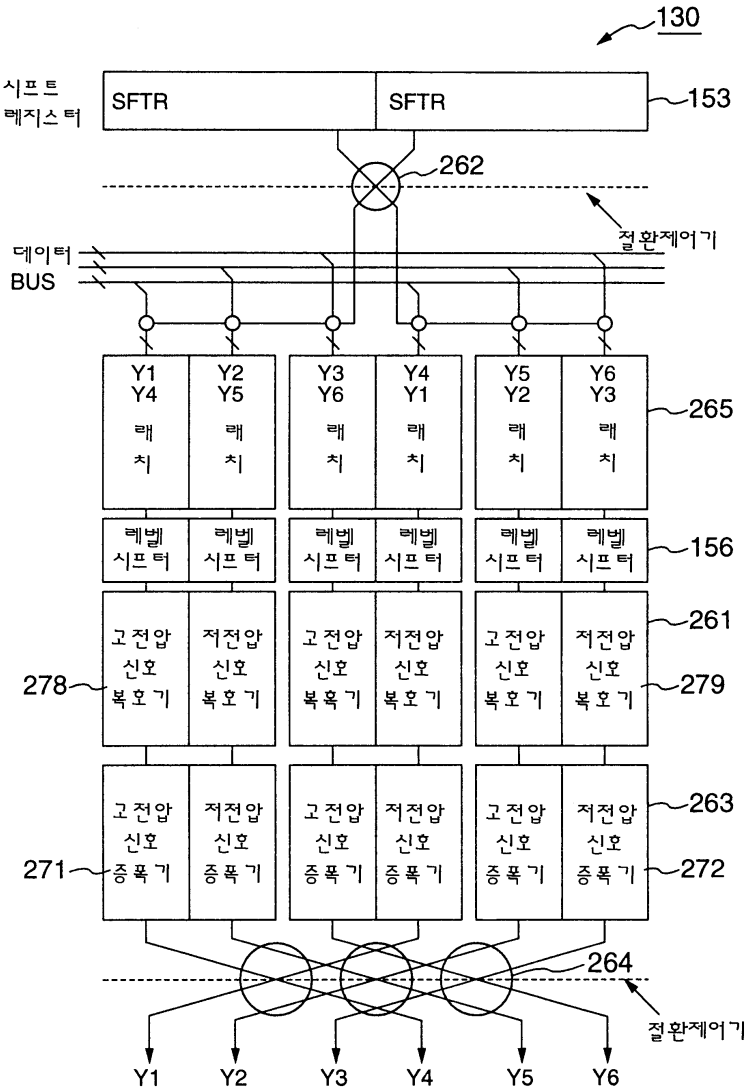
도면6


VDL
VCOM
VDH
1H
홀수 번째의 드레인신호 선의 구동 전압
짝수 번째의 드레인신호 선의 구동 전압
홀수 프레임
짝수 프레임

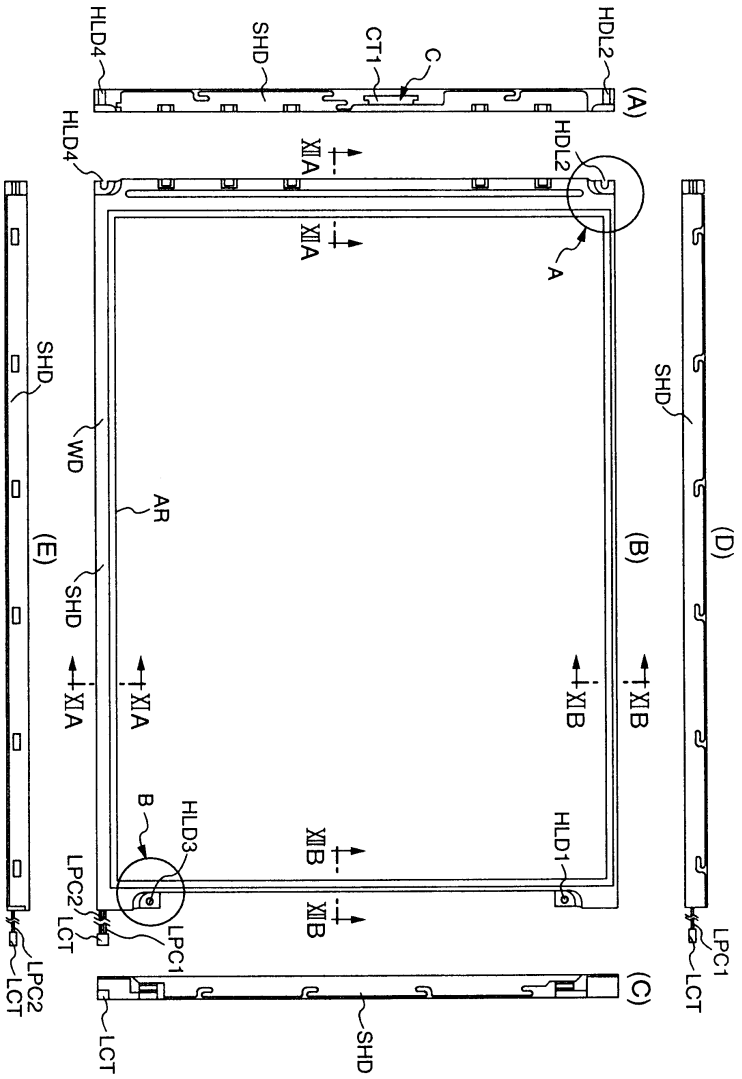
도면7


회로(123)로부터
기준전압V*5-V*9
회로(121)로부터
기준전압V0-V4
캐리어입력
고류화신호
신호선(131, 132)
로부터 클록 D3, D4
GND
캐리어출력
데이터버스 클록 D1
(134)로부터
R G B
5 5 5
신호선(133)으로부터
신호선(135)으로부터
고류화신호 D2
5
5
151b
151a
제어회로
152
시프트레지스터
153
R
G
입력레지스터 B
154
R
G
스토리지레지스터 B
155
레벨시프터
156
158a
158b
출력회로
157
R G B
드레인신호선(D)로

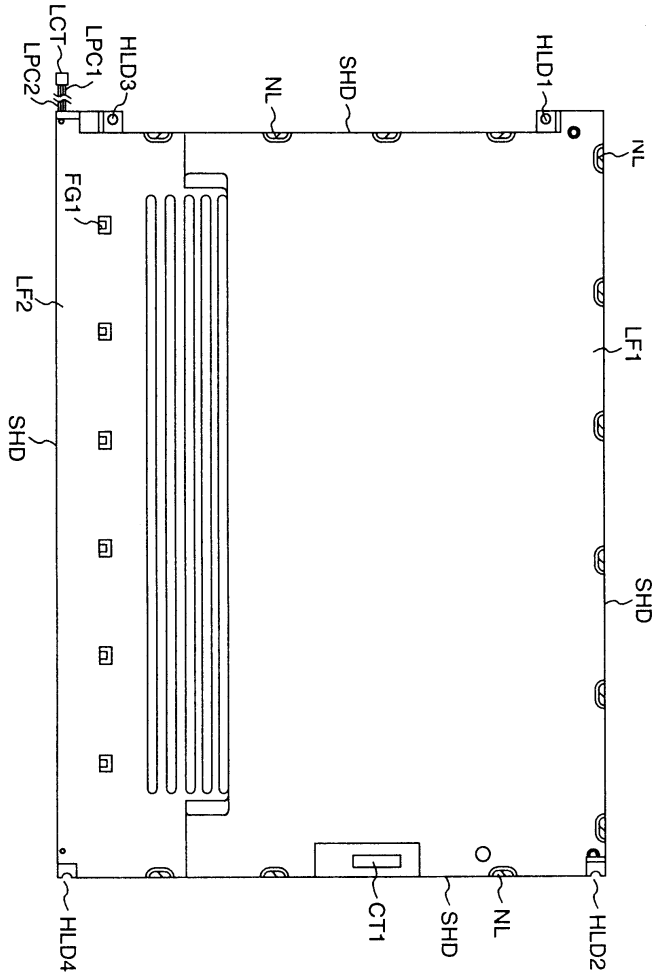
도면8


130
시프트
레지스터
SFTR
SFTR
153
262
절환제어기
데이터
BUS
Y1
Y4
Y2
Y5
Y3
Y6
Y4
Y1
Y5
Y2
Y6
Y3
래치
265
레벨
시프터
156
고전압
신호
복호기
저전압
신호
복호기
261
278
279
고전압
신호
증폭기
저전압
신호
증폭기
263
271
272
264
절환제어기
Y1
Y2
Y3
Y4
Y5
Y6

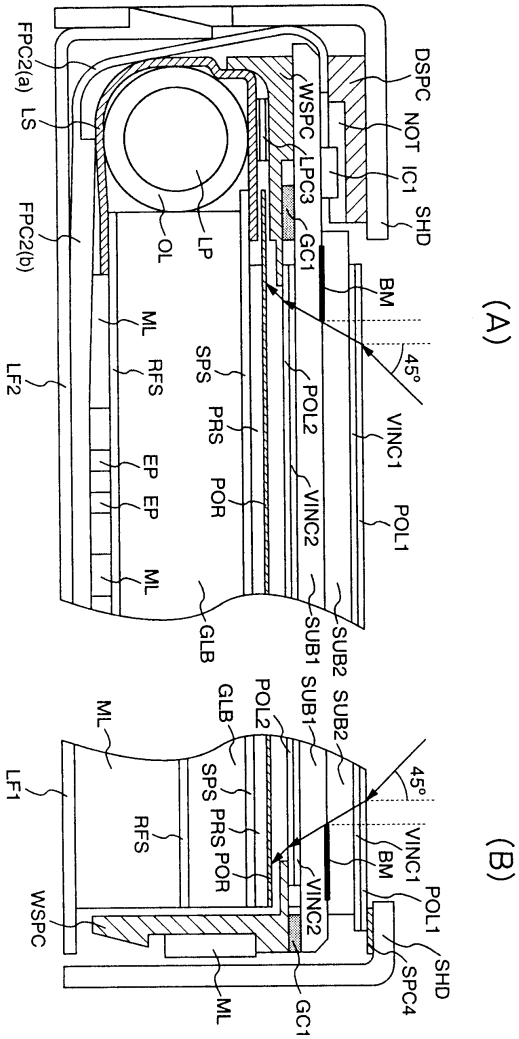
도면9


(A)
HLD4
SHD
CT1
C
HDL2
XIIA
XIIA
HLD4
HDL2
A
SHD
WD
AR
SHD
(E)
(B)
(D)
XIA
XIA
XIB
XIB
B
HLD3
XIIB
XIIB
HLD1
LPC2
LCT
LPC1
LPC2
LCT
LPC1
LCT
(C)
LCT
SHD

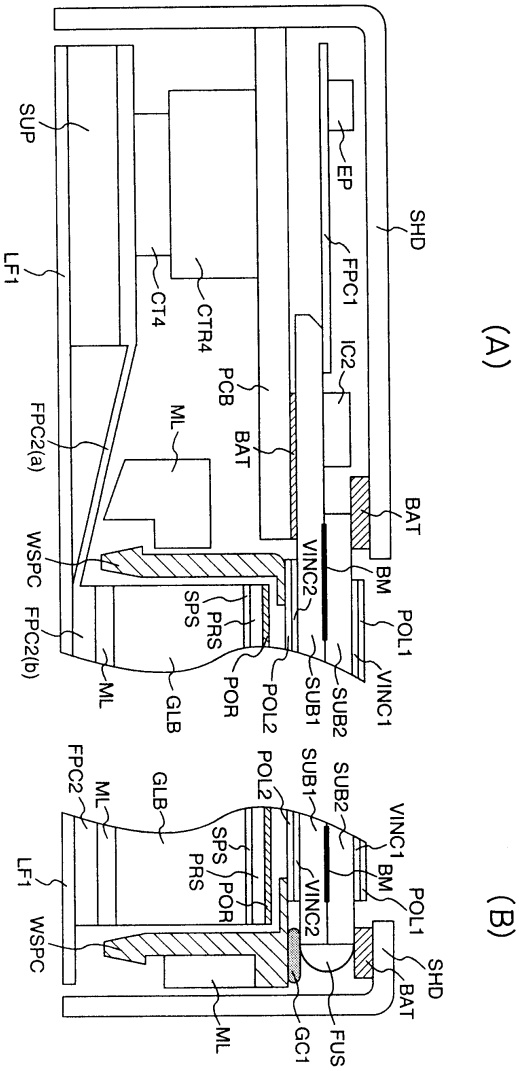
도면10


HLD1
NL
SHD
NL
HLD3
LPC1
LCT
LPC2
FG1
LF2
SHD
LF1
SHD
CT1
SHD
NL
HLD2
HLD4

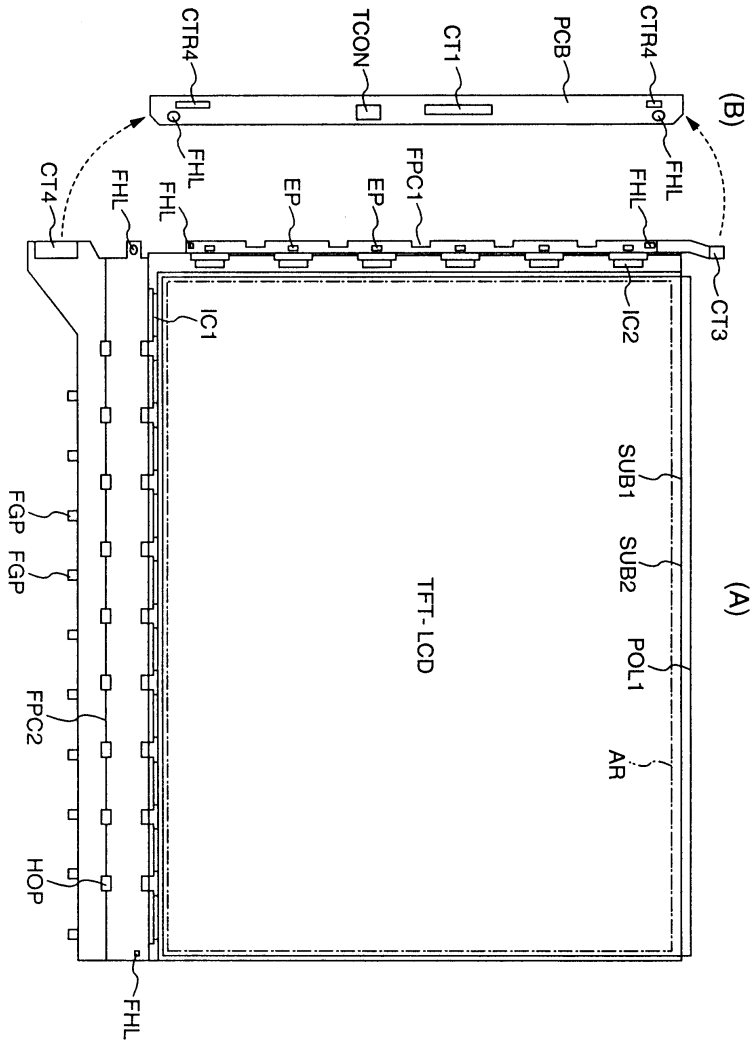
도면11


(A)
FPC2(a)
LS
FPC2(b)
LF2
DSPC
NOT
IC1
SHD
WSPC
LPC3
GC1
OL
LP
ML
RFS
SPS
PRS
EP
EP
POR
ML
GLB
BM
45°
POL2
VINC1
VINC2
POL1
SUB1
SUB2
(B)
ML
LF1
GLB
POL2
SUB1
SUB2
SPS
PRS
RFS
POR
45°
VINC1
BM
VINC2
POL1
SHD
SPC4
WSPC
ML
GC1

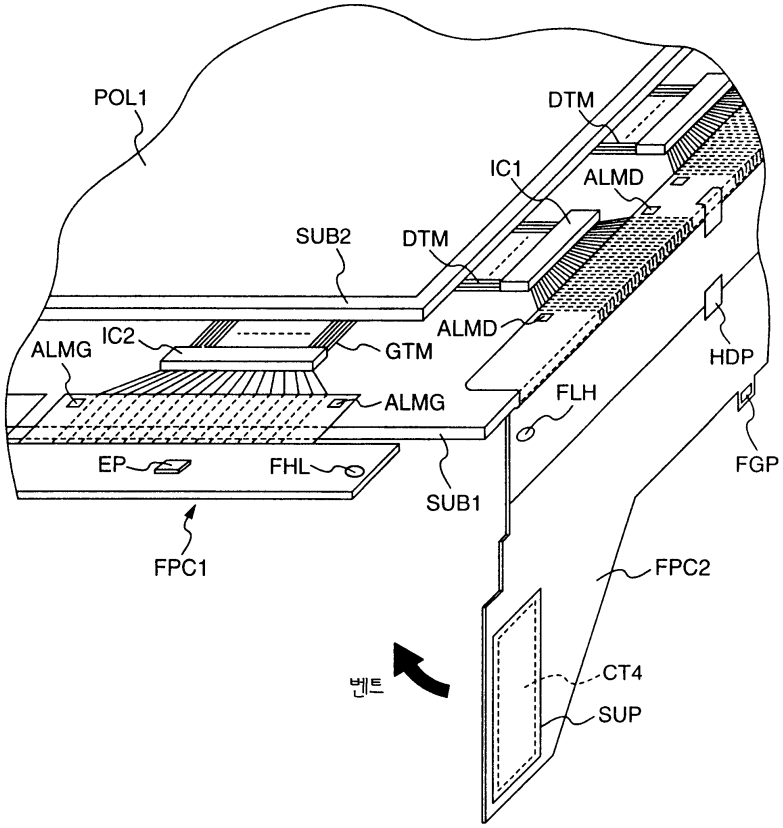
도면12


(A)
SUP
LF1
EP
FPC1
SHD
CT4
CTR4
IC2
PCB
BAT
ML
FPC2(a)
BAT
WSPC
VINC2
BM
POL1
SPS
PRS
FPC2(b)
ML
POR
POL2
SUB1
SUB2
VINC1
GLB
(B)
FPC2
ML
GLB
POL2
SUB1
SUB2
VINC1
SPS
PRS
POR
VINC2
BM
POL1
LF1
WSPC
SHD
BAT
ML
GC1
FUS

도면13

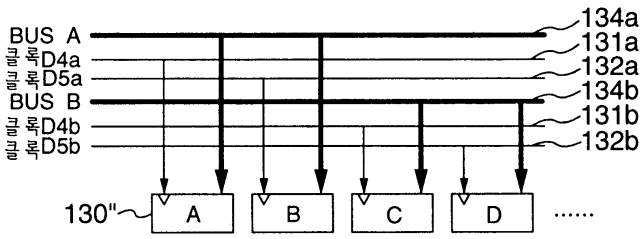

CTR4
TCON
CT1
PCB
CTR4
(B)
FHL
FHL
FPC1
FHL
CT4
FHL
FHL
EP
EP
CT3
IC2
IC1
SUB1
SUB2
POL1
AR
(A)
TFT-LCD
FGP
FGP
FPC2
HOP
FHL

도면14

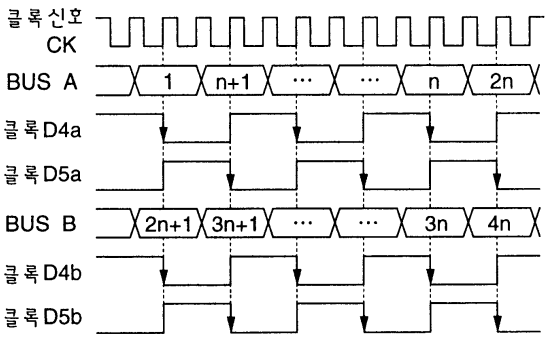

POL1
DTM
IC1
ALMD
SUB2
DTM
ALMD
IC2
ALMG
GTM
HDP
ALMG
FLH
EP
FHL
SUB1
FGP
FPC1
FPC2
벤트
CT4
SUP

도면15

(A)

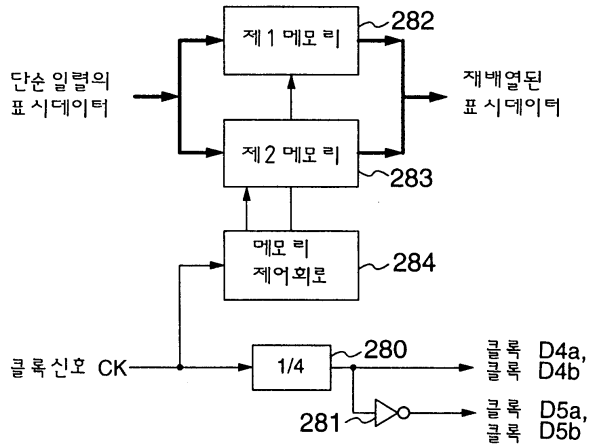

BUS A
클록D4a
클록D5a
BUS B
클록D4b
클록D5b
134a
131a
132a
134b
131b
132b
130"
A
B
C
D
.....

(B)

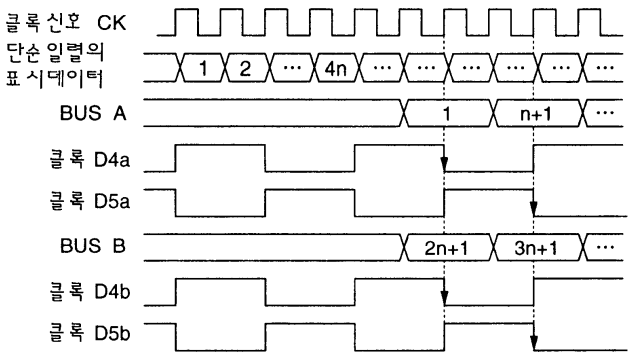

클록신호
CK
BUS A
1
n+1
···
···
n
2n
클록D4a
클록D5a
BUS B
2n+1
3n+1
···
···
3n
4n
클록D4b
클록D5b

도면16

(A)


제1 메모리
282
단순 일렬의
표시데이터
재배열된
표시데이터
제2 메모리
283
메모리
제어회로
284
클록신호 CK
1/4
280
클록 D4a,
클록 D4b
281
클록 D5a,
클록 D5b

(B)


클록신호 CK
단순 일렬의
표시데이터
1
2
4n
BUS A
1
n+1
클록 D4a
클록 D5a
BUS B
2n+1
3n+1
클록 D4b
클록 D5b