

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/8242 H01L 27/108

H01L 21/763 H01L 21/308

[12] 发明专利说明书

[21] ZL 专利号 96195393.4

[45] 授权公告日 2002 年 11 月 6 日

[11] 授权公告号 CN 1093983C

[22] 申请日 1996. 6. 24 [21] 申请号 96195393.4

[30] 优先权

[32] 1995. 7. 10 [33] DE [31] 19525072.9

[86] 国际申请 PCT/DE96/01109 1996. 6. 24

[87] 国际公布 WO97/03463 德 1997. 1. 30

[85] 进入国家阶段日期 1998. 1. 9

[73] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 F·劳 W·克劳斯内德尔 M·恩格哈特

[56] 参考文献

DE3809218A1 1988. 9. 29 H01L27/04, 21/76

US4835584 1989. 5. 30 H01L21/78

US4835584 1989. 5. 30 H01L21/78

US5122848 1992. 1. 16 H01L29/44, 29/78

审查员 刘天飞

[74] 专利代理机构 中国专利代理(香港)有限公司

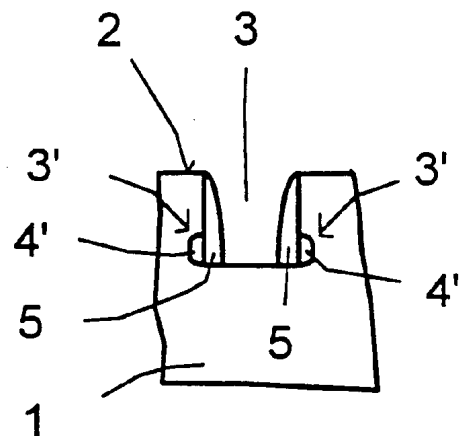
代理人 马铁良 萧掬昌

权利要求书 2 页 说明书 9 页 附图 5 页

[54] 发明名称 带有至少两个彼此绝缘的元件的集成电路装置及生产方法

[57] 摘要

一个带有至少两个元件的集成电路装置在基片上包括一种在元件之间的绝缘结构(4', 5), 该结构至少覆盖沟槽(3)的一个侧壁, 并且其在沟槽底部比在沟槽颈部要厚。其中元件被设置在基片上部表面以及沟槽底部的不同平面里。绝缘结构形成元件之间的垂直绝缘。



ISSN 1008-4274

1. 集成电路装置，

- 其中，一个第一元件和一个第二元件在半导体基片(1)中被集成，

5 - 其中，一个沟槽(3)在半导体基片(1)中被设置，它从半导体基片(1)的主面(2)延伸至半导体基片(1)里，它备有一种绝缘结构(4', 5)，使得第一元件和第二元件绝缘，

- 其中，至少沟槽(3)的一个侧壁有一个突起(3')，故而沟槽(3)的宽度在沟槽底部区域比在主面(2)上的区域大，

10 - 其特征在於，在与侧壁邻界的并且在主面(2)的垂直方向上，绝缘结构(4', 5)从主面(2)延伸至沟槽底部，在此，绝缘结构(4', 5)的厚度在突起(3')区域比在主面(2)上的要大，

- 其中，第一元件在主面(2)以及第二元件在沟槽底部被设置。

2. 根据权利要求1的集成电路装置，

15 - 其中，设有多个相同的条形沟槽(14)，它们基本上平行分布，它们的侧壁在沟槽底部区域有突起(14')，并且它们的侧壁各自设有一个绝缘结构(15, 17)，

- 其中，在相邻沟槽(14)之间的主面(12)上和沟槽底部，各设置一个存储单元装置的多个串接的MOS-晶体管。

20 3. 带有至少两个相互绝缘元件的集成电路装置的制造方法，

- 其中，一个沟槽(3)在半导体基片(1)的主面(2)上被产生，它在沟槽底部区域至少一个侧壁上有一个突起(3')，在此沟槽宽度比在主面(2)上的要大，

25 - 其中，一个绝缘结构(4', 5)在带有突起(3')的侧壁上被产生，它从主面(2)延伸至沟槽底部，并且在突起(3')区域比在主面上要厚，

- 其特征在於，一个第一元件和一个第二元件在半导体基片(1)里如此被产生，即它们通过绝缘结构(4', 5)彼此绝缘，

30 - 其中，第一元件在半导体基片的主面(2)上以及第二元件在沟槽底部被产生。

4. 根据权利要求3的方法，

- 其中，为产生沟槽(3)，一个腐蚀工艺以两个腐蚀步骤进行，

各向异性腐蚀在第一腐蚀步骤进行并且各向同性腐蚀在第二腐蚀步骤进行。

5. 根据权利要求 4 的方法，

5 - 其中，一个各向异性的等离子体腐蚀方法在第一腐蚀步骤中进行，一个各向同性的等离子体腐蚀方法或一个各向同性的湿法腐蚀在第二步骤进行，

6. 根据权利要求 3 至 5 之一的方法，

- 其中，沟槽 (3) 做为长沟槽被产生，

10 - 其中，为形成绝缘结构 (4', 5)，沟槽 (3) 被一个第一绝缘层 (4) 填充，

- 其中，通过选择相应半导体基片 (1) 的各向异性腐蚀，第一绝缘层 (4) 被腐蚀，在此腐蚀残余 (4') 遗留下来，它主要填满突起 (3')，

15 - 其中，通过淀积和各向异性的腐蚀基本上保形边缘覆盖的第二绝缘层，一个隔离墙 (5) 至少在沟槽 (3) 的侧壁被产生，它和腐蚀残余 (4') 共同形成绝缘结构。

7. 根据权利要求 6 的方法，

- 其中，产生许多长沟槽 (14)，它们基本平行分布，在沟槽底部区域其侧壁有突起 (14')，并且它们的侧壁每个都设有绝缘结构

20 (15, 17)，

- 其中，存储单元装置的多个串接的 MOS - 晶体管在相邻长沟槽 (14) 之间的主面 (12) 上和 在沟槽底部形成。

带有至少两个彼此绝缘的元件的集成 电路装置及生产方法

5 发明领域

概括地说，本发明涉及半导体技术，具体地说，本发明涉及带有至少两个彼此绝缘的元件的集成电路装置及其生产方法。

发明的背景技术

10 在半导体技术中，特别是 MOS - 技术使用沟槽绝缘，它在基片内以一个很窄的绝缘区域使元件彼此电学分离。作为沟槽绝缘通常使用长沟槽，它由 SiO_2 完全填充。沟槽的深度通常大致相应于当前技术的最小结构尺度。

15 体泄漏电流可由沟槽绝缘抑制。如果绝缘层和导电层设置在沟槽上表面，那么在上表面可能基于寄生的 MOS-元件产生泄漏电流。同样这种泄漏电流也必须通过沟槽绝缘抑制。

为了改善沟槽绝缘的绝缘性能，在沟槽绝缘区域内插入一些掺杂区域，它阻止导电通道的形成。在一般情况下这种掺杂区域通过离子注入产生。然而这种离子注入影响彼此绝缘的元件的参数。

20 此外已有人建议，增大在沟槽底部范围内的沟槽横断面。被绝缘的元件在基片的上表面设置(见 DE3809218A1)。

发明的技术方案

25 因此这项发明以下面的任务为基础，提出一种集成电路装置，其中至少两个元件以空间节约的方式彼此绝缘，并且避免元件性能的损害，该损害是由于绝缘所须的离子注入而产生的。除此以外应给出一种用于生产这种集成电路装置的方法。

这些任务将依照发明通过根据本发明的集成电路装置以及及其生产的方法得以解决。本发明的改进结构由其实施例得出。

30 根据本发明一个方面，一种集成电路装置，

- 其中，一个第一元件和一个第二元件在半导体基片中被集成，
- 其中，一个沟槽在半导体基片中被设置，它从半导体基片的主

面延伸至半导体基片里，它备有一种绝缘结构，使得第一元件和第二元件绝缘，

- 其中，至少沟槽的一个侧壁有一个突起，故而沟槽的宽度在沟槽底部区域比在主面上的区域大，

5 - 其特征在于，在与侧壁邻界的并且在主面的垂直方向上，绝缘结构从主面延伸至沟槽底部，在此，绝缘结构的厚度在突起区域比在主面上的要大，

- 其中，第一元件在主面以及第二元件在沟槽底部被设置。

10 根据本发明的另一个方面，一种带有至少两个相互绝缘元件的集成电路装置的制造方法，

- 其中，一个沟槽在半导体基片的主面上被产生，它在沟槽底部区域至少一个侧壁上有一个突起，在此沟槽宽度比在主面上的要大，

- 其中，一个绝缘结构在带有突起的侧壁上被产生，它从主面延伸至沟槽底部，并且在突起区域比在主面上要厚，

15 - 其特征在于，一个第一元件和一个第二元件在半导体基片里如此被产生，即它们通过绝缘结构彼此绝缘，

- 其中，第一元件在半导体基片的主面上以及第二元件在沟槽底部被产生。

20 依照本发明的集成电路装置在一个半导体基片中集成。半导体基片主要由单晶硅或者 SOI-基片的单晶硅层组成。

在半导体基片中设置一个沟槽，它从一个半导体基片的主面延伸进半导体基片。至少一个沟槽的侧壁设有绝缘结构，它使得第一元件和第二元件绝缘。带有绝缘结构的沟槽侧面有一个突起，故而在沟槽底部区域里的沟槽宽度比在主面区域的大。

25 第一元件被设置在主面上，第二元件被设置在沟槽底部。绝缘结构覆盖在两个元件之间设置的侧壁上。在突起范围里绝缘结构厚度的增加使得沿着侧壁有可能形成的寄生 MOS-元件有很高的临界电压，致使在工作电压下没有漏电流在侧壁表面产生。

30 绝缘结构从主面延伸至沟槽底部。在此，绝缘结构的厚度，即绝缘结构垂直于侧壁的延伸，在突起区域里比在主面上要大。按照发明的绝缘结构的横向延伸在基片里比在基片主面上的要大。由此，该绝缘结构的绝缘功能，将优于在主面的整个深度上有固定的横向延伸的

绝缘结构。

由于绝缘结构在沟槽侧壁被设置，第一元件和第二元件可以如此设置，使其在主面上的投影内直接相邻。由于第一元件设置在主面而第二元件设置在沟槽底部，并且绝缘结构在两者之间的沟槽侧壁设置，故而它们彼此之间被绝缘。绝缘结构的阻塞特性在此是可调节的，特别通过其在突起区域里的厚度。

这项发明有利于用来建立一种存储单元装置。为此集成电路装置包括多个性质相同的条形沟槽，这些沟槽基本平行分布。沟槽侧壁各自在沟槽底部的区域有突起，并且各自设有一个绝缘结构。存储单元装置的多个串连接接的 MOS-晶体管各自在两个相邻沟槽之间的主面上以及沟槽底部上被设置。通过使用自对准的制造方法，能够以每个存储单元需要面积 $2F^2$ 制造这种存储单元，在此 F 为当前技术的最小结构尺度。

为制造依照发明的电路结构，在基片的主面上产生一个沟槽，它在沟槽底部范围内的宽度大于在主面上的宽度。在沟槽侧壁的突起可以以不同的方式制成。一种方法是，沟槽通过等离子腐蚀产生，在此腐蚀是在这样一种参量范围进行，即产生所谓的“弯曲效应”（也称为“Bowling”）。人们把这种情况理解为在沟槽侧壁下部区域的突起，它是在硅的等离子腐蚀时压力提高到超过实现各向异性腐蚀的压力 的情况下出现的。弯曲效应（即 Bowling）已众所周知，例如在 M. Engelhardt, S. Schwarzl, J. Electrochem. Soc., 卷. 134, 1985 页 (1987) 以及 VLSI Electronics Microstructure Science, 卷 8, Plasma Processing for VLSI N. G. Einspruch 和 D. M. Brown, Chapter 5, Academic Press Inc., Orlando, 1984, 124 等数页。同样，这种效应（即所谓的“Bowling”）也可通过射频功率减小到低于其在进行各向异性腐蚀的射频功率时观察到。代替上述硅腐蚀产生弯曲的其它可能的方法是用射频功率小于 500W 的 HBr, O₂, NF₃, 或者用射频功率小于 50W 的 CBrF₃。

另一种方法，该种沟槽侧壁可以通过各向异性和各向同性腐蚀过程的联合得以实现。尤其在第一腐蚀阶段中，进行一个各向异性的等离子腐蚀过程；和在第二腐蚀阶段中，进行一个各向同性的等离子腐蚀过程，或者进行一个各向同性的湿法腐蚀。各向异性的等离子腐蚀

方法可以如此进行,即它将腐蚀产物沉积在形成的沟槽的侧壁,它被称为侧壁钝化层。在硅中的沟槽腐蚀中,这种侧壁钝化层由类氧化物组成。侧壁钝化层的厚度向沟槽底部逐渐减小。由此在各向同性的第二腐蚀阶段,沟槽侧壁的上部区域被保护以免受腐蚀,而突起仅仅在沟槽底部区域形成。

为形成绝缘结构,沟槽首先用第一绝缘层填充。通过对基片材料选择的各向异性腐蚀,第一绝缘层又被腐蚀。在此绝缘材料的腐蚀残余物存留在沟槽突起里。它基本上填满突起。通过淀积和带有基本上共形的边缘覆盖的第二绝缘层各向异性的腐蚀,在沟槽侧壁产生绝缘隔离墙。这些隔离墙与在突起中保留的腐蚀残余物一起各自形成绝缘结构。按照这种方法,绝缘结构以与沟槽自对准的方式形成,即没有使用需调节与沟槽对准的掩模。沟槽可以以最小宽度 F 形成(F 是相应技术下的最小宽度)。绝缘结构的横向尺度,通过突起垂直于沟槽侧壁的深度以及通过形成隔离墙的第二绝缘层的厚度确定。突起优先以半径 $<F/4$ 形成。隔离墙的宽度最好同样以 $<F/4$ 形成。由此在主面上的一个元件和在沟槽底部的一个元件之间的绝缘电压可以提高了接近2倍于仅使用隔离墙做为绝缘结构时的值。

附图简介

下面借助于附图和实施例进一步阐述这项发明。

图1示出一个带有沟槽的基片,沟槽的侧面在沟槽底部的区域有突起。

图2示出沟槽填满第一绝缘层后的基片。

图3示出在第一绝缘层被腐蚀后的基片,腐蚀残余物遗留在突起里。

图4示出在隔离墙形成后的基片。

图5至图10示出这种存储单元装置制造的步骤。

图5示出一个在第一个沟道离子注入后的基片。

图6示出在沟槽腐蚀,第二个沟道离子注入以及绝缘结构形成后的基片。

图7示出字导线形成后的基片。

图8示出在图形7中带有VIII-VIII标记的通过硅基片的断面。

图 9 示出在图形 7 中带有 IX-IX 标记的通过硅基片的断面。

图 10 示出一个在图形 7 所示的硅基片的俯视图。

在图形中的表示法不是按比例。

5 最佳实施例的描述

例如由单晶硅组成的一个基片 1 有一个主面 2。一种沟槽掩膜例如 TEOS (没有图示) 被覆盖在主面 2 上。在使用沟槽掩膜做为腐蚀掩膜的情况下, 在基片 1 上腐蚀出一个沟槽 3 (见图 1)。沟槽 3 在垂直于主面 2 方向的尺度为例如 F 。沟槽 3 在沟槽底部区域有突起 3'。因此
10 沟槽 3 的宽度在沟槽底部区域比在主面 2 上的要大。沟槽 3 在主面 2 上有一个例如 F 的宽度。而在突起 3' 的区域最大宽度为 $F + 2F/4$ 。 F 为在当时技术条件下最小可生产的结构大小。例如 F 为 $0.4\mu\text{m}$ 。

带有突起 3' 的沟槽 3, 例如通过在压力 >15 毫毛的范围用 CBrF_3 的等离子体腐蚀或者在压力 >100 毫毛的范围用 HBr 、 O_2 、 NF_3 的等离子体腐蚀产生。在这种压力下突起 3' 通过弯曲效应形成。
15

另一种方法是, 沟槽 3 通过在压力范围 >100 毫毛时用 HBr 、 O_2 、 NF_3 的或者在压力范围 >15 毫毛时用 CBrF_3 的各向异性等离子体腐蚀方法, 和在压力范围 >500 毫毛时用 NF_3 的各向同性等离子体腐蚀方法的结合产生。通过各向同性的等离子体腐蚀方法, 形成突起 3'。在各向异性的等离子体腐蚀中, 在沟槽 3 侧壁淀积的侧壁钝化层, 在各向同性等离子体腐蚀方法中, 保护沟槽 3 的上部区域。
20

形成带有突起 3' 的沟槽 3 的另一种可能性由一个用例如在压力范围 >100 毫毛时用 HBr 、 O_2 、 NF_3 或者在压力范围 >15 毫毛用 CBrF_3 的各向异性的等离子体腐蚀方法和一个各向同性湿法化学腐蚀, 例如用胆碱的水溶液或者 KOH 相结合而形成。同样在这种情况下, 沟槽侧壁的上部区域通过侧壁钝化层防止各向同性腐蚀的侵袭。各向同性的腐蚀导致形成突起 3'。
25

紧接着一个例如由 SiO_2 组成的第一绝缘层被淀积在主面 2 上。第一绝缘层 4 完全填充沟槽 3。第一绝缘层 4, 例如用一种 CVD 方法, 被淀积最小为 F 的厚度, 即为 $0.4\mu\text{m}$ (见图 2)。
30

接着进行平面化, 借此, 基片 1 的主面 2 露出。平面化例如是通过
对第一绝缘层的等离子体辅助腐蚀或化学机械抛光 (CMP) 进行的。

在选择硅的各向异性的腐蚀方法中，遗留下来的第一绝缘层 4 被腐蚀。在此在沟槽底部的硅表面被露出。SiO₂的腐蚀残余物 4' 遗留在突起 3' 里。在压力范围 50 至 500 毫毛内，腐蚀例如用 CHF₃、CF₄、Ar 进行(见图 3)。

5 第二绝缘层例如由 SiO₂ 组成以基本上保形的边缘覆盖被沉积。第二绝缘层例如用 TEOS-CVD 方法以例如 40nm 的厚度被淀积。通过例如在压力范围从 50 至 500 毫毛，用 CHF₃，CF₄，Ar 的各向异性的腐蚀，隔离墙 5 在沟槽 3 的侧壁由第二绝缘层形成。隔离墙 5 有大约 40nm 的厚度。在沟槽 3 相互对立的侧壁上的隔离墙 5 之间沟槽底部被裸露
10 (见图 4)。

第一元件在主面 2 上产生，第二元件在沟槽底部产生。例如元件是 MOS - 晶体管。第一元件和第二元件，通过在沟槽 3 所立侧壁之间设置的绝缘结构被隔绝，这种绝缘结构是由相应的隔离墙 5 和腐蚀残余物 4' 组成。如果一个导电层在隔离墙 5 的表面被设置，则在两个元
15 件之间产生一个寄生的 MOS - 元件，由于在突起 3' 区域里绝缘结构的厚度，元件有一个超过 15V 的临界电压，这就是说远远高于 MOS - 晶体管通常的工作电压。

接下来，根据图 5 至图 10 阐述一个带有改进垂直绝缘的只读存储单元装置的制造。这个只读存储单元装置包括做为存储单元例如
20 MOS - 晶体管，这些晶体管按照各个存储单元各自所存储的信息具有不同的临界电压。

为在由例如单晶硅组成的基片 11 上制造只读存储单元装置，首先在基片 11 的主面 12 上产生一个绝缘结构，该结构限定用于只读存储单元装置的范围(没有图示)。基片 11 例如为 p-掺杂，带有掺杂物
25 浓度诸如 10¹⁶ cm⁻³。

然后，借助于光刻的方法，MOS - 晶体管的耗尽-沟道区域被限定。借助能量为 50keV 和剂量为 4 × 10¹² cm⁻² 的砷离子的第一沟道注入，形成耗尽 - 沟道 13(见图 5)。在使用 0.4 μm 的工艺时，耗尽 - 沟道 13 平行于主面 12 的尺度为，例如 0.6 μm × 0.6 μm。

30 借助 TEOS 方法，在 SiO₂ 层淀积至例如 200nm 的厚度后，通过借助光刻的方法使 SiO₂ 层图形化，形成一个沟槽掩膜(没有图示)。在使用沟槽掩膜做为腐蚀掩膜的情况下，长沟槽 14 通过例如用 Cl₂ 的各向

异性的腐蚀被腐蚀。长沟槽 14 有诸如 $0.6\mu\text{m}$ 的深度。耗尽 - 沟道 13 的宽度通过长沟槽 14 的腐蚀被对准。因此沟槽掩膜相对于耗尽 - 沟道 13 的对准是非临界的。

5 长沟槽 14 的宽度在 $0.4\mu\text{m}$ 的工艺中为 $0.4\mu\text{m}$ 。相邻长沟槽 14 之间的间距同样为 $0.4\mu\text{m}$ 。长沟槽 14 的长度取决于存储单元装置的大小并且长度例如为 $130\mu\text{m}$ 。

在长沟槽 14 底部区域，长沟槽 14 的侧壁有突起 14'。通过例如用胆碱水溶液的各向同性腐蚀，形成这些突起。垂直于长沟槽 14 的侧壁，这些突起 14' 有一个最大深度例如 100nm 。

10 带有突起 14' 的长沟槽 14 通过一个第一绝缘层的 CVD - 沉积被填满。接下来借助于选择性的各向异性等离子体腐蚀或者化学机械抛光 (CMP)，实现通过平面化，使主面 2 再次露出。通过用例如 CHF_3 ， CF_4 ， Ar 的选择硅的各向异性腐蚀，使第一绝缘层被腐蚀。与此同时长沟槽 14 的底部被露出。在突起 14' 的区域里遗留下 SiO_2 的腐蚀残余物 15，
15 它填满突起 14'。

借助于光刻的方法，接下来在长沟槽 14 底部限定将要制造 MOS - 晶体管的耗尽 - 沟道区域。借助一个用例如砷 As 的第二通道离子注入，并且能量诸如 50keV ，剂量例如为 $4 \times 10^{12}\text{cm}^{-2}$ ，耗尽 - 沟道 16 在长沟槽 14 的底部产生 (见图 6)。相邻长沟槽 14 之间的区域在此通过沟槽掩膜被掩蔽。由于耗尽 - 沟道 16 的限定，在此对准是非临界的。
20 第二沟道离子注入自动对准相关长沟槽 14 的侧壁。

接下来沟槽掩膜用湿化学法例如 $\text{NH}_4\text{F}/\text{HF}$ 去掉。通过用 TEOS - 方法淀积另一个 SiO_2 层以及接下来的各向异性腐蚀，在长沟槽 14 的侧壁由 SiO_2 形成隔离墙 17。各向异性的腐蚀用例如 CHF_3 ， CF_4 ， Ar 进行。
25 隔离墙 17 和腐蚀残余物 15 共同形成绝缘结构，它使相邻的 MOS - 晶体管彼此绝缘。

在一个牺牲的氧化层 (Sacrificial-Oxid) 的生长和腐蚀之后，一个栅氧化层 18 生长至厚度诸如 10nm 。栅氧化层 18 在长沟槽 14 的底部和在长沟槽 14 之间的主面 12 上被设置。(见图 7，图 8，它表示
30 通过图 7 带有 VIII - VIII 标志的断面，和图 9，它表示通过图 7 带有 IX - IX 标志的断面。在图 7 所示的断面在图 8 和图 9 中各自被表示为 VII - VII)。

一个多晶硅层被淀积在整个面上，厚度为例如 400nm。通过在光刻工艺阶段图形化多晶硅层，字导线 19 被形成，它沿着主面 12 例如垂直于长沟槽 14 分布。字导线 19 的宽度和间距各相当于一个最小结构尺度 F ，例如 $F = 0.4\mu\text{m}$ 。字导线 19 如此分布，即在长沟槽 14 的底部形成的耗尽 - 沟道 16 分别在字导线 19 的下面被设置。

接下来源极/漏极 - 离子注入，用例如砷 As 能量为诸如 25keV 和剂量为诸如 $5 \times 10^{15}\text{cm}^{-2}$ 进行。通过源极/漏极 - 离子注入，掺杂区域 20 在长沟槽 14 的底部和长沟槽 14 之间的主面上被产生。掺杂区域 20 各做为两个沿着一行设置的相邻的 MOS - 晶体管共同的源极/漏极。通过源极/漏极 - 离子注入字导线 19 同时被掺杂。

通过另一个 SiO_2 层的淀积和各向异性的腐蚀，字导线 19 的侧壁被隔离墙 21 所覆盖。源极/漏极 - 离子注入对字导线 19 以自对准的方式进行。由于掺杂区域 20 被掺杂为同耗尽 - 沟道 13, 16 相同的导电类型，在限定在方向上平行于长沟槽 14 分布的耗尽 - 沟道时，对准是非临界的。根据相邻字导线 19 的距离，相邻长沟槽 14 的距离以及长沟槽 14 的尺寸，平行于主面 12 的掺杂区域 20 的面积最大为 $F \times F$ ，即为例如 $0.4\mu\text{m} \times 0.4\mu\text{m}$ 。

每两个相邻掺杂区域 20 和其之间设置的字导线 19 形成一个 MOS - 晶体管。各是由两个掺杂区域 20 和在其中间设置的字导线形成的一行串接的 MOS - 晶体管，它们在长沟槽 14 的底部以及长沟槽 14 之间被设置。在长沟槽 14 的底部所设置的 MOS - 晶体管，和在相邻长沟槽 14 之间所设置的 MOS - 晶体管，通过由隔离墙 17 和腐蚀残余 15 共同形成的绝缘结构绝缘。这种绝缘结构有一个最大约 150nm 的厚度，所以在长沟槽 14 侧壁所形成的寄生 MOS - 晶体管的临界电压足够高，以至于使泄漏电流被抑制。

在只读存储单元装置的边缘，每一行设有两个接口。两个接口之间，在每一行所设的晶体管是串接的(没有图示)。通过这些接口，每一行的 MOS - 晶体管可以按“NAND”结构格式控制。

如果人们注意到，每一个掺杂区域 20 是用于两个毗邻的 MOS - 晶体管的源极/漏极 - 区域，那么每一个 MOS - 晶体管平行于长沟槽 14 走向的长度为两个 F 。MOS - 晶体管的宽度各个为 F 。制造条件规定的由一个 MOS - 晶体管所形成的一个存储单元的面积因此为 $2F^2$ 。沿着一

个字导线 19 的相邻存储单元，它们的轮廓 Z1, Z2 在图 10 的俯视图中用粗线标出，在主面 2 上的投影这些单元直接彼此临界。存储单元 Z1 在长沟槽 14 的底部被设置，而存储单元 Z2 在两个相邻长沟槽 14 之间的主面 12 上被设置。通过在两个在高度上垂直错开的平面内设置相邻的存储单元，排列密度被提高，而相邻存储单元之间的绝缘性能没有恶化。

只读存储单元装置的程序设计，通过第一沟道离子注入和第二沟道离子注入进行。耗尽 - 沟道 13, 16 仅仅为这些 MOS - 晶体管而形成，这些 MOS - 晶体管被赋予第一逻辑值。其它 MOS - 晶体管被赋予第二逻辑值。

只读存储单元装置通过淀积中间氧化物，接触孔腐蚀以及金属层的淀积和结构化来完成。这种大家熟悉的工序步骤在此没再叙述。

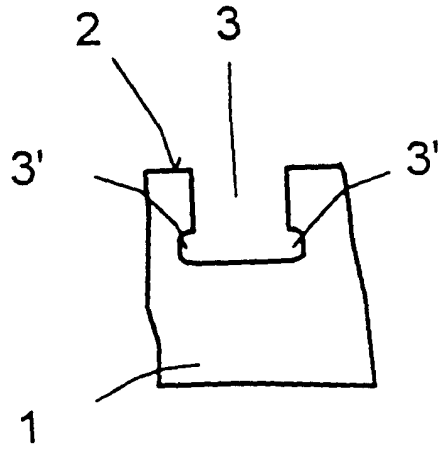


图 1

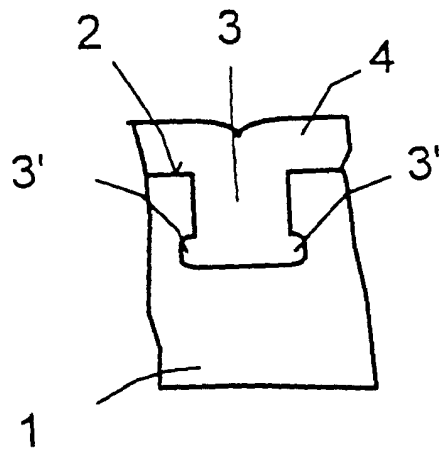


图 2

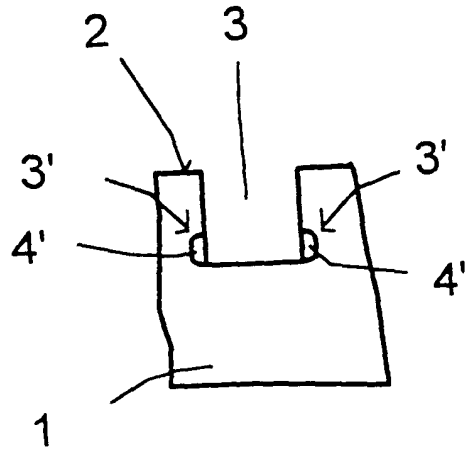


图 3

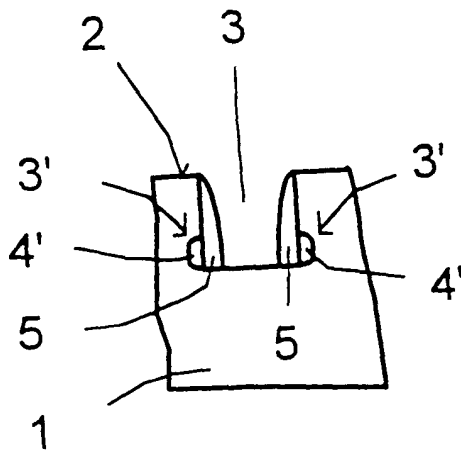


图 4

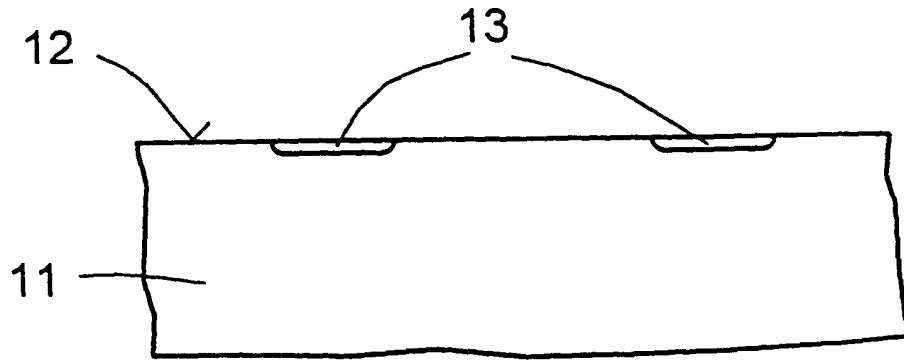


图 5

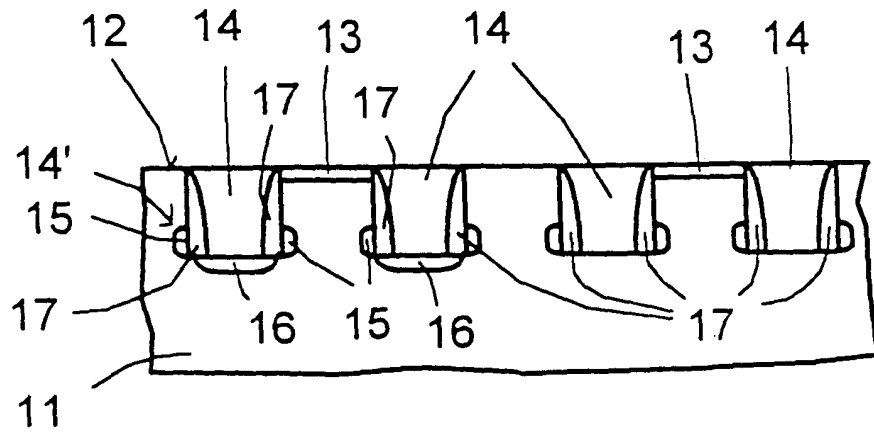


图 6

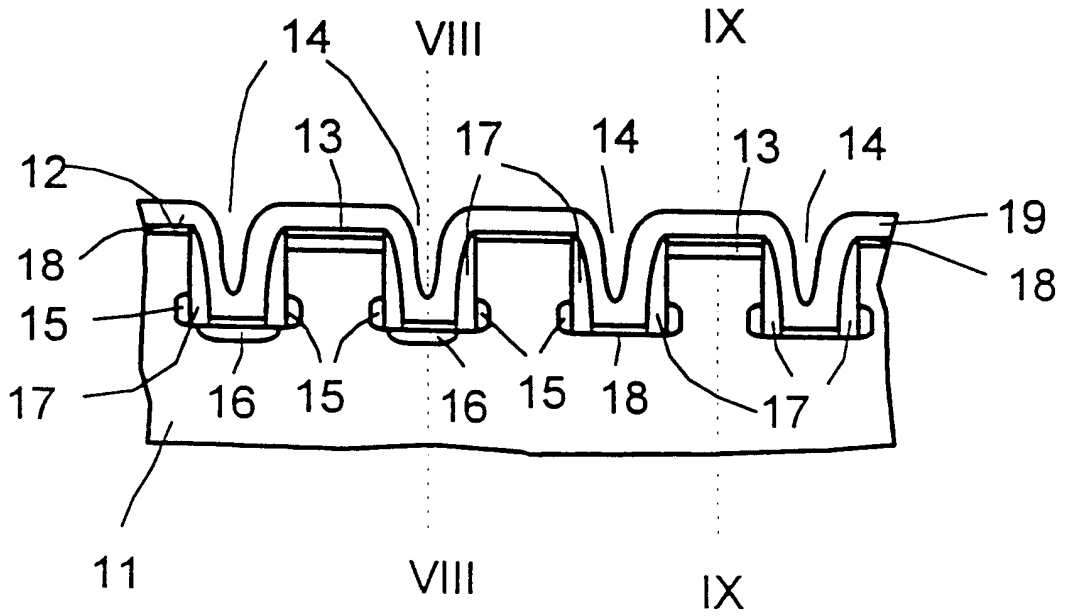


图 7

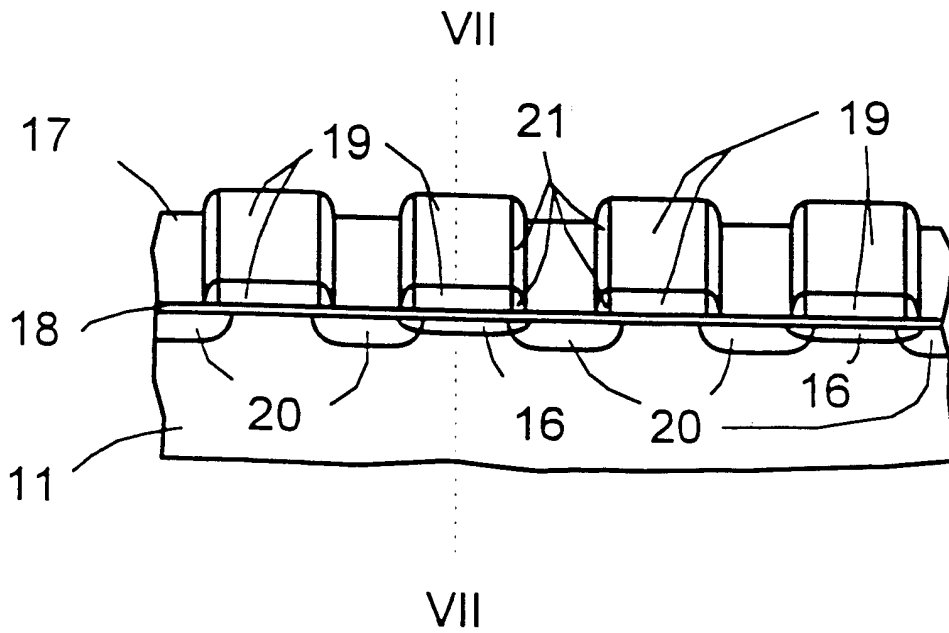


图 8

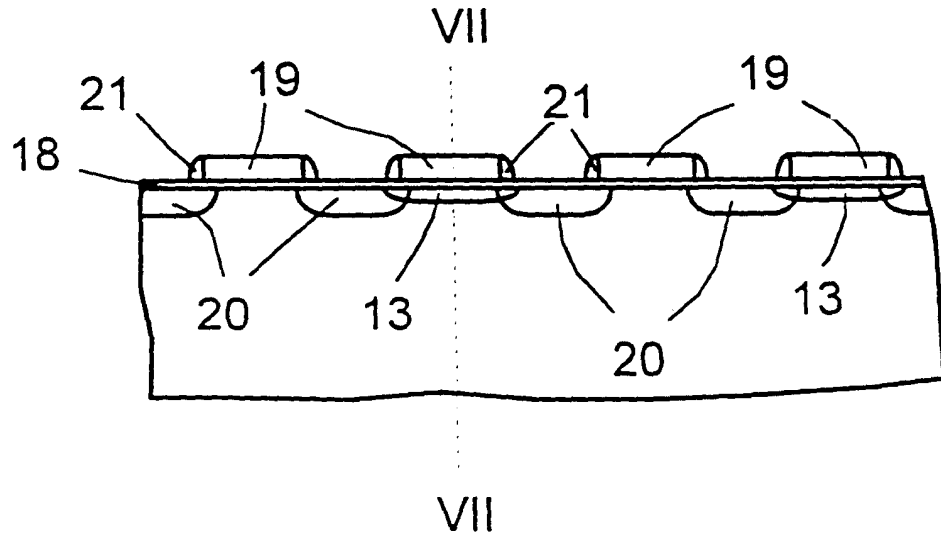


图 9

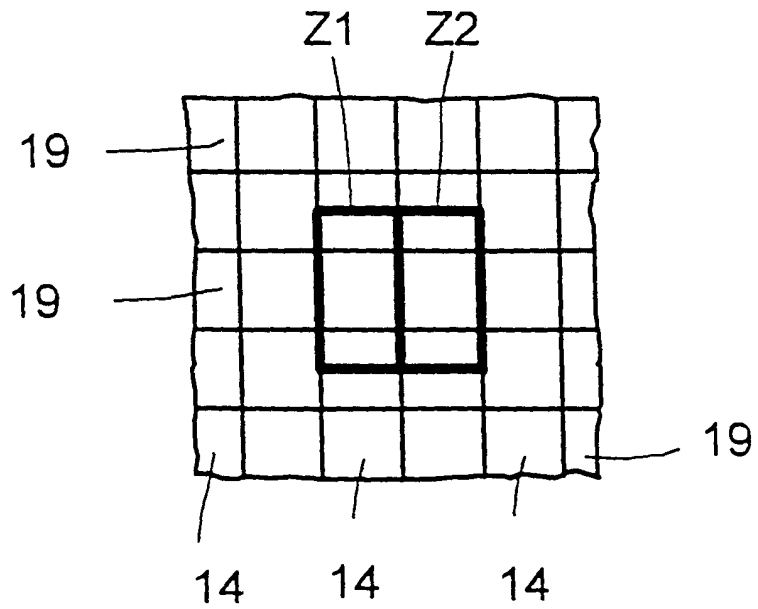


图 10