(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/82

(45) 공고일자 2005년03월24일
(11) 등록번호 10-0478785
(24) 등록일자 2005년03월16일

(21) 출원번호 10-1999-0033574
(22) 출원일자 1999년08월16일

(65) 공개번호 10-2000-0017317
(43) 공개일자 2000년03월25일

(30) 우선권주장 98-239898 1998년08월26일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 야마나카토시아키
일본사이타마켄이루마시카스가쵸2-12-2-301

키무라신이치로
일본도쿄토쿠니타치시야호6200

마츠오카히데유키
일본도쿄토호야시스미요시쵸6-8-25

사카타타케시
일본도쿄토코다이라시오가와니시마치4-7-11-401

세키구치토모노리
일본도쿄토코쿠분지시니시코이가쿠보4-14-6히타치다이욘쿄신료

(74) 대리인 특허법인 원전

심사관 : 반성원

(54) 반도체 집적회로장치

요약

본 발명은 동일 배선전극층의 형성 마스크에, 섬 모양의 배선전극 패턴과 선 모양의 배선전극 패턴이 혼재하는 일없이, 위상시프터의 레벤슨 배치에 모순이 발생하지 않는 위상패턴 배치를 가능하게 한 반도체 집적회로장치를 제공하는 것을 목적으로 한다. 본 발명에서는 선상의 최소 치수(a)의 간격으로 배치된 상이한 위상의 배선전극(2, 3, 4)에 대해서, 이 배선전극 패턴(2, 3) 사이에 끼워진 부분에 동일 배선전극층에 의한 섬 모양의 패턴을 배치하는 일없이 상층의 플러그 전극(5)과 하층의 플러그 전극(1)을, 배선전극을 통하지 않고 직접 접속한 구성의 플러그 전극(7)을 배치한다. 이것에 의해 레벤슨 배치가 가능하게 되며, 패턴 밀도를 향상할 수 있기 때문에, 고집적의 반도체 집적회로장치를 실현할 수 있다.

대표도

도 1

색인어

플러그 전극, 게이트 전극, 에칭 스토퍼막, 실리콘 기판, 게이트 산화막, 소자분리 산화막, 게이트 절연막

명세서

도면의 간단한 설명

도 1은 본 발명에 관한 반도체 집적회로장치의 제1 실시예를 나타내는 평면도,

도 2는 도 1에 나타낸 Y - Y'선에 따른 부분의 단면도,

도 3은 종래의 반도체 집적회로장치의 평면도,

도 4는 도 3에 나타낸 Y - Y'선에 따른 부분의 단면도,

도 5는 도 2에 나타낸 본 발명에 관한 반도체 집적회로장치의 제1 실시예의 구조를 실현하기 위한 제조방법을 공정순으로 나타내는 단면도,

도 6은 도 5에 나타낸 다음 제조공정에서의 단면도,

도 7은 도 6에 나타낸 다음 제조공정에서의 단면도,

도 8은 도 7에 나타낸 다음 제조공정에서의 단면도,

도 9는 도 8에 나타낸 다음 제조공정에서의 단면도,

도 10은 도 9에 나타낸 다음 제조공정에서의 단면도,

도 11은 도 10에 나타낸 다음 제조공정에서의 단면도,

도 12는 도 10에 나타낸 구조에서 제1층째의 전극배선층이 두꺼운 경우의 제조공정의 단면도,

도 13은 도 12에 나타낸 다음 공정에서의 단면도,

도 14는 본 발명에 관한 반도체 집적회로장치의 제1 실시예에서의 변형예를 나타내는 평면도,

도 15는 도 14에 나타낸 Y - Y'선에 따른 부분의 단면도,

도 16은 본 발명에 관한 반도체 집적회로장치의 제2 실시예를 나타내는 평면도,

도 17은 본 발명에 관한 반도체 집적회로장치의 제2 실시예에서의 변형예를 나타내는 평면도,

도 18은 도 16에 나타낸 Y - Y' 선에 따른 부분의 단면도,

도 19는 본 발명에 관한 반도체 집적회로장치의 제3 실시예를 나타내는 평면도,

도 20은 도 19에 나타낸 Y - Y'선에 따른 부분의 단면도,

도 21은 본 발명에 관한 반도체 집적회로장치의 제4 실시예를 나타내는 평면도,

도 22는 도 21에 나타낸 X - Y선에 따른 부분의 단면도,

도 23은 본 발명에 관한 반도체 집적회로장치의 제5 실시예를 나타내는 평면도,

도 24는 본 발명에 관한 반도체 집적회로장치의 제5 실시예에서의 변형예를 나타내는 평면도,

도 25는 본 발명에 관한 반도체 집적회로장치의 제5 실시예에서의 다른 변형예를 나타내는 평면도,

도 26은 본 발명에 관한 반도체 집적회로장치의 제6 실시예를 나타내는 단면도,

도 27은 도 26에 나타낸 제6 실시예의 평면도,

도 28은 도 27에 나타낸 반도체 집적회로장치의 등가 회로도,

도 29는 도 16에 나타낸 제2 실시예의 변형예를 나타내는 평면도,

도 30은 도 17에 나타낸 제2 실시예의 변형예를 나타내는 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 위상시프트 마스크를 이용하여 패턴 형성하는 반도체 집적회로장치에 관한 것으로서, 특히 고집적화에 적합한 전극배선의 배치를 가능하게 한 반도체 집적회로장치에 관한 것이다.

위상시프트 마스크를 이용한 집적회로패턴의 패턴 형성방법으로서는, 인접패턴의 노광 투과광(透過光)의 위상차가 180도가 되도록, 포토마스크의 개구부에 위상시프터를 배치함으로써, 해상도가 높은 미세한 패턴형성이 가능하게 된다(레벤슨 배치). 이 레벤슨 배치를 이용한 패턴 형성방법의 원리는, 1982년의 아이·이·이·이 트랜스 일렉트론 디바이시즈, ED-29, 1828 ~ 1836 페이지(IEEE Trans. Electron Devices, ED-29, pp. 1828 - 1836,1982)에 기재되어 있고, 이 방법에 의해, 노광 광원의 파장 이하의 미세한 치수의 패턴형성이 가능하게 되었다.

다음으로, 도 3 및 도 4를 이용하여 이 기술을 이용한 종래예에 대해서 더 자세히 설명한다.

도 3은 반도체 집적회로장치의 배선전극의 평면도를 나타내고 있다. 동 도면에서, 배선전극(202, 203, 204, 208)은 반도체 기판 위에 형성된 MOSFET를 포함하는 집적회로소자의 제1층째의 배선전극이다. 배선전극(204, 208)은 위상이 0(ϕ=0)인 위상패턴, 배선전극(202, 203)은 위상이 π(Φ=π)인 위상패턴에 의해 패턴 형성되어 있고, 각각의 배선간격은 위상시프트 마스크의 노광원리에 따라서 최소 간격으로 배치되어 있다.

또한, 도 4는 도 3의 Y1 - Y1'선에 따른 부분의 단면도이다. 동 도면에 나타낸 바와 같이, 실리콘 기판(200) 위에는 게이트 산화막(231)과, 게이트 전극(211)과, 소스·드레인의 고농도 불순물영역(210)과, 소자분리 산화막(209)을 포함하는 MOSFET가 형성되어 있다.

또한, 상기 MOSFET 위에는 제1의 층간절연막(212), 제1층째의 배선전극(202, 203, 204, 208), 제2의 층간절연막(213), 제2층째의 배선전극(206)이 순차적으로 적층되어 있다. 또, 고농도 불순물영역(210)과, 제1층째의 배선전극(202, 208)은 각각 층간절연막(212)을 관통하여 형성된 플러그 전극(201)을 통해 접속되어 있고, 제1층째의 배선전극(208)과 제2층째의 배선전극(206)은 층간절연막(213)을 관통하여 형성된 플러그 전극(205)을 통해 접속되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 전술한 종래예에 의하면, 도 3의 Y2 - Y2' 선에 따른 제1층째의 배선전극(202, 203, 204)에서는 배선전극(203, 204)의 패턴은 위상차가 180도가 되도록 배치되어 있기 때문에, 배선간 간격은 최소 치수(a)가 되지만, 배선전극(202, 203)의 패턴에서는 위상차가 0도가 되고, 위상시프트의 원리를 적용할 수 없어, 해상도가 높은 미세한 패턴을 형성할 수 없기 때문에, 배선간격(b)을 최소 치수(a)보다 크게 할 필요가 있다.

파장 246nm의 크립톤 플로라이드 광원(KrF 광원)을 이용하여 구체적으로 검토한 결과, 최소 치수(a)는 약 0.16㎛로 되어 있지만, 배선간격(b)은 0.25㎛로 크게 되어 버렸다. 이렇게 되는 것은, 도 3에 나타낸 배선전극(208)이 섬 모양으로 패턴 형성되어 있기 때문에, 도면의 X 방향으로 연장하는 배선전극(202, 203)은 Y1Y1' 선에 따라 인접하는 패턴의 위상차가 180도가 되도록 위상시프터를 마스크 패턴에 배치하면, 동 도면의 Y2 - Y2'에 따른 섬 모양의 전극배선(208)이 없는 부분에서는, 위상시프터의 레벤슨 배치에 모순이 생기기 때문이다. 동일한 모순은, 섬 모양의 배선전극(208)끼리의 사이에서도 발생하고 있기 때문에, 도 3에 나타낸 바와 같이 섬 모양의 배선전극(208)끼리의 배선간격(b)도 최소치수(a)보다도 크게 할 필요가 있다.

이상 설명한 바와 같이, 반도체 집적회로장치에 이용되는 패턴에서는, 반드시 위상시프트의 원리에 따른 0, π,0, π… 의 위상배치가 가능하지 않다.

그래서, 본 발명의 목적은, 위상시프트의 원리를 모순없이 적용할 수 있도록 한 반도체 집적회로장치를 제공하는 것이다. 더욱 자세하게는, 동일 배선전극층의 형성마스크에, 도 3 및 도 4에 나타낸 바와 같은 섬 모양의 패턴과 선 모양의 패턴이 혼재하는 일 없이, 위상시프터의 레벤슨 배치에 모순이 없는 위상패턴 배치를 가능하게 한 반도체 집적회로장치를 제공하는 것에 있다.

본 발명에 관한 반도체 집적회로장치는, 제1의 절연막과, 제1의 절연막을 관통하는 제1의 도전체와, 제1의 절연막 위에 위상시프트 마스크를 이용하여 동일한 공정으로 패턴 형성된 제1의 배선전극 및 제2의 배선전극과, 제1의 배선전극 및 제2의 배선전극 위의 제2의 절연막과, 제2의 절연막을 관통하는 제2의 도전체로 이루어지는 반도체 집적회로장치에 있어서, 제1의 도전체는 적어도 제1의 배선전극 또는 제2의 배선전극과, 제1의 절연막보다 하층에 위치하는 회로소자 또는 회로배선을 전기적으로 접속하고, 제2의 도전체는 제1의 배선전극 또는 제2의 배선전극과, 제2의 절연막보다 상층에 위치하는 회로소자 또는 회로배선을 전기적으로 접속하며, 인접하는 제1의 배선전극과 제2의 배선전극과의 사이에 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 도전체를 적어도 한쪽의 배선전극측에 대하여 제1의 배선전극과 제2의 배선전극과의 최소 간격보다도 짧은 간격으로 설치한 것을 특징으로 하는 것이다. 즉, 선 모양의 배선전극 패턴 사이에 끼워진 부분에 섬 모양의 배선전극 패턴을 배치하지 않고, 제1의 도전체와 제2의 도전체를 배치하는 구성, 즉 배선전극층의 상하의 플러그 전극을 섬 모양의 배선전극을 통하지 않

고 직접 접속한 것을 배치하는 구성으로 하였다. 이와 같이, 섬 모양의 패턴을 폐지하고, 선 모양 패턴으로 포토마스크를 제작함으로써, 위상시프트법을 모순없이 적용할 수 있는, 소위 레벤슨 배치가 가능하게 되며, 반도체 집적회로장치의 패턴밀도를 향상할 수 있어, 고집적의 반도체 집적회로장치를 실현할 수 있다.

이 경우, 상기 제1의 도전체를 형성하는 제1의 절연막을 관통하는 개구부는, 상기 제2의 도전체를 형성하는 절연막을 관통하는 개구부보다도 크게 하면 적당하다.

혹은, 상기 제1의 도전체 및 제2의 도전체를 형성하는 제1 및 제2의 절연막을 관통하는 개구부는, 그 상부가 넓게 되도록 테이퍼(taper) 형상으로 해도 된다.

또, 상기 반도체 집적회로장치에서, 제1의 배선전극 및 제2의 배선전극은, 다이나믹형 RAM의 한쌍의 데이터선에 전기적으로 접속되어 있으면 적당하다.

또한, 인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 역(逆)위상의 마스크 패턴으로 패턴 형성되고, 상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 도전체는, 제1의 절연막보다 하층에 위치하는 회로소자 또는 회로배선과, 제2의 절연막보다 상층에 위치하는 회로소자 또는 회로배선을 전기적으로 접속하도록 하면 적당하다.

이 경우, 또 인접하는 상기 제1의 배선전극과 제2의 배선전극은, 다이나믹형 RAM의 한쌍의 데이터선에 전기적으로 접속되어 있으면 적당하다.

또한, 인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 동(同)위상의 마스크 패턴으로 패턴 형성되고, 또, 상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 상기 도전체가 접속되는 일단은 상기 제1의 절연막 아래의 전계효과 트랜지스터의 드레인 확산층이며, 타단은 상기 제2의 절연막 위의 드레인 배선전극이고, 인접하는 상기 제1의 배선전극과 제2의 배선전극의 한쪽은 상기 전계효과 트랜지스터의 소스 배선전극이며, 다른 쪽은 상기 전계효과 트랜지스터에 인접하는 다른 전계효과 트랜지스터의 배선전극으로 한 구성으로 할 수도 있다. 이 구성은, 전계효과 트랜지스터의 소스·드레인으로의 전원공급을 행하는 배선전극 부분의 배선간격을 축소하는데 좋다.

발명의 구성 및 작용

이하, 본 발명에 관한 반도체 집적회로장치의 실시형태에 관하여, 그 실시예를 들어, 첨부 도면을 참조하면서 상세히 설명한다.

(실시예1)

우선, 도 1 및 도 2를 이용하여 본 발명의 기본적인 부분을 설명한다. 도 1은 본 발명에 관한 반도체 집적회로장치의 일실시예를 나타내는 평면도이고, 도 2는 도 1의 Y - Y' 선에서의 단면도이다.

도 1에서 배선전극(2, 3, 4)은 서로 위상이 반대가 되도록, 즉 배선전극(2,4)은 패턴의 위상이 0°, 배선전극(3)은 패턴의 위상이 180°(=π)가 되도록 포토마스크의 개구부에 위상시프터가 배치되어 있다. 패턴 전사의 해상도로 규정되는 최소의 패턴 폭 또는 최소의 패턴간격을 최소 치수(a)로 정의하면, 각각의 배선전극(2, 3, 4)의 패턴간격은 최소치수(a)로 되어 있다. 본 실시예에서는, 전술한 종래예와 동일하게, KrF 광원을 이용한 경우를 예로 설명하기 때문에, 최소 치수(a)는 약 0.16㎛이다.

또, 도 1에는 나타나 있지 않지만, 도 2에 나타낸 바와 같이, 실리콘 기판(8) 위에는 게이트 산화막(31)과, 게이트 전극(11)과, 소스·드레인의 고농도 불순물영역(10)과, 소자분리 산화막(9)을 포함하는 MOSFET가 형성되어 있다. 또한, MOSFET 위에는 제1의 층간절연막(12), 제1층째의 배선전극(2, 3, 4), 제2의 층간절연막(13), 제2층째의 배선전극(6)이 순차적으로 적층되어 있다. 또, 고농도 불순물영역(10)과, 제1층째의 배선전극(2)은 각각 제1의 층간절연막(12)을 관통하여 형성된 플러그 전극(1)을 통해 접속되어 있고, 제1층째의 배선전극(4)과 제2층째의 배선전극(6)은 제2의 층간절연막(13)을 관통하여 형성된 플러그 전극(5)을 통해 접속되어 있다.

또한, 플러그 전극(1)과, 제1층째의 배선전극(2, 3)에 대한 제조상의 편차를 고려한 위치적인 여유를 t로 정의하면, 제1층째의 배선전극(2, 3)의 사이의 고농도 불순물영역(10) 위에서는, 제1층째의 배선전극(2, 3)의 단부로부터, t 이상 또는 a 이하의 거리에 플러그 전극(1) 및 배선전극(2, 3)이 배치되고, 또한 제1층째의 배선전극을 통하지 않고 플러그 전극(1, 5)이 직접 접속되어 있다. 또한, 이 플러그 전극(1, 5)이 직접 접속되어 있는 플러그 전극 부분을, 도 1의 평면도에서는 참조부호 7로 나타내고 있다. 플러그 전극(5)은 제2의 층간절연막(13) 위에 형성된 제2층째의 배선전극(6)에 접속되어 있다. 또, 제1층째의 배선전극(4)은 플러그 전극(5)을 통해 상층에 있는 제2층째의 배선전극(6)에 접속되어 있고, 다른 제1층째의 배선전극(2)은 플러그 전극(1)을 통해 고농도 불순물영역(10)에 접속되어 있다.

다음에, 도 5 내지 도 11을 이용하여, 도 3에 나타낸 구조의 반도체 집적회로장치의 제조방법에 관하여, 공정순으로 설명한다. 우선, 도 5에 나타내는 바와 같이 p형의 실리콘 기판(8) 위에 샐로우 렌치 아이솔레이션(shallow wrench isolation)을 이용하여 소자분리 산화막(9)을 형성한 후, 활성영역 위에 n채널의 MOSFET를 형성한다. 여기서, MOSFET는 소스, 드레인의 고농도 n형 불순물영역(10), 게이트 산화막(31), 게이트 전극(11)으로 이루어진다(도 6 참조).

이어서, 캡(cap) 매립특성이 좋은 실리콘 산화막(12)을 퇴적한다. 이 실리콘 산화막(12)의 퇴적방법으로서는, 예를 들어 오존 - TEOS(Thetra-Ethoxy -Silane)에 의한 CVD(ChemicaI-Vapour-Deposition) - SiO_2 이든지, 고밀도 플라즈마(HDP: High Density Plasma)에 의한 플라즈마 CVD-SiO_2, 또는 회전 도포하여 성막하는 SOG(Spin-0n-Glass) 등이 있다. 또, 평탄도를 증가시키기 위해서, CMP(Chemical-Mechanical-Polishing) 등을 이용하면 한층 좋다. 이어서, 포토리소그래피와 드라이 에칭에 의해, 고농도 불순물영역(10) 위의 제1의 층간절연막(12)에 거의 일정한 치수의 개구부(14)를 형성한다(도 7 참조). 개구부 치수는, 본 실시예에서는 0.2㎛이다.

이어서, 도 8에 나타내는 바와 같이, 플러그 전극(1)의 재료로서, 두께 200nm 정도의 텅스텐을 CVD법으로 퇴적하고, CMP법으로 개구부 이외의 텅스텐을 연마한다. 또한, 도면에는 나타나 있지 않지만 플러그 전극(1)의 텅스텐은 실리콘 기판(8)과 반응하기 위해서, 티탄 나이트라이드(tintan nitride)(TiN) 등의 배리어 메탈재료를 텅스텐의 하층에 형성할 필요가 있다.

이어서, 도 9에 나타내는 바와 같이, 제1층째의 배선전극(2, 3, 4)을 형성하기 위해서, 최소 치수폭(a)보다도 얇은 두께 100nm정도의 텅스텐막을, 예를 들어 스퍼터법으로 퇴적하고, 포토리소그래피와 드라이 에칭에 의해 패터닝한다. 여기서, 패턴 전사시에는 제1층째의 배선전극(2, 4)은 패턴의 위상이 0°, 배선전극(3)은 패턴의 위상이 180°가 되도록 위상시프터를 배치한 포토마스크를 이용한다. 또한, 제1층째의 배선전극 재료가 되는 텅스텐의 하층에는 TiN 등의 배리어 메탈재료를 형성하면 좋다. 또, 제1층째의 배선전극의 재료로서, 텅스텐 이외에, 텅스텐 등의 고융점 금속의 실리사이드막과 다결정 실리콘막의 복합막(소위 폴리사이드막) 또는 몰리브덴(molybdenum)이나 니오부(niobium)등의 고융점 금속 또한 알루미늄 등의 저저항재료를 이용할 수 있다.

이어서, 제2의 층간절연막(13)으로서, 도 7의 공정에서 기술한 것과 같은 방법에 의해 SiO_2 막을 형성하고, 플러그 전극(1) 위나 제1층째의 배선전극(4) 위의 제2의 층간절연막(13)에 개구부(15)를 포토리소그래피와 드라이 에칭에 의해 형성한다(도 10 참조).

이어서, 도 11에 나타내는 바와 같이 도 9의 공정에서 서술한 것과 같은 방법을 이용하여, 텅스텐의 플러그 전극(5)을 형성한다.

마지막으로, 제2층째의 배선전극(7)으로서, 알루미늄막을 퇴적하여, 포토리소그래피와 드라이 에칭에 의해 패터닝하면, 도 2에 나타낸 구조가 얻어진다.

또한, 본 실시예에서는 제1층째의 배선전극은 100nm정도의 막두께이었지만, 더 두꺼운 배선전극을 형성하는 경우에는, 도 12 및 도 13에 나타내는 바와 같이, 플러그 전극(1) 위의 개구부(16)와 배선전극(4) 위의 개구부(17)를, 다른 포토리소그래피와 드라이 에칭의 공정으로 형성하여도 된다.

또한, 본 실시예에서는 텅스텐이나 알루미늄 전극은 퇴적하고 나서 패터닝 하였지만, 미리 퇴적한 층간절연막에 포토리소그래피와 드라이 에칭에 의해 홈(溝)을 형성하고, 전극재료를 매립하여 CMP에 의해 홈(溝)내에만 배선전극을 형성하는 , 소위 대머신(Damascene)법을 이용하여도 좋다. 또, 배선전극으로서 알루미늄 이외에 동(銅)과 같은 저저항에서 마이그레이션(migration)에 내성이 있는 재료를 이용하여도 된다.

또, 도 14의 평면도 및 도 15의 단면도에 나타내는 바와 같이, 하층에 위치하는 플러그 전극(1)은 상층에 위치하는 플러그 전극(5)보다 개구부 치수를 크게 할 수도 있다. 이것에 의해서, 마스크 어긋남 의해서 발생하는 플러그 전극(1)과 플러그 전극(5)과의 접촉면적의 저하를 방지할 수 있다. 또한, 도 15는, 도 14의 평면도에서의 Y - Y' 선에 따른 단면도이다.

게다가, 도 2에서 제2의 층간절연막(13)의 재료에, 제1의 층간절연막(12)에 비해 드라이 에칭 속도가 빠른 절연막을 이용할 수도 있다. 구체적으로는, 제1의 층간절연막(12)에는 오존분해에 의한 TEOS - SiO_2를, 제2의 층간절연막(13)에는 인이 5몰% 정도 첨가된 오존분해에 의한 TEOS - SiO_2를 이용할 수 있다.

본 실시예에 의하면, 도 3의 종래예에 비해, 도 1의 Y - Y' 방향의 배선피치를 축소할 수 있어, 고집적의 반도체 집적회로장치를 제공할 수 있다.

(실시예2)

도 16은, 본 발명에 관한 반도체 집적회로장치의 다른 실시예를 나타내는 평면도이며, 도 18은 도 16에 나타낸 Y - Y' 선에 따른 부분의 단면도이다. 본 실시예는 MOSFET의 소스·드레인으로의 전원공급을 달성하기 위한 배선전극에 본 발명을 적용한 것이다.

도 16 및 도 18에서, MOSFET는 활성영역(18)에 형성되어 있고, MOSFET의 소스·드레인이 되는 고농도 불순물영역(10) 위에는, 제1의 층간절연막(12)을 관통하여 형성한 플러그 전극(20)이 형성되어 있다. 제1의 층간절연막(12)의 재료로서는 갭 매립특성이 양호한 오존 TEOS 산화막을 CMP에 의해 평탄화한 것이 적당하며, 플러그 전극(20)의 재료로서는 텅스텐이나 티탄 나이트라이드를 CVD법에 의해 매립한 것이 적당하다. 또한, 소스측의 고농도 불순물영역에 형성된 플러그 전극(20)에는 제1층째의 금속배선(21)이 접속되어 있다. 제1층째의 배선전극으로서는 알루미늄이나 텅스텐을 이용할 수 있다.

한편, 드레인측의 고농도 불순물영역(10)에 형성된 플러그 전극(20)에는 제1층째의 배선전극 위에 형성된 제2의 층간절연막(13)을 관통하여 형성된 플러그 전극(24)이 직접 접속되어 있다. 플러그 전극(24)의 재료로서는 플러그 전

극(20)과 동일한 재료를 이용할 수 있다. 또, 플러그 전극(24)은 층간절연막(13) 위의 제2층째의 배선전극(25)에 접속되어 있다. 도 16에 나타내는 바와 같이, 게이트 전극(19)은 단부에서 플러그 전극(20)을 통해 제1층째의 배선전극(22)에 접속되어 있다. 또한, 제1층째의 배선전극(23)은 인접하는 트랜지스터의 배선이다.

여기서, 배선간격을 축소하기 위해서 배선전극(21,23)은 패턴의 위상이 180°, 배선전극(22)은 패턴의 위상이 0°가 되는 위상시프터를 설치한 포토마스크로 패턴 전사하여, 배선전극(21,23) 사이에서 상하의 플러그 전극(20, 24)을 직접 접속하였다.

또, 하층의 플러그 전극(20)의 형상은 도 17에 나타내는 바와 같이 직사각형이라도 된다. 이것에 의해, 플러그 전극(24)을 형성하는 장소의 자유도가 넓어지고, MOSFET의 소요면적을 축소할 수 있다.

드레인 확산층과 드레인 배선전극과의 접속부는, 종래는 도 4에 나타낸 바와 같은, 섬 모양의 제1층째의 배선전극(208)을 통해 접속한 플러그 전극(201,205)을 이용한 구조이었기 때문에, 도 3에 나타내는 바와 같이 플러그 전극과 배선전극간의 거리로서 a + t는 필요하였다. 이것에 대하여, 섬 모양의 제1층째의 배선전극을 통하지 않고 플러그 전극(20, 24)을 직접 접속한 본 실시예의 구조에서는, 플러그 전극(20)과 배선전극(23)과의 거리(t)는, 제1층째의 배선전극(21, 22,23) 사이의 최소 치수(a)보다도 짧게할 수 있고, 플러그 전극(20)과 배선전극(22)의 단부와의 거리(c)는 상기 거리(t)와 동일한 거리까지 짧게 할 수 있다.

따라서, 본 실시예에 의하면 상하의 플러그 전극을 제1층째의 섬 모양 전극을 통해서 제2층째의 드레인 배선전극과 접속하는 종래예의 도 4와 동일한 구조를 이용한 경우와 비교하여, MOSFET의 배선전극 패턴형성에서, 게이트 전극과 소스·드레인으로의 배선전극의 각각의 배선간격을 축소할 수 있다.

또, 도 29 및 도 30에 각각 도 16 및 도 17에 대응한 변형예를 나타낸다. 또한, 도 29 및 도 30에서 도 16 및 도 17과 동일한 구성부분에는 동일한 참조부호를 붙이고, 그 상세한 설명은 생략한다. 즉, 도 29 및 도 30의 예에서는 인접하는 트랜지스터의 배선(23)이 도중에 끝나고 있고, 대신에 게이트 전극(19)과 플러그 전극(20)을 통해 접속되는 제1층째의 배선전극(22)이, 드레인 배선이 되는 제2층째의 배선전극(25) 근방까지 연장하고 있는 점이 상이한다. 이와 같은 MOSFET의 배선전극 패턴형성에서, 위상이 다른 배선전극(21, 22)의 사이에 제1층째의 섬 모양의 배선전극을 통하지 않고 플러그 전극(20, 24)을 직접 접속한 플러그를 설치한 구조로서도, 도 16 및 도 17의 경우와 동일한 배선간격의 축소효과가 있는 것은 말할 필요도 없다.

(실시예3)

도 19는 본 발명에 관한 반도체 집적회로장치의 또 다른 실시예를 나타내는 평면도이며, 도 20은 도 19에 나타낸 Y - Y' 선에 따른 부분의 단면도이다. 본 실시예는 MOSFET의 게이트로의 전원공급을 달성하기 위한 배선전극에 본 발명을 적용한 것이다.

도 19 및 도 20에서 MOSFET는 실시예 2와 동일하고, 활성영역(18)에 형성되 있다. MOSFET의 소스·드레인이되는 고농도 불순물영역 위(도면에 표시하지 않음)에는 제1의 층간절연막(12)을 관통하여 형성한 플러그 전극(20)이 형성되어 있다. 또한, 소스측의 플러그 전극(20)에는 제1층째의 배선전극(26)이 접속되며, 드레인측의 플러그 전극(20)에는 제1층째의 배선전극(27)이 접속되어 있다. 제1층째의 배선전극(28)은 인접하는 MOSFET의 배선전극이다. 여기서, 배선간격을 축소하기 위해서 배선전극(26,28)은 패턴의 위상이 180°, 배선전극(27)은 패턴의 위상이 0°가되는 위상시프터를 설치한 포토마스크로 패턴 전사하였다.

한편, 게이트 전극(19)에는 단부에서 플러그 전극(20)이 접속되어 있고, 제2의 층간절연막(13)(도 20참조)을 관통하여 형성된 플러그 전극(24)이 플러그 전극(20) 위에서 직접 접속되어 있다. 또한, 플러그 전극(24)은 제2의 층간절연막(13) 위의 제2층째의 배선전극(29)에 접속되어 있다.

본 실시예에 의하면, MOSFET의 배선전극 패턴형성에서, 소스·드레인으로의 배선전극의 배선간격을 축소할 수 있다.

(실시예4)

도 21은 본 발명에 관한 반도체 집적회로장치의 또 다른 실시예를 나타내는 평면도이며, 도 22는 도 21에 나타낸 X - Y 선에 따른 부분의 단면도이다. 본 실시예는 MOSFET의 게이트로의 전원공급을 달성하기 위한 배선전극에 관하여, 실시예2의 드레인으로의 배선전극 형성방법에 개량을 가한 것이다.

실시예2와 동일하게, 도 21 및 도 22에서 MOSFET는 활성영역(18)에 형성되어 있고, MOSFET의 소스·드레인이되는 고농도 불순물영역(10) 위에는 제1의 층간절연막(12)을 관통하여 형성한 플러그 전극(20)이 형성되어 있다. 여기서, 소스측의 고농도 불순물영역(10) 위에 형성된 플러그 전극(20)에는 X 방향으로 연장하는 제1층째의 배선전극(21)이 접속되어 있다. 또, 드레인측에 형성된 플러그 전극(20)은 직사각형 형상을 하고 있으며, 또한 활성영역(18)의 외측까지 플러그 전극(20)이 연장하고 있어, 제2의 층간절연막(13)을 관통해서 형성된 플러그 전극(24)이 활성영역(18) 밖에서 플러그 전극(20)과 직접 접속되어 있다. 또, 플러그 전극(24)은 제2의 층간절연막(13) 위의 Y 방향으로 연장하는 제2층째의 배선전극(30)에 접속되어 있다.

또, 게이트 전극(19)은 단부에서 플러그 전극(20)을 통해, 제1층째의 배선전극(22)에 접속되어 있다. 또한, 제1층째의 배선전극(23)은 인접하는 트랜지스터의 배선이다.

여기서, 배선간격을 축소하기 위해서, 배선전극(21,23)은 패턴의 위상이 180°, 배선전극(22)은 패턴의 위상이 0°가 되는 위상시프터를 설치한 포토마스크로 패턴 전사하고, 배선전극(21,23) 사이에서 상하의 플러그 전극(20, 24)을 직접 접속했다.

본 실시예에 의하면, MOSFET의 배선전극 패턴형성에서, 게이트 전극과 소스·드레인으로의 배선전극의 배선간격을 축소할 수 있다.

또한, 본 실시예에서 설명한 직사각형의 플러그 전극(20)을 활성영역(18) 밖의 소자분리 산화막(9) 위에까지 연장하는 방법에 관해서는, 실리콘 질화막을 콘택트 개구의 드라이 에칭의 스토퍼막으로서 이용하여, 소자분리 산화막의 깎임을 방지하는 것이 바람직하다.

(실시예5)

도 23은, 본 발명에 관한 반도체 집적회로장치의 또 다른 실시예를 나타내는 단면도이며, 평면도는 실시예1의 도 1과 동일하기 때문에 생략한다. 또한, 도 23의 평면도는 도 1의 Y - Y'선에 따른 부분에 대응하고 있다. 본 실시예는 플러그 전극의 형성방법에 관한 것이다.

도 23에서, 상하의 플러그 전극(1, 5)이 직접 접속되어 있는 부분에서는, 마스크 어긋남에 의해, 플러그 전극(1)과 플러그 전극(5)이 어긋나 배치되더라도 플러그 전극(5)을 형성할 때의 드라이 에칭에 의해, 하층의 제1의 층간절연막(12)이 불필요하게 깎이지 않도록, 에칭 스토퍼막(33)을 제1의 층간절연막(12) 위에 설치하고 있다. 에칭 스토퍼막(33)의 재료로서는 실리콘 질화막이 적당하고, 제1 및 제2의 층간절연막(12,13)의 재료로서는 실리콘 산화막을 이용하면 적당하다.

본 실시예에 의하면, 마스크 어긋남에 의해서 플러그 전극(5)의 매립형상이 열화하는 일이 없기 때문에, 반도체 집적회로장치의 제조 수율의 저하를 방지할 수 있다.

또한, 본 실시예에서는 에칭 스토퍼막(33)을 제1층째의 배선전극(2, 3, 4)의 하층에 형성하였지만, 도 24에 나타내는 바와 같이 제1층째의 배선전극(2, 3, 4)의 상층에 형성하여도 된다.

또한, 도 25에 나타내는 바와 같이, 상하의 플러그 전극(1, 5)의 형상을 테이퍼 모양으로 할 수도 있다. 이 방법으로서는, 플러그 전극(1, 5)을 형성하기 위한 콘택트 홀의 에칭시에, 테이퍼 각도에 따른 드라이 에칭 조건으로 에칭한다. 플러그 전극(1, 5)을 테이퍼 형상으로 하는 것에 의해, 상부의 플러그 전극(5)은, 하부의 플러그 전극(1)에 대하여 마스크 어긋남이 발생하더라도, 플러그 전극(1)에서 벗어나는 일은 없다.

(실시예6)

도 26은, 본 발명에 관한 반도체 집적회로장치의 또 다른 실시예를 나타내는 단면도이며, 다이나믹형 RAM(DRAM: Dynamic Random Access Memory)의 주변회로에 적용한 것이다. 여기서, 도 26의 단면도는 도 27에 나타낸 DRAM 메모리셀부의 평면도 중에서의 X - X' 선에 따른 부분이고, DRAM의 메모리셀부와 인접하는 주변회로의 일부의 단면도를 나타내고 있다.

도 27에서, 메모리셀의 레이아웃은 종래예와 동일하며, 예를 들어, 일본공개특허 3 - 174766호 공보에 기재되어 있다. 동 도면에서 워드선(WL1～WL4)이 Y 방향으로, 데이터선(DL1, /DL1, DL3)이 X 방향으로 설치되어 있고, 워드선(WL1～WL4)은 메모리셀내의 MISFET의 공통의 게이트 전극(104)(도 26 참조)이다. 또한, 여기서 기호 "/"는, 인버스(inverse)를 나타낸다.

데이터선(DL1, /DL1, DL3)이 되는 배선전극(111)(도 26 참조)은, 다결정 실리콘으로 형성한 플러그 전극(119)을 통해 MISFET의 활성영역(118)(도 26의 고농도 n형 불순물영역(107))에 접속되어 있다.

또한, 워드선(WL1～WL4)과 데이터선(DL1, /DL1, DL3)의 상부에는 메모리셀 커패시터의 축적전극(113)이 설치되어 있다. 또한, 축적전극(113) 위에는 커패시터 절연막(114)이 형성되어 있고, 그 상부에는 플레이트 전극(115)이 설치되어 있다. 여기서, 커패시터 축적전극(113)으로서는 인이 고농도로 첨가된 두께 50nm의 다결정실리콘, 커패시터 절연막(114)으로서는 두께 10nm의 5산화탄탈(Ta_2O_5), 상부의 플레이트 전극(115)으로서는 두께 100nm의 티탄 나이트라이드막을 이용하였다.

또한, 도 26에서 배선전극(111)과 커패시터 축적전극(113)은, 알기 쉽게 하기 위해서 동일 단면상에 나타내고 있다. 참조부호 120은 커패시터 축적전극(113)과 고농도 n형 불순물영역(108)을 접속하는 관통전극 부분이다. 또한, 도면에는 나타나 있지 않지만, 플레이트 전극(115)은 메모리셀 밖에서 소정의 전위로 고정되어 있다. 또, 주변회로부의 제1층째의 배선전극(123)은 주변회로부의 MISFET의 소스 또는 드레인의 고농도 n형 불순물영역(109)에 접속되고, 또한, 배선전극(124)의 상부에는 제2층째의 배선전극(117)이 형성되어 있다.

또, 도 26에서 데이터선(DL1, /DL1, DL3)이 되는 배선전극(111)은 두께 약 50nm의 텅스텐등의 고융점 금속과, 하부에 배치한 두께 약 20nm의 티탄 나이트라이드막등의 반응 방지막으로 이루어지고, 이 배선전극(111)은 주변회로부로 연장하며, 또한 제1층째의 배선전극(123,124)과 동일층 위에 형성되어 있다. 또한, 주변회로부의 배선밀도가 높은 제1층째의 배선전극(123,124)은 배선전극(123)의 위상 패턴이 0°, 배선전극(124)의 위상 패턴이 180°가 되도록 위상시프터를 설치한 포토마스크를 이용하여 패턴 전사하여 형성하고 있다.

고농도 n형 불순물영역(109)과 제2층째의 배선전극(117)은, 제1의 층간절연막(110)과 에칭 스토퍼막(33)과 제2의 층간절연막(112)과 제3의 층간절연막(116)을 관통하여 형성된 텅스텐 등의 고융점 금속으로 이루어지는 플러그 전극(121,122)을 통해 접속하고 있다. 본 실시예에서도, 플러그 전극(121, 122)끼리는, 종래예와 같은 섬 모양 전극을 통하지 않고, 직접 접속되어 있다. 따라서, 위상시프터의 레벤슨 배치에 모순이 발생하는 일은 없기 때문에, 해상도가 높은 미세한 패턴형성이 가능하다.

또한, 도 26에서 참조부호 101은 실리콘 기판, 102는 소자분리 산화막, 103은 게이트 절연막, 105 및 106은 에칭 스토퍼용의 절연막이다.

본 실시예에서는, 도 28에 나타낸 등가 회로도에 나타내는 바와 같이, 메모리셀의 한쌍의 데이터선이 접속된 센스앰프회로(SA1, SA2)에, 도 26에 나타낸 바와 같은 제1층째의 배선전극(123,124)을 이용하였다. 도 28에서, 참조부호 PR은 프리차지선, I/O 및 YSW는 열(列)선택게이트, YS는 열(列)선택선, SHR1 및 SHR2는 한쌍의 데이터선의 전환 스위치이다.

본 실시예에 의하면 DRAM의 주변회로, 특히 센스앰프회로의 소요면적을 저감할 수 있고, 칩 면적이 작은 DRAM을 제공할 수 있다.

이상, 본 발명의 적당한 실시예에 관해서 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 예를 들면, 동일 칩내에 메모리회로, 논리회로 등 복수의 LSI가 혼재한 소위 온칩 LSI(로직탑재형 메모리)에도 적용할 수 있고, 이것에 의해서 LSI의 고기능화, 고성능화를 도모하는 것이 가능하고, 본 발명의 정신을 이탈하지 않은 범위내에서 여러가지 설계변경을 할 수 있는 것은 물론이다.

발명의 효과

전술한 실시예로부터 명백해진 바와 같이 본 발명에 의하면, 반도체 집적회로장치의 특히 배선전극의 패턴밀도를 높일 수 있고, 고집적의 반도체 집적회로장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

제1의 절연막(insulating film)과, 제1의 절연막을 관통하는 제1의 도전체와, 제1의 절연막 위에 위상시프트 마스크를 이용하여 동일 공정에서 패턴 형성된 제1의 배선전극 및 제2의 배선전극과, 제1의 배선전극 및 제2의 배선전극 위의 제2의 절연막과, 제2의 절연막을 관통하는 제2의 도전체로 이루어지는 반도체 집적회로장치에 있어서,

상기 제1의 도전체는, 적어도 제1의 배선전극 또는 제2의 배선전극과, 제1의 절연막 보다 하층에 위치하는 회로소자 또는 회로배선을 전기적으로 접속하고,

상기 제2의 도전체는, 제1의 배선전극 또는 제2의 배선전극과, 제2의 절연막 보다 상층에 위치하는 회로소자 또는 회로배선을 전기적으로 접속하며,

인접하는 제1의 배선전극과 제2의 배선전극과의 사이에, 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 도전체를, 인접하는 상기 제1의 배선전극과 제2의 배선전극 중의 적어도 하나에 대해서 제1의 배선전극과 제2의 배선전극과의 최소 간격보다도 짧은 간격으로 설치한 것을 특징으로 하는 반도체 집적회로장치.

청구항 2.

제 1 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 역위상의 마스크 패턴으로 패턴 형성되고,

상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 도전체는, 상기 제1의 절연막보다 하층에 위치하는 회로소자 또는 회로배선과, 제2의 절연막보다 상층에 위치하는 회로소자 또는 회로배선을 전기적으로 접속하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 3.

제 2 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 다이나믹형 RAM의 한쌍의 데이터선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4.

제 1 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 동(同)위상의 마스크 패턴으로 패턴 형성되고,

또한, 상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 상기 도전체의 일단(一端)은 상기 제1의 절연막 아래의 전계효과 트랜지스터의 드레인 확산층에 접속되며, 상기 도전체의 타단(他端)은 상기 제2의 절연막 위의 드레인 배선전극에 접속되고,

인접하는 상기 제1의 배선전극과 제2의 배선전극의 한쪽은 상기 전계효과 트랜지스터의 소스 배선전극이고, 다른 쪽은 상기 전계효과 트랜지스터에 인접하는 다른 전계효과 트랜지스터의 배선전극인 것을 특징으로 하는 반도체 집적회로장치.

청구항 5.

제 1 항에 있어서,

상기 제1의 도전체를 형성하는 제1의 절연막을 관통하는 개구부는, 상기 제2의 도전체를 형성하는 상기 제2의 절연막을 관통하는 개구부보다도 큰 것을 특징으로 하는 반도체 집적회로장치.

청구항 6.

제 5 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 역위상의 마스크 패턴으로 패턴 형성되고,

상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 도전체는, 제1의 절연막보다 하층에 위치하는 상기 회로소자 또는 상기 회로배선과, 제2의 절연막보다 상층에 위치하는 상기 회로소자 또는 상기 회로배선을 전기적으로 접속하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 7.

제 6 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 다이나믹형 RAM의 한쌍의 데이터선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 8.

제 5 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 동위상의 마스크 패턴으로 패턴 형성되고,

또한, 상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 상기 도전체의 일단은 상기 제1의 절연막 아래의 전계효과 트랜지스터의 드레인 확산층에 접속되며, 상기 도전체의 타단은 상기 제2의 절연막 위의 드레인 배선전극에 접속되고,

인접하는 상기 제1의 배선전극과 제2의 배선전극의 한쪽은 상기 전계효과 트랜지스터의 소스 배선전극이며, 다른 쪽은 상기 전계효과 트랜지스터에 인접하는 다른 전계효과 트랜지스터의 배선전극인 것을 특징으로 하는 반도체 집적회로장치.

청구항 9.

제 1 항에 있어서,

상기 제1의 도전체 및 제2의 도전체를 형성하는 제1 및 제2의 절연막을 관통하는 개구부는, 상기 개구부의 상부가 점차적으로 넓어져 테이퍼(taper) 형상을 하고 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 10.

제 9 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 역(逆)위상의 마스크 패턴으로 패턴 형성되고,

상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 도전체는, 제1의 절연막보다 하층에 위치하는 회로소자 또는 회로배선과, 제2의 절연막보다 상층에 위치하는 회로소자 또는 회로배선을 전기적으로 접속하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 11.

제 10 항에 있어서,

인접하는 상기 제1의 배선전극과 제2의 배선전극은, 다이나믹형 RAM의 한쌍의 데이터선에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 12.

제 9 항에 있어서,

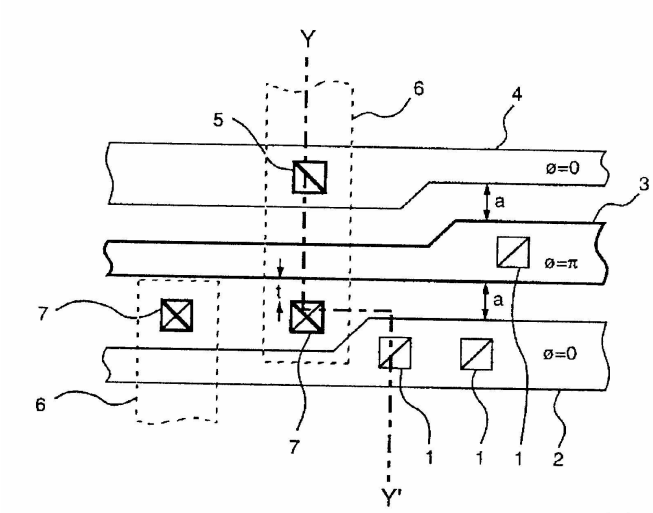
인접하는 상기 제1의 배선전극과 제2의 배선전극은, 서로 동위상의 마스크 패턴으로 패턴 형성되고,

또한, 상기 제1의 도전체와 제2의 도전체가 서로 직접 접촉하여 이루어지는 상기 도전체의 일단은 상기 제1의 절연막 아래의 전계효과 트랜지스터의 드레인 확산층에 접속되며, 상기 도전체의 타단은 상기 제2의 절연막 위의 드레인 배선전극에 접속되고,

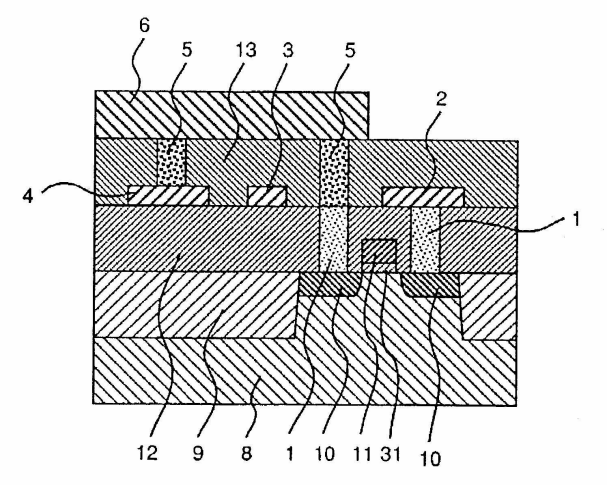
인접하는 상기 제1의 배선전극과 제2의 배선전극의 한쪽은 상기 전계효과 트랜지스터의 소스 배선전극이며, 다른 쪽은 상기 전계효과 트랜지스터에 인접하는 다른 전계효과 트랜지스터의 배선전극인 것을 특징으로 하는 반도체 집적회로장치.

도면

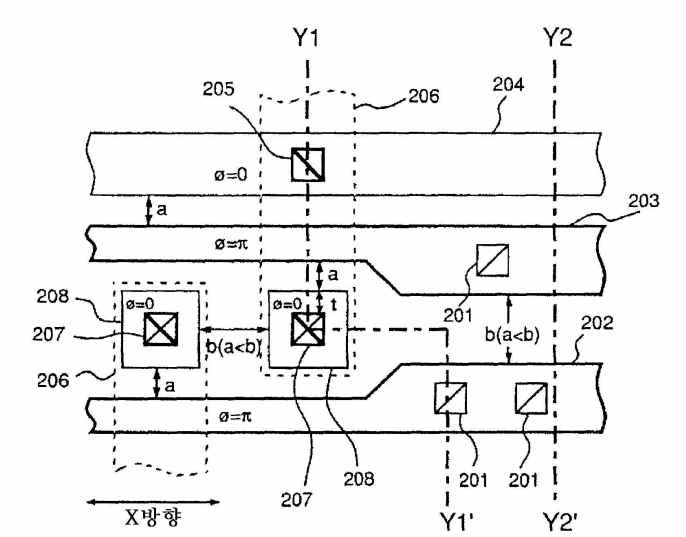
도면1



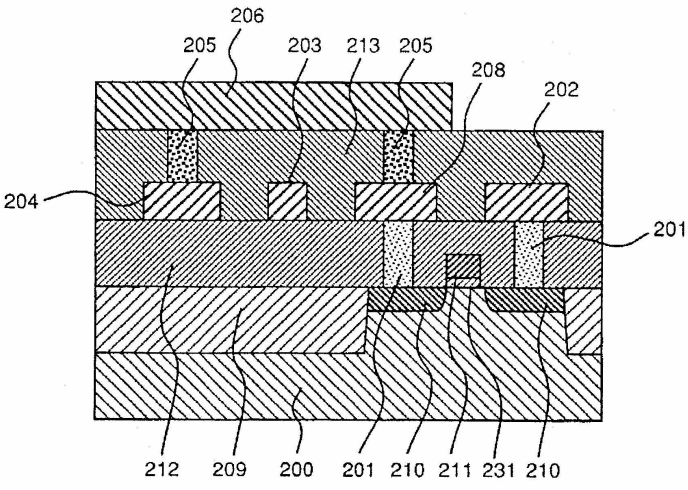
도면2


6
5
13
3
5
2
4
1
12
9
8
1
10
11
31
10

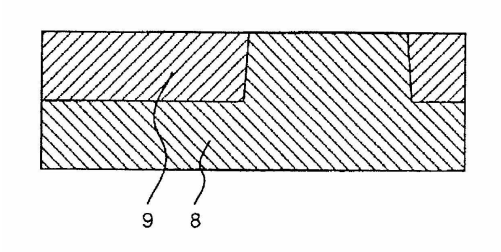
도면3


Y1
Y2
205
206
204
ø=0
a
203
ø=π
a
208
207
206
ø=0
ø=0
t
b(a<b)
201
b(a<b)
202
a
ø=π
208
207
201
201
X방향
Y1'
Y2'

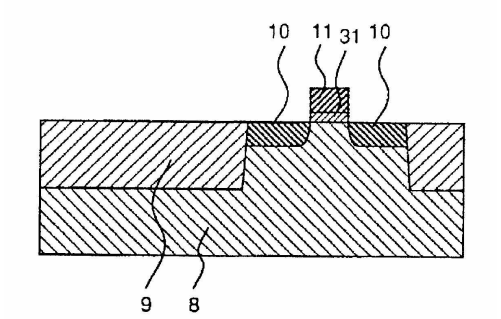
도면4


206
205
203
213
205
208
202
204
201
212
209
200
201
210
211
231
210

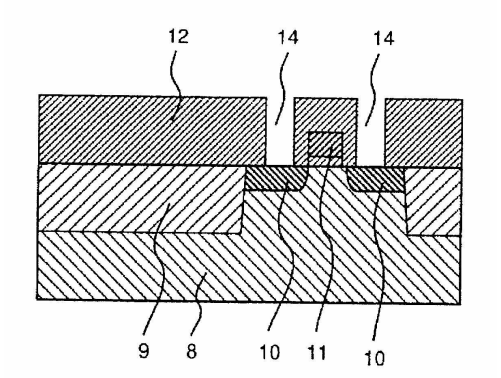
도면5



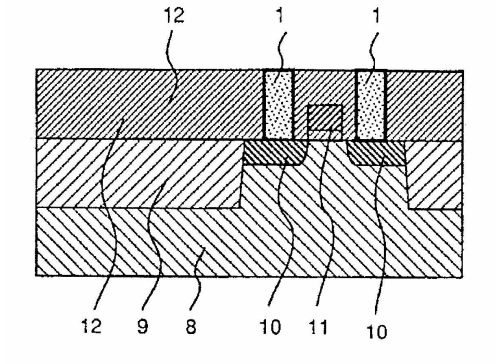
도면6



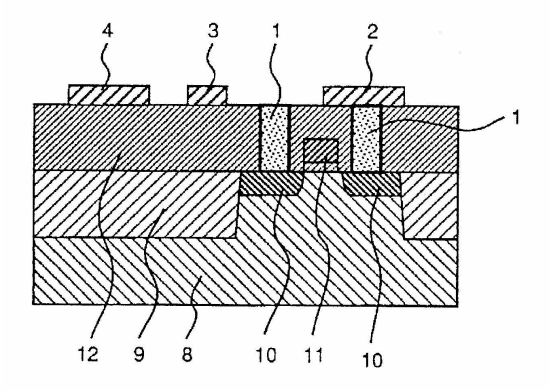
도면7



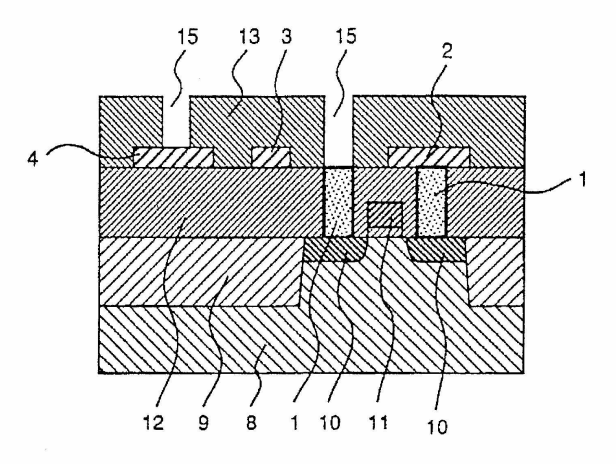
도면8



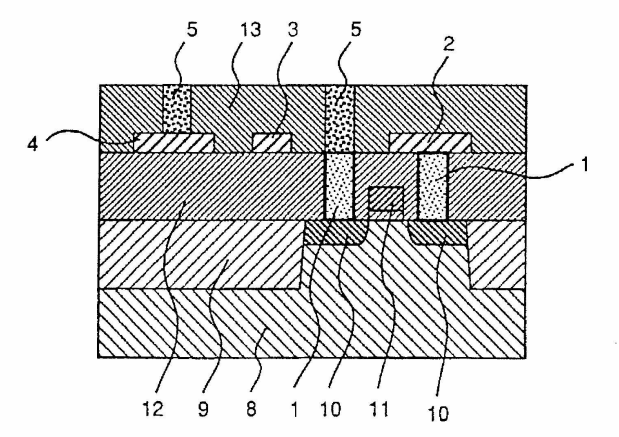
도면9



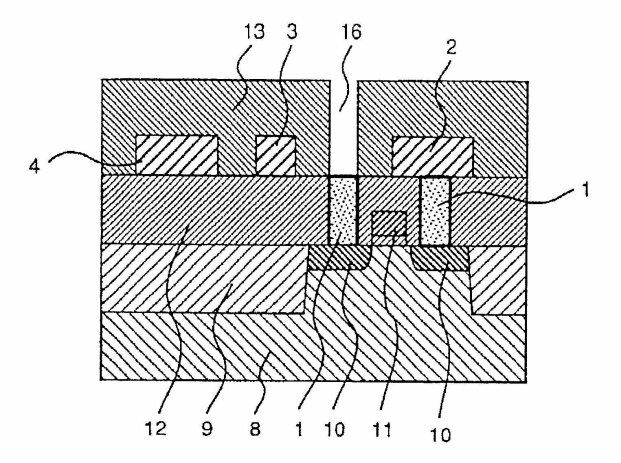
도면10



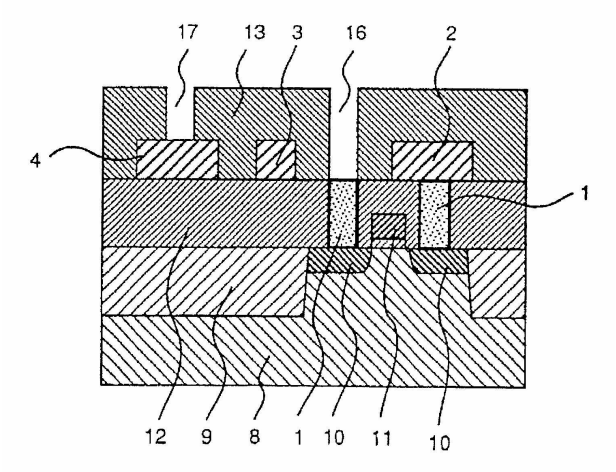
도면11



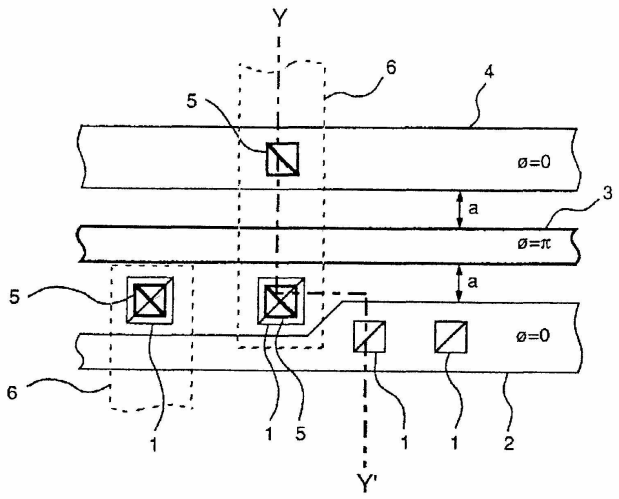
도면12



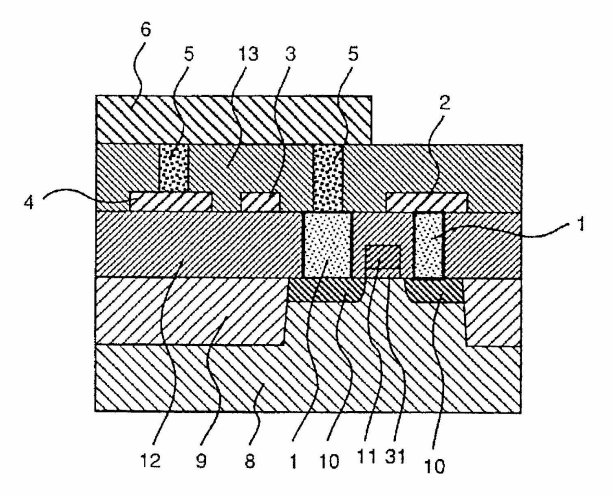
도면13



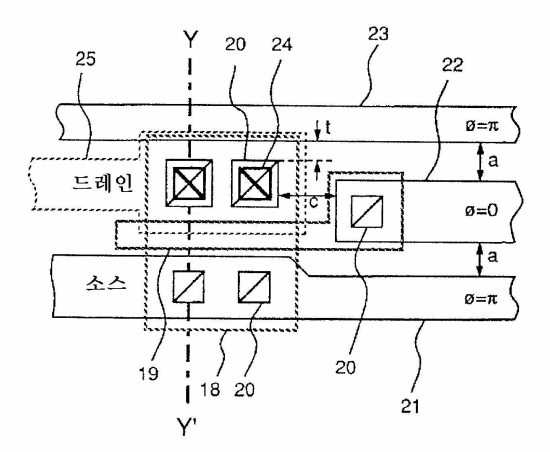
도면14



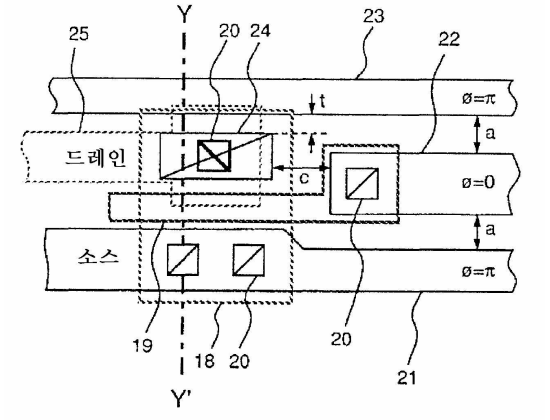
도면15



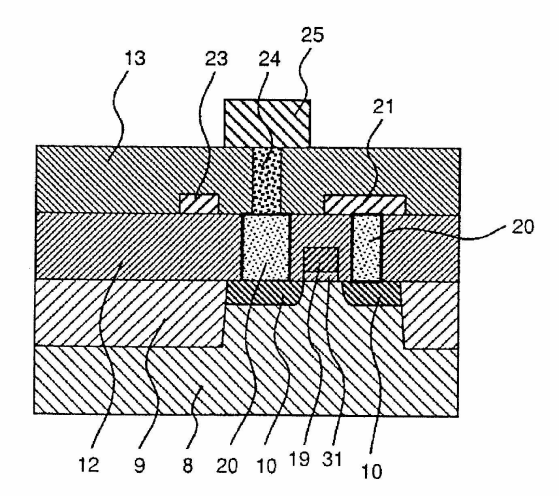
도면16



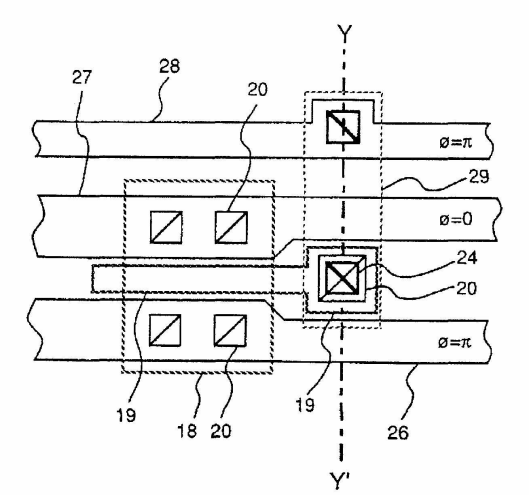
도면17



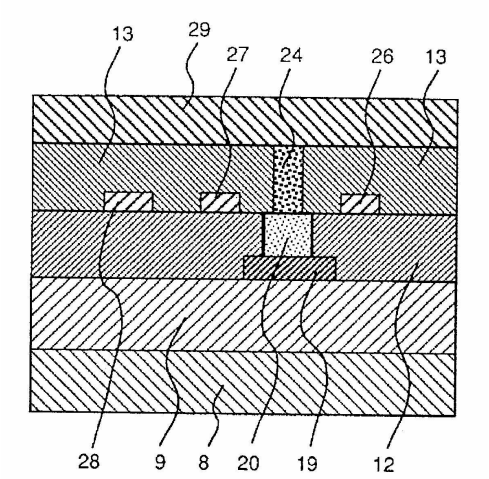
도면18



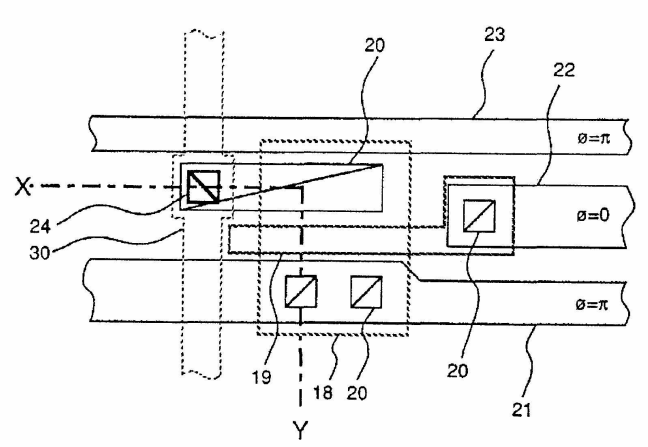
도면19



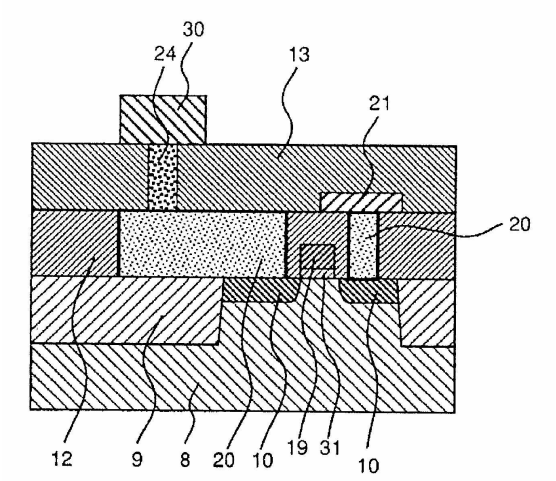
도면20



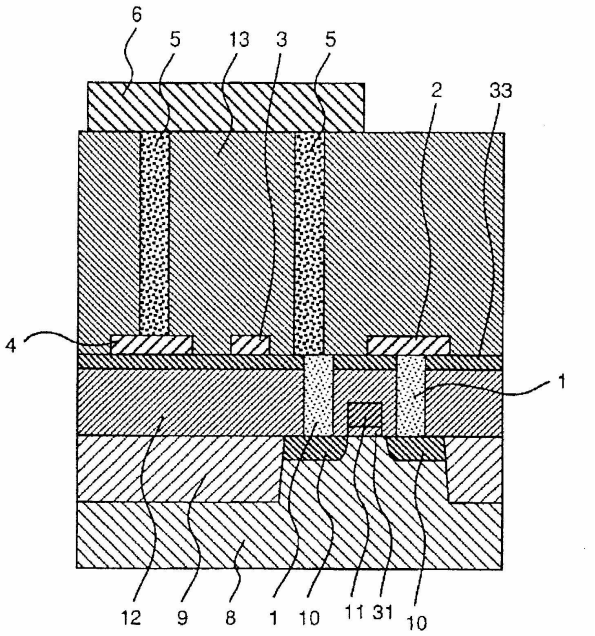
도면21



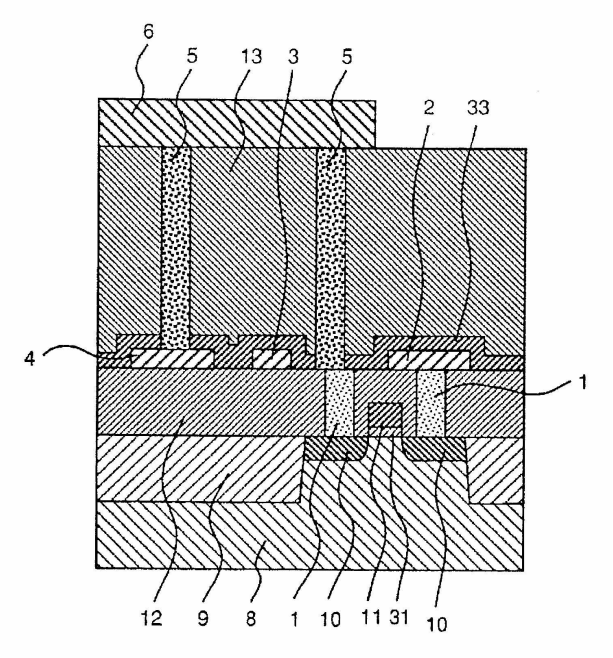
도면22



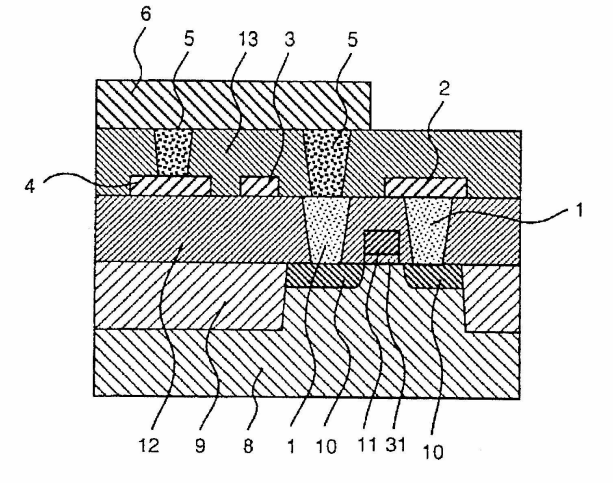
도면23



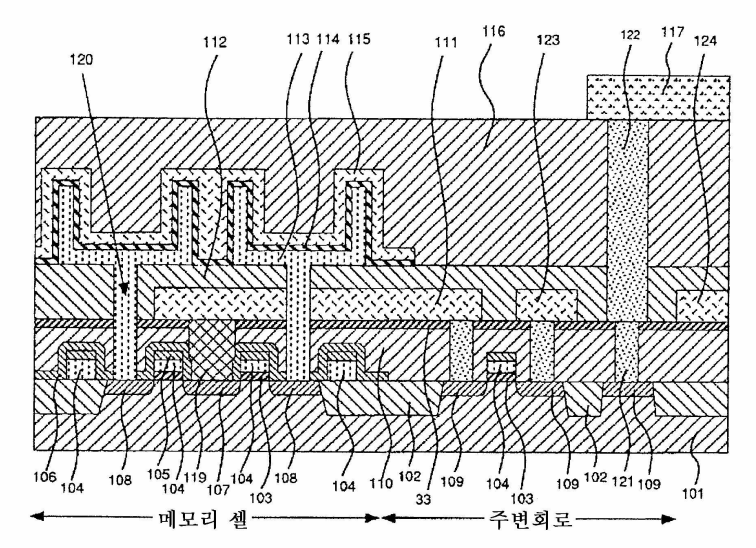
도면24



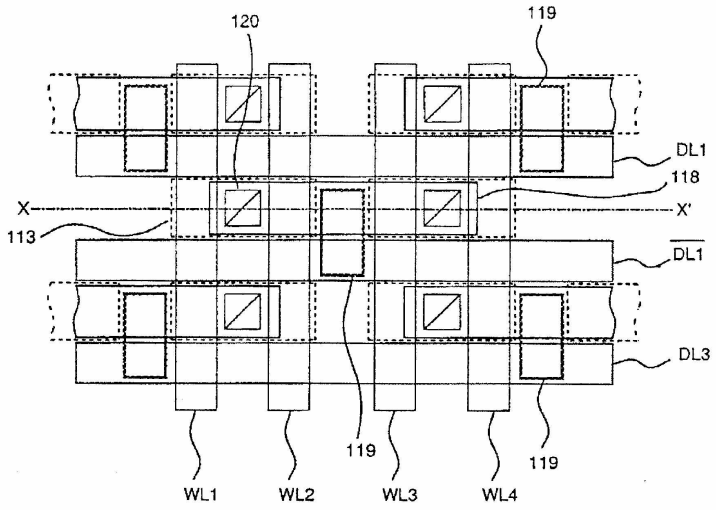
도면25



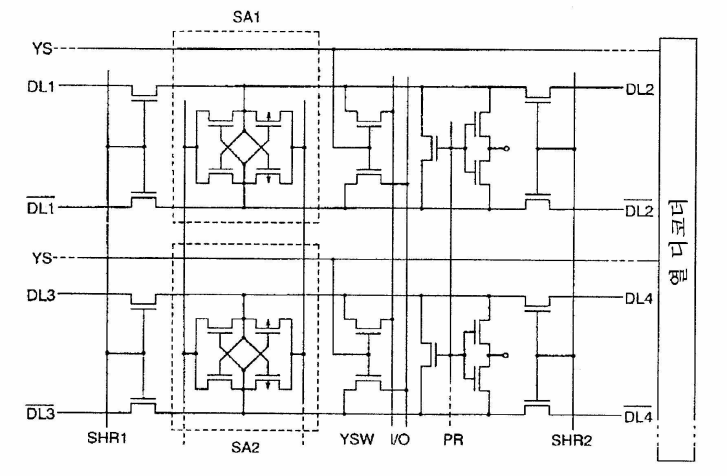
도면26



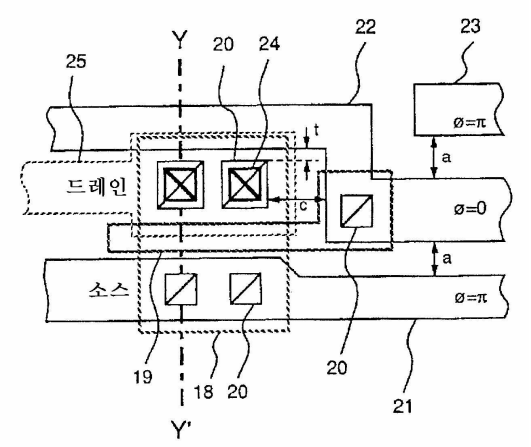
도면27



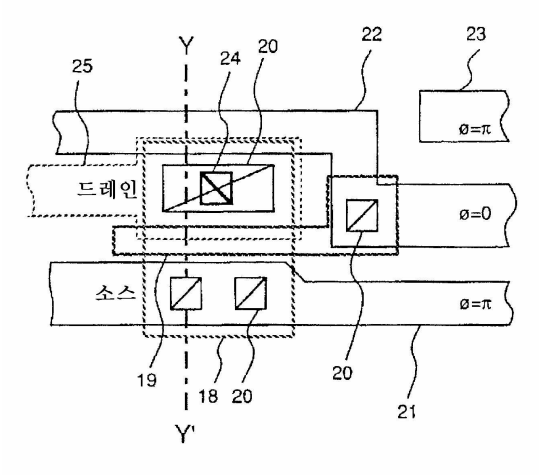
도면28



도면29


Y
20
24
22
23
25
ø=π
t
a
드레인
c
ø=0
a
소스
ø=π
19
18
20
20
21
Y'

도면30


Y
25
24
20
22
23
ø=π
드레인
ø=0
소스
ø=π
19
18
20
20
21
Y'