

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
5. Januar 2017 (05.01.2017)



(10) Internationale Veröffentlichungsnummer
WO 2017/001082 A1

(51) Internationale Patentklassifikation:

H01L 29/778 (2006.01) H01L 29/423 (2006.01)
H01L 21/336 (2006.01) H01L 29/20 (2006.01)
H01L 29/49 (2006.01) H01L 29/417 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2016/059386

(22) Internationales Anmeldedatum:
27. April 2016 (27.04.2016)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2015 212 048.1 29. Juni 2015 (29.06.2015) DE

(71) Anmelder: **ROBERT BOSCH GMBH** [DE/DE];
Postfach 30 02 20, 70442 Stuttgart (DE).

(72) Erfinder: **SCHWAIGER, Stephan**; Pforzheimer Str. 35,
71229 Leonberg (DE). **JAUSS, Simon Alexander**; Liesel-
Bach-Str. 28, 71034 Boeblingen (DE). **GRIEB, Michael**;
Kirchstr. 7, 71272 Renningen-Malmsheim (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,

BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,
SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG,
KZ, KR, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

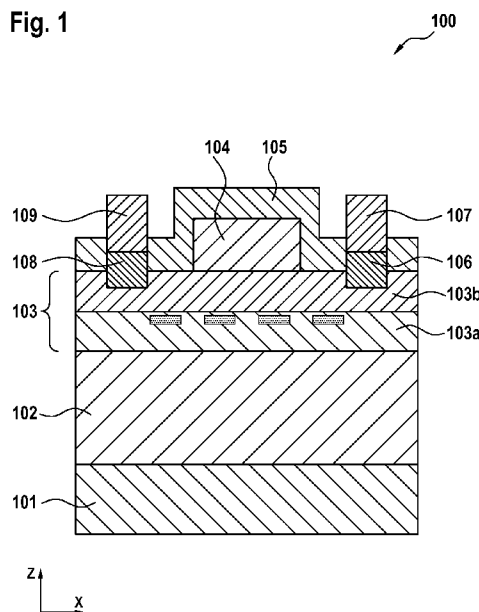
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: TRANSISTOR HAVING HIGH ELECTRON MOBILITY

(54) Bezeichnung : TRANSISTOR MIT HOHER ELEKTRONENBEWEGLICHKEIT

Fig. 1



(57) Abstract: The invention relates to a method for producing a transistor (100, 200, 300, 400, 500, 600, 700) having high electron mobility, comprising a substrate (101, 201, 301, 401, 501, 601, 701) having a heterostructure (103, 203, 303, 403, 503, 603, 703), in particular an AlGaIn/GaN heterostructure, comprising the steps: producing (8030) a gate electrode by structuring a semiconductor layer, which is applied to the heterostructure (103, 203, 303, 403, 503, 603, 703), wherein the semiconductor layer (104, 204, 304, 404, 504, 604, 704) in particular comprises polysilicon, applying (8040) a passivation layer (105, 205, 305, 405, 505, 605) to the semiconductor layer (104, 204, 304, 404, 504, 604, 704), forming (8070) drain regions and source regions, in that first vertical openings are produced, which reach at least into the heterostructure (103, 203, 303, 403, 503, 603, 703), producing (8080) ohmic contacts in the drain regions and in the source regions by partial filling of the first vertical openings with a first metal at least to the height of the passivation layer (105, 205, 305, 405, 505, 605), and applying (8090) a second metal layer to the ohmic contacts, wherein the second metal layer protrudes beyond the passivation layer (105, 205, 305, 405, 505, 605).

(57) Zusammenfassung: Verfahren zum Herstellen eines Transistors (100, 200, 300, 400, 500, 600, 700) mit hoher Elektronenbeweglichkeit umfassend ein Substrat

[Fortsetzung auf der nächsten Seite]

WO 2017/001082 A1



(101, 201, 301, 401, 501, 601, 701) mit einer Heterostruktur (103, 203, 303, 403, 503, 603, 703), insbesondere eine AlGaIn/GaN-Heterostruktur, mit den Schritten: Erzeugen (8030) einer Gateelektrode durch Strukturieren einer Halbleiterschicht, die auf die Heterostruktur (103, 203, 303, 403, 503, 603, 703) aufgebracht ist, wobei die Halbleiterschicht (104, 204, 304, 404, 504, 604, 704) insbesondere Polysilizium aufweist, Aufbringen (8040) einer Passivierungsschicht (105, 205, 305, 405, 505, 605) auf die Halbleiterschicht (104, 204, 304, 404, 504, 604, 704), Bilden (8070) von Drainbereichen und Sourcebereichen indem erste vertikale Öffnungen erzeugt werden, die mindestens bis in die Heterostruktur (103, 203, 303, 403, 503, 603, 703) reichen, Erzeugen (8080) von Ohmschen Kontakten in den Drainbereichen und in den Sourcebereichen durch teilweises Verfüllen der ersten vertikalen Öffnungen mit einem ersten Metall mindestens bis zur Höhe der Passivierungsschicht (105, 205, 305, 405, 505, 605), und Aufbringen (8090) einer zweiten Metallschicht auf die Ohmschen Kontakte, wobei die zweite Metallschicht über die Passivierungsschicht (105, 205, 305, 405, 505, 605) hinausragt.

5 Beschreibung

Titel

Transistor mit hoher Elektronenbeweglichkeit

10 Stand der Technik

Die Erfindung betrifft ein Verfahren zur Herstellung eines Transistors mit hoher Elektronenbeweglichkeit und einen Transistor mit hoher Elektronenbeweglichkeit.

15 Transistoren mit hoher Elektronenbeweglichkeit, beispielsweise HEMTs, werden durch epitaktisches Abscheiden von Heterostrukturen wie AlGaIn/GaN auf Saphir-, Siliziumcarbid- oder Siliziumsubstraten hergestellt. Sie zeichnen sich durch eine hohe Ladungsträgerdichte im Kanalbereich aus.

20 Es ist bekannt, dass die Gateelektrode bei HEMT Transistoren einen Schottky-Kontakt umfasst, d. h. einen Metall-Halbleiter-Übergang. Nachteilig ist hierbei, dass bei hohen Spannungen im Sperrfall sehr hohe Leckströme auftreten und die Verluste des Bauelements sehr hoch sind. Des Weiteren ist es nachteilig, dass die maximale Gatespannung begrenzt ist, da der Schottky-Kontakt bei größer
25 werdenden positiven Gatespannungen einen sehr hohen Leckstrom aufweist. Dadurch wird die dynamische Leistungsfähigkeit des Bauelements beeinträchtigt und dies kann zur Degradation und/oder Zerstörung des Bauteils führen.

Die maximale Gatespannung kann dadurch erhöht werden, dass eine Isolations-
30 schicht zwischen der Halbleiterschicht beispielsweise AlGaIn und der Gateelektrode angeordnet ist, sodass ein Metal-Insulated-Semiconductor-Kontakt entsteht, wodurch die Gateelektrode des HEMT-Transistors von der Halbleiterschicht isoliert ist. Nachteilig ist hierbei jedoch, dass sowohl die Grenzfläche von der Halbleiterschicht zur Isolationsschicht als auch die Grenzfläche
35 von der Isolationsschicht zur Gateelektrode als auch die Qualität der dielektri-

schen Schicht für die dynamische Leistungsfähigkeit und die Degradation des Bauteils hohen technologischen Anforderungen unterliegen.

5 Bekannt sind unter anderem zwei Verfahren zur Herstellung eines MIS-Gate-Transistors. Beim ersten Verfahren werden die Ohmschen Kontakte zeitlich vor dem Gatemodul, das ein Gatedielektrikum und eine Gateelektrode aufweist, hergestellt. Dabei werden zuerst Ohmsche Kontakte erzeugt, entweder vor Abscheidung einer Passivierungsschicht oder nach Abscheidung der Passivierungsschicht, indem die Passivierungsschicht an den Source- und Drainbereichen geöffnet wird. 10 Danach erfolgt die Öffnung der Passivierung am Gatebereich und die optionale Abscheidung von Gatedielektrikum und die obligatorische Abscheidung von Gatemetall. Anschließend wird die Gateelektrode strukturiert und weitere Passivierungs- und Metallisierungsebenen erzeugt.

15 Nachteilig ist hierbei, dass metallhaltige Prozessschritte vor der Herstellung des Gatemoduls durchgeführt werden, sodass insbesondere das Gatedielektrikum mit Metall kontaminiert werden kann, wodurch die Leistungsfähigkeit des Transistors erheblich gemindert wird.

20 Beim zweiten Verfahren werden die Ohmschen Kontakte zeitlich nach dem Aufbringen des Gatedielektrikums erzeugt. Dazu wird eine Passivierungsschicht am Gatebereich geöffnet und ein Gatedielektrikum in den geöffneten Bereich eingebracht. Danach wird die Passivierungsschicht an den Source- und Drainbereichen geöffnet und die Ohmschen Kontakte dort erzeugt. Anschließend 25 werden die Gateelektrode und weitere Passivierungs- und Metallisierungsebenen erzeugt. Somit erfolgt das Abscheiden des Gatedielektrikums in metallfreien Anlagen.

30 Nachteilig ist jedoch, dass das Gatemodul erst nach der Herstellung der Ohmschen Kontakte fertig gestellt werden kann und das Gatemodul bedingt durch ein hohes Temperaturbudget beim Annealing der Ohmschen Kontakte eine Grenzflächendegradation an der Metall-Dielektrikumsoberfläche aufweist.

35 Die Aufgabe der Erfindung besteht darin einen robusten Gatekontakt herzustellen.

Offenbarung der Erfindung

Das erfindungsgemäße Verfahren zur Herstellung eines Transistors mit hoher Elektronenbeweglichkeit aufweisend ein Substrat mit einer Heterostruktur, wobei das Substrat insbesondere einen III-V-Halbleiter aufweist, z. B. eine AlGaIn/GaN-Heterostruktur, umfasst das Erzeugen einer Gateelektrode durch Strukturieren einer Halbleiterschicht, die auf die Heterostruktur aufgebracht ist. Die Halbleiterschicht weist dabei insbesondere Polysilizium auf. Prinzipbedingt bildet sich in der Heterostruktur ein zweidimensionales Elektronengas aus, das als Elektronenkanal des Transistors fungiert. Des Weiteren umfasst das erfindungsgemäße Verfahren das Aufbringen einer Passivierungsschicht auf die Halbleiterschicht und das Bilden von Drainbereichen und Sourcebereichen indem erste vertikale Öffnungen erzeugt werden, die mindestens bis in die Heterostruktur reichen. Des Weiteren werden in den Drainbereichen und in den Sourcebereichen Ohmsche Kontakte erzeugt, indem die ersten vertikalen Öffnungen teilweise mit einem ersten Metall verfüllt werden und zwar mindestens bis zur Höhe der Passivierungsschicht. Weiterhin wird eine zweite Metallschicht auf die Ohmschen Kontakte aufgebracht, wobei die zweite Metallschicht über die Passivierungsschicht hinausragt.

Der Vorteil ist hierbei, dass die Gateelektrode metallfrei ist, wodurch sie robust gegenüber hohen Temperaturen der einzelnen Herstellungsschritte ist.

In einer weiteren Ausgestaltung wird auf die Heterostrukturschicht eine Isolierungsschicht aufgebracht. Die Isolierungsschicht ist dabei zwischen der Heterostruktur und der Gateelektrode angeordnet und fungiert als Gate-Isolierung.

Vorteilhaft ist hierbei, dass die zulässige Gatespannung hoch ist. Sie liegt insbesondere im Bereich zwischen 5 V und 15 V abhängig von den Materialien, der Abscheidemethode und der Dicke der Isolationsschicht.

In einer Weiterbildung wird eine zweite vertikale Öffnung im Bereich der Gateelektrode erzeugt, die bis zur Oberfläche der Halbleiterschicht reicht.

Der Vorteil ist hierbei, dass die Gateelektrode von außen elektrisch ansteuerbar ist und über der gesamten Gateelektrode ein weiteres Material direkt abgeschieden werden kann.

5 In einer weiteren Ausgestaltung wird die zweite vertikale Öffnung mit einem dritten Metall verfüllt.

Vorteilhaft ist hierbei, dass sich der Leitungswiderstand zur Gateelektrode verbessert, d. h. verringert. Außerdem kann eine zusätzliche Feldplatte hergestellt
10 werden, die insbesondere eine doppelte T-Form aufweist.

In einer Weiterbildung wird eine dielektrische Schicht strukturiert, die auf der Heterostruktur angeordnet ist. Mit anderen Worten die dielektrische Schicht wird so strukturiert, dass die Form der Gateelektrode ausgestaltet werden kann. Dabei
15 kann die Gateelektrode beispielsweise eine gleichmäßige T-Form oder eine T-Struktur mit symmetrischer oder asymmetrischer Feldplatte in Richtung des Sourcebereichs oder des Drainbereichs aufweisen.

Der Vorteil ist hierbei, dass die Gateelektrode strukturierbar ist.

20 Der Transistor mit hoher Elektronenbeweglichkeit weist eine Heterostruktur auf. Diese Heterostruktur umfasst insbesondere AlGa_N/Ga_N. Dabei ist die Heterostruktur auf einem Halbleitersubstrat angeordnet und bildet prinzipbedingt innerhalb der Heterostruktur unterhalb der Grenzfläche der beiden Schichten ein
25 zweidimensionales Elektronengas aus. Erfindungsgemäß weist eine Gateelektrode des Transistors Polysilizium auf.

Vorteilhaft ist hierbei, dass die Gateelektrode metallfrei ist und die Heterostruktur nicht mit Metall kontaminiert wird, sodass die Leistungsfähigkeit des Transistors
30 erhöht wird.

In einer weiteren Ausgestaltung ist die Gateelektrode T-förmig.

Der Vorteil ist hierbei, dass die Durchbruchspannung des Transistors hoch ist.

35

Weitere Vorteile ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen bzw. aus den abhängigen Patentansprüchen.

Kurze Beschreibung der Zeichnungen

Die vorliegende Erfindung wird nachfolgend anhand bevorzugter Ausführungsformen und beigelegter Zeichnungen erläutert. Es zeigen:

Figur 1 eine Schnittdarstellung eines ersten Beispiels eines Transistors mit hoher Elektronenbeweglichkeit

Figur 2 eine Schnittdarstellung eines zweiten Beispiels eines Transistors mit hoher Elektronenbeweglichkeit

Figur 3 eine Schnittdarstellung eines dritten Beispiels eines Transistors mit hoher Elektronenbeweglichkeit

Figur 4 eine Schnittdarstellung eines vierten Beispiels eines Transistors mit hoher Elektronenbeweglichkeit

Figur 5 eine Schnittdarstellung eines fünften Beispiels eines Transistors mit hoher Elektronenbeweglichkeit

Figur 6 eine Schnittdarstellung eines sechsten Beispiels eines Transistors mit hoher Elektronenbeweglichkeit

Figur 7 eine Schnittdarstellung eines siebten Beispiels eines Transistors mit hoher Elektronenbeweglichkeit

Figur 8 ein Verfahren zur Herstellung eines Transistors mit hoher Elektronenbeweglichkeit.

Figur 1 zeigt eine Schnittdarstellung in x-z-Richtung eines ersten Beispiels eines HEMTs 100, d. h. einen Transistor mit hoher Elektronenbeweglichkeit. Der HEMT 100 umfasst ein Halbleitersubstrat 101 auf dem eine Bufferschicht 102 aufge-

bracht ist. Auf der Bufferschicht 102 ist eine Heterostruktur 103 angeordnet. Die Heterostruktur umfasst dabei zwei Schichten 103a und 103b. Die obere Schicht 103b fungiert hierbei als Barrierschicht. An der Grenzfläche der beiden Schichten 103a und 103b bildet sich prinzipbedingt spontan ein zweidimensionales Elektronengas aus. Das Ausbilden des zweidimensionalen Elektronengases führt zu einer hohen Elektronenbeweglichkeit an der Grenzfläche, wobei die Elektronenbeweglichkeit in der Regel größer als $1500 \text{ cm}^2/\text{Vs}$ ist. Dies führt zu Ladungsträgerdichten im Elektronenkanal von in der Regel $n > 10^{13} \text{ cm}^{-2}$, wodurch die Leitverluste und die Schaltverluste des Transistors sehr gering sind. Auf der Heterostruktur 103 ist eine Gateelektrode aufgebracht, die durch Strukturierung einer hochdotierten Halbleiterschicht 104 entsteht. Eine Passivierungsschicht 105 ist auf die strukturierte hochdotierte Halbleiterschicht 104 aufgebracht, sodass die Gateelektrode passiviert ist. Die Passivierungsschicht 105 weist beispielsweise $10 \text{ nm} - 100 \text{ nm}$ dickes SiN auf. Die Drainbereiche und die Sourcebereiche des HEMTs 100 reichen vertikal bis zur bzw. in die obere Schicht 103b der Heterostruktur 103. Dabei weisen die Drainbereiche und die Sourcebereiche jeweils einen Ohmschen Kontakt 106 und 108 auf, der bis in die Passivierungsschicht 105 reicht. Auf den Ohmschen Kontakten 106 und 108 ist jeweils eine Metallisierung 107 und 109 aufgebracht, die als Powermetallisierung fungiert, sodass Drain und Source von außen kontaktierbar sind. Unter dem Begriff Powermetallisierung wird hierbei eine typischerweise mehrere Mikrometer dicke Metallschicht mit hoher Leitfähigkeit verstanden, die große elektrische Leistungen möglichst verlustfrei zum bzw. vom Transistor überträgt.

Figur 2 zeigt eine Schnittdarstellung in x-z-Richtung eines zweiten Beispiels des HEMTs 200. Der HEMT 200 weist ein Halbleitersubstrat 201 mit einer Bufferschicht 202 und einer Heterostruktur 203 auf. Auf die Heterostruktur 203 ist eine dielektrische Schicht 210 aufgebracht, die es ermöglicht die Gateelektrode in vertikaler Richtung zu formen. Somit kann eine Gateelektrode erzeugt werden, die Feldplatten aufweist. Die Feldplatten weisen dabei beispielsweise einen vertikalen Abstand zur Heterostruktur 203 auf, der der Dicke der dielektrischen Schicht 210 entspricht. Die Feldplatten können entweder symmetrisch, mit anderen Worten T-förmig oder asymmetrisch angeordnet sein. Die dielektrische Schicht 210 umfasst beispielsweise Siliziumnitrid, Siliziumdioxid oder Aluminiumoxid. Ohmsche Kontakte 206 und 208 sind in den Drainbereichen und den

Sourcebereichen angeordnet. Durch die dielektrische Schicht 203 sind die Ohmschen Kontakte 206 und 208 höher als im ersten Beispiel. Auf den Ohmschen Kontakten sind Powermetallisierungen 207 und 209 angeordnet.

5 Figur 3 zeigt eine Schnittdarstellung in x-z-Richtung eines dritten Beispiels eines HEMTs 300. Der HEMT 300 weist ein Halbleitersubstrat 301 mit einer Bufferschicht 302 und einer Heterostruktur 303 auf. Auf der Heterostruktur 303 ist eine Isolierungsschicht 311 angeordnet. Auf der Isolierungsschicht 311 ist die Gateelektrode angeordnet, die somit durch die Isolierungsschicht 311 von der
10 Heterostruktur 303 isoliert ist. Der restliche Aufbau gleicht dem aus Figur 1. Dabei weisen gleiche Schichten dieselben Endziffern der Bezugszeichen auf. Die Isolierungsschicht 311 umfasst beispielsweise Siliziumnitrid, Siliziumdioxid oder Aluminiumoxid.

15 Mit anderen Worten auf der Schicht 303b ist eine Isolationsschicht angeordnet, die in den Sourcebereichen und Drainbereichen entfernt wird. Anschließend werden Metalle abgeschieden, d.h. die Ohmschen Kontakte 306 und 308 reichen in diesem Fall auf jeden Fall in die Passivierungsschicht 305 hinein, möglich ist auch, dass sie an den Kanten sogar auch auf der Passivierungsschicht 305
20 liegen und sich überlappen. Wird die Isolation erst nach den Metallen abgeschieden, reichen diese nicht in die Isolation hinein. Anschließend wird hoch erhitzt, sodass die Metallatome der Ohmschen Kontakte 306 und 308 teilweise in die obere Schicht 303b hineindiffundieren.

25 Figur 4 zeigt eine Schnittdarstellung in x-z-Richtung eines vierten Beispiels eines HEMTs 400. Der HEMT 400 weist ein Halbleitersubstrat 401 mit einer Bufferschicht 402 und einer Heterostruktur 403 auf. Auf der Heterostruktur 403 ist eine dielektrische Schicht 410 angeordnet. Auf der dielektrischen Schicht 410 ist eine Isolierungsschicht 411 angeordnet. Auf der Isolierungsschicht 411 ist die
30 hochdotierte Halbleiterschicht 404 angeordnet, aus der die Gateelektrode erzeugt wird. Auf der strukturierten hochdotierten Halbleiterschicht 404 ist die Passivierungsschicht 405 angeordnet. Der restliche Aufbau gleicht dem Aufbau aus Figur 2. Auch hier weisen gleiche Schichten dieselben Endziffern der Bezugszeichen auf.

Figur 5 zeigt eine Schnittdarstellung in x-z-Richtung eines fünften Beispiels des HEMTs 500 auf. Der Aufbau des HEMTs 500 umfasst den Aufbau des HEMTs 300 aus Figur 3. Zusätzlich ist die Passivierungsschicht 505 im Gatebereich bis zur hochdotierten Halbleiterschicht 504 geöffnet, sodass auf der Gateelektrode teilweise eine dritte Metallschicht 512 angeordnet ist. Diese dritte Metallschicht 512 fungiert als Powermetallisierung. Dadurch ist die Gateelektrode direkt von außen zugänglich und somit von außen kontaktierbar.

Figur 6 zeigt eine Schnittdarstellung in x-z-Richtung eines sechsten Beispiels des HEMTs 600 auf. Der Aufbau des HEMTs 600 umfasst den Aufbau des HEMTs 400 aus Figur 4. Zusätzlich ist die Passivierungsschicht 605 im Gatebereich bis zur hochdotierten Halbleiterschicht 604 geöffnet, wobei auf der Gateelektrode teilweise eine dritte Metallschicht 612 angeordnet ist.

Figur 7 zeigt eine Schnittdarstellung in x-z-Richtung eines siebten Beispiels des HEMTs 700. Der HEMT 700 weist ein Halbleitersubstrat 701 mit einer Bufferschicht 702 und einer Heterostruktur 703 auf. Auf der Heterostruktur 703 ist die Isolierungsschicht 711 angeordnet. Auf der Isolierungsschicht 711 ist die dielektrische Schicht 710 angeordnet. Die Gateelektrode ist auf der Isolierungsschicht 711 angeordnet und wird vertikal durch die dielektrische Schicht geformt. Die Drainbereiche und die Sourcebereiche weisen Ohmsche Kontakte 706 und 708, sowie die Powermetallisierung 707 und 709 auf.

Das Halbleitersubstrat 101, 201, 301, 401, 501, 601 und 701 umfasst beispielsweise Silizium, Siliziumkarbid oder Saphir.

Die Heterostruktur 103, 203, 303, 403, 503, 603 und 703 umfasst beispielsweise AlGaN und GaN oder AlN und GaN oder InGaN und AlGaN oder InGaN und GaN.

Die Halbleiterschicht 104, 204, 304, 404, 504, 604 und 704 ist in allen beschriebenen Beispielen hochdotiert. Unter dem Begriff hochdotiert wird hierbei eine Dotierung von mehr als 10^{17} cm^{-3} verstanden. Die Halbleiterschicht 104, 204, 304, 404, 504, 604 und 704 umfasst hierbei beispielsweise Polysilizium. Alternativ sind auch andere Halbleitermaterialien wie Ge denkbar.

In einem Ausführungsbeispiel besteht die hochdotierte Halbleiterschicht 104 aus Polysilizium.

5 In den HEMTs 100, 300 und 500 des ersten, dritten und fünften Beispiels kann die Einsatzspannung des Transistors durch die Dotierung der Halbleiterschicht eingestellt werden. Unter dem Begriff Einsatzspannung wird hierbei die Gatespannung verstanden, bei der der Transistor vom sperrenden in den leitenden Betrieb umschaltet.

10 Figur 8 zeigt das Verfahren zur Herstellung eines Transistors mit einer hohen Elektronenbeweglichkeit. Dabei handelt es sich insbesondere um III-V-Leistungstransistoren. Das Verfahren startet mit Schritt 8000 indem ein Halbleitersubstrat mit Bufferschicht und Heterostruktur bereitgestellt wird. Dabei ist die Bufferschicht direkt auf dem Halbleitersubstrat und die Heterostruktur direkt auf der Bufferschicht angeordnet. Dieses Ausgangssubstrat umfassend das Halbleitersubstrat, die Bufferschicht und die Heterostruktur kann optional eine Capschicht aufweisen, beispielsweise aus p-dotiertem Galliumnitrid. Die Bufferschicht umfasst beispielsweise unabsichtlich dotiertes GaN. In einem folgenden Schritt 8025 wird eine Halbleiterschicht beispielsweise mittels eines chemical vapor deposition-Prozesses auf die Heterostruktur aufgebracht. Diese Halbleiterschicht ist hochdotiert. Sie umfasst beispielsweise Polysilizium. In einem folgenden Schritt 8030 wird eine Gateelektrode durch Strukturieren der Halbleiterschicht erzeugt, beispielsweise durch nasschemisches oder trockenchemisches Ätzen. In einem folgenden Schritt 8040 wird eine Passivierungsschicht auf die strukturierte Halbleiterschicht bzw. die Gateelektrode aufgebracht. Die Passivierungsschicht umfasst SiN, SiO₂ oder Al₂O₃. In einem folgenden Schritt 8070 werden Drainbereiche und Sourcebereiche gebildet. Dazu werden vertikale Öffnungen von der obersten Schicht, in diesem Beispiel der Passivierungsschicht, bis zur Heterostruktur erzeugt. Die vertikalen Öffnungen werden mittels selektivem Ätzen erzeugt. In einem folgenden Schritt 8080 werden in den Drainbereichen und in den Sourcebereichen Ohmsche Kontakte erzeugt. Dazu werden die ersten vertikalen Öffnungen mindestens bis zu einer Höhe der Passivierungsschicht teilweise mit einem ersten Metall verfüllt. Das erste Metall ist beispielsweise Nickel oder Kupfer. In einem folgenden Schritt 8090 wird mindestens

ein zweites Metall in Form einer Metallschicht auf das erste Metall aufgebracht. Das zweite Metall umfasst beispielsweise Al oder Cu oder Au. Das zweite Metall kann auch eine Kupferlegierung aufweisen. Das bedeutet die Ohmschen Kontakte werden üblicherweise aus mehreren Metallen hergestellt, die übereinander angeordnet sind und anschließend ausgeheizt werden. Typischerweise weist der Metallschichtenstapel Ti/Ni/Al/Au auf, wobei Ti auf oder in der oberen Schicht 103b angeordnet ist. Alternativ wird ein Metallschichtenstapel Ti/Ni/Ti/Au oder ein goldfreier Kontakt mit Ti/TiN oder Ti/Al verwendet.

In einem optionalen Schritt 8010, der zwischen dem Schritt 8000 und dem Schritt 8025 erfolgt, wird eine dielektrische Schicht auf die Heterostruktur aufgebracht. Die dielektrische Schicht ist dabei direkt auf der Heterostruktur aufgebracht. Sie befindet sich somit zwischen der Heterostruktur und der Passivierungsschicht. Zum Bilden der ersten vertikalen Öffnungen muss in diesem Beispiel zusätzlich zur Passivierungsschicht auch die dielektrische Schicht bereichsweise entfernt werden.

In einem optionalen Schritt 8020, der vor dem Schritt 8025 bzw. zwischen dem optionalen Schritt 8010 und dem Schritt 8025 erfolgt, wird eine Isolierungsschicht auf die Heterostruktur aufgebracht. Das Aufbringen erfolgt beispielsweise mittels in-situ Abscheidung von SiN oder ex-situ Deposition von SiN, SiO₂ oder Al₂O₃. Die Isolierungsschicht ist dabei direkt auf der Heterostruktur aufgebracht oder zwischen der dielektrischen Schicht und der Passivierungsschicht angeordnet. Sie befindet sich somit zwischen der Heterostruktur und der Passivierungsschicht. Die Isolierungsschicht dient hierbei zur Gateisolierung. Zum Bilden der ersten vertikalen Öffnungen müssen in diesem Beispiel zusätzlich zur Passivierungsschicht auch die Isolierungsschicht bzw. die Isolierungsschicht und die dielektrische Schicht bereichsweise entfernt werden.

In einem optionalen Schritt 8050, der zwischen Schritt 8040 und 8070 erfolgt, wird eine zweite vertikale Öffnung im Bereich der Gateelektrode erzeugt. Diese zweite vertikale Öffnung reicht bis zur Oberfläche der strukturierten Halbleiterschicht bzw. der Gateelektrode, die zugleich als Ätzstopp fungiert. In einem folgenden optionalen Schritt 8060, der nur durchgeführt wird, wenn der optionale Schritt 8050 durchgeführt wurde, wird ein drittes Metall in Form einer Metall-

- 11 -

schicht auf die Gateelektrode aufgebracht. Das dritte Metall umfasst dasselbe Material wie das zweite Metall. Alternativ umfasst das dritte Metall Aluminium.

5

Die Transistoren können in leistungselektronischen Wandlern eingesetzt werden, beispielsweise bei Hybrid- oder Elektrofahrzeugen, sowie im Bereich der Photovoltaik zur Realisierung von Invertersystemen.

5 Ansprüche

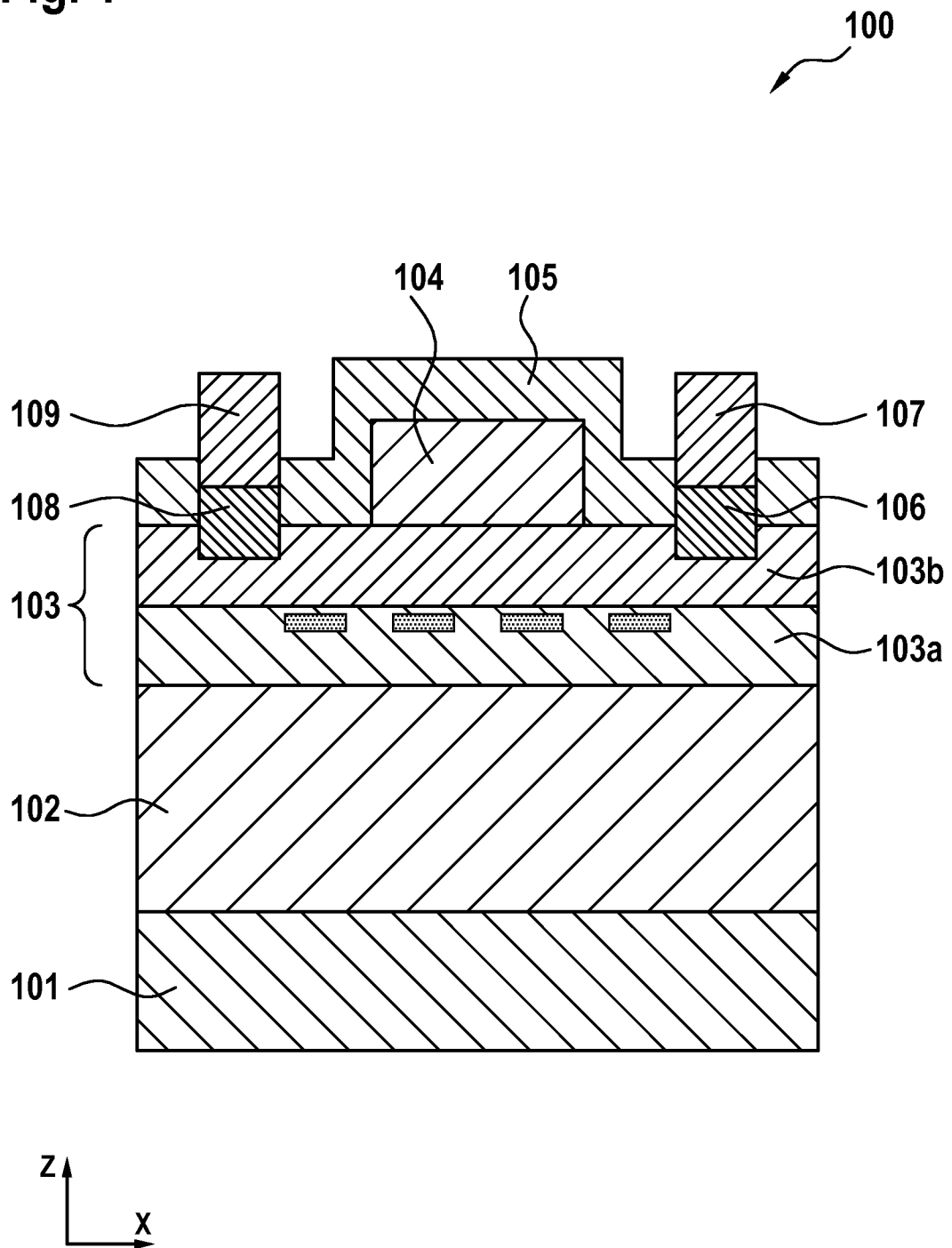
1. Verfahren zum Herstellen eines Transistors (100, 200, 300, 400, 500, 600, 700) mit hoher Elektronenbeweglichkeit umfassend ein Substrat (101, 201, 301, 401, 501, 601, 701) mit einer Heterostruktur (103, 203, 303, 403, 503, 603, 703), insbesondere eine AlGaIn/GaN-Heterostruktur, mit den Schritten:
- 10
- Erzeugen (8030) einer Gateelektrode durch Strukturieren einer Halbleiterschicht, die auf die Heterostruktur (103, 203, 303, 403, 503, 603, 703) aufgebracht ist, wobei die Halbleiterschicht (104, 204, 304, 404, 504, 604, 704) insbesondere Polysilizium aufweist,
 - 15
 - Aufbringen (8040) einer Passivierungsschicht (105, 205, 305, 405, 505, 605) auf die Halbleiterschicht (104, 204, 304, 404, 504, 604, 704),
 - Bilden (8070) von Drainbereichen und Sourcebereichen indem erste vertikale Öffnungen erzeugt werden, die mindestens bis in die Heterostruktur (103, 203, 303, 403, 503, 603, 703) reichen,
 - 20
 - Erzeugen (8080) von Ohmschen Kontakten in den Drainbereichen und in den Sourcebereichen durch teilweises Verfüllen der ersten vertikalen Öffnungen mit einem ersten Metall mindestens bis zur Höhe der Passivierungsschicht (105, 205, 305, 405, 505, 605), und
 - 25
 - Aufbringen (8090) einer zweiten Metallschicht auf die Ohmschen Kontakte, wobei die zweite Metallschicht über die Passivierungsschicht (105, 205, 305, 405, 505, 605) hinausragt.
2. Verfahren nach Anspruch 1, gekennzeichnet durch das Aufbringen (8020) einer Isolierungsschicht (311, 411, 511, 611, 711) auf die Heterostruktur (103, 203, 303, 403, 503, 603, 703), wobei die Isolierungsschicht (311, 411, 511, 611, 711) zwischen der Heterostruktur (103, 203, 303, 403, 503, 603, 703) und der Passivie-
- 30

rungsschicht (105, 205, 305, 405, 505, 605) angeordnet ist und die Isolierungsschicht (311, 411, 511, 611, 711) als Gate-Isolierung fungiert.

- 5 3. Verfahren nach Anspruch 1 oder 2, gekennzeichnet durch das Erzeugen (8050) einer zweiten vertikalen Öffnung im Bereich der Gateelektrode, die bis zur Oberfläche der Halbleiterschicht (104, 204, 304, 404, 504, 604, 704) reicht und Aufbringen (8060) einer dritten Metallschicht auf die Gateelektrode.
- 10 4. Verfahren nach einem der Ansprüche 1 bis 3, gekennzeichnet durch das Strukturieren (8010) einer dielektrischen Schicht (210, 410, 610), die auf der Heterostruktur (103, 203, 303, 403, 503, 603, 703) angeordnet ist, um die Gateelektrode zu strukturieren.
- 15 5. Verfahren nach Anspruch 1, gekennzeichnet durch das Aufbringen (8020) einer Isolierungsschicht (311, 411, 511, 611, 711) auf die Heterostruktur (103, 203, 303, 403, 503, 603, 703), wobei die Isolierungsschicht (311, 411, 511, 611, 711) zwischen der Heterostruktur (103, 203, 303, 403, 503, 603, 703) und der Halbleiterschicht aus Polysilizium, die als Gateelektrode fungiert (104, 204, 304, 404, 504, 604) angeordnet ist und die Isolierungsschicht (311, 411, 511, 611, 711) als Gate-
20 Isolierung fungiert.
- 25 6. Transistor (100, 200, 300, 400, 500, 600, 700) mit hoher Elektronenbeweglichkeit aufweisend eine Heterostruktur, insbesondere eine AlGaN/GaN-Heterostruktur, dadurch gekennzeichnet, dass eine Gateelektrode des Transistors (100, 200, 300, 400, 500, 600, 700) Polysilizium aufweist.
- 30 7. Transistor (100, 200, 300, 400, 500, 600, 700) nach Anspruch 6, dadurch gekennzeichnet, dass die Gateelektrode T-förmig ist.

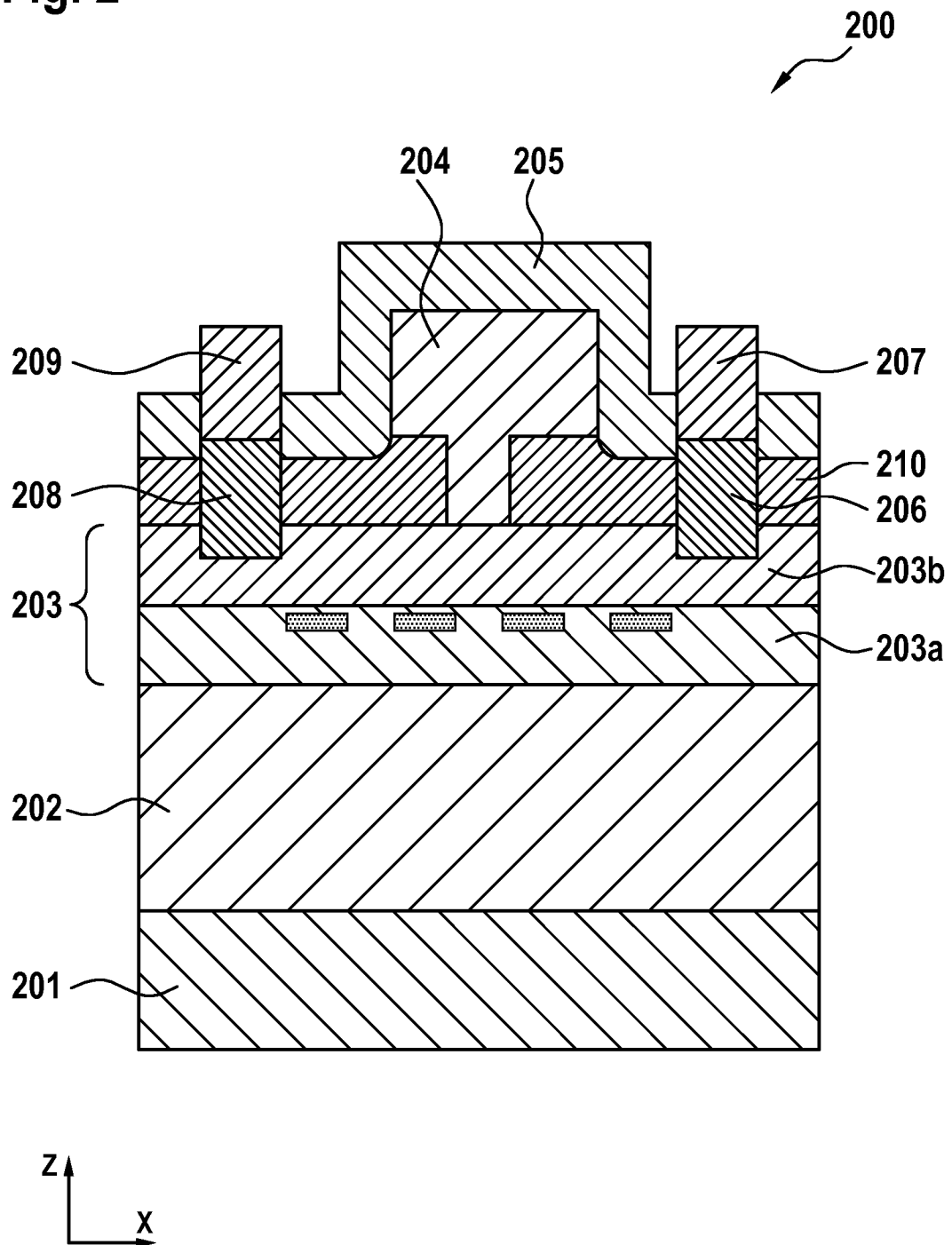
1 / 8

Fig. 1



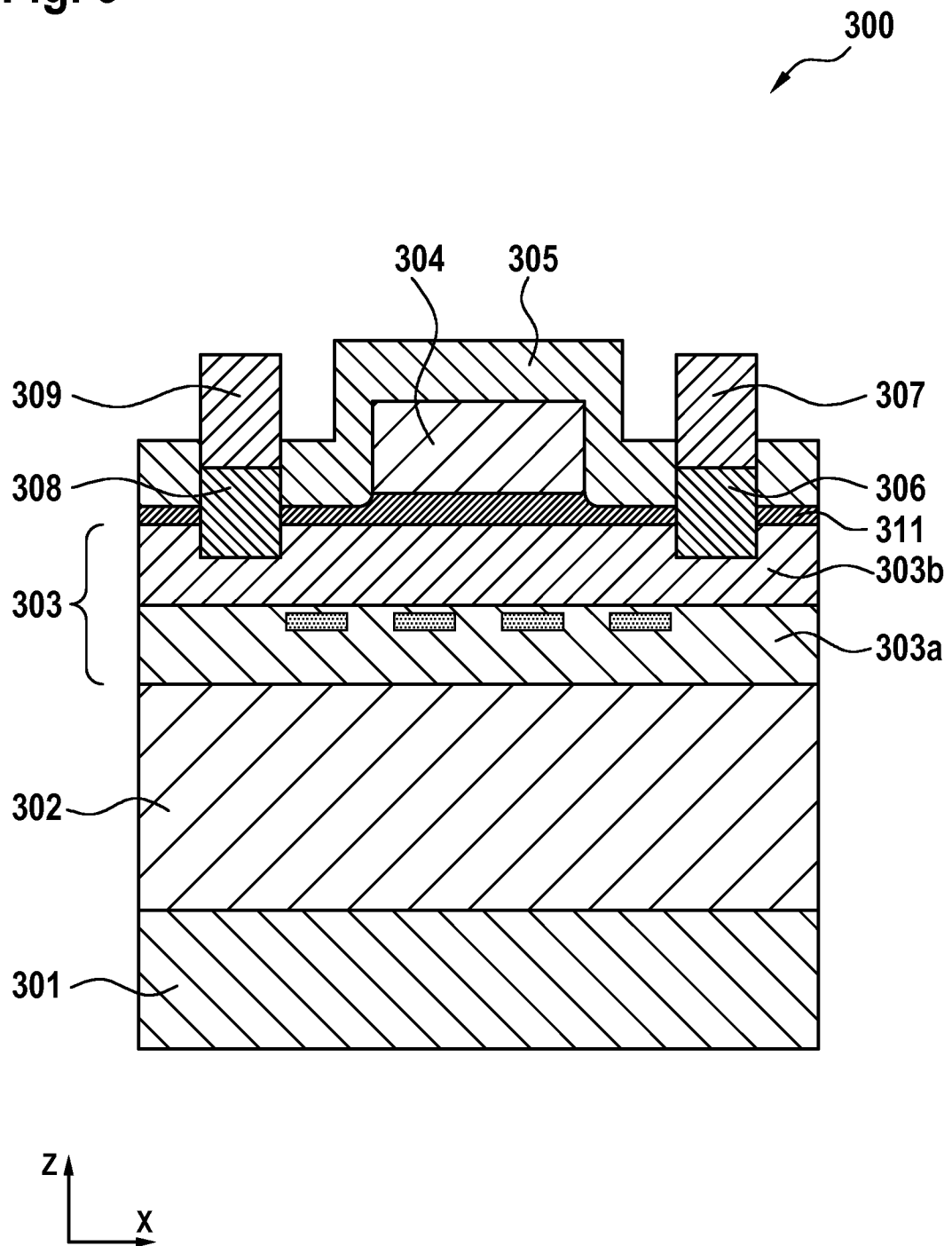
2 / 8

Fig. 2



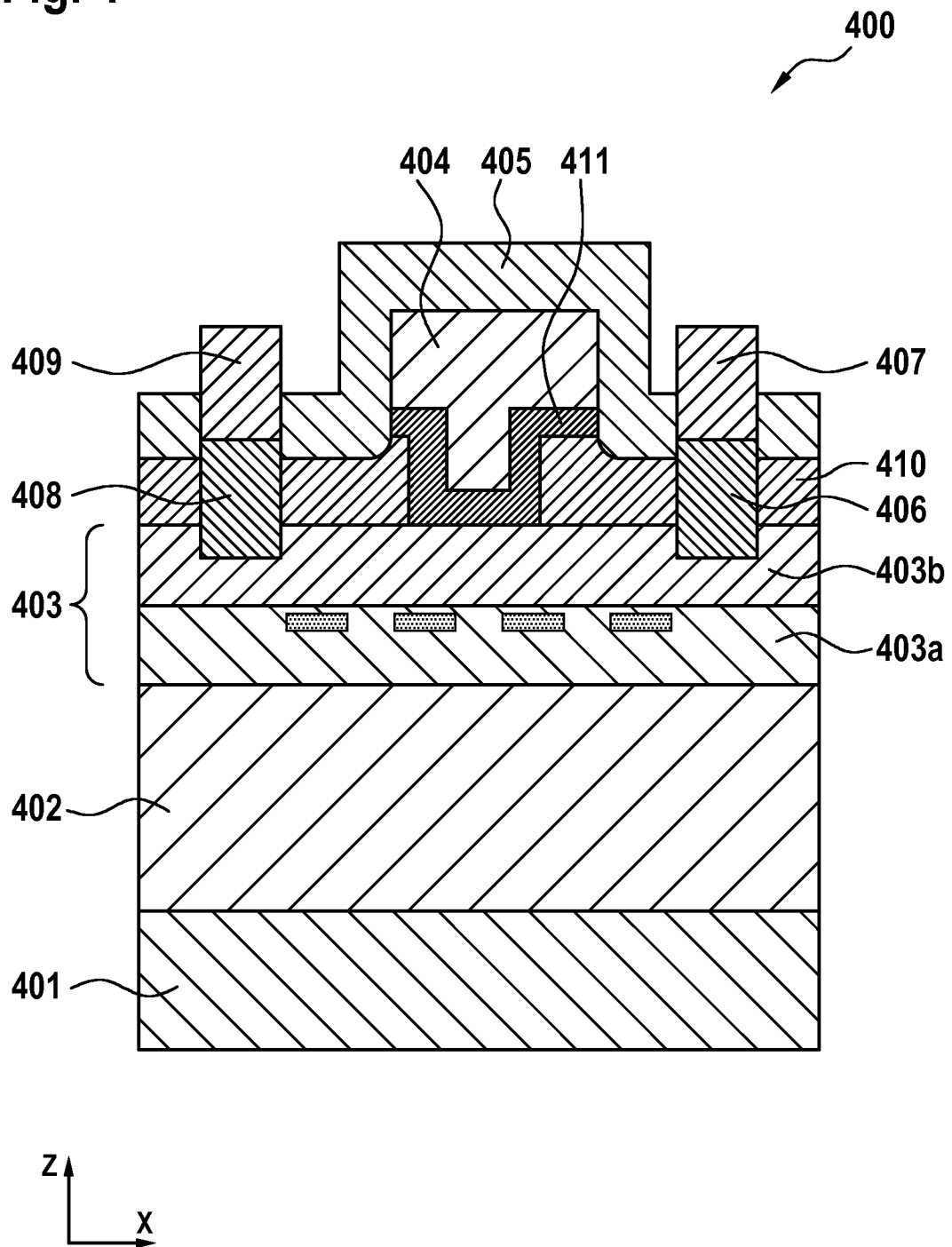
3 / 8

Fig. 3



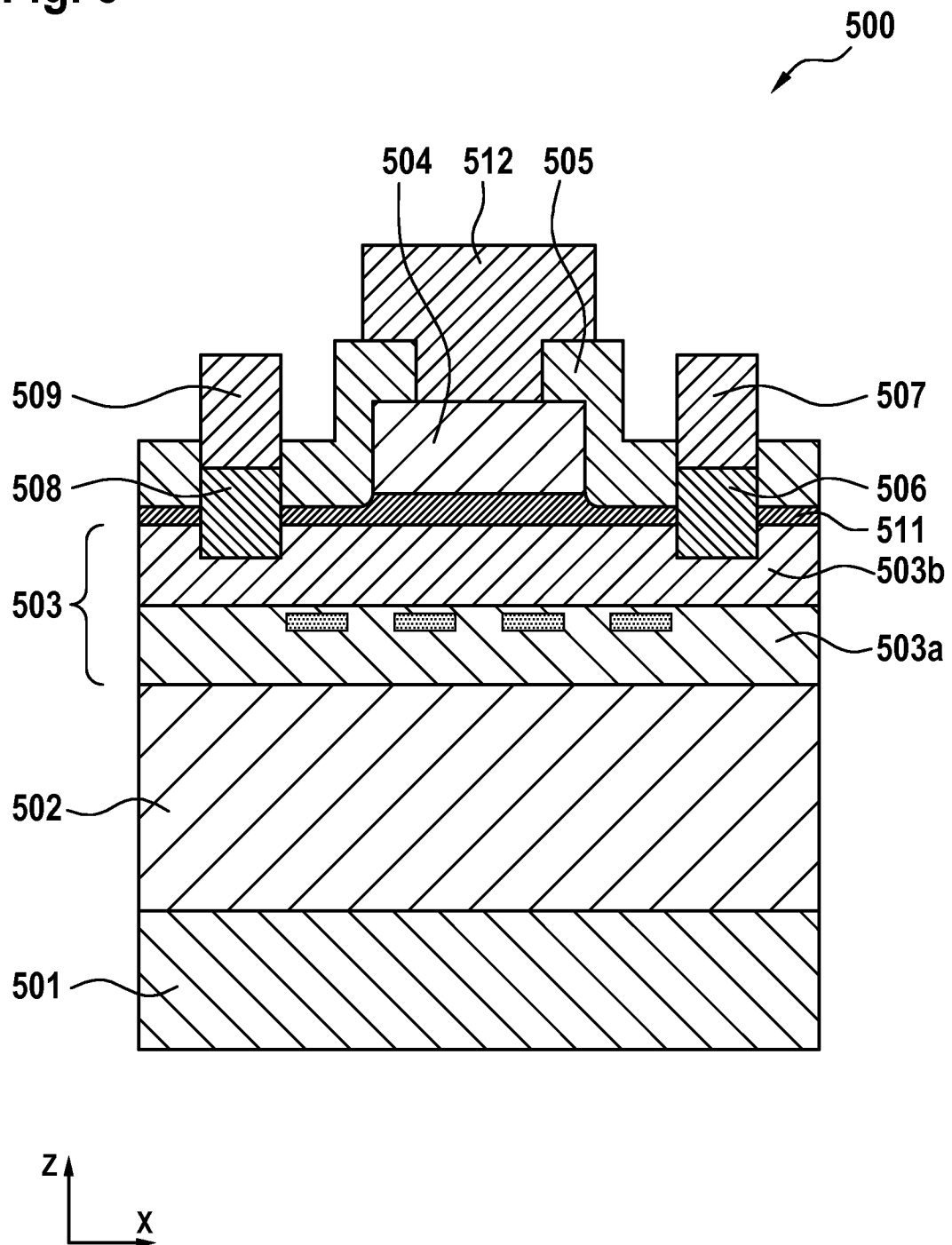
4 / 8

Fig. 4



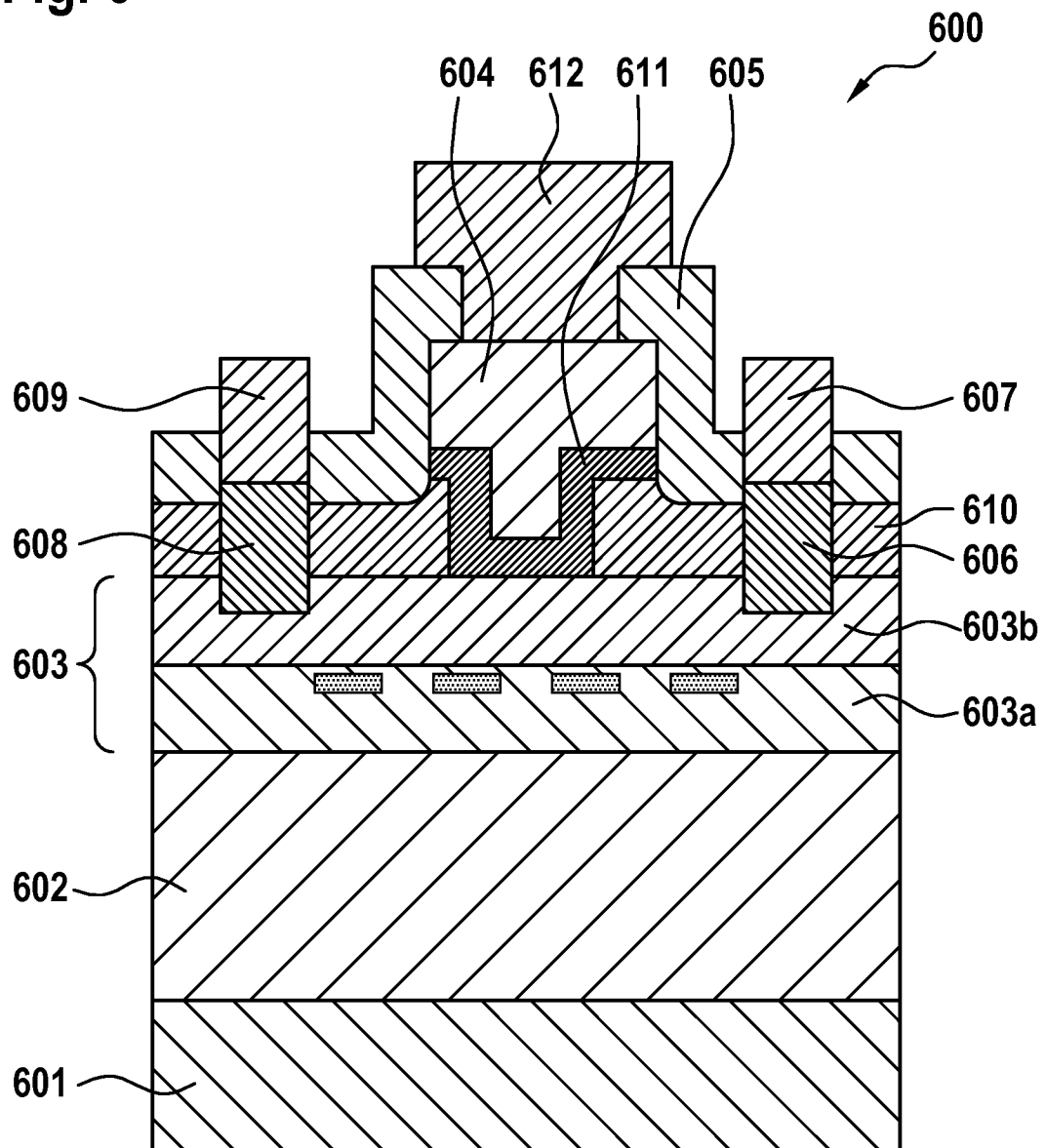
5 / 8

Fig. 5



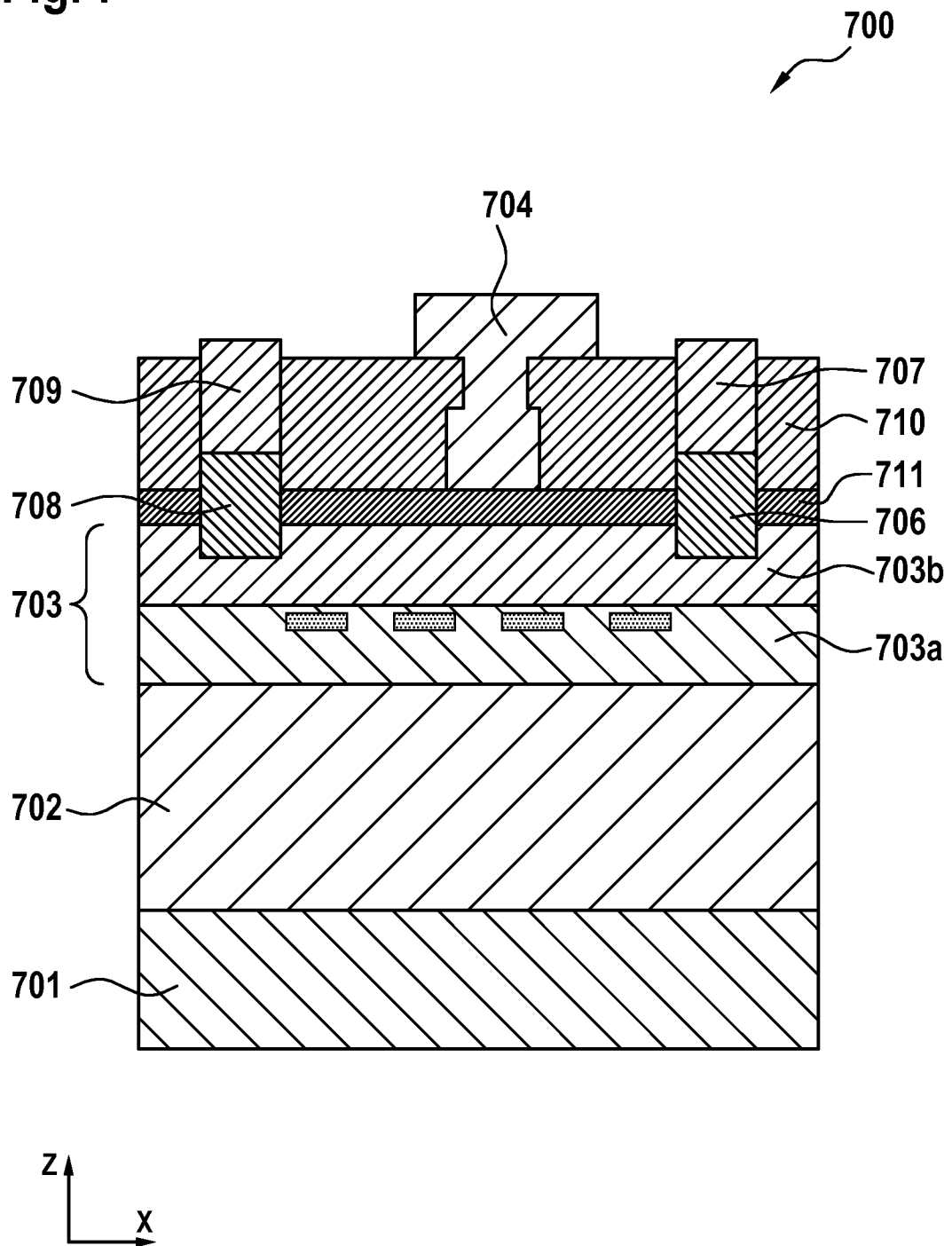
6 / 8

Fig. 6



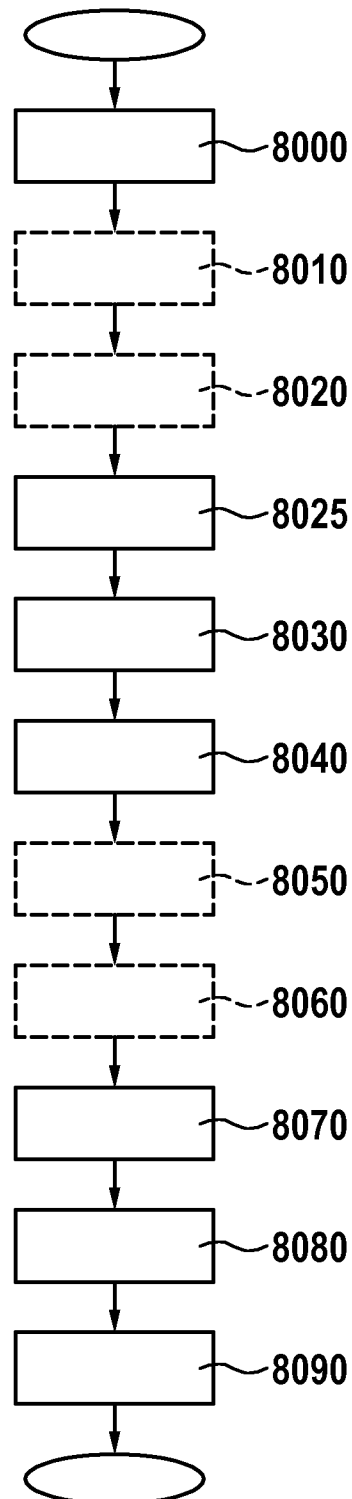
7 / 8

Fig. 7



8 / 8

Fig. 8



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2016/059386

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L29/778 H01L21/336 H01L29/49
ADD. H01L29/423 H01L29/20 H01L29/417

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, INSPEC, COMPENDEX, IBM-TDB, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/193485 A1 (AKIYAMA SHINICHI [JP] ET AL) 1 August 2013 (2013-08-01) Abbildungen 1, 8 und zugehöriger Text -----	1-5
X	DE 10 2011 000911 A1 (INFINEON TECHNOLOGIES AUSTRIA [AT]) 1 September 2011 (2011-09-01) Abbildung 3 und zugehöriger Text -----	1-5
A	EP 2 840 593 A1 (ENKRIS SEMICONDUCTOR INC [CN]) 25 February 2015 (2015-02-25) Abbildungen 2, 4 und zugehöriger Text paragraph [0009] -----	2,4,5
A	US 2010/097105 A1 (MORITA TATSUO [JP] ET AL) 22 April 2010 (2010-04-22) figure 17 -----	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 July 2016

Date of mailing of the international search report

22/09/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Moehl, Sebastian

INTERNATIONAL SEARCH REPORT

International application No.
PCT/EP2016/059386

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-5

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

The International Searching Authority has found that the international application contains multiple (groups of) inventions, as follows:

1. Claims 1-5

The transistor has a passivation layer which is formed on the semiconductor layer, first vertical openings in drain regions and source regions respectively, which reach at least into the heterostructure and are partially filled with a first metal at least to the height of the passivation layer for producing respective ohmic contacts, and a second metal layer on the ohmic contacts, the second metal layer protruding beyond the passivation layer.

2. Claims 6, 7

The semiconductor layer of the gate electrode comprises polysilicon.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2016/059386

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013193485 A1	01-08-2013	CN 103227198 A	31-07-2013
		JP 2013157407 A	15-08-2013
		US 2013193485 A1	01-08-2013

DE 102011000911 A1	01-09-2011	DE 102011000911 A1	01-09-2011
		JP 5823138 B2	25-11-2015
		JP 2011181922 A	15-09-2011
		JP 2014116607 A	26-06-2014
		US 2011210377 A1	01-09-2011
		US 2015243775 A1	27-08-2015

EP 2840593 A1	25-02-2015	CN 102709321 A	03-10-2012
		EP 2840593 A1	25-02-2015
		SG 11201406749W A	27-11-2014
		US 2015053921 A1	26-02-2015
		WO 2013155929 A1	24-10-2013

US 2010097105 A1	22-04-2010	CN 101523614 A	02-09-2009
		CN 101976684 A	16-02-2011
		CN 103219375 A	24-07-2013
		EP 2084750 A1	05-08-2009
		JP 5552230 B2	16-07-2014
		JP 5715184 B2	07-05-2015
		JP 5779704 B2	16-09-2015
		JP 2013191868 A	26-09-2013
		JP 2015008331 A	15-01-2015
		US RE45989 E1	26-04-2016
		US 2010097105 A1	22-04-2010
		WO 2008062800 A1	29-05-2008

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L29/778 H01L21/336 H01L29/49
 ADD. H01L29/423 H01L29/20 H01L29/417

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, COMPENDEX, IBM-TDB, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2013/193485 A1 (AKIYAMA SHINICHI [JP] ET AL) 1. August 2013 (2013-08-01) Abbildungen 1, 8 und zugehöriger Text -----	1-5
X	DE 10 2011 000911 A1 (INFINEON TECHNOLOGIES AUSTRIA [AT]) 1. September 2011 (2011-09-01) Abbildung 3 und zugehöriger Text -----	1-5
A	EP 2 840 593 A1 (ENKRIS SEMICONDUCTOR INC [CN]) 25. Februar 2015 (2015-02-25) Abbildungen 2, 4 und zugehöriger Text Absatz [0009] -----	2,4,5
A	US 2010/097105 A1 (MORITA TATSUO [JP] ET AL) 22. April 2010 (2010-04-22) Abbildung 17 -----	4



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

21. Juli 2016

Absendedatum des internationalen Recherchenberichts

22/09/2016

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Moehl, Sebastian

Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1. ☐ Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich

2. ☐ Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. ☐ Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Diese Internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☐ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.

3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. ☒ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst:
1-5

Bemerkungen hinsichtlich eines Widerspruchs

- ☐ Der Anmelder hat die zusätzlichen Recherchegebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.
- ☐ Die zusätzlichen Recherchegebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.
- ☐ Die Zahlung der zusätzlichen Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-5

Der Transistor umfasst eine Passivierungsschicht, die auf der Halbleiterschicht ausgebildet ist, erste vertikale Öffnungen jeweils in Drainbereichen und Sourcebereichen, die mindestens bis in die Heterostruktur reichen und teilweise mit einem ersten Metall mindestens bis zur Höhe der Passivierungsschicht zur Ausbildung jeweiliger Ohmscher Kontakte verfüllt sind, sowie eine zweite Metallschicht auf den Ohmschen Kontakten, wobei die zweite Metallschicht über die Passivierungsschicht hinausragt.

2. Ansprüche: 6, 7

Die Halbleiterschicht der Gateelektrode weist Polysilizium auf.

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2016/059386

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2013193485	A1	01-08-2013	CN	103227198 A		31-07-2013
			JP	2013157407 A		15-08-2013
			US	2013193485 A1		01-08-2013

DE 102011000911	A1	01-09-2011	DE	102011000911 A1		01-09-2011
			JP	5823138 B2		25-11-2015
			JP	2011181922 A		15-09-2011
			JP	2014116607 A		26-06-2014
			US	2011210377 A1		01-09-2011
			US	2015243775 A1		27-08-2015

EP 2840593	A1	25-02-2015	CN	102709321 A		03-10-2012
			EP	2840593 A1		25-02-2015
			SG	11201406749W A		27-11-2014
			US	2015053921 A1		26-02-2015
			WO	2013155929 A1		24-10-2013

US 2010097105	A1	22-04-2010	CN	101523614 A		02-09-2009
			CN	101976684 A		16-02-2011
			CN	103219375 A		24-07-2013
			EP	2084750 A1		05-08-2009
			JP	5552230 B2		16-07-2014
			JP	5715184 B2		07-05-2015
			JP	5779704 B2		16-09-2015
			JP	2013191868 A		26-09-2013
			JP	2015008331 A		15-01-2015
			US	RE45989 E1		26-04-2016
			US	2010097105 A1		22-04-2010
			WO	2008062800 A1		29-05-2008
