

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成21年12月24日(2009.12.24)

【公開番号】特開2008-159669(P2008-159669A)
【公開日】平成20年7月10日(2008.7.10)
【年通号数】公開・登録公報2008-027
【出願番号】特願2006-344096(P2006-344096)
【国際特許分類】

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成21年11月6日(2009.11.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のメモリセルと、前記メモリセルとビット線を介して接続されるローカル読出データ増幅回路とを備え、

前記ローカル読出データ増幅回路のゲート電極が前記メモリセルのゲート電極と配置方向が同一である事を特徴とする半導体記憶装置。

【請求項2】

前記ローカル読出データ増幅回路のソース拡散領域とドレイン拡散領域の配置方向が前記メモリセルのソース拡散領域とドレイン拡散領域の配置方向と同一である事を特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記ローカル読出データ増幅回路のNWELLがメモリセルのNWELLと接続されている事を特徴とする請求項1および2に記載の半導体記憶装置。

【請求項4】

前記NWELLは前記メモリセルのNWELLと同じ幅で前記ローカル読出データ増幅回路のNWELLと接続される事を特徴とする請求項3に記載の半導体記憶装置。

【請求項5】

前記メモリセルと、前記ローカル読出データ増幅回路とで、基板コンタクトを共有することを特徴とする請求項1から請求項4に記載の半導体記憶装置。

【請求項6】

前記メモリセルのNWELLは、前記メモリセルのゲートを延伸する方向の一方の隣接するメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されていることを特徴とする請求項1から請求項5に記載の半導体記憶装置。

【請求項7】

前記メモリセルが専用読み出しポートを備え、専用読出ポートを備えるPWELLが隣接する側のメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】

複数のメモリセルと、前記メモリセルとビット線を介して接続されるローカル読出データ

増幅回路とを備え、

前記ローカル読出データ増幅回路のソース拡散領域とドレイン拡散領域の配置方向が前記メモリセルのソース拡散領域とドレイン拡散領域の配置方向と同一であることを特徴とする半導体記憶装置。

【請求項 9】

前記ローカル読出データ増幅回路のNWELLがメモリセルのNWELLと接続されている事を特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 10】

複数のメモリセルと、前記メモリセルとビット線を介して接続されるローカル読出データ増幅回路とを備え、前記ローカル読出データ増幅回路のNWELLがメモリセルのNWELLと接続されている事を特徴とする半導体記憶装置。

【請求項 11】

前記NWELLは前記メモリセルのNWELLと同じ幅で前記ローカル読出データ増幅回路のNWELLと接続される事を特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】

前記ローカル読出データ増幅回路のゲート電極が前記メモリセルのゲート電極と配置方向が同一であることを特徴とする請求項 10 および請求項 11 に記載の半導体記憶装置。

【請求項 13】

前記ローカル読出データ増幅回路のソース拡散領域とドレイン拡散領域の配置方向が前記メモリセルのソース拡散領域とドレイン拡散領域の配置方向と同一であることを特徴とする請求項 10 から請求項 12 に記載の半導体記憶装置。

【請求項 14】

前記メモリセルと、前記ローカル読出データ増幅回路とで、基板コンタクトを共有することを特徴とする請求項 10 から請求項 13 に記載の半導体記憶装置。

【請求項 15】

前記メモリセルのNWELLは、前記メモリセルのゲートを延伸する方向の一方の隣接するメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されていることを特徴とする請求項 10 から請求項 14 に記載の半導体記憶装置。

【請求項 16】

前記メモリセルが専用読み出しポートを備え、専用読出ポートを備えるPWELLが隣接する側のメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されていることを特徴とする請求項 15 に記載の半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本願の第 1 の発明においては、複数のメモリセルと、前記メモリセルとビット線を介して接続されるローカル読出データ増幅回路とを備え、前記ローカル読出データ増幅回路のNWELLがメモリセルのNWELLと接続されていることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

本願の第 2 の発明においては、前記第 1 の発明の半導体記憶装置において、前記NWELLはメモリセルのNWELLと同じ幅で前記ローカル読出データ増幅回路のNWELLと接続されていることを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

本願の第3の発明においては、前記第1の発明および前記第2の発明に記載の半導体記憶装置において、前記ローカル読出データ増幅回路のゲート電極が前記メモリセルのゲート電極と配置方向が同一であることを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本願の第4の発明においては、前記第1から第3の発明に記載の半導体記憶装置において、前記ローカル読出データ増幅回路のソース拡散領域とドレイン拡散領域の配置方向が前記メモリセルのソース拡散領域とドレイン拡散領域の配置方向と同一であることを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本願の第5の発明においては、前記第1から第4の発明に記載の半導体記憶装置において、前記メモリセルと、前記ローカル読出データ増幅回路とで、基板コンタクトを共有することを特徴とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本願の第6の発明においては、前記第1から第5の発明に記載の半導体記憶装置において、前記メモリセルのNWELLは、前記メモリセルのゲートを延伸する方向の一方の隣接するメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されていることを特徴とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本願の第7の発明においては、前記第6の発明に記載の半導体記憶装置において、前記メモリセルが専用読み出しポートを備え、前記メモリセルのNWELLは、専用読み出しポートを備えるPWELLが隣接する側のメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されていることを特徴とする。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 6

【補正方法】 変更

【補正の内容】

【 0 0 2 6 】

本願第1の発明により、複数のメモリセルと、前記メモリセルとビット線を介して接続されるローカル読出データ増幅回路との境界に存在するNWELL分離領域を削減することが可能となり、その面積削減効果は大きい。

【手続補正10】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 7

【補正方法】 変更

【補正の内容】

【 0 0 2 7 】

本願第2の発明により、複数のメモリセルと、前記メモリセルとビット線を介して接続されるローカル読出データ増幅回路との境界で、NWELLに矩形が生じずに、NWELLを直線状にすることが可能となり、拡散領域とのオーバーラップ等の制限をなくすことが可能で、その面積削減効果は大きい。

【手続補正11】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 8

【補正方法】 変更

【補正の内容】

【 0 0 2 8 】

本願第3の発明により、前記ローカル読出データ増幅回路のゲート電極が前記メモリセルのゲート電極と配置方向を同一とすることで、ゲート電極のばらつきを抑制し、製造工程でのプロセス不良を低減することが出来る。

【手続補正12】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 2 9

【補正方法】 変更

【補正の内容】

【 0 0 2 9 】

本願第4の発明により、前記ローカル読出データ増幅回路のソース拡散領域とドレイン拡散領域の配置方向が前記メモリセルのソース拡散領域とドレイン拡散領域の配置方向と同一とすることで、拡散領域のばらつきを抑制し、製造工程でのプロセス不良を低減することが出来る。

【手続補正13】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 0

【補正方法】 変更

【補正の内容】

【 0 0 3 0 】

本願第5の発明により、前記メモリセルと、前記専用読出ポートに接続されるローカル読出データ増幅回路とで、個別に配置されていた基盤コンタクトを統一することが可能で、その面積削減効果は大きい。

【手続補正14】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 3 1

【補正方法】 変更

【補正の内容】

【 0 0 3 1 】

本願第6の発明により、前記メモリセルのNWELLは、前記メモリセルのゲートを延伸する方向の一方の隣接するメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されており、前記メモリセルのNWELL領域の幅以上に、ローカル読出データ増幅回路のNWELL領域を大幅に確保することが可能となり、前記ローカル読出データ増幅回路が小面積でレイアウト可能となり、その面積削減効果は大きい。

【 手 続 補 正 1 5 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 3 2

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 3 2 】

本願第7の発明により、前記メモリセルが専用読み出しポートを備え、前記メモリセルのNWELLは、専用読出ポートを備えるPWELLが隣接する側のメモリセルのNWELLと、前記ローカル読出データ増幅回路のNWELLを介して接続されており、前記メモリセルのNWELL領域の幅以上に、ローカル読出データ増幅回路のNWELL領域を、最大限確保することが可能となり、前記ローカル読出データ増幅回路が小面積でレイアウト可能となり、その面積削減効果は大きい。