



(12) 发明专利

(10) 授权公告号 CN 101295702 B

(45) 授权公告日 2013. 04. 17

(21) 申请号 200810089172. 5

审查员 张一文

(22) 申请日 2008. 04. 17

(30) 优先权数据

102007019552. 6 2007. 04. 25 DE

(73) 专利权人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市

(72) 发明人 斯特凡·德廷格 艾尔弗雷德·马丁

芭芭拉·哈斯勒 格里特·佐默

弗洛里安·宾德尔

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 章社杲 吴贵明

(51) Int. Cl.

H01L 23/50 (2006. 01)

H01L 21/60 (2006. 01)

(56) 对比文件

US 6667551 B1, 2003. 12. 23,

US 2006/0131691 A1, 2006. 06. 22,

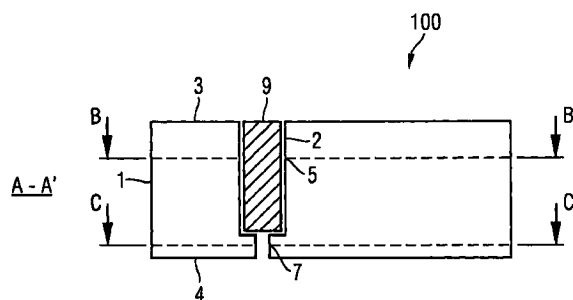
权利要求书 2 页 说明书 9 页 附图 12 页

(54) 发明名称

具有馈通的基板及其制造方法

(57) 摘要

一种基板 (100-600), 包括: 半导体基板 (1), 所述半导体基板 (1) 具有第一主面 (3)、第二主面 (4)、以及从所述第一主面 (3) 延伸至所述第二主面 (4) 的至少一个通道 (2), 其中所述至少一个通道 (2) 在第一位置 (5) 具有第一横截面 (6), 在第二位置 (7) 具有第二横截面 (8); 以及电传导第一材料 (9), 添加到所述至少一个通道 (2) 中。



1. 一种用于制造具有馈通的基板的方法,其特征在于,包括:

提供半导体基板(1),所述半导体基板具有:第一主面(3);第二主面(4);以及从所述第一主面(3)延伸至所述第二主面(4)的至少一个通道(2),所述至少一个通道在所述第一主面(3)上具有第一开口并在所述第二主面(4)上具有第二开口,其中所述至少一个通道在第一位置(5)具有第一横截面(6),且在第二位置(7)具有第二横截面(8),所述第二横截面小于所述第一横截面;

在预定填充压力下,将电传导第一材料(9)填充到所述至少一个通道(2)中,从而使得所述第一位置处的部分被电传导第一材料(9)填充,而所述第二位置处的部分不被电传导第一材料(9)填充;以及

在填充所述电传导第一材料(9)之后,将电传导第二材料(15)填充到所述第二位置处的部分中

其中,所述电传导第一材料(9)具有的熔点比所述电传导第二材料(15)的熔点高。

2. 根据权利要求1所述的方法,其特征在于,所述至少一个通道(2)通过对所述半导体基板(1)进行电化学蚀刻来制造。

3. 根据权利要求2所述的方法,其特征在于,所述第一横截面(6)和所述第二横截面(8)通过电化学蚀刻期间流过所述半导体基板(2)的大小不同的蚀刻电流来制造。

4. 根据权利要求1所述的方法,其特征在于,所述至少一个通道(2)通过在所述半导体基板(1)的所述第一主面(3)上制造具有狭窄端区域(18)的盲孔(10)并且在所述半导体基板(1)的所述第二主面(4)上去除直到所述盲孔(10)的狭窄端区域(12)的半导体基板材料而制成。

5. 根据权利要求1至4中任一项所述的方法,其特征在于,在所述半导体基板(1)以及所述至少一个通道(2)的表面上制成第一绝缘层(13)。

6. 根据权利要求5所述的方法,其特征在于,所述第一绝缘层(13)通过加热硅基板而制成。

7. 根据权利要求5所述的方法,其特征在于,所述第一绝缘层(13)通过沉积绝缘第一材料而制成。

8. 根据权利要求1所述的方法,其特征在于,所述至少一个通道(2)通过在所述半导体基板(1)中制造通孔并且在邻近所述半导体基板(1)的一个主面(4)的区域中的通孔的表面上沉积绝缘第二材料(19)来制造。

9. 根据权利要求1所述的方法,其特征在于,将所述电传导第一材料(9)通过负压和/或过压以液态填充到所述至少一个通道(2)中。

10. 根据权利要求1所述的方法,其特征在于,所述至少一个通道(2)在第三位置(16)具有第三横截面(17)。

11. 根据权利要求1所述的方法制造的具有馈通的基板(100-600),其特征在于,所述基板包括:

半导体基板(1),所述半导体基板具有:第一主面(3);第二主面(4);以及从所述第一主面(3)延伸至所述第二主面(4)的至少一个通道(2),所述至少一个通道在所述第一主面上具有第一开口并在所述第二主面上具有第二开口,其中所述至少一个通道(2)在第一位置(5)具有第一横截面(6),且在第二位置(7)具有第二横截面(8),所述第二横截面小于

所述第一横截面；

电传导第一材料 (9)，以预定压力被填充到所述至少一个通道 (2) 中，从而使得所述第一位置处的部分被电传导第一材料 (9) 填充，而所述第二位置处的部分不被电传导第一材料 (9) 填充；以及

电传导第二材料 (15)，在填充所述电传导第一材料 (9) 之后，所述电传导第二材料 (15) 被填充到所述第二位置处的部分中且由此形成所述馈通，

其中，所述电传导第一材料 (9) 具有的熔点比所述电传导第二材料 (15) 的熔点高。

12. 根据权利要求 11 所述的基板 (300)，其特征在于，所述至少一个通道 (2) 在第三位置 (16) 具有第三横截面 (17)。

13. 根据权利要求 12 所述的基板 (300)，其特征在于，所述第三横截面 (17) 小于所述第一横截面 (6) 并且大于所述第二横截面 (8)，并且所述电传导第一材料 (9) 在所述第三位置 (16) 被引入到所述至少一个通道 (2) 中。

14. 根据权利要求 11 所述的基板 (100-600)，其特征在于，第一绝缘层 (13) 在所述至少一个通道 (2) 中覆盖所述半导体基板 (1) 的表面。

15. 根据权利要求 11 所述的基板 (100-400, 600)，其特征在于，所述至少一个通道 (2) 在第二位置 (7) 相对于所述半导体基板 (1) 的材料而收缩，以形成所述第二横截面 (8)。

16. 根据权利要求 11 所述的基板 (500)，其特征在于，所述至少一个通道 (2) 在第二位置 (7) 通过第二绝缘层 (19) 而收缩，以形成所述第二横截面 (8)。

17. 根据权利要求 11 所述的基板 (600)，其特征在于，所述半导体基板 (1) 包括第一半导体基板层 (20) 以及设置在所述第一半导体基板层 (20) 上方的第二半导体基板层 (21)。

18. 根据权利要求 17 所述的基板 (600)，其特征在于，所述至少一个通道 (2) 延伸穿过所述第一和第二半导体基板层 (20, 21)，并且所述至少一个通道 (2) 在所述第一半导体基板层 (20) 中具有所述第一横截面 (6) 并且在所述第二半导体基板层 (21) 具有所述第二横截面 (8)。

19. 根据权利要求 11 所述的基板 (100-600)，其特征在于，所述至少一个通道 (2) 的通道长度与所述第一位置 (5) 的通道直径的商大于 2。

20. 根据权利要求 11 所述的基板 (100-600)，其特征在于，所述至少一个通道 (2) 的通道长度与所述第一位置 (5) 的通道直径的商小于 1000。

21. 根据权利要求 11 所述的基板 (100-600)，其特征在于，所述通道由熔融金属填充。

22. 一种半导体组件 (700-900)，其特征在于，所述半导体组件包括：

根据权利要求 11-21 中任意一项所述的基板 (100-600)；以及
集成电路 (707)，应用于所述基板 (100-600)。

23. 根据权利要求 22 所述的半导体组件 (900)，其特征在于，所述集成电路 (707) 被集成到所述基板 (100-600) 的表面中。

24. 根据权利要求 22 所述的半导体组件 (700, 800)，其特征在于，所述集成电路 (707) 被集成到元件 (706) 中，并且所述元件 (706) 通过至少一个连接线 (709) 和 / 或至少一个焊料触点 (713) 连接于所述基板 (100-600)。

具有馈通的基板及其制造方法

技术领域

[0001] 本发明涉及具有馈通 (feedthrough) 的基板及其制造方法。

[0002] 背景技术

[0003] 集成电路、传感器、或微型机械设备通常应用在基板上,或者集成在基板上。为了能够外部连接集成电路,从基板的上侧到下侧设置电传导的馈通是非常有用的。

[0004] 发明内容

[0005] 针对该情况,本发明提供了一种具有馈通的基板、半导体组件及具有馈通的基板的制造方法。

[0006] 具体地,基板包括半导体基板,半导体基板具有第一主面、第二主面、以及从第一主面延伸到第二主面的至少一个通道。至少一个通道在第一位置具有第一横截面,在第二位置具有第二横截面。电传导第一材料添入至少一个通道。

[0007] 此外,半导体组件包括基板以及集成电路。基板形成为相似于上述基板。集成电路应用于基板。

[0008] 此外,对方法进行详细说明,其中设置有半导体基板,该半导体基板具有第一主面、第二主面、以及从第一主面延伸到第二主面的至少一个通道。至少一个通道在第一位置具有第一横截面,在第二位置具有第二横截面。电传导第一材料添入至少一个通道。

附图说明

[0009] 以下描述一些实施例,这些实施例仅用于说明本发明,并不是为了以任何方式限制本发明。

[0010] 图 1A 至图 1C 示意性示出基板 100 及其制造方法。

[0011] 图 2A 至图 2E 示意性示出基板 200 及其制造方法。

[0012] 图 3A 至图 3D 示意性示出基板 300 及其制造方法。

[0013] 图 4A 至图 4D 示意性示出基板 400 及其制造方法。

[0014] 图 5A 至图 5D 示意性示出基板 500 及其制造方法。

[0015] 图 6A 至图 6C 示意性示出基板 600A、600B、以及 600C。

[0016] 图 7 示意性示出半导体组件 700。

[0017] 图 8 示意性示出半导体组件 800。

[0018] 图 9 示意性示出半导体组件 900。

具体实施方式

[0019] 以下给出对基板及其制造方法的描述。基板可以用作载体,使得以微米标准或纳米标准图样化的装置(例如,集成电路或集成电 光电路、传感器或微型机械设备)被保持在适当位置,和/或连接至外界。基板可包含半导体基板,特别是硅基板、锗基板、砷化镓基板、硅绝缘化合物基板、完全或不完全氧化的大孔硅等。由于半导体基板固有的良好的图样化能力和电特性,半导体基板可用作具有集成的有源元件(例如,晶体管、二极管、可移动

结构元件、传感器元件等)的载体和部件。由于高度发展的半导体处理技术,有源元件能够以高密度集成到半导体基板中。

[0020] 如果半导体基板被用作载体,它们能够容纳自身可用作载体和/或集成有有源元件的一个或多个其他半导体基板(芯片)。芯片可粘结或焊接在载体基板上,或者以相似方式固定。芯片之间或者芯片与外界之间的电传导接触可以通过焊线、倒装芯片焊接、或者其他实用的互连来产生。这样,半导体基板能够被用于产生紧密的、高集成的“系统级封装”(SiP)组件。这些组件可用于通讯技术、汽车、工业、以及消费电子(例如,移动电话射频组件、汽车的基点或其他雷达组件)领域。

[0021] 使用硅作为基板载体具有其他优点,多数集成元件同样集成到硅中。在这种情况下,由硅制成的基板载体与安装于其上的元件具有相同的热膨胀系数。这减小了操作期间由于热循环而引起的形成在载体和元件之间的有害的机械应力。由于良好的图样化能力和高度发展的半导体处理技术,半导体基板中的通道能够具有极小的横截面。因此,能够在基板表面上产生相应于集成的半导体元件的形体尺寸的通道密度,例如几百 nm。

[0022] 对于高系统集成,基板从一个主面到另一个主面具有电传导馈通是非常有用的。基板两侧的互连能够使彼此电传导连接。这样,能够在电子元件与设置在基板相对的主面上的元件之间产生较短的电连接。因此,能够节约利用预定的基板表面,使封装尺寸最小化,并且能够避免为额外的互连平面支出。

[0023] 作为实例,能够在以倒装芯片安装的方式安装在半导体基板的一个主面上的集成元件与设置在基板的另一个主面上的接触元件之间产生直接的连接。如果电传导馈通的位置朝向芯片触点的位置,那么馈通能够提供与接触元件较短的连接,使得信号(例如 RF 信号)以无干扰并且无延迟的方式尽可能快地向外传递。

[0024] 如果基板在前侧设置有集成电路并且还提供有电传导馈通,那么后者能够被用于将集成元件的信号直接传递至基板的后侧。这样,通过焊接在电传导馈通上的接触元件,能够在集成电路与外界之间产生极短的电连接。后侧上的接触元件还能够提供集成元件彼此堆叠并且直接接触连接的堆叠结构。

[0025] 电传导馈通添入通道穿过半导体基板。各种情况中的通道从半导体基板的第一主面延伸至半导体基板的第二主面。第一和第二主面通常是半导体基板的两个较大的相对的区域。特别地,主面是圆形的单晶半导体片的两个面或者是其锯开的部分(芯片)。半导体片的面积根据预定的晶片直径(例如 4 英寸、8 英寸、10 英寸、12 英寸(300mm))通常被标准化。晶片的厚度可以在通常 100-1000 μm 的范围内变化,在特殊应用中,这些值也可以更小或更大。

[0026] 各种情况中的至少一个或多个通道在半导体基板的第一主面上具有第一开口,在半导体基板的第二主面上具有第二开口。如果两个开口中的一个位于另一个之上,那么通道能够在垂直于第一或第二主面的方向上将第一开口连接至第二开口。在这种情况下,通道的长度基本上等于半导体基板的厚度。

[0027] 电传导第一材料和电传导第二材料添入至少一个通道中。电传导第一和第二材料以及其他电传导材料形成电传导馈通穿过至少一个通道。电传导材料可以是金属,例如铜、银或金或合金或其他硬焊料(例如基于银(例如 AgCu28))、软焊料(例如基于锡)等。电传导材料的选择能够适合于基板使用的需求或领域。

[0028] 穿过半导体基板的至少一个通道在第一位置具有第一横截面,在第二位置具有第二横截面。第一和第二横截面大小不同。此外,至少一个通道能够在其他位置具有第一或第二横截面。作为实例,第一横截面能够呈现在第一部分内,第二横截面能够呈现在第二部分内。此外,至少一个通道能够在第三位置或第三部分内具有与第一和 / 或第二横截面不同的第三横截面。以相应的方式,至少一个通道还能够在其他位置具有其他横截面。根据该制造方法(至少一个通道通过该方法在半导体基板中产生),或多或少能够在不同的横截面之间产生明显的转变。

[0029] 至少一个通道的横截面可以基本上形成为例如圆形,但是也可以假设是其他几何形状。在圆形横截面的情况下,第一和第二横截面具有不同的直径。根据应用和基板材料,横截面的值可以假设在几百平方纳米至几平方毫米之间。但是不能排除较大或较小的值。横截面的尺寸取决于想要流过电传导馈通的电流密度、电传导馈通是否用于来自发热集成电路的热量的热消耗、感应或电容需求是否合适等。最后,横截面还取决于电传导馈通的数量和电传导馈通的密度。

[0030] 下面将详细描述示例性实施例,其中示意性说明实施例,并且附图不是真实的尺寸。

[0031] 图 1A、1B、以及 1C 分别示出穿过基板 100 的截面 A-A'、B-B'、以及 C-C'。截面 B-B' 和 C-C' 彼此平行延伸,并且垂直于截面 A-A'。基板 100 包括例如圆形半导体基板 1,至少一个通道 2 添加到该半导体基板 1 中。通道 2 从半导体基板 1 的第一主面 3 延伸到第二主面 4。通道 2 在第一位置 5 具有截面 B-B' 穿过的第一横截面 6,并且通道 2 在第二位置 7 具有 C-C' 穿过的第二横截面 8。作为实例,第二横截面 8 大于第一横截面 6。电传导第一材料 9 添加到通道 2 中。

[0032] 下面参照图 2 至图 6,描述其他基板 200 至基板 600 及其制造方法。基板 200 至基板 600 示出了图 1 中基板 100 的进展。以下描述的基板 200 至基板 600 的构造及其制造方法能够以相应的方式应用于基板 100。

[0033] 图 2E 示意性地示出包含多个通道 2 的基板 200。图 2A 至图 2E 示出制造基板 200 的步骤。

[0034] 为了制造基板 200,首先提供半导体基板 1,其中在通道 2 将要穿过半导体基板 1 的位置形成有盲孔 10。盲孔 10 的制造能够通过不同的方法来实现。电化学蚀刻成为一个可能的制造方法。为了准备电化学蚀刻,首先使用例如 10%浓度的氢氧化钾溶液有选择地对于掩模对半导体基板 1 的第一主面 3 进行蚀刻 10 分钟。然后,第一主面 3 被电解液(例如 HF 酸)覆盖,并且在第二主面 4 与电解液之间施加电压。第二主面 4 同时被光源(例如 800nm 的波长)照射。设置光源的密度,使得预定的电流密度(每个盲孔 10nA)在半导体基板 1 与电解液之间流动。由于半导体基板 1 的最初蚀刻的第一主面 3 与电解液之间的电流,小孔形成在最初蚀刻的位置,添入半导体基板 1 中并且形成盲孔 10。

[0035] 电化学蚀刻能够在 p- 掺杂或 n- 掺杂半导体基板 1 上执行,特别是硅半导体基板,其电阻率通常在 1-2000 Ω/cm 范围之内,特别是在 800-1200 Ω/cm 范围之内。盲孔 10 的形状、直径、深度、以及密度很大程度上依赖于电流密度、掺杂、酸浓度、以及蚀刻时间,因此对于每种新的应用必须重新确定。通过在蚀刻操作期间改变蚀刻参数,电化学蚀刻能够改变个别盲孔 10 的横截面。作为实例,在盲孔 10 中,横截面形成得越大,蚀刻电流就越大。特

别地,蚀刻电流与通过电化学蚀刻制造的横截面之间具有平方关系。因此,作为实例,在如图 2A 所示的对盲孔 10 的第一部分 11 进行蚀刻期间,蚀刻电流比对第二部分 12 进行蚀刻的蚀刻电流大。因此,在第一部分 11 中的横截面大于第二部分 12 中的横截面。第一部分 11 包含通道 2 的第一位置 5 并且第二部分 12 包含通道 2 的第二位置 7。

[0036] 作为图 2A 的可选择的方案,图 2B 示出设置蚀刻电流使得盲孔 10 最初被制造成具有较小的直径,在一段时间之后,设置蚀刻电流,使得盲孔 10 变宽。

[0037] 在每种情况中,为了从盲孔 10 获得从第一主面 3 至第二主面 4 的完整的通道 2,可以通过干式或湿式化学蚀刻方法在进一步的蚀刻步骤中对盲孔 10 进行进一步的蚀刻,直到盲孔 10 到达半导体基板 1 的第二主面 4。作为可选择的方案,可以通过从第二主面 4 去除材料使盲孔 10 打开。作为实例,可以通过利用化学机械抛光 (CMP) 的平面化使第二主面 4 开口。

[0038] 除了上述的电化学蚀刻,也可以采用其他蚀刻技术来制造盲孔 10 和通道 2。特别地,微型机械领域中众所周知的蚀刻方法(例如,RIE(反应离子蚀刻)方法、激光钻孔、喷沙、超声钻孔)能够用于该目的,只要这些蚀刻方法使通道 2 的横截面能够根据深度而改变。以下结合对图 4 至图 6 的描述,进一步描述用于制造盲孔 10 和通道 2 的其他方法。

[0039] 图 2C 中示出完全穿过半导体基板 1 的通道 2。半导体基板 1 的厚度可以在 25-2000 μm 的范围内,特别是在 100-250 μm 的范围内。通道 2 的直径可以在 2-150 μm 的范围内,特别是在 10-30 μm 的范围内。通道长度与通道直径的比率(直径长度比)可以在 2-1000 的范围内,尤其可以是例如 100 以上的相对较大的直径长度比。

[0040] 为了使相邻通道 2 的馈通彼此电绝缘,通道 2 的表面可设置有第一绝缘层 13(在图 2C 中用较粗的线表示)。第一绝缘层 13 可以是氧化层和/或氮化层。如果半导体基板 1 由硅制成,那么第一绝缘层 13 可以通过 CVD(化学气相沉积)处理由 TEOS(原硅酸四乙酯)制成的 SiO_2 ,或者通过溅射由硅烷(SiH_4)和氨(NH_3)制成的 Si_3N_4 。第一绝缘层 13 也可以由不同绝缘层组合,例如 ONO 层,其是上述氧化层-氮化层-氧化层的组合。

[0041] 此外,绝缘层 13 可以是加热制造的 SiO_2 层。 SiO_2 层在热氧化期间没有沉积,而是硅表面上未被覆盖的硅通过加热(大约 900-1200 $^{\circ}\text{C}$)以及供氧转变为二氧化硅。与以其他方式形成的二氧化硅相比,加热处理的二氧化硅形成具有硅晶格的无缺陷接触面。这在 Si/SiO_2 接触面减少了硅中的泄漏电流。稍后将添入到通道 2 中的电传导材料与硅之间的寄生电容被进一步减小。最小化的寄生电容对于射频应用及其重要。

[0042] 根据应用,第一绝缘层 13 的厚度在 5-1000nm 的范围之内,特别是在 100 至 200nm 之间。

[0043] 特别地,不仅是通道 2 的表面,半导体基板 1 的整个表面(即,通道 2 以及半导体基板 1 的两个主面 3、4)都设置有第一绝缘层 13。在硅基板 1 的情况下,这能够通过单独的步骤来实现,例如通过对设置有通道 2 的硅基板 1 进行热氧化或渗氮。这对于使半导体基板 1 在通道 1 以及主面 3、4 与稍后将添入到通道 2 中的传导材料电绝缘来说是较节俭的程序。特别地,以以下方式应用第一绝缘层 13:通道 2 中的第一绝缘层 13 的层厚度小于第一或第二主面 3、4 的层厚度的 50%,特别是少于 20%。

[0044] 如果第一绝缘层 13 包括加热产生的二氧化硅,那么后者能够使用在第一和/或第二主面 3、4 上,作为用于 MOS 晶体管的选通电路(gate)的氧化物。这里,同样地,加热产

生的二氧化硅提供了无缺陷的 Si/SiO₂ 接触面,从而使硅中的泄漏电流最小化。通过使用热氧化物作为第一绝缘层 13,用于制造穿过半导体基板 1 的馈通的工艺与标准的 CMOS 工艺一致。这能够节俭地制造具有集成电路以及具有任意数量的馈通的硅片或晶片。

[0045] 可选择地,阻挡层 14 能够应用于第一绝缘层 13,所述阻挡层阻止稍后将要添入到通道 2 中的电传导材料扩散到半导体基板 1 中。阻挡层 14 可以是例如通过化学气相沉积 (CVD) 工艺应用于通道 2 的表面的 TiN 或 TaN 层。阻挡层 14 的层厚度为例如 100nm。由于阻挡层 14 是可选择的,因此作为实例,阻挡层 14 仅在图 2C 中由虚线表示。

[0046] 图 2D 示出电传导第一材料 9 已经充满通道 2 的基板 200。对通道 2 填充电传导第一材料 9 是用于为电传导馈通提供材料,或者至少部分所述材料。电传导第一材料 9 优选在其熔点以上填充到通道中。特别的是,要选择熔点温度低于半导体基板 1 的熔点温度的电传导第一材料 9。对通道 2 填充液态下的电传导第一材料 9 的优点是,与传统类型的金属填充相比,尤其是与由化学气相沉积 (CVD) 或电化学或化学电镀 (非电解电镀) 实现的沉积相比,这种工艺具有较高的生产量以及较低的处理成本。

[0047] 作为实例,铜 (熔点 :1084℃)、银 (熔点 :962℃)、或金 (熔点 :1064℃) 能够用作电传导第一材料 9。这些材料具有较好的电传导性以及比硅 (熔点 :1410℃) 低的熔点。

[0048] 此外,也可以是硬焊料 (例如基于银 (例如 AgCu28))、软焊料 (例如基于锡)、以及其他金属 (例如铝、铅、锌等)。电传导第一材料 9 的选择能够适用于基板 200 的需要或领域。

[0049] 对通道 2 填充电传导第一材料 9 可以一个通道接着一个通道地实现或者同时实现。为了填充通道 2,半导体基板 1 能够例如被浸入电传导第一材料 9 的金属中,使得金属能够基本上同时地渗入到通道 2 中。

[0050] 特别地,电传导第一材料 9 以相对负压添入到通道 2 中。应用相对负压使得即使润湿性较差的材料也能够添入到狭窄的通道中。这里适用于横截面越小、通道越长、以及润湿性越差,就越需要用于填充通道的相对负压。通道 2 中相对负压可以由填充电传导第一材料 9 期间从外部在熔体上施加过压产生。

[0051] 如图 2 所示,由于通道 2 一部分接一部分地压缩以及加宽,具有不同填充压力的区域出现在通道 2 中。如图 2 所示,对于通道 2 的第二部分 12 的通过金属熔体或合金熔体的填充,由于第二横截面 8 较小,所需要的填充压力大于具有较大的第一横截面 6 的第一部分 11。

[0052] 在用电传导第一材料 9 填充通道 2 时,能够使用上述第一和第二部分 11、12 的不同的填充方式。在明确的填充压力,只有第一部分 11 填充有电传导第一材料 9 的熔体。随着压力逐渐增加,到达极限压力,第二部分 12 也被填充,并且熔体填充了整个通道 2。由于通道 2 从熔体退出之后将变空,因此电传导第一材料 9 的熔体填充整个通道 2 的情况是不希望的。相反,填充压力应该被设置为第一部分 11 填充有熔体,而第二部分 12 没有被填充。在这种情况下,第二部分 12 作为塞子,防止通道 2 完全填充有熔体。这具有的优点是,在半导体基板 1 从熔体退出时,通道 2 不是空的。由于第二部分 12 中的通道 2 的收缩,因此在填充电传导第一材料 9 期间,通道 2 的作用与盲孔完全相同。在通道被构造成与半导体基板中的盲孔相同的情况下,为了使熔体添入盲孔,需要施加相对负压。但是,在熔体添入之后,盲孔必须被打开,以形成连续的通道,以 至于最终能够提供穿过半导体基板的电传导

馈通。在图 2 示出的程序中,该处理步骤可以被省略。

[0053] 将电传导第一材料 9 填充到通道 2 的处理步骤可以设定如下。首先,半导体基板 1 被放入到含有电传导第一材料 9 的熔体的不漏气的处理室中。当排空处理室时,半导体基板 1 位于熔体的外侧。一旦到达 0.001 至 100mbar 范围内的预定压力,尤其是小于 1mbar,半导体基板 1 就被浸入到熔体中,并且处理室随后被加压。压力在 1 至 20bar 范围之内,尤其是位于 5-10bar 范围之内。填充通道 2 的第一部分 11 所需要的压力尤其依赖于处理温度、电传导第一材料 9 的表面张力、以及通道 2 的横截面 6 和 8。半导体基板 1 在用于填充通道 2 的压力下从熔体取出。在熔体凝固在通道 2 中之后,处理室中的压力再次减小到正常压力。

[0054] 由于填充通道 2 期间适用的压力,通道 2 中的表面即使是在润湿性较差的电传导第一材料 9 的情况下,也不需要提供粘附层。通过省略通道 2 中的粘附层,能够避免额外的处理步骤。

[0055] 对通道 2 填充润湿性较差的电传导第一材料 9 可具有以下效果:一方面,电传导第一材料 9 渗入到通道 2 中,并在凝固之后形成电传导馈通或者其一部分;另一方面,焊缝 (bead) 远离半导体基板 1 的两个主面 3、4。由于焊缝远离,能够避免第一材料 9 由于冷却凝固而在两个主面 3、4 上形成层。避免在主面 3、4 上形成层能够防止半导体基板 1 暴露于如此高的机械应力,以至于如果液态的电传导第一材料 9 冷却并凝固,半导体基板将会由于不同的热膨胀系数而损坏。

[0056] 如图 2E 所示,在第一部分 11 填充有电传导第一材料 9 之后,第二部分 12 填充有电传导第二材料 15。因此,由电传导第一和第二材料 9 和 15 组成并从半导体基板 1 的第一主面 3 延伸到第二主面 4 的电传导馈通产生在每个通道 2 中。

[0057] 电传导第二材料 15 在其熔点以上填充到通道 2 中。对第二部分 12 填充电传导第二材料 15 同样以相对负压实现。当填充第二部分 12 时,能够以相应的方式执行上述有关填充第一部分 11 的处理步骤。在这种情况下,由于第二部分 12 中第二横截面 8 较小,应当考虑到必须设定较高的填充压力。

[0058] 特别的金属和合金适合电传导第二材料 15。所选择的电传导第二材料 15 的熔点温度低于电传导第一材料 9 的熔点温度。这使得在将电传导第二材料 15 添加到第二部分 12 中期间,能够防止电传导第一材料 9 由于过度地加热而熔化。选择电传导第二材料 15 使得其不会与电传导第一材料 9 形成具有较低熔点的共晶或合金。原则上,上面提到的用于电传导第一材料 9 的金属、合金、硬钎料、以及软焊料适合电传导第二材料 15。作为实例,应该提及以下组合:例如,AgCu (熔点:大约 780°C) 用于电传导第一材料 9, SnAgCu (熔点:大约 250°C) 用于电传导第二材料 15。

[0059] 在图 2 示出的处理步骤期间,半导体基板 1 可以是半导体晶片的一部分。这使得能够同时为多个半导体芯片制造电传导馈通。仅在后面的处理步骤中半导体晶片例如通过锯开被分成多个半导体芯片。

[0060] 在制造具有两种电传导材料 9 和 15 的馈通之前或之后,集成元件能够被提供给半导体基板 1。通过执行处理步骤,晶体管、二极管、或者其它电路元件或传感器元件或微型机械元件能够集成在半导体基板 1 上。

[0061] 作为可选择的,或者另外,具有或不具有集成电路的其它基板能够被提供给基板

200。较高封装密度能够以这种方式获得。

[0062] 图 3D 示意性示出作为其它示例性实施例的基板 300。图 3A 至图 3D 示出制造基板 300 的步骤。基板 300 及其制造基本上相应于图 2 中示出的基板 200 及其制造。与基板 200 相比较,基板 300 的通道 2 不仅具有第一和第二部分 11 和 12,而且在各种情况下还具有第三部分 16,其中第三部分 16 具有第三横截面 17。第三横截面 17 与第一和第二部分 11 和 12 的第一和第二横截面 6 和 8 不同。在这种情况下,第三横截面 17 大于第二横截面 8,但是小于第一横截面 6。如果采用上述电化学蚀刻用于制造盲孔 10,那么用于制造第三部分 17 的蚀刻电流就会相应地改变。

[0063] 如上所述,对基板 300 的通道 2 填充电传导第一材料 9 以相对负压实现。在这种情况下,设定处理室中的压力,使得电传导第一材料 9 的熔体从半导体基板 1 的第一主面 3 渗入到通道 2 中,所述第一主面通过第三部分 16 连接,并且第二部分 12 没有填充熔体(比较图 3C)。对将电传导第一材料 9 填充到通道 2 时的压力进行设定,使得已经超过了用于填充第三部分 16 的极限压力,但没有到达用于填充第二部分 12 的极限压力。

[0064] 基板 300 相对于基板 200 的优点在于,电传导第一材料 9 添入通道 2 内之后能够再次熔化。如果通道 2 与基板 200 的情况一样被分成两部分,那么电传导第一材料 9 在通道 2 中的熔化将导致熔体从通道 2 中流出。由于基板 300 中的通道 2 朝向主面 3 和 4 收缩,电传导第一材料 9 如果重新熔化,将不能从通道 2 出现。电传导第一材料 9 的这种熔化可发生在各种处理步骤中,其中电传导第一材料 9 的熔点以上的温度影响较大。

[0065] 图 4D 示意性示出作为其它示例性实施例的基板 400。图 4A 至图 4D 示出用于制造基板 400 的步骤。与基板 200 和 300 相比较,在基板 400 的情况下,在半导体基板 1 中没有具有不同横截面的盲孔 10。不过,盲孔 10 具有固定的横截面。只有盲孔 10 的尖端变尖。尖端 18 的变尖由于制造而引起的;例如,这种变尖是由于蚀刻处理或由于钻孔而引起的,并且能够用于制造基板 400。在制造盲孔 10 之后,通过从第二主面 4 去除材料使盲孔 10 打开。如图 4B 所示,在这种情况下,在第二主面 4 上去除半导体材料的量与到达盲孔 10 的尖端 18 的量一样多。由于尖端 18 变尖,具有较小横截面的部分成为尖端 18 的区域。与基板 200 的情况相同,该较小的横截面在对通道 2 填充电传导第一材料 9 期间能够被用作依靠压力的障碍物 (pressure-dependent barrier) (比较图 4C)。

[0066] 盲孔 10 从第二主面 4 打开能够通过例如 CVD 处理以及可能的平版图样化来执行。作为可选择的方案,第二主面 4 上的半导体材料也能够被机械地磨掉,直到到达盲孔 10 的尖端 18。

[0067] 由于在制造基板 400 期间不需要改变盲孔 10 的横截面,因此除了电化学蚀刻以外,还能够采用制造盲孔 10 的技术,该技术使横截面不变化而从外面使得盲孔 10 的尖端 18 变细。除了蚀刻技术以外,还包括例如机械钻孔、喷砂、超声钻孔、以及激光钻孔。

[0068] 如图 4D 所示,盲孔 10 的未被覆盖的尖端 18 能够以与基板 200 的情况相同的方式填充有电传导第二材料 15。

[0069] 图 5D 示意性示出作为其它示例性实施例的基板 500。图 5A 至图 5D 示出制造基板 500 的步骤。如图 5A 所示,为了制造基板 500,不具有变化的横截面的均匀通道 2 添入半导体基板 1 中。通道能够通过例如钻孔、冲压、蚀刻或其它技术来制造。绝缘材料 19(例如 SiO_2 或 Si_3N_4) 随后沉积在半导体基板 1 的第二主面 4 上。这能够通过例如溅射或 CVD 处

理来实现。在沉积绝缘材料 19 期间,绝缘材料 19 不仅沉积在第二主面 4 上,而且还沉积在通道 2 的表面上相对于第二主面 4 的边缘区域中,并且在相对于第二主面 4 的边缘区域中使通道 2 产生收缩。如图 5C 和图 5D 所示,所述收缩在对通道 2 填充电传导第一材料 9 期间能够再次被用作依靠压力的障碍物。在本情况下,微通道玻璃或者部分氧化硅也可以用作起始基板 1。

[0070] 图 6A、图 6B、以及图 6C 示意性示出作为其它示例性实施例的基板 600A、600B、以及 600C。在各种情况下,基板 600A 至 600C 包括堆叠的半导体基板层 20 至 23。在各个半导体基板层 20 至 23 中,在各种情况下通道已经通过例如蚀刻、钻孔、冲压、或其它技术被制造,并且半导体基板层 20 至 23 已经被彼此堆叠成一个通道位于另一个通道上,并且通道从第一主面 3 穿过堆叠的半导体基板层朝向第二主面 4 延伸。

[0071] 在本情况下,可以设置成半导体基板层 20 至 23 中的通道具有不同的横截面。作为实例,在基板 600A 的情况下,半导体基板层 23 中的通道的横截面小于其它半导体基板层 20 至 22 的通道的横截面。因此,穿过堆叠的半导体基板层延伸的通道 2 的收缩朝向主面 4,并且所述收缩在对通道 2 填充电传导第一材料 9 期间能够被用作依靠压力的障碍物。

[0072] 此外,作为基板 600B 的情况,半导体基板层 22 能够具有不同的横截面。在图 6B 示出的实例中,具有的效果是中央通道 2 填充有电传导第一材料 9,直到半导体基板层 21。

[0073] 此外,作为基板 600B 的情况,可以设置成通道 2 的收缩或者设置在第一主面 3 侧上(图 6C 中中央和右手边的通道),或者设置在第二主面 4 侧上(图 6C 中左手边的通道)。因此,通道 2 或者从第一主面 3(图 6C 中左手边的通道)填充电传导第一材料 9,或者从第二主面(图 6C 中中央和右手边的通道)填充电传导第一材料 9。

[0074] 半导体基板层 20 至 23 彼此的固定能够通过例如粘附连接、扩散焊接、或其它技术来实现。

[0075] 对通道 2 的收缩区域填充电传导第二材料 15 没有在图 6A 至图 6C 中示出。这能够以与基板 200 的情况相对应的方式来实现。

[0076] 图 7 示意性示出具有基板 701 的半导体组件 700,其中基板 701 具有从第一主面 703 到第二主面 704 的馈通 702。馈通 702 已经通过上述方法中的一种被制造,例如,图 2A 至图 2E 中所示的基板 200 的情况(通道以及馈通 702 的收缩未在图 7 中示出)。基板 701 为例如硅片,并且应用于基板 701 的第一和第二主面 703 和 704 的绝缘层 705 为氧化物。

[0077] 在前侧具有集成电路 707 的集成半导体元件 706 的后侧通过粘合剂 708 粘附接合于氧化层 705。半导体元件 706 通过从半导体元件 706 的连接接触位置 710 延伸到基板 701 的连接接触位置 711 的焊线 709 电连接于基板 701。在本情况下,基板 701 的连接接触位置 711 已经被直接应用于基板 701 的馈通 702。这样,焊线 709 直接连接于外部触点 712,在本情况下为焊球 712。

[0078] 连接接触位置 711 与馈通 702 的接触连接以本领域技术人员公知的方式实现:首先,第一主面 703 上的氧化层 705 必须在馈通 702 的位置打开。这可以通过有选择地对通过照相平版印刷术形成的掩模(未示出)进行蚀刻来实现。之后,金属层(例如,铝)应用于氧化层 705,并通过照相平版印刷术来图样化,使得对于线接头 711 足够大的层元件 711 保留下来。

[0079] 类似地,焊球 712 的接触连接以本领域技术人员公知的方式实现:首先,第二主面

704 上的氧化层 705 必须在馈通 702 的位置打开。这可以通过有选择地对通过照相平版印刷术形成的掩模（未示出）进行蚀刻来实现。之后，第二主面 704 与铜焊料接触，使得铜焊料弄湿馈通 702 的表面。冷却之后，吊桶式焊球 (bail-type solderball) 712 保留下来。

[0080] 图 8 示意性示出具有基板 701 的其他半导体组件 800，其中基板 701 具有两个从第一主面 703 至第二主面 704 的馈通 702。半导体组件 800 的构造与图 7 的相同。但是，与图 7 相比较，本半导体组件 800 具有两个已经从其前侧（即，具有集成电路 707A、707B 的一侧）应用于基板 701 的集成元件 706A、706B。在该情况下，电连接于基板 701 不是通过焊线来实现的，而是通过将集成元件 706A、706B 的连接接触位置连接于应用在基板 701 上的互连部 714 的焊球触点 713 来实现的。这种连接方法公知为术语“倒装芯片连接”，并且这里将不再进行解释。

[0081] 从图 8 可以得出，一些互连部 714 直接在馈通 702 的上方延伸，并且电传导连接于后者。这样，能够将集成元件 706A、706B 的连接接触位置通过馈通 702 直接引导至外部触点 712 中的一个。这节省了较长的互连，并且提高了信号传送，尤其是以较高频率。

[0082] 此外，从图 8 可以得出，一些互连部 714 以它们将一个集成元件 706A 的连接接触位置连接于其他集成元件 706B 的方式延伸。这样，不同的集成电路 706A、706B 能够在不需要其它外部触点 712 的情况下彼此连接。因此，集成电路能够被封装得更密。

[0083] 应当指出，图 7 和图 8 的实施例使用硅晶片或硅片作为基板 701。这具有的优点是，基板 702 的热膨胀系数 (CTE) 与通常在硅基板上制造的集成电路的热膨胀系数相同。这有助于减小基板 702 与集成元件 706 之间的机械应力。此外，与例如陶瓷项比较，硅具有良好的热传导性，以至于有效地消耗由集成电路产生的热量。此外，使用硅能够更有效地执行以电化学的方式蚀刻盲孔。

[0084] 图 9 示意性示出具有基板 701 的其他半导体组件 900，其中基板 701 具有从第一主面 703 到第二主面 704 的馈通 702。半导体组件 900 的构造与图 7 的相同。但是，与图 7 相比较，集成电路 707 本身集成到基板 701 中。图 9 通过实例示出晶体管 715。晶体管 715 的源极 S 和漏极 D 通过使单晶硅基板 701 掺杂来制造，而栅极 G 通过热氧化来制造，这些是在例如制造绝缘层 705 的期间产生。此外，图 9 示出将源极 S 连接于馈通 702 和 / 或分别使栅极 G 和漏极 D 接触的互连部 714。这样，馈通 702 能够缩短集成电路的有源元件和无源元件（电阻器、晶体管、二极管、线圈、电容器等）与外部连接部的连接。这避免了较长的互连，从而避免需要多重互连平面。

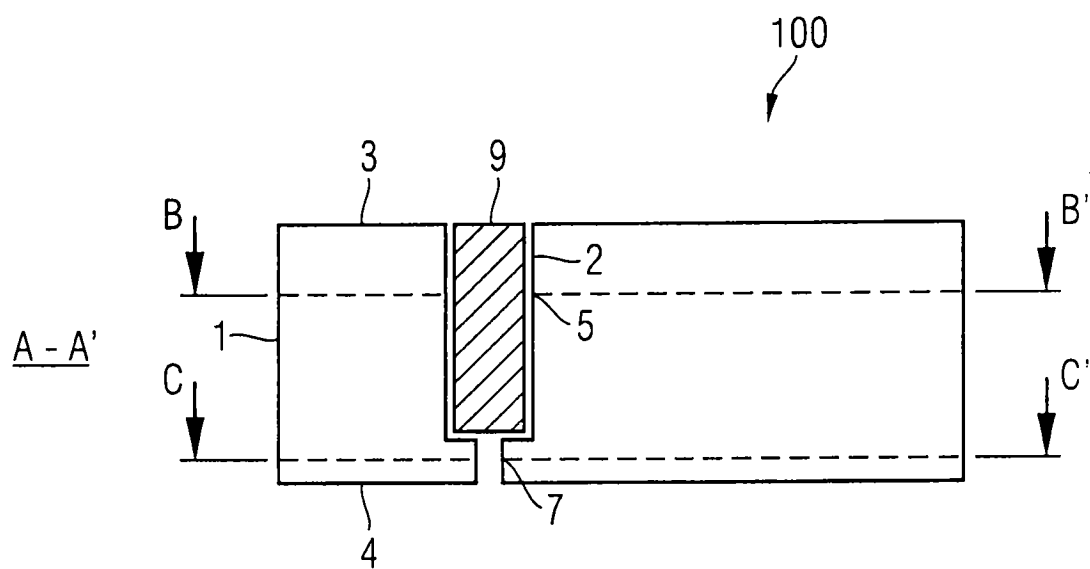


图 1A

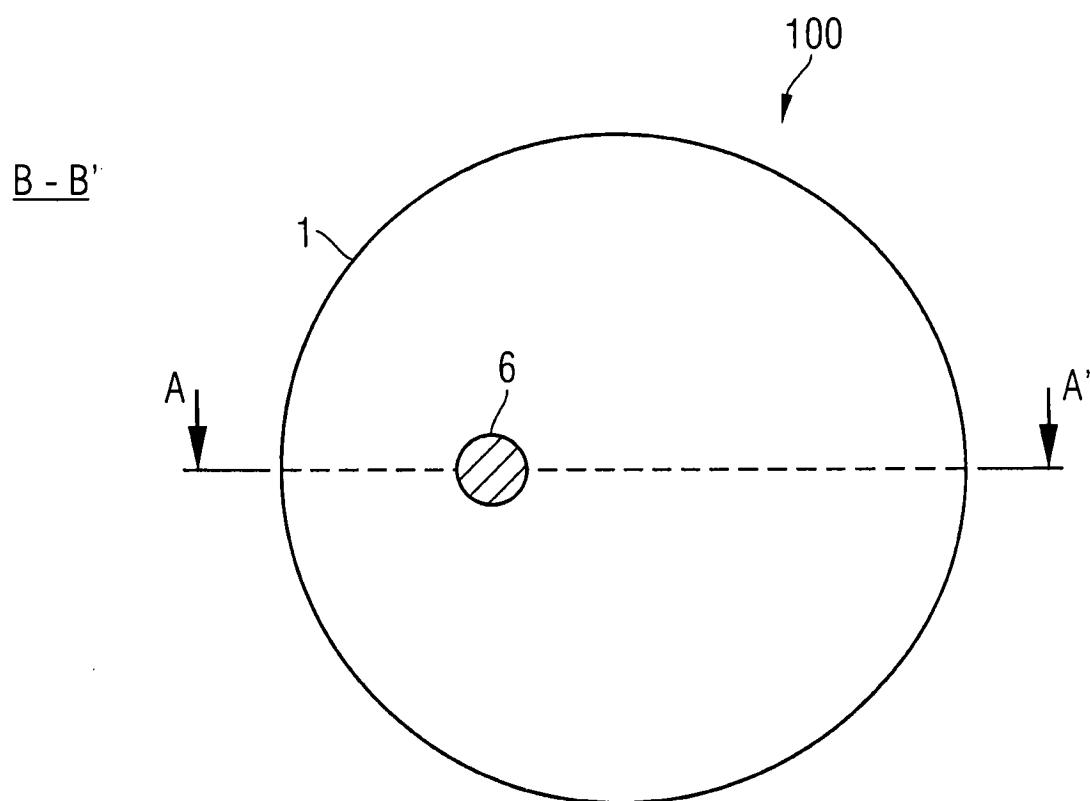


图 1B

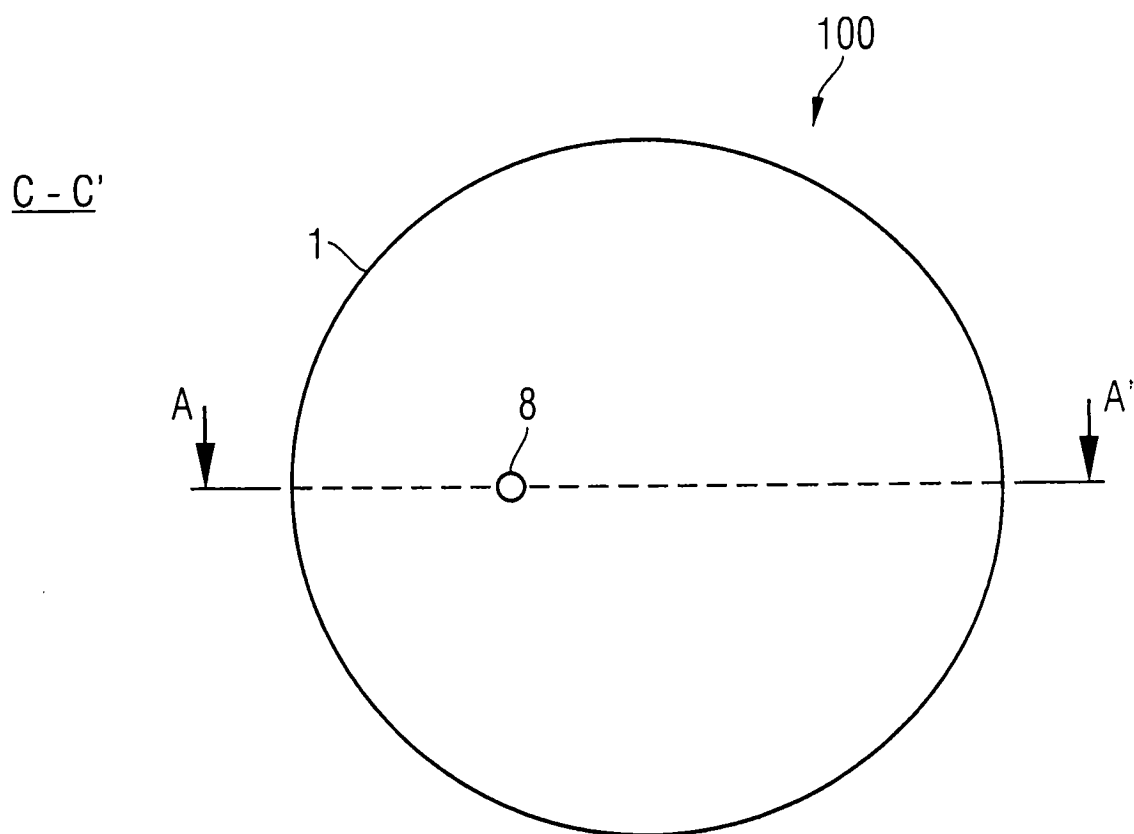


图 1C

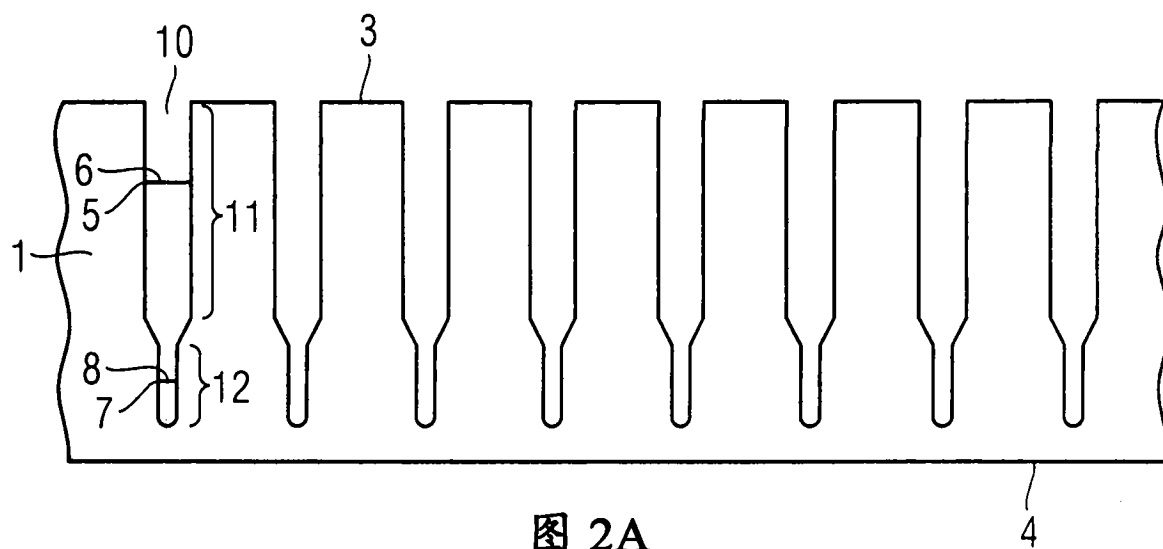


图 2A

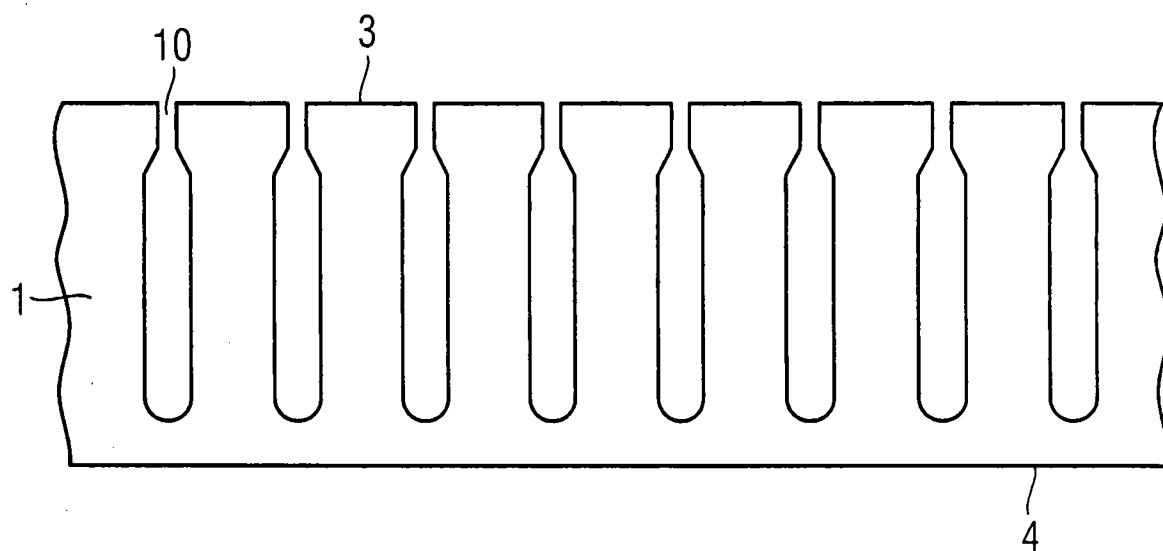


图 2B

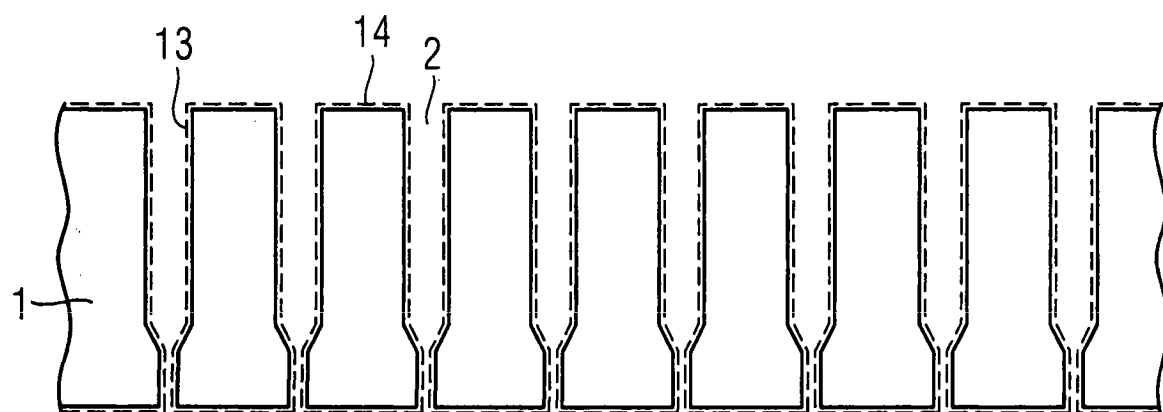


图 2C

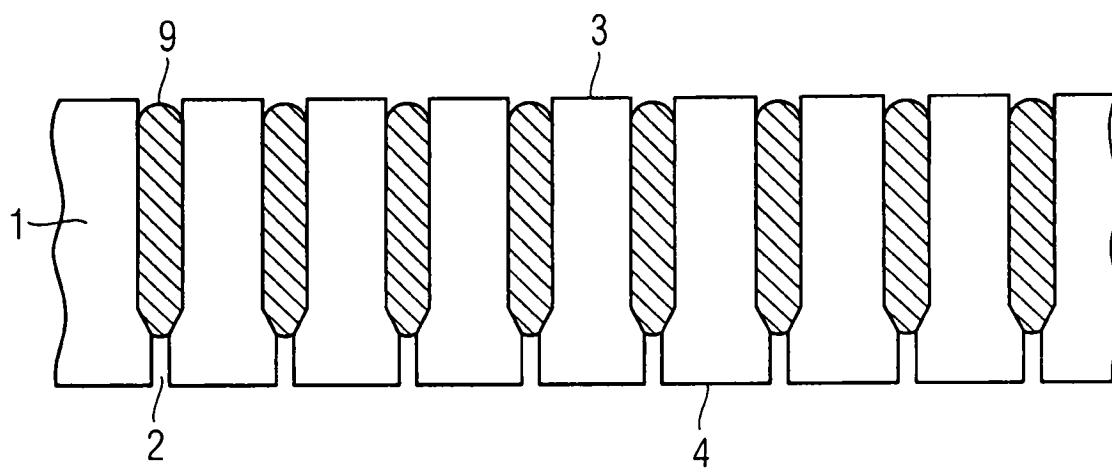


图 2D

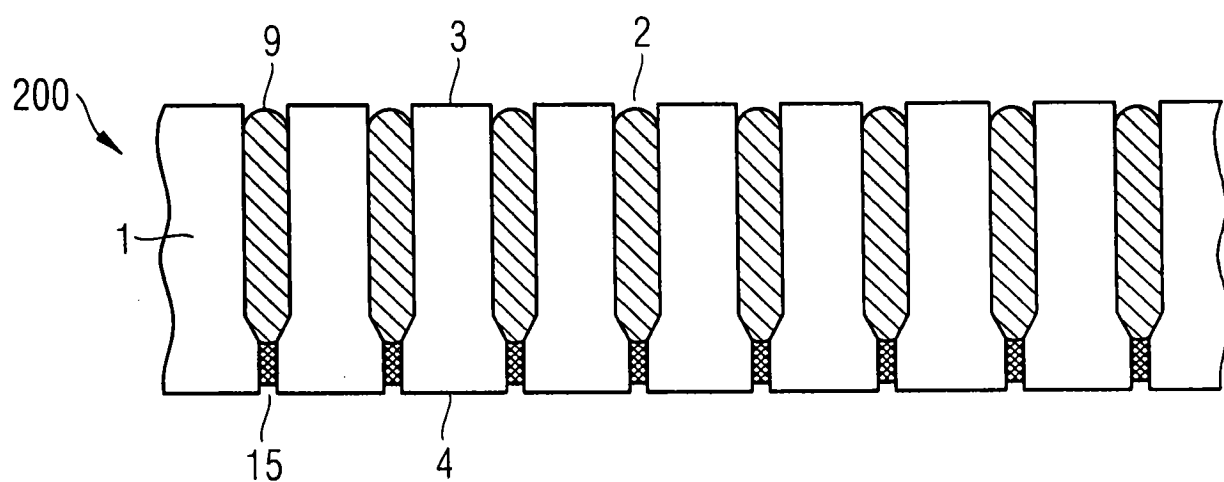


图 2E

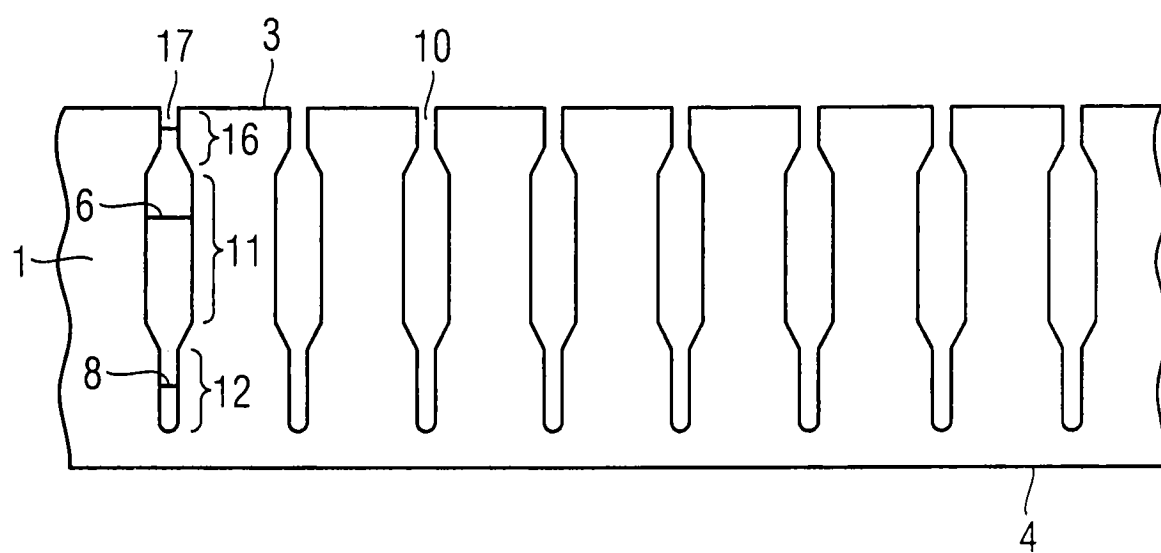


图 3A

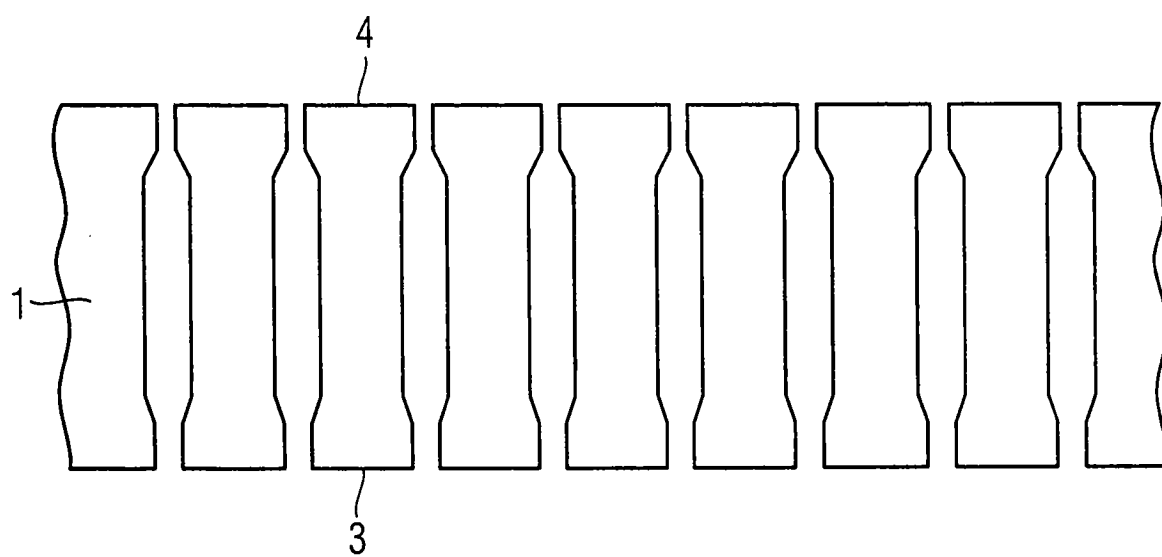


图 3B

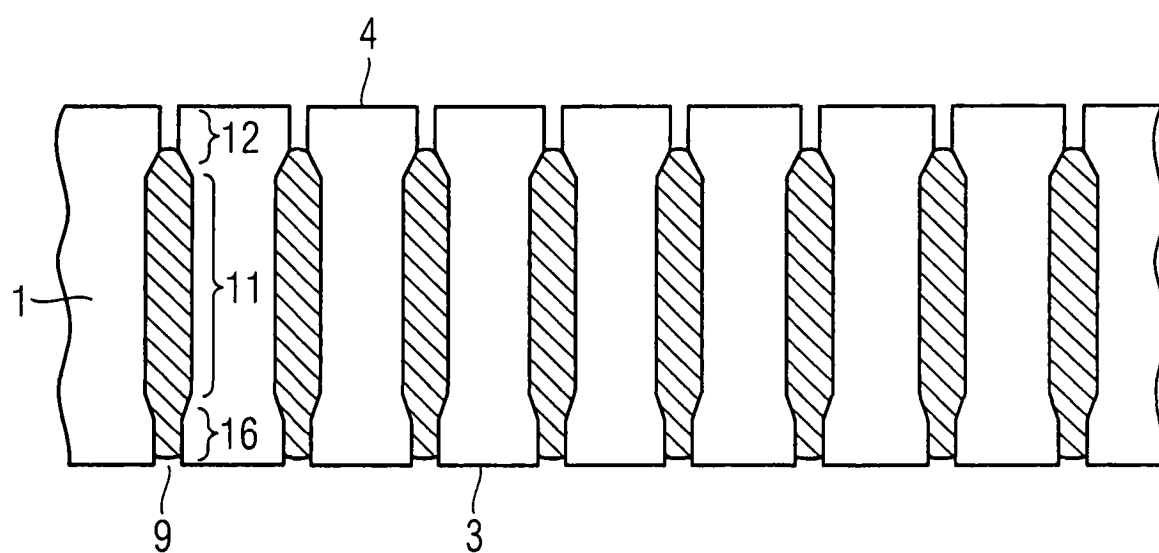


图 3C

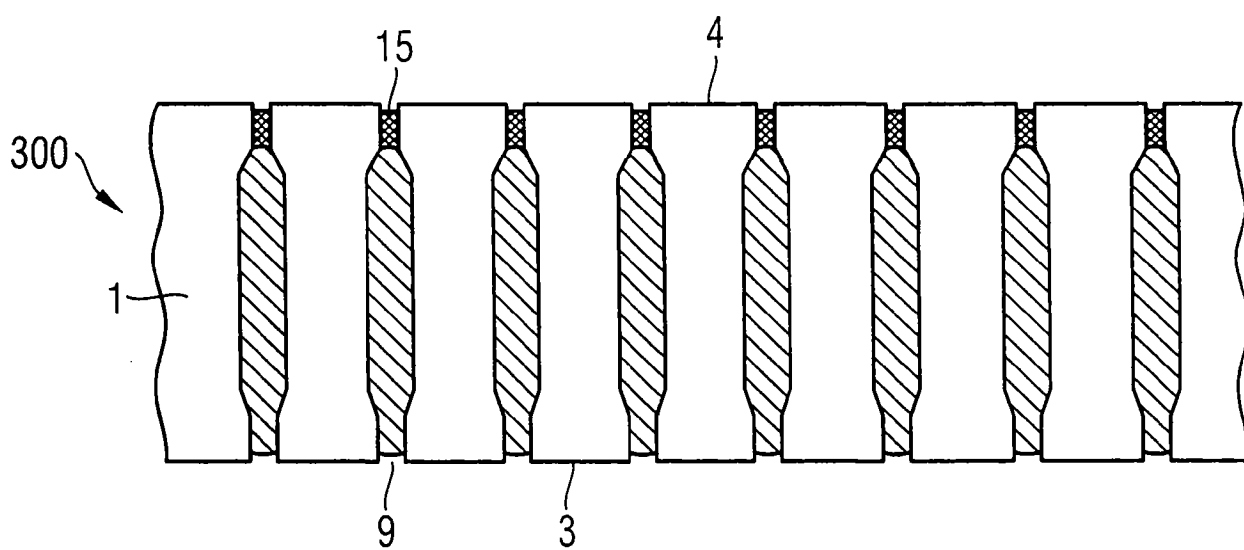


图 3D

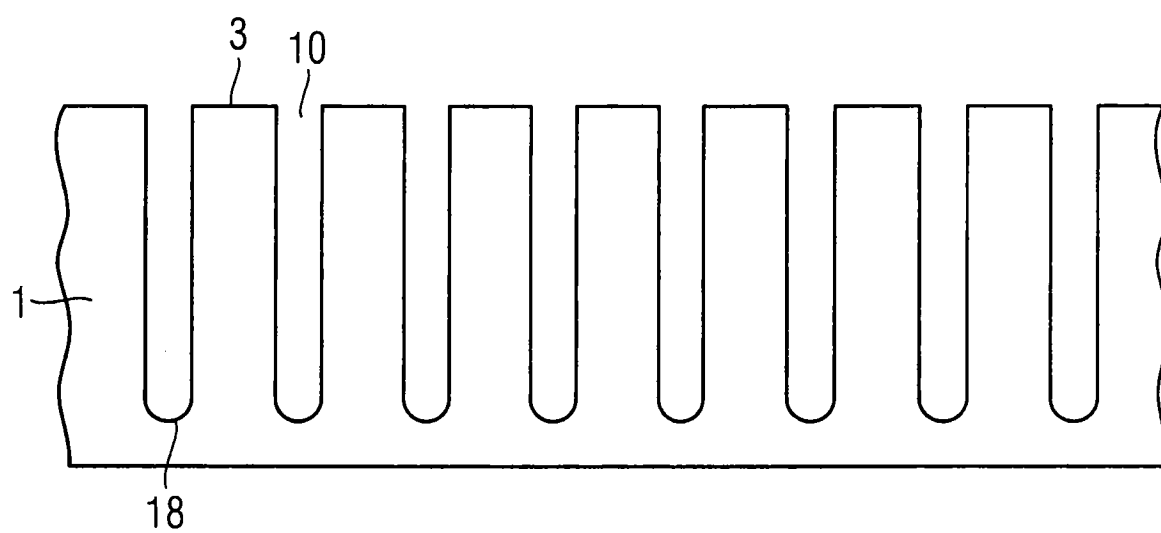


图 4A

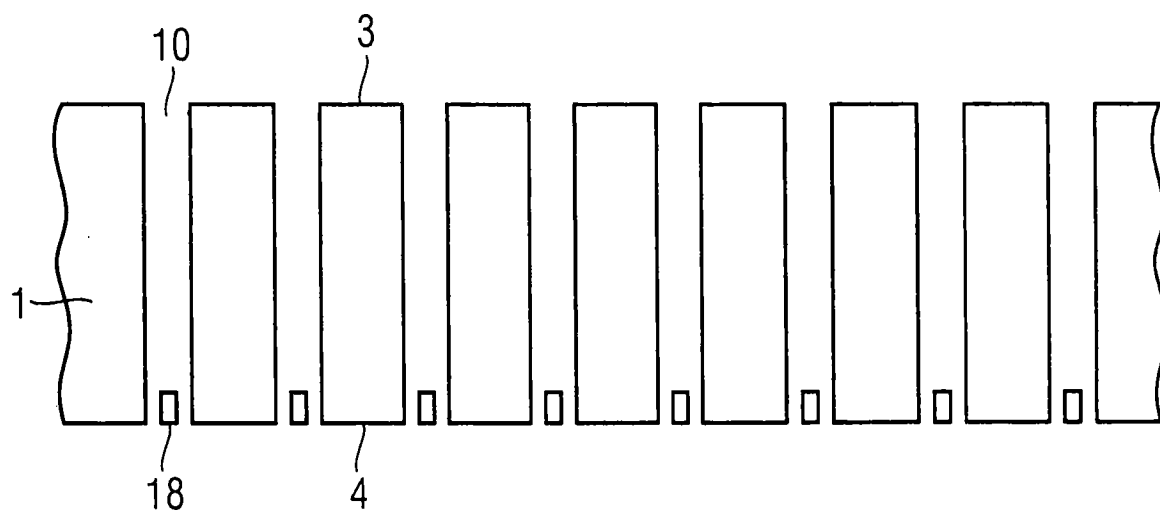


图 4B

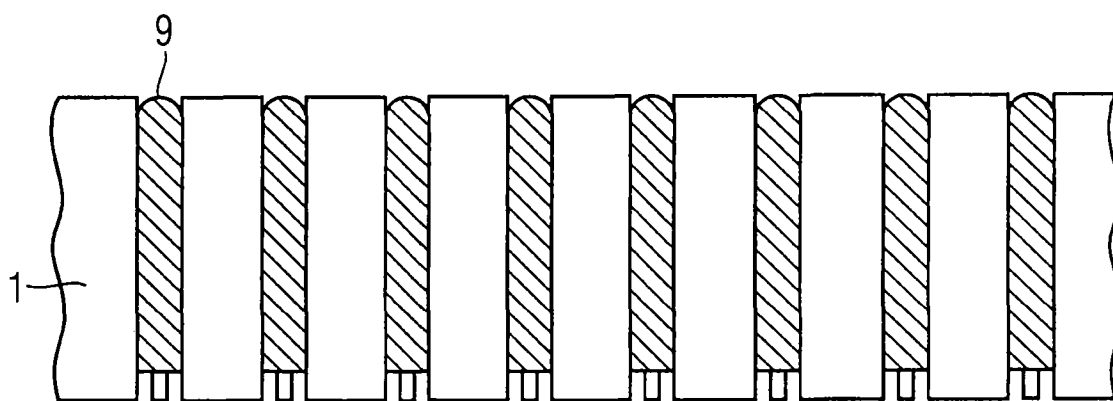


图 4C

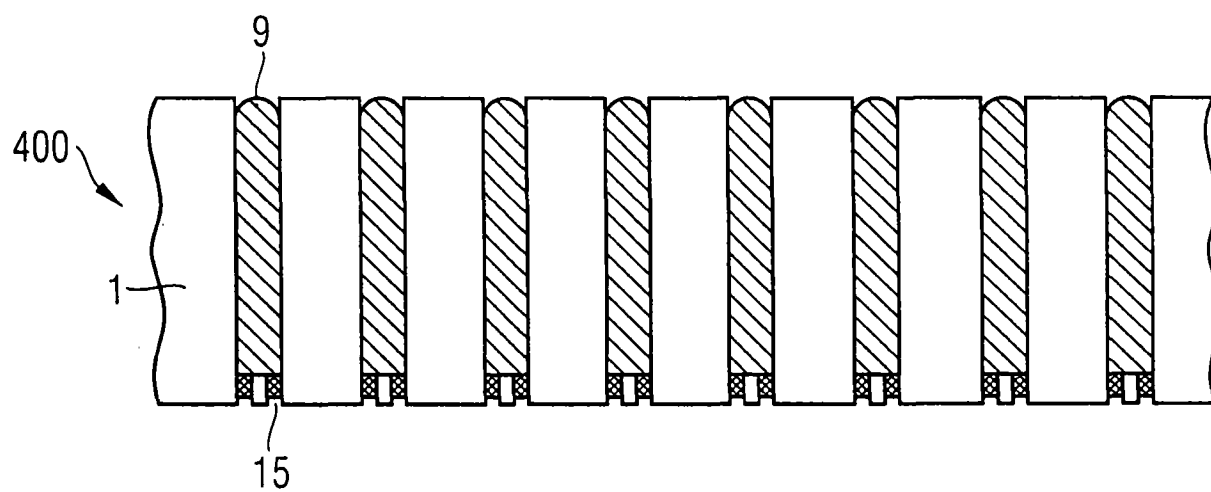


图 4D

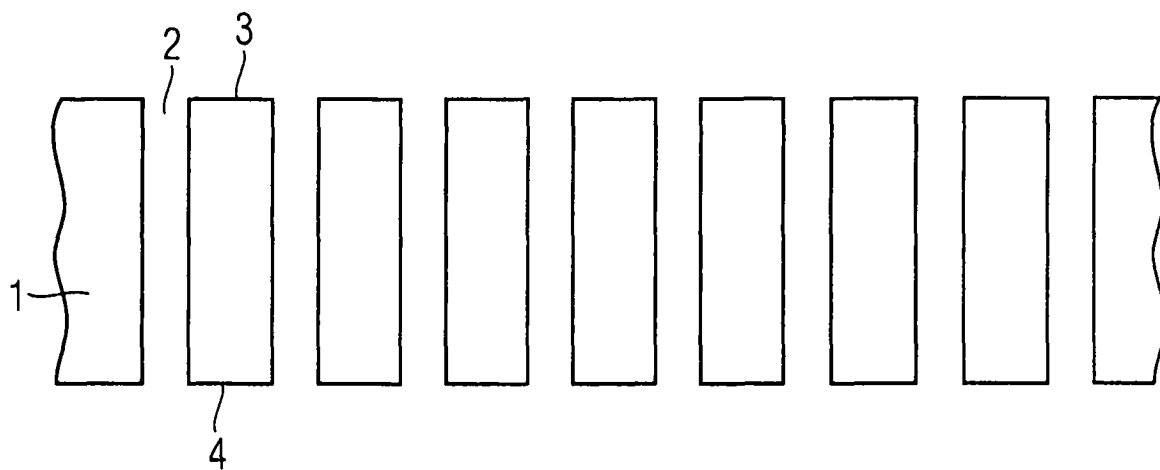


图 5A

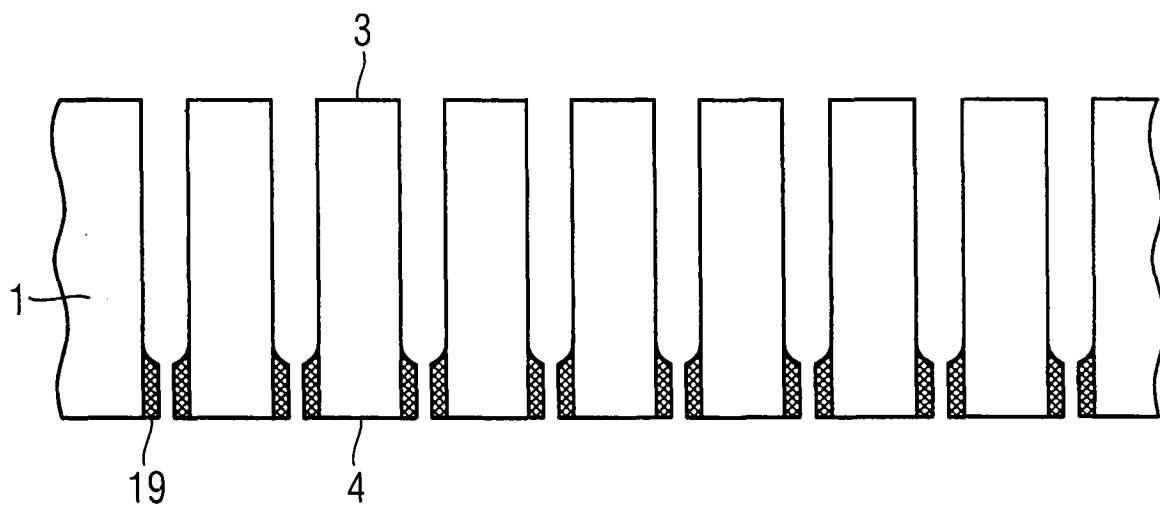


图 5B

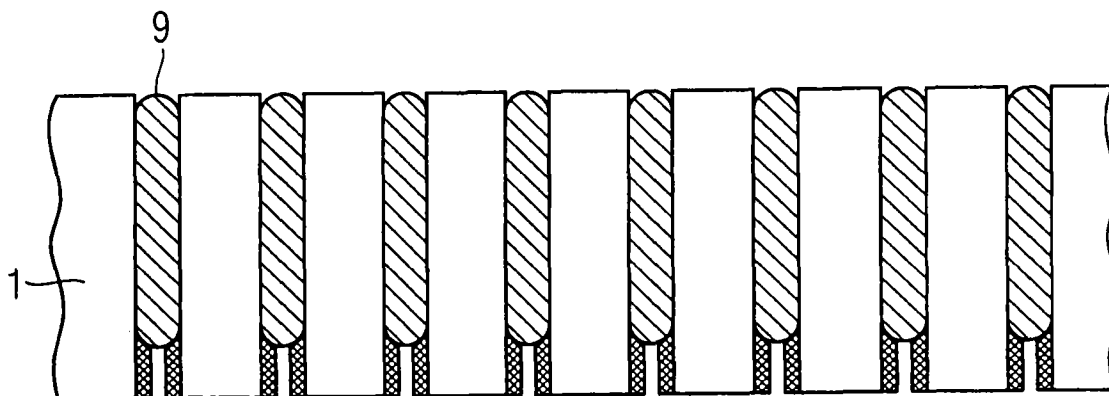


图 5C

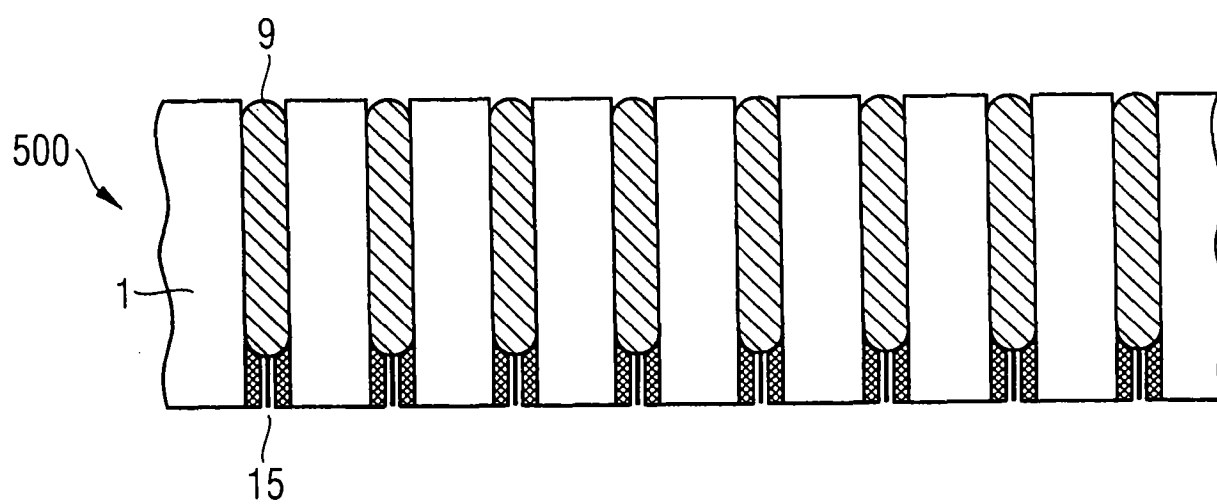


图 5D

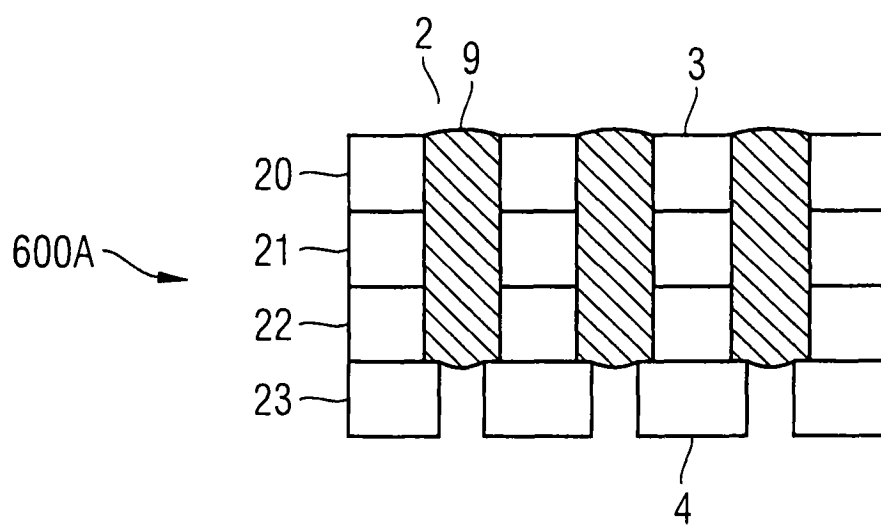


图 6A

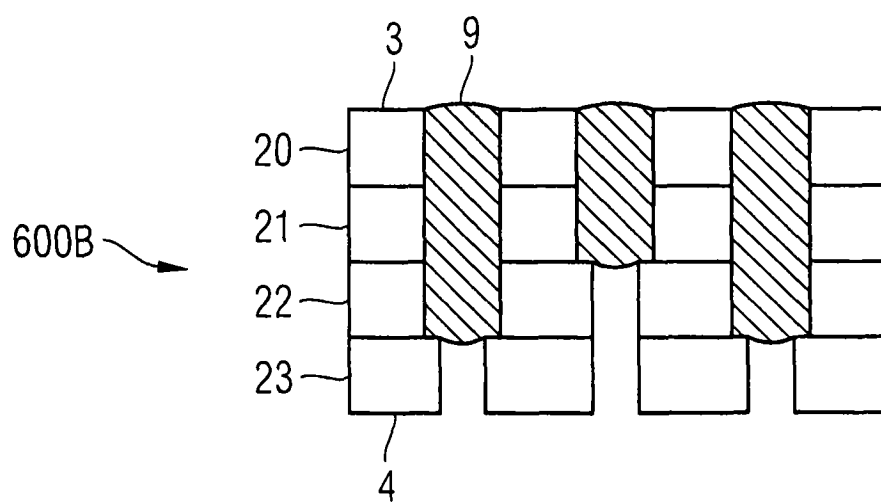


图 6B

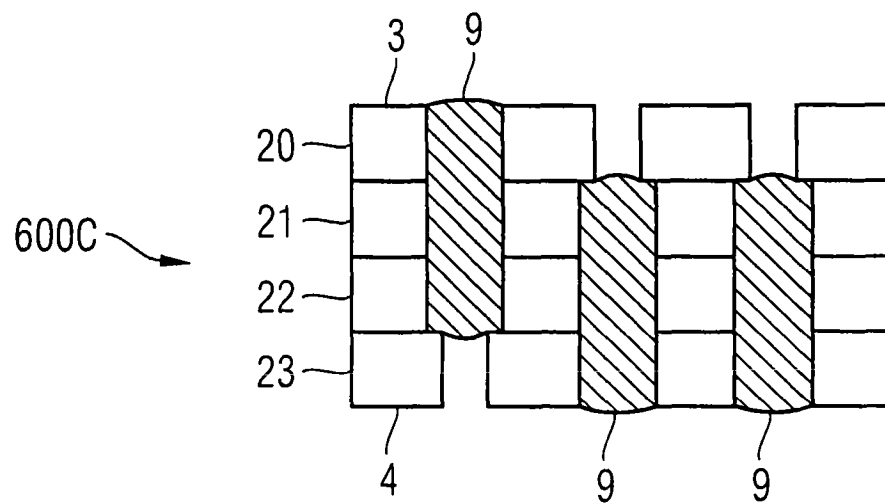


图 6C

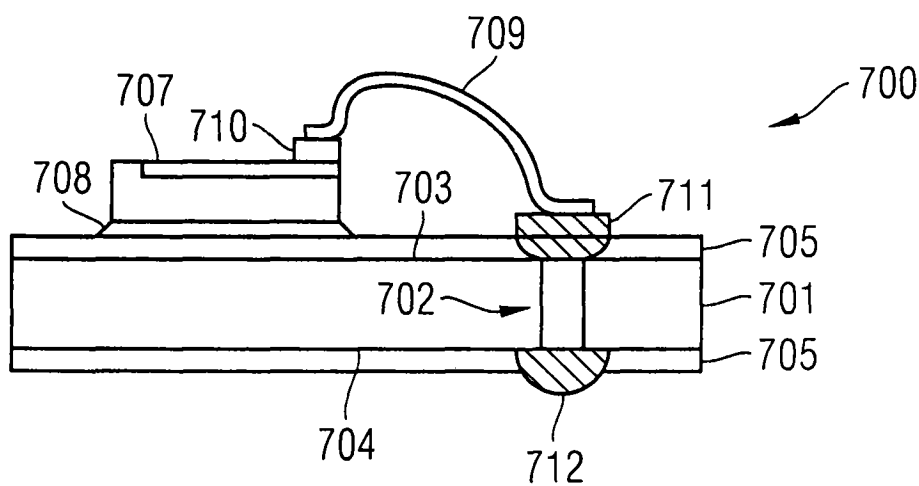


图 7

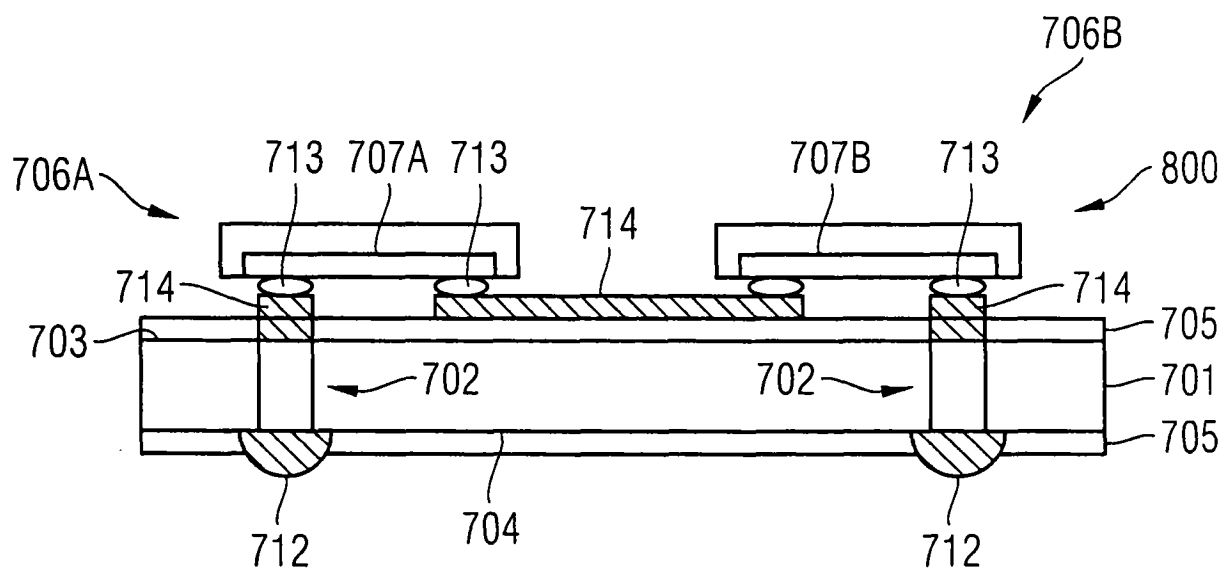


图 8

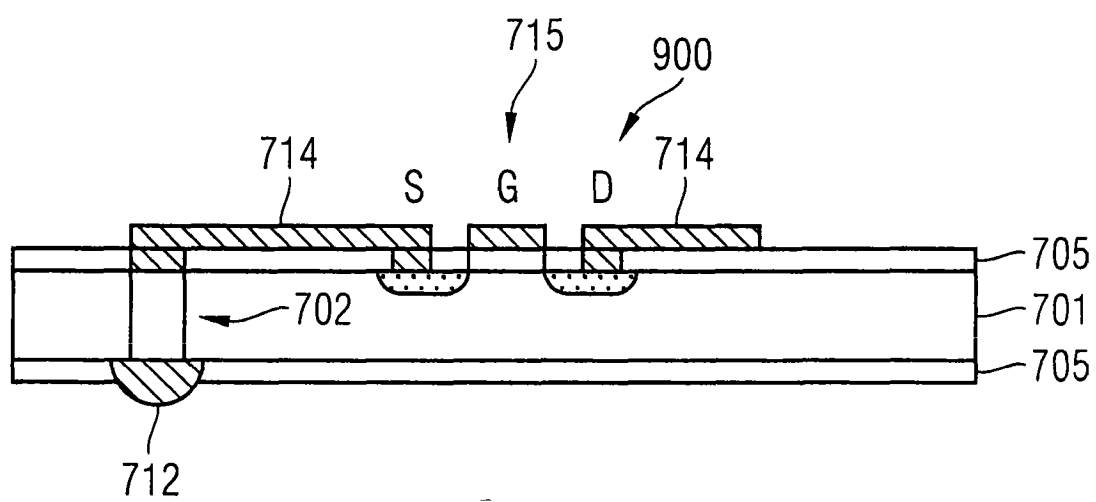


图 9