

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03137743.2

[51] Int. Cl.

H01L 27/092 (2006.01)

H01L 29/78 (2006.01)

H01L 21/8238 (2006.01)

[45] 授权公告日 2007 年 2 月 7 日

[11] 授权公告号 CN 1299364C

[22] 申请日 2003.6.23 [21] 申请号 03137743.2

[73] 专利权人 北京大学

地址 100871 北京市海淀区颐和园路 5 号  
北京大学

[72] 发明人 张盛东 陈文新 黄如 刘晓彦  
张兴 韩汝琦 王阳元

[56] 参考文献

US5241193A 1993.8.31

US4997785A 1991.3.5

US4555721A 1985.11.26

US4651186A 1987.3.17

JP8-321617A 1996.12.3

审查员 康兴

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 关畅

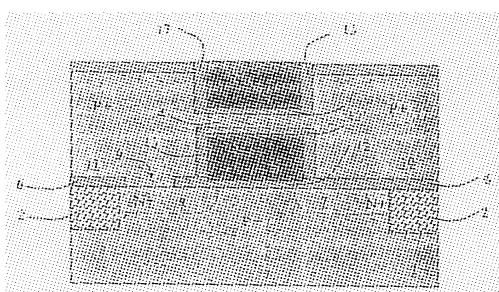
权利要求书 2 页 说明书 4 页 附图 3 页

[54] 发明名称

一种互补金属氧化物半导体集成电路及其制备方法

[57] 摘要

本发明公开了一种互补金属氧化物半导体集成电路，其目的是提供一种在相同器件尺寸条件下能增加集成电路密度和提高集成电路性能的互补金属氧化物半导体集成电路技术。本发明所提供的互补金属氧化物半导体电路，包括 nMOS 场效应晶体管和 pMOS 场效应晶体管在内的半导体器件本体，所述 pMOS 器件位于所述 nMOS 器件之上，双方共享同一栅电极；pMOS 器件为自对准双栅或环栅结构；pMOS 器件与 nMOS 器件的沟道区相互自对准。本发明还提供了该互补金属氧化物半导体集成电路的两种制备方法。本发明为增加集成电路密度和提高集成电路的性能提供一种新的技术途径。



1、一种互补金属氧化物半导体集成电路，包括 nMOS 场效应晶体管和 pMOS 场效应晶体管在内的半导体器件本体，其特征在于：所述 pMOS 器件位于所述 nMOS 器件之上，双方共享同一栅电极；所述 pMOS 器件为双栅或环栅结构；所述 pMOS 器件与所述 nMOS 器件的沟道区相互自对准；所述 pMOS 器件的源漏区厚而沟道区薄。

2、根据权利要求 1 所述的器件，其特征在于：所述 pMOS 器件为自对准 SOI MOS 场效应晶体管。

3、根据权利要求 1 或 2 所述的器件，其特征在于：所述 pMOS 器件为双栅或多栅 SOI MOS 场效应晶体管。

4、一种制备权利要求 1 所述的互补金属氧化物半导体器件的方法，包括以下步骤：

1) 在一硅片衬底上形成浅槽隔离区；再形成二氧化硅、硅和二氧化硅三层膜；对所述三层膜同时进行光刻和刻蚀，所形成的图形将确定 pMOS 器件和 nMOS 器件的沟道区长度和栅长度；

2) 在所述刻蚀后的三层膜边侧形成侧墙，然后对所述 nMOS 器件的源漏区进行氧化和离子注入掺杂，形成 nMOS 器件的源区和漏区，pMOS 器件的沟道区受侧墙保护不被氧化；

3) 在所述 nMOS 器件的漏区开孔，该孔使所述 nMOS 器件和 pMOS 器件的漏区相连，然后去除所述侧墙，淀积多晶硅并进行注入掺杂，形成 pMOS 的源漏区，用 CMP 移走所述二氧化硅层之上的多晶硅，再进行光刻和刻蚀，形成所述 pMOS 器件的源漏区，并腐蚀掉所述二氧化硅层；然后制作栅介质和栅电极，得到所述互补金属氧化物半导体电路。

5、根据权利要求 4 所述的方法，其特征在于：所述步骤 1) 中的形成二氧化硅、硅和二氧化硅三层膜的方法是在所述硅片衬底上淀积二氧化硅、非晶硅和二氧化硅三层膜。

6、根据权利要求 5 所述的方法，其特征在于：在硅片衬底上淀积二氧化硅、非晶硅和二氧化硅的步骤是，在所述硅片衬底上连续淀积一层二氧化硅膜和一层非晶硅膜，并对所述非晶硅膜进行再结晶处理，然后在所述非晶硅膜上再淀积一层二氧化硅膜；所述上下两层二氧化硅膜为牺牲层，将被多晶硅代替以形成环栅；所述非晶硅的再结晶方法为激光退火法。

7、根据权利要求 4 所述的方法，其特征在于：所述步骤 1) 中的形成二氧化硅、

---

硅和二氧化硅三层膜的方法是在一 SOI 硅片上生长一热氧化层，然后将所述体硅片与所述 SOI 硅片进行热键合；腐蚀掉所述 SOI 硅片的硅衬底并显露隐埋二氧化硅层，得到二氧化硅、硅膜和二氧化硅三层膜。

8、根据权利要求 4 或 5 或 6 或 7 所述的方法，其特征在于：所述浅槽添充物为掺氧多晶硅；所述侧墙为氮化硅，由 LPCVD 淀积和各向异性回刻形成。

9、根据权利要求 8 所述的方法，其特征在于：所述氮化硅的厚度为 200—300 埃。

10、根据权利要求 4 或 5 或 6 或 7 所述的方法，其特征在于：所述步骤 2) 中注入掺杂的离子为砷离子，所述步骤 3) 中掺杂的离子为硼离子；当所述栅介质为二氧化硅时，所述栅电极为原位掺杂的多晶硅；当所述栅介质为 high-k 材料时，所述栅电极为金属或金属硅化物。

---

## 一种互补金属氧化物半导体集成电路及其制备方法

### 技术领域

本发明涉及半导体集成电路制造技术领域中一种互补金属氧化物半导体集成电路结构及其制备方法。

### 背景技术

互补金属氧化物半导体（CMOS，Complementary Metal Oxide Semiconductor）集成电路技术是当前超大规模集成电路的主流技术。不断增加电路密度和提高电路性能一直是其技术发展方向。通常，CMOS 电路密度的增加和性能的提高是通过不断地缩小 MOS 器件的尺寸来实现的。目前 MOS 器件的特征尺寸已进入亚 0.1 微米，在此尺度下，各种基本的和实际的限制开始出现，导致器件尺寸的缩小能力已接近其极限。CMOS 电路总是由 nMOS 和 pMOS 场效应晶体管构成。在常规技术中，nMOS 晶体管和 pMOS 晶体管呈平面分布，分别占用各自的面积，因而不利于电路密度的提高。

### 发明创造内容

本发明的目的是提供一种在相同器件尺寸下能增加集成电路密度和提高集成电路性能的互补金属氧化物半导体（CMOS）电路结构。

本发明所提供的互补金属氧化物半导体集成电路，包括作为驱动的 nMOS（N 沟道（N Channel）MOS）和作为负载的 pMOS（P 沟道（P Channel）MOS）场效应晶体管在内的半导体器件本体；所述 pMOS 器件位于所述 nMOS 器件之上且双方共享同一栅电极；所述 pMOS 器件为自对准双栅或环栅结构；所述 pMOS 器件的源漏区厚而沟道区薄；所述 pMOS 器件与所述 nMOS 器件的沟道区相互自对准。

所述 pMOS 器件为 SOI MOS 场效应晶体管，且为双栅或环栅 SOI MOS 场效应晶体管。

本发明的第二个目的是提供一种制备上述互补金属氧化物半导体集成电路的方法。

一种制备互补金属氧化物半导体器件的方法，包括以下步骤：

1) 在一硅片衬底上形成浅槽隔离区；再形成二氧化硅、硅和二氧化硅三层膜；对所述三层膜同时进行光刻和刻蚀，所形成的图形将确定 pMOS 器件和 nMOS 器件的沟道区长度和栅长度；

2) 在所述刻蚀后的三层膜边侧形成侧墙，然后对所述 nMOS 器件的源漏区进行氧化和离子注入掺杂，形成 nMOS 器件的源区和漏区，pMOS 器件的沟道区受侧墙保护不被

氧化；

3) 在所述 nMOS 器件的漏区开孔，该孔使所述 nMOS 器件和 pMOS 器件的漏区相连，然后去除所述侧墙，淀积多晶硅并进行注入掺杂，形成 pMOS 的源漏区，用 CMP 移走所述二氧化硅层之上的多晶硅，再进行光刻和刻蚀，形成所述 pMOS 器件的源漏区，并腐蚀掉所述二氧化硅层；然后制作栅介质和栅电极，得到所述互补金属氧化物半导体电路。

所述步骤 1) 中形成二氧化硅、硅和二氧化硅三层膜的方法有两种，一种是在所述硅片衬底上连续淀积二氧化硅、非晶硅和二氧化硅三层膜。在硅片衬底上淀积二氧化硅、非晶硅和二氧化硅的步骤是，在所述硅片衬底上连续淀积一层二氧化硅膜和一层非晶硅膜，并对所述非晶硅膜进行再结晶处理，然后在所述非晶硅膜上再淀积一层二氧化硅膜；所述上下两层二氧化硅膜为牺牲层，将被多晶硅代替以形成环栅；所述非晶硅的再结晶方法为激光退火法。另一种形成二氧化硅、硅和二氧化硅三层膜的方法是在一 SOI 硅片上生长一热氧化层，然后将所述体硅片与所述 SOI 硅片进行热键合；腐蚀掉所述 SOI 硅片的硅衬底并显露隐埋二氧化硅层，得到二氧化硅、硅膜和二氧化硅三层膜。

该方法中，所述浅槽添充物为掺氧多晶硅；所述侧墙为氮化硅，由 LPCVD 淀积和各向异性回刻形成；所述淀积的氮化硅的厚度为 200—300 埃；所述步骤 2) 中注入掺杂的离子为砷离子，所述步骤 3) 中掺杂的离子为硼离子；当所述栅介质为二氧化硅时，所述栅电极为原位掺杂的多晶硅；当所述栅介质为 high-k 材料时，所述栅电极为金属或金属硅化物。

本发明的层叠式 CMOS 集成电路，其显著的特征是 pMOS 器件位于 nMOS 器件之上，因而不再占有面积。另一显著的特征是本发明提供了自对准的制备技术，该自对准技术使得该层叠式 CMOS 技术与常规平面 CMOS 技术具有等同的可缩小能力。该自对准技术是通过首先形成自对准的牺牲栅，然后用真正栅去替换牺牲栅而实现的。

此外，本发明的层叠式 CMOS 电路具有以下的优点：

(1) 可用 nMOS 技术实现 CMOS 集成电路，因此电路制造的复杂性降低，而且许多常规 CMOS 技术引起的寄生效应，如自锁效应不再存在。

(2) 由于 pMOS 器件是双栅或多栅 SOI 器件，因此它有更强的短沟道效应抑制能力。而在常规的 CMOS 技术中，pMOS 器件与 nMOS 器件相比，在同等条件下，总是呈现更坏的短沟道效应。因此，该层叠式 CMOS 电路与常规 CMOS 电路相比，器件本身具有更强的可缩小能力。

(3) 在常规 CMOS 电路中，为平衡电流驱动能力，pMOS 器件通常占用的面积是 nMOS 器件的两倍，而在层叠式 CMOS 电路中，pMOS 器件为双栅或多栅结构，自然满足电流驱

动平衡要求。因此，与常规 CMOS 电路相比，仅需要 1/3 的面积。

(4) 由于 pMOS 器件为 SOI 器件，所以总的寄生电容与常规的体硅 CMOS 电路相比要小。

(5) pMOS 器件与 nMOS 器件垂直相连，故连线距离缩短。

本发明为增加电路密度和提高电路的性能提供了一种新的技术途径。

### 附图说明

图 1 为自对准层叠式 CMOS 电路的纵剖面结构示意图

图 2A-F 为自对准层叠式 CMOS 电路的制备方法示意图

图 3A-B 为自对准层叠式 CMOS 电路的制备方法示意图

### 具体实施方式

#### 实施例 1、自对准层叠式 CMOS 电路

如图 1 所示，本发明的自对准层叠式 CMOS 器件包括位于硅衬底 1 的 nMOS 场效应晶体管和位于其上的 pMOS 场效应晶体管；所述 pMOS 器件和 nMOS 器件共享同一重掺杂的多晶硅栅电极 3；所述 pMOS 器件和 nMOS 器件的沟道区相互自对准；nMOS 器件包括重掺杂硅源区 7、重掺杂硅漏区 8、二氧化硅栅介质层 12 和掺氧多晶硅浅槽隔离区 2；pMOS 器件包括重掺杂多晶硅源区 10 和重掺杂多晶硅漏区 11、二氧化硅栅介质层 12'、栅电极的二氧化硅隔离侧墙层 13、未或轻掺杂的硅膜沟道区 4 和环绕于该沟道区的重掺杂的多晶硅双栅电极 3 和 5；nMOS 器件和 pMOS 器件的漏区通过接触孔 9 相通；nMOS 器件和 pMOS 器件的源区由二氧化硅层 6 隔离。

#### 实施例 2、制备自对准层叠式 CMOS 电路

1) 如图 2A 所示，在硅衬底 1 上光刻和刻蚀形成浅槽，并淀积掺氧多晶硅进行填充。然后用 CMP 磨平表面形成浅槽隔离区 2。

2) 如图 2B 所示，连续淀积二氧化硅 3' 和非晶硅膜 4，并对非晶硅膜进行激光再结晶处理。然后再淀积一层二氧化硅 5'。接着进行光刻和刻蚀。所形成的图形将确定 pMOS 器件和 nMOS 器件的沟道区长度和栅长度，并使上下沟道区和源漏区的掺杂互相自对准。

3) 如图 2C 所示，LPCVD 法淀积一薄层氮化硅并回刻形成沟道氧化保护侧墙 21。在热生长一二氧化硅隔离层 6 后，进行砷离子注入掺杂以形成 nMOS 器件的源区 7 和漏区 8。在 nMOS 器件的漏区刻蚀二氧化硅形成 nMOS 器件和 pMOS 器件的漏/漏接触孔 9。

4) 如图 2D 所示，腐蚀掉沟道氧化保护侧墙 21 后，淀积一多晶硅层并进行硼离子注入掺杂。然后用 CMP 磨平表面。上端二氧化硅 5' 充当 CMP 自停止层。

5) 如图 2E 所示, 光刻和刻蚀形成 pMOS 器件的源区 10 和漏区 11, 同时使底层牺牲二氧化硅 3' 显露, 然后用 BOE 腐蚀掉所有的牺牲二氧化硅 3' 和 5'。

6) 如图 2F 所示, 热生长栅氧化层 12 和侧墙氧化层 13。

7) 淀积原位掺杂的多晶硅, 并用 CMP 磨平顶端。然后光刻和刻蚀形成顶部栅电极 3 和底部栅电极 5。

8) 随后按常规技术得到图 1 所示的互补金属氧化物半导体电路。

### 实施例 3、制备自对准层叠式 CMOS 电路

1) 如图 3A 所示, 起始硅衬底 1 为一体硅片、另一起始硅衬底 1' 为一 SOI 硅片。在体硅片上光刻和刻蚀形成浅槽, 并淀积掺氧多晶硅进行填充。然后用 CMP 磨平表面形成浅槽隔离区 2。在 SOI 硅片上生长一热二氧化硅 3'', 并与已形成浅槽的硅衬底 1 进行热键合。

2) 如图 3B 所示, 键合后, 腐蚀掉该 SOI 硅片的衬底硅 1' 露出隐埋氧化层 5''。然后对隐埋氧化层 5''、非晶硅膜 4 和二氧化硅 3'' 进行光刻和刻蚀。所形成的图形将确定 pMOS 器件和 nMOS 器件的沟道区长度和栅长度, 并使上下沟道区和源漏区的掺杂互相自对准。

后续各步与实施例 2 中的第 3) 步到第 8) 步相同。

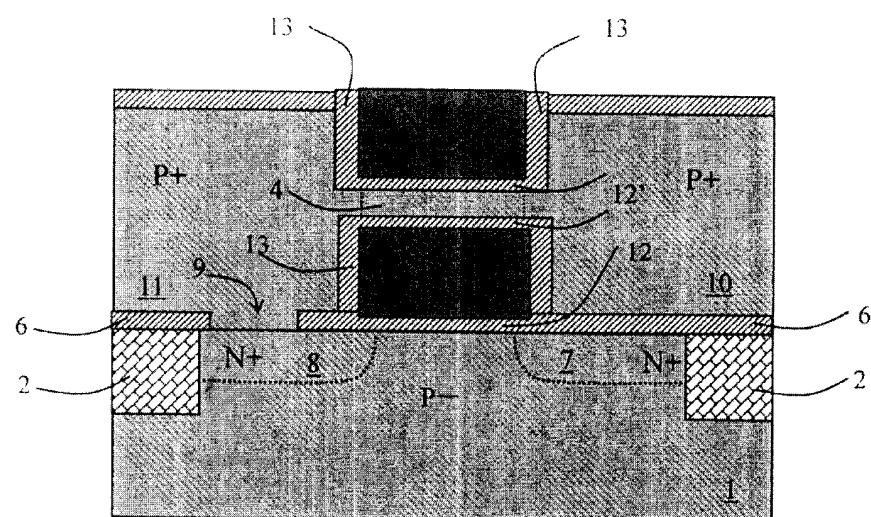


图 1

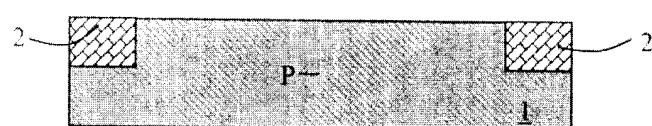


图 2A

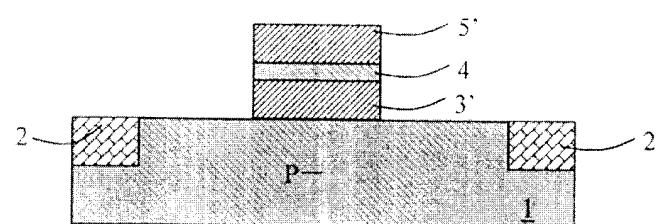


图 2B

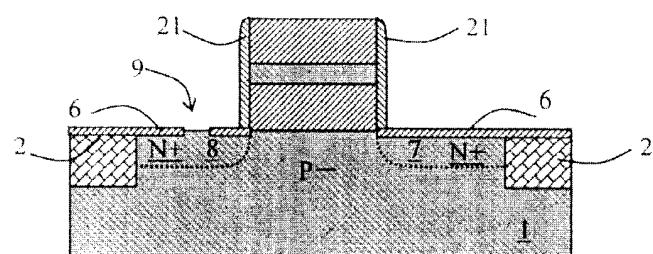


图 2C

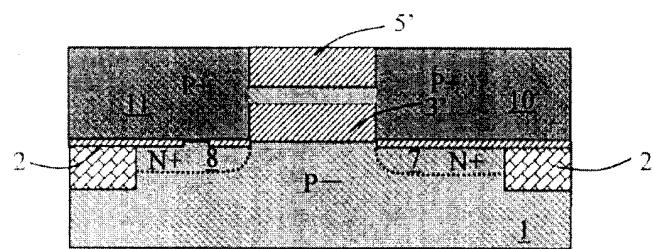


图 2D

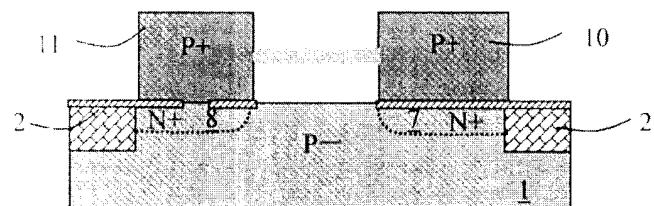


图 2E

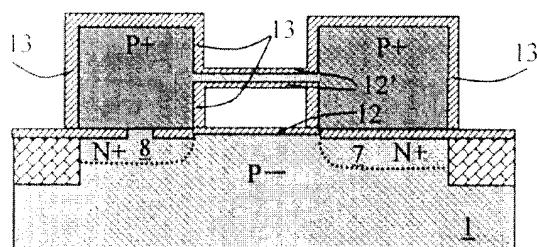


图 2F

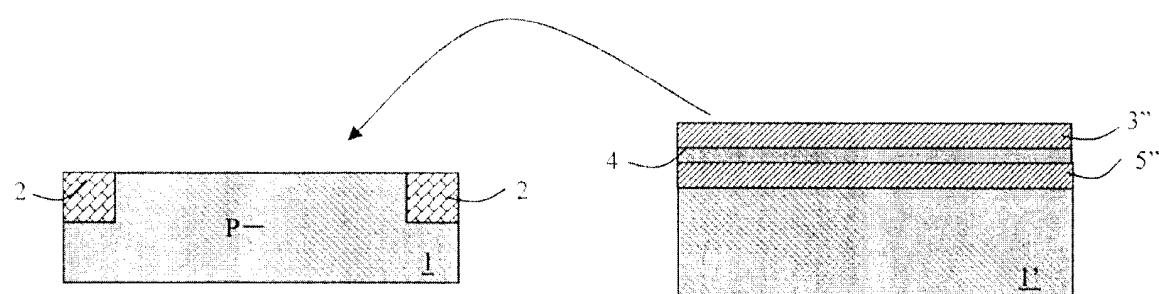


图 3A

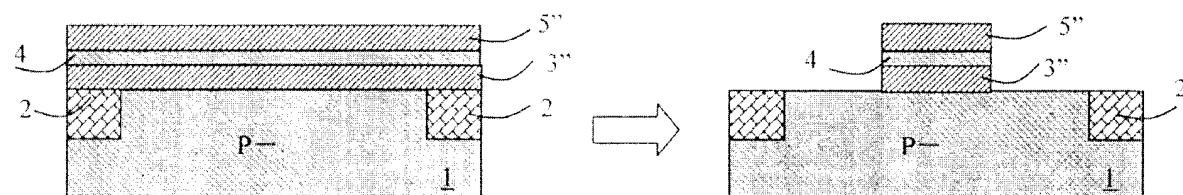


图 3B