

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 5 月 31 日 (31.05.2018)



(10) 国际公布号
WO 2018/094924 A1

(51) 国际专利分类号:
H03K 23/66 (2006.01)

东省深圳市南山区西丽街道留仙大道中兴
工业园, Guangdong 518055 (CN)。

(21) 国际申请号: PCT/CN2017/077770

(22) 国际申请日: 2017 年 3 月 22 日 (22.03.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201611064467.8 2016 年 11 月 25 日 (25.11.2016) CN

(71) 申请人: 深圳市中兴微电子有限公司
(SANECHIPS TECHNOLOGY CO., LTD.) [CN/CN];
中国广东省深圳市南山区西丽街道留仙大道
中兴工业园, Guangdong 518055 (CN)。

(72) 发明人: 李超林(LI, Chaolin); 中国广东省深圳市
南山区西丽街道留仙大道中兴工业园, Guangdong
518055 (CN)。 刘凌霄(LIU, Lingxiao); 中国广

(74) 代理人: 北京派特恩知识产权代理有
限公司(CHINA PAT INTELLECTUAL PROPERTY
OFFICE); 中国北京市海淀区海淀南路21号中关
村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(54) Title: PROGRAMMABLE FREQUENCY DIVIDER AND COMPUTER STORAGE MEDIUM

(54) 发明名称: 一种可编程分频器及计算机存储介质

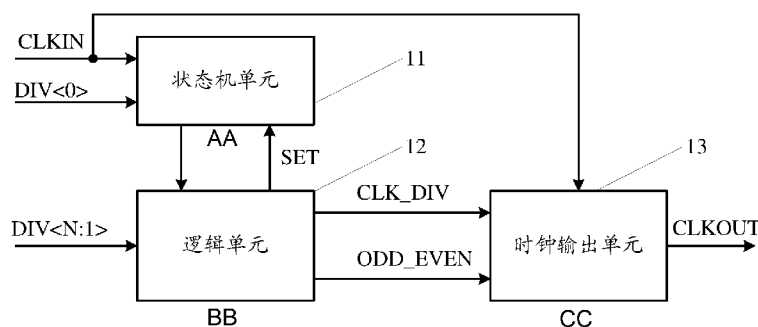


图 1

AA State machine unit
BB Logic unit
CC Clock output unit

(57) Abstract: Disclosed in the embodiments of the present invention are a programmable frequency divider and a computer storage medium. The programmable frequency divider comprises: a state machine unit configured to control a state transition when an input clock source period expires, and to output a clock signal representing a state of the state machine unit on the basis of the state transition, wherein the number of states of the state machine unit is adapted to a frequency division number; a logic unit configured to obtain the clock signal representing the state of the state machine and to output a control signal to the clock output unit, wherein the output control signal is used for controlling the clock signal output from the clock output unit to turn over when the state of the state machine meets a preset state, and the logic unit is also configured that when the frequency division number is an odd number, the output clock signal is controlled to be subjected to a duty ratio correction; and a clock output unit configured to output a frequency-division clock signal with equal duty ratio when a frequency division number is even; When the frequency division number is an odd number, the output clock signal is controlled to be subjected to the duty ratio correction, to output a frequency-division clock signal with equal duty ratio.

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本发明实施例公开了一种可编程分频器及计算机存储介质。所述可编程分频器包括: 状态机单元, 配置为当输入的时钟源周期到时, 控制状态跳转, 基于所述状态跳转输出表征所述状态机单元状态的时钟信号; 所述状态机单元的状态数与分频数相适应; 逻辑单元, 配置为获得表征所述状态机状态的时钟信号, 输出控制信号至所述时钟输出单元; 当所述状态机的状态满足预设状态时, 输出的控制信号用于控制所述时钟输出单元输出的时钟信号翻转; 还配置为当分频数为奇数时, 控制输出的时钟信号进行占空比修正; 时钟输出单元, 配置为当分频数为偶数时, 输出等占空比的分频时钟信号; 当分频数为奇数时, 控制输出的时钟信号进行占空比修正, 以输出等占空比的分频时钟信号。

一种可编程分频器及计算机存储介质

技术领域

本发明涉及分频器领域，具体涉及一种可编程分频器及计算机存储介质。

5 背景技术

在通用时钟芯片中，由于应用广泛，对时钟的输出提出了更高的要求，在压控振荡器（VCO）输出频率不变的情况下，时钟通道分频器的分频比任意可配置成了唯一的解决方案。现有技术中可以完成任意分频功能的技术方案，均有一些不足之处。例如分频结构的输出占空比随着分频配置的变化而变化，输入输出的延时不可控，分频级数越多，输出的时钟延时越大，同时对时钟通路引入的噪声越多。

发明内容

为解决现有技术存在的问题，本发明实施例提供了一种可编程分频器及计算机存储介质。

15 为达到上述目的，本发明实施例的技术方案是这样实现的：

本发明实施例提供了一种可编程分频器，所述可编程分频器包括状态机单元、逻辑单元和时钟输出单元；所述状态机单元的状态数与分频数相适应；

所述状态机单元与所述逻辑单元连接，配置为当输入的时钟源周期到时，控制状态跳转，基于所述状态机单元的状态跳转输出表征所述状态机单元状态的时钟信号；

所述逻辑单元与所述时钟输出单元连接，配置为获得表征所述状态机

状态的时钟信号，基于所述状态机的状态输出控制信号至所述时钟输出单元和所述状态机单元；其中，当所述状态机的状态满足预设状态时，输出的控制信号用于控制所述时钟输出单元输出的时钟信号翻转以及控制所述状态机单元置位；还配置为当分频数为奇数时，控制输出的时钟信号进行占空比修正；

所述时钟输出单元，配置为当分频数为偶数时，基于所述控制信号输出等占空比的分频时钟信号；当分频数为奇数时，基于所述控制信号控制输出的时钟信号进行占空比修正，以输出等占空比的分频时钟信号。

在一实施例中，所述状态机单元具体为减法计数单元，配置为当输入的时钟源周期到时，控制计数值减一，所述计数值的变化作为状态跳转；还配置为当接收到对应于状态机的状态满足预设状态的控制信号时，控制计数值跳转至初始值；

其中，所述减法计数单元包括第一输入端、第二输入端、时钟源输入端、第一信号输出端和第二信号输出端；所述第一信号输出端和/或所述第二信号输出端与所述逻辑单元连接；所述第一信号输出端与所述第二输入端连接；所述第二信号输出端与所述第一输入端连接；

其中，所述第一信号输出端输出的第一信号和/或所述第二信号输出端输出的第二信号输入所述逻辑单元；以及所述第一信号输出端输出的第一信号输入所述第二输入端；所述第二信号输出端输出的第二信号输入所述第一输入端。

在一实施例中，所述减法计数单元包括第一选择器、第二选择器和第一D触发器；其中，

所述第一选择器的输出端与所述第二选择器的第一输入端连接；所述第一选择器配置为基于控制信号输入端输入的第一控制信号选择所述第一信号或所述第二信号作为第一输入信号输入所述第二选择器的第一输入

端;

所述第二选择器的第二输入端用于输入配置数信号; 所述第二选择器的输出端与所述第一 D 触发器的输入端连接; 所述第二选择器配置为基于控制信号输入端输入的所述控制信号选择所述第一输入信号或配置数信号
5 输出至第一 D 触发器;

所述第一 D 触发器的第一信号输出端和第二信号输出端分别与所述第一选择器的第二输入端和第一输入端连接; 所述第一 D 触发器配置为基于时钟源输入端输入的时钟源信号输出所述第一信号和/或所述第二信号。

在一实施例中, 所述可编程分频器还包括或门处理单元, 配置为获得
10 所述第一 D 触发器上一级输出的第一信号进行逻辑或运算, 将运算结果作为输入至所述第一选择器的所述第一控制信号。

在一实施例中, 所述逻辑单元的第一输出端与所述时钟输出单元的控制信号输入端连接; 所述逻辑单元的第一输出端还与所述减法计数单元的控制信号输入端连接; 所述逻辑单元的输出端输出的控制信号分别输入所
15 述时钟输出单元和所述减法计数单元, 配置为基于所述控制信号控制所述时钟输出单元输出的时钟信号翻转以及控制所述状态机单元置位;

所述逻辑单元还包括用于输出选择信号的第二输出端, 所述第二输出端与所述时钟输出单元连接。

在一实施例中, 所述时钟输出单元, 配置为当分频数为 $2M+1$ 时, 基于所述控制信号输出的第一分频信号满足占空比为 $M/(2M+1)$; M 为正整数; 将满足 $M/(2M+1)$ 占空比的第一分频信号输入至占空比修正 (DCC) 校正单元进行占空比修正。

在一实施例中, 所述时钟输出单元包括第三选择器、第二 D 触发器、DCC 校正单元和第四选择器; 所述第三选择器包括第一输入端、第二输入
25 端、控制信号输入端和输出端; 所述第三选择器的第一输入端和第二输入

端分别与所述减法计数单元的第一信号输出端和第二信号输出端连接；所述第三选择器的输出端与所述第二 D 触发器的输入端连接；所述第二 D 触发器的信号输出端分别与所述第四选择器的第一输入端和所述 DCC 校正单元的输入端连接；所述 DCC 校正单元的输出端与所述第四选择器的第二输入端连接；所述第四选择器的输出端输出等占空比的分频时钟信号；

所述第四选择器还包括与所述逻辑单元的第二输出端连接的选择信号输入端，配置为基于所述第二输出端输出的选择信号选择所述第二 D 触发器输出的时钟信号作为分频时钟信号，或选择所述 DCC 校正单元进行占空比修正后的时钟信号作为分频时钟信号。

本发明实施例还提供了一种计算机存储介质，所述计算机存储介质中存储有计算机可执行指令，所述计算机可执行指令用于执行本发明实施例所述的可编程分频器中的处理逻辑。

本发明实施例提供的可编程分频器及计算机存储介质，所述可编程分频器包括状态机单元、逻辑单元和时钟输出单元；所述状态机单元的位数与分频数相适应；所述状态机单元与所述逻辑单元连接，配置为当输入的时钟源周期到时，控制状态跳转，基于所述状态机单元的状态跳转输出表征所述状态机单元状态的时钟信号；所述逻辑单元与所述时钟输出单元连接，配置为获得表征所述状态机状态的时钟信号，基于所述状态机的状态输出控制信号至所述时钟输出单元和所述控制单元；其中，当所述状态机的状态满足预设状态时，输出的控制信号用于控制所述时钟输出单元输出的时钟信号翻转以及控制所述状态机单元置位；还配置为当分频数为奇数时，控制所述时钟输出单元输出的时钟信号输入至 DCC 校正单元进行占空比修正；所述时钟输出单元，配置为当分频数为偶数时，基于所述控制信号输出等占空比的分频时钟信号；当分频数为奇数时，基于所述控制信号将输出时钟信号输入至 DCC 校正单元进行占空比修正，以输出等占空比的

分频时钟信号。采用本发明实施例的技术方案，解决了任意分频的同时，实现了输出时钟信号的占空比保持在 50%；通过状态机跳转状态，当状态机的状态跳转至根据分频比设定的预设状态时，逻辑单元控制状态机置位并输出控制信号使输出时钟信号翻转，大大降低了输出延时且任意分频时
5 延时量固定相等，还大大减少了输出噪声；另外，时钟输出单元是根据状态机的状态控制输出时钟信号翻转，在具体实现时可将关键路径通过 1 比特判断，使控制逻辑的延迟最低，实现了分频器的高速时钟分频。

附图说明

图 1 为本发明实施例的可编程分频器的组成结构示意图；

10 图 2 为本发明实施例的可编程分频器中的由减法计数单元实现的状态机单元的组成结构示意图；

图 3 为本发明实施例的可编程分频器中的由减法计数单元实现的状态机单元的线路连接示意图；

图 4 为本发明实施例的可编程分频器中的逻辑单元的线路连接示意图；

15 图 5 为本发明实施例的可编程分频器中的时钟输出单元的线路连接示意图；

图 6 为本发明实施例的可编程分频器中的 DCC 校正单元的组成结构以及线路连接示意图；

图 7 为本发明实施例中采用 DCC 校正单元校正后的时钟示意图；

20 图 8 为状态机跳转的一种示意图。

具体实施方式

下面结合附图及具体实施例对本发明作进一步的说明。

本发明实施例提供了一种可编程分频器。图 1 为本发明实施例的可编程分频器的组成结构示意图；如图 1 所示，所述可编程分频器包括减法状

态机单元 11、逻辑单元 12 和时钟输出单元 13；所述状态机单元 11 的状态数与分频数相适应；

所述状态机单元 11 与所述逻辑单元 12 连接，配置为当输入的时钟源周期到时，控制状态跳转，基于所述状态机单元 11 的状态跳转输出表征所述状态机单元 11 状态的时钟信号；

所述逻辑单元 12 与所述时钟输出单元 13 连接，配置为获得表征所述状态机状态的时钟信号，基于所述状态机的状态输出控制信号至所述时钟输出单元 13 和所述状态机单元 11；其中，当所述状态机的状态满足预设状态时，输出的控制信号用于控制所述时钟输出单元 13 输出的时钟信号翻转以及控制所述状态机单元 11 置位；还配置为当分频数为奇数时，控制输出的时钟信号进行占空比修正；

所述时钟输出单元 13，配置为当分频数为偶数时，基于所述控制信号输出等占空比的分频时钟信号；当分频数为奇数时，基于所述控制信号控制输出的时钟信号进行占空比修正，以输出等占空比的分频时钟信号。

本实施例中，所述状态机单元 11 具体可通过减法计数单元实现，所述减法计数单元，配置为当输入的时钟源周期到时，控制计数值减一，所述计数值的变化作为状态跳转；还配置为当接收到对应于状态机的状态满足预设状态的控制信号时，控制计数值跳转至初始值。

作为一种实施方式，所述减法计数单元包括第一输入端、第二输入端、时钟源输入端、第一信号输出端和第二信号输出端；所述第一信号输出端和/或所述第二信号输出端与所述逻辑单元 12 连接；所述第一信号输出端与所述第二输入端连接；所述第二信号输出端与所述第一输入端连接；其中，所述第一信号输出端输出的第一信号和/或所述第二信号输出端输出的第二信号输入所述逻辑单元 12；以及所述第一信号输出端输出的第一信号输入所述第二输入端；所述第二信号输出端输出的第二信号输入所述第一输入

端。

具体的，所述减法计数单元中的每个计数值均表示一个状态；当上电复位后，每个输入的时钟源周期到（例如时钟的上升沿到）时，所述减法计数单元的计数值减一，基于所述计数值输出表征所述减法计数器状态的时钟信号至所述逻辑单元 12。

图 2 为本发明实施例的可编程分频器中的由减法计数单元实现的状态机单元的组成结构示意图；如图 2 所示，所述减法计数单元包括第一选择器（例如通过 MA 表示）、第二选择器（例如通过 MB 表示）和第一 D 触发器（例如通过 DFF 表示）；其中，所述第一选择器的输出端与所述第二选择器的第一输入端（0 端）连接；所述第一选择器配置为基于控制信号输入端输入的第一控制信号选择所述第一信号或所述第二信号作为第一输入信号输入所述第二选择器的第一输入端（0 端）；所述第二选择器的第二输入端（1 端）用于输入配置数（例如 DIV<N>表示）信号；所述第二选择器的输出端与所述第一 D 触发器的输入端（D 端）连接；所述第二选择器配置为基于控制信号输入端输入的所述控制信号（所述控制信号通过 SET 表示）选择所述第一输入信号或配置数信号输出至第一 D 触发器；所述第一 D 触发器的第一信号输出端（Q 端）和第二信号输出端（ $\bar{Q}$ 端）分别与所述第一选择器的第二输入端（1 端）和第一输入端（0 端）连接；所述第一 D 触发器配置为基于时钟源输入端输入的时钟源信号输出所述第一信号和/或所述第二信号；其中，所述第一 D 触发器的 R 端为重置（Reset）端。其中，所述可编程分频器还包括或门处理单元，配置为获得所述第一 D 触发器上一级输出的第一信号进行逻辑或运算，将运算结果作为输入至所述第一选择器的所述第一控制信号，所述第一控制信号可表示为 CLK_OUT<1>OR CLK_OUT<2>OR ... OR CLK_OUT<N-1>；其中，CLK_OUT<1>、CLK_OUT<2>.....、CLK_OUT<N-1>分别为所述第一 D 触发器上一级输出

的第一信号；OR 表示逻辑或运算。

本实施例中，可编程分频器中的减法计数单元的级数与分频器的分频数相适应；当分频位数为 N (N 为正整数) 时，所述减法计数单元的级数至少为 $(N-1)$ 。

5 图 3 为本发明实施例的可编程分频器中的由减法计数单元实现的状态机单元的线路连接示意图；结合图 2 和图 3 所示的减法计数单元，以图 3 中的第二个减法计数单元 112 (第 $N-1$ 级) 为例进行说明。具体的，第二个减法计数单元 112 输出的两个信号：第一信号 (例如 $CLK_OUTP<N-1>$) 和第二信号 (例如 $CLK_OUTN<N-1>$) 作为循环输入信号输入至所述第二
10 个减法计数单元 112，具体是第一 D 触发器 (DFFN1) 输出的第一信号 (例如 $CLK_OUTP<N-1>$) 和第二信号 (例如 $CLK_OUTN<N-1>$) 循环输入至第一选择器 (MAN1)。所述第一选择器的第一控制信号为或门处理单元获得的所述第一 D 触发器上一级输出的第一信号进行逻辑或运算处理后的处理结果，例如所述控制信号为 $CLK_OUTP<1>$ 一直到 $CLK_OUTP<N-2>$ 的
15 逻辑或运算的运算结果；当然，在其他实施方式中，所述第一控制信号也可以为所述门处理单元获得的所述第一 D 触发器上一级输出的第二信号进行逻辑或运算处理后的处理结果，例如所述控制信号为 $CLK_OUTN<1>$ 一直到 $CLK_OUTN<N-2>$ 的逻辑或运算的运算结果；在图 3 中所述的
20 $CLK_OUT<1>OR\ CLK_OUT<2>...OR\ CLK_OUT<N-2>$ 具体可以是上一级输出的第一信号进行逻辑或运算的运算结果，也可以是上一级输出的第二信号进行逻辑或运算的运算结果。第三个减法计数单元 113 的相关处理规则可参照上述第二个减法计数单元 112 的相关描述，这里不再赘述。

作为一种实施方式，所述第一选择器 (MAN1) 基于所述第一控制信号控制输入的第一信号或第二信号作为第一输入信号输入至第二选择器
25 (MBN1)；所述第二选择器 (MBN1) 基于逻辑单元产生的控制信号 (SET)

选择所述第一输入信号或配置数信号输出至第一 D 触发器(DFFN1); 其中, 所述控制信号为所述逻辑单元 12 输出的控制信号 (SET 信号)。其中, 所述配置数信号中输入的配置数为外部基于分频器位数 N 进行配置, 例如图 3 中所示的 DIV<1>、DIV<N-1>、DIV<N>, 具体与分频位数 N 相关。第一 D 触发器的输入时钟为输入的时钟源, 输出的第一信号和第二信号一方面重新输入至所述第一选择器, 另一方面, 所述第一信号和/或第二信号作为输入信号输入至所述逻辑单元 12。

需要说明的是, 如图 3 所示, 第一级减法计数单元 111 可不具有第一选择器, 即仅具有第二选择器和第一 D 触发器; 所述第二选择器和所述第一 D 触发器的连接方式与上述描述相同, 这里不再赘述。

作为一种实施方式, 图 4 为本发明实施例的可编程分频器中的逻辑单元的线路连接示意图; 如图 4 所示, 所述逻辑单元 12 的输出端与所述时钟输出单元 13 的控制信号 (SET) 输入端连接; 所述逻辑单元 12 的输出端还与所述减法计数单元的控制信号 (SET) 输入端连接; 其中, 所述逻辑单元 12 的输出端输出的控制信号 (SET) 分别输入所述时钟输出单元 13 和所述减法计数单元, 配置为基于所述减法计数单元的计数状态输出控制信号至所述时钟输出单元和所述状态机单元; 其中, 当所述状态机的状态满足预设状态时, 输出的控制信号用于控制所述时钟输出单元输出的时钟信号翻转以及用于控制所述状态机单元置位; 还配置为当分频数为奇数时, 控制输出的时钟信号进行占空比修正; 所述逻辑单元 12 还包括用于输出选择信号 (例如图中所示的 ODD_EVEN 信号) 的第二输出端, 所述第二输出端与所述时钟输出单元连接。

具体的, 所述逻辑单元 12 预先配置有基于分频数设置的预设状态, 以当获得表征所述减法计数单元的计数状态的时钟信号时, 判断所述减法计数单元的计数状态是否达到所述预设状态, 在判定所述计数状态达到所述

预设状态时，输出控制信号，所述控制信号用于控制所述时钟输出单元输出的时钟信号翻转以及用于控制所述状态机单元置位。

本实施例中，所述时钟输出单元 13，具体配置为当分频数为 $2M+1$ 时，基于所述控制信号输出的第一分频信号满足占空比为 $M/(2M+1)$ ； M 为正整数；将满足 $M/(2M+1)$ 占空比的第一分频信号输入至 DCC 校正单元进行占空比修正。

作为一种实施方式，图 5 为本发明实施例的可编程分频器中的时钟输出单元的线路连接示意图；如图 5 所示，所述时钟输出单元 13 包括第三选择器（例如可通过 MO 表示）、第二 D 触发器（例如可通过 DFFO 表示）、DCC 校正单元和第四选择器；所述第三选择器包括第一输入端（0 端）、第二输入端（1 端）、控制信号输入端（所述控制信号为 SET）和输出端；所述第三选择器的第一输入端和第二输入端分别与所述减法计数单元的第一信号输出端和第二信号输出端连接；即所述第三选择器（MO）的 0 端和 1 端分别接入 $CLK_OUTP<N>$ 信号和 $CLK_OUTN<N>$ 信号；所述第三选择器的输出端与所述第二 D 触发器的输入端（D 端）连接；所述第二 D 触发器还包括时钟源输入端，用于输入时钟源信号（CLK_IN），所述时钟源信号与所述减法计数单元中输入第一 D 触发器中的时钟源信号为同一时钟源信号；所述第二 D 触发器的信号输出端（Q 端）分别与所述第四选择器的第一输入端（0 端）和所述 DCC 校正单元的输入端连接；所述 DCC 校正单元的输出端与所述第四选择器的第二输入端（1 端）连接；所述第四选择器的输出端输出等占空比的分频时钟信号（输出的分频时钟信号表示为 CLKOUT）；所述第四选择器还包括与所述逻辑单元的第二输出端连接的选择信号输入端，配置为基于所述第二输出端输出的选择信号（例如 ODD_EVEN 信号）选择所述第二 D 触发器输出的时钟信号作为分频时钟信号，或选择所述 DCC 校正单元进行占空比修正后的时钟信号作为分频时钟

信号。

结合图 4、图 5 以及图 2 和图 3 所示，作为一种示例，所述减法计数单元输出的第一信号，例如 $\text{CLK_OUTP}\langle 1 \rangle \dots \text{CLK_OUTP}\langle N-1 \rangle$ 、 $\text{CLK_OUTP}\langle N \rangle$ 作为所述逻辑单元 12 的输入信号；作为其他实施方式，
5 所述减法计数单元输出的第二信号，例如 $\text{CLK_OUTN}\langle 1 \rangle \dots \text{CLK_OUTN}\langle N-1 \rangle$ 、 $\text{CLK_OUTN}\langle N \rangle$ 也可作为所述逻辑单元 12 的输入信号；当然，所述第一信号和所述第二信号也可共同作为所述逻辑单元 12 的输入信号。所述逻辑单元 12 通过内部的用于逻辑判断的逻辑门模块对输入信号进行处理输出控制信号（例如 SET 信号）；所述控制信号（例如 SET 信号）
10 主要用于基于所述减法计数单元的计数状态是否满足预设状态控制时钟输出单元 13 对输入的时钟信号（例如 CLK_OUTP 和 CLK_OUTN ）的选择，从而控制输出的时钟信号的翻转。具体的，所述逻辑单元 12 内预先配置一预设值，通过用于逻辑判断的逻辑门模块对输入的表征所述减法计数单元状态的时钟信号的逻辑判断，判定当所述减法计数单元的计数值达到所述
15 预设值，也可以理解为所述减法计数单元的状态达到预设状态时，通过输出的控制信号控制所述时钟输出单元 13 选择的时钟信号翻转，以达到分频的作用。具体的，当分频数为 $2M$ 时，对应分频为 $M:M$ ；当分频数为 $2M+1$ 时，对应分频为 $M:(M+1)$ 。

进一步地，当分频数为 $2M$ 时，输出的时钟可保证为 $M/2M=50\%$ 的占
20 空比，即所述时钟输出单元 13 直接输出等占空比（即 50%）的时钟分频信号；当分频数为 $2M+1$ 时，输出的时钟可保证为 $M/(2M+1)$ 的占空比；为得到等占空比，本实施例中，所述可编程分频器的时钟输出单元 13 中还设置有 DCC 校正单元，配置为当所述分频数为奇数时，对输出的分频时钟信号进行占空比修正，获得等占空比的时钟信号。

25 本实施例中，所述 DCC 校正单元具体可参照图 6 所示，由于输出的占

空比是可以预知的，图 6 所示的占空比修正单元对 $M/(2M+1)$ 的占空比进行修正，也即用于对高位信号和低位信号相差一个周期的分频时钟信号进行修正，从而获得等占空比的分频时钟信号。采用分频后的时钟示意图可参照图 7 所示。

5 图 8 为分频器的状态机跳转的一种示意图；本示意中以 7 (3' b111) (其中，b 表示比特，“111”为 7 表示的二进制数) 分频配置为例说明分频器的状态机跳转，如图 8 所示，当配置为 7 分频时，需要用到的状态机的状态为 2bit，上电完成后，复位 (RST) 端释放，此时状态机的状态为 (2' b00)，分频器的输出为低位 (low) 状态，再之后第一个输入时钟上升沿到来的时候，状态机跳转到 (2' b11)，同时分频器的输出变为高位 (high) 状态；根据预先配置，第二个输入时钟上升沿到来的时候，状态机跳转到 (2' b10)，分频器的输出保持 high 状态；第三个输入时钟上升沿到来的时候，状态机跳转到 (2' b01)，分频器的输出保持 high 状态；第四个输入时钟上升沿到来的时候，逻辑单元控制状态机跳转到 (2' b11)，同时分频器的输出变为 low 状态；第五个输入时钟上升沿到来的时候，状态机跳转到 (2' b10)，分频器的输出保持 low 状态；第六个输入时钟上升沿到来的时候，状态机跳转到 (2' b01)，分频器的输出保持 low 状态；第七个输入时钟上升沿到来的时候，状态机跳转到 (2' b00)，分频器的输出保持 low 状态；第八个输入时钟上升沿到来的时候，逻辑单元控制状态机跳转到 (2' b11)，同时分频器的输出跳变为 high 状态，此时的状态和第一个输入时钟上升沿到来的时候相同，分频器的工作状态如此往复，这样在输出端就得到了一个输出占空比为 3/7 的分频输出时钟。

基于上述描述可预先配置本发明实施例中逻辑模块中的预设值，以此可获得任意占空比 (包括等占空比) 的分频时钟信号。

25 下面结合本发明实施例的可编程分频器的组成结构，用逻辑门搭建的

减法计数器实现状态机，对本发明实施例的可编程分频器的处理流程进行说明。

假设目前的分频器设计为 N 位，则需要搭建 N 位的减法计数器，外部配置数为 $DIV<N:0>$ ，输入时钟信号为 CLK_IN ，输出时钟信号为 CLK_OUT ，
5 0 表示低电平状态，1 表示高电平状态。

首先，上电后到复位（RST）信号释放之前，所有 D 触发器的状态均为 0， CLK_OUT 输出为 0。

RST 释放，释放后第一个 CLK_IN 的上升沿到来之后，此时 $DIV<N:1>$ 的值写入到 N bit 的减法计数器中，具体是通过第二选择器写入第一 D 触发器中，同时将分频器的输出变为 1；进一步地， CLK_IN 的上升沿到来之后，
10 N bit 的减法计数器做减 1 操作，分频器的输出为 1 保持不变；当 CLK_IN 的上升沿到来之后，N bit 的减法计数器计数为 $N' b001$ 时，下一个输入时钟的上升沿到来之后，此时 $DIV<N:1>$ 的值重新写入到 N bit 的减法计数器中，分频器的输出变为 0，接下来的 CLK_IN 上升沿到来后，N bit 的减法计数器做减 1 操作，分频器的输出保持 0 不变，直至当 $DIV<0>$ 的值为 0 的时候，
15 减法计数器会计数到 $N' b001$ ，当 $DIV<0>$ 的值为 1 的时候，减法计数器会计数到 $N' b00$ ；下一个输入时钟的上升沿到来之后，此时 $DIV<N:1>$ 的值重新写入到 N bit 的减法计数器中，输出重新为 1，此时一个完整的分频周期完成。再根据配置值 $DIV<0>$ 为 1 或 0，判断分频为奇数还是偶数从而决定是否对输出信号做 DCC 处理，如果为奇数分频的话，就需要采用图 6 所示的 DCC 校正单元，从而得到 50% 占空比的分频时钟信号。
20

采用本发明实施例的技术方案，解决了任意分频的同时，实现了输出时钟信号的占空比保持在 50%；通过状态机跳转状态，当状态机的状态跳转至根据分频比设定的预设状态时，逻辑单元控制状态机置位并输出控制
25 信号使输出时钟信号翻转，大大降低了输出延时且任意分频时延时量固定

相等，还大大减少了输出噪声；另外，时钟输出单元是根据状态机的状态控制输出时钟信号翻转，在具体实现时可将关键路径通过 1 比特判断，使控制逻辑的延迟最低，实现了分频器的高速时钟分频。

本发明实施例还提供了一种计算机存储介质，所述计算机存储介质中
5 存储有计算机可执行指令，所述计算机可执行指令用于执行本发明实施例所述的可编程分频器中的处理逻辑。具体的，所述计算机可执行指令用于执行：当输入的时钟源周期到时，控制状态机单元状态跳转，基于所述状态机单元的状态跳转输出表征所述状态机单元状态的时钟信号；获得表征所述状态机状态的时钟信号，基于所述状态机的状态输出控制信号至所述
10 时钟输出单元和所述状态机单元；其中，当所述状态机的状态满足预设状态时，输出的控制信号用于控制所述时钟输出单元输出的时钟信号翻转以及控制所述状态机单元置位；当分频数为偶数时，基于所述控制信号控制所述时钟输出单元输出等占空比的分频时钟信号；当分频数为奇数时，基于所述控制信号控制所述时钟输出单元输出的时钟信号进行占空比修正，
15 以输出等占空比的分频时钟信号。

所述计算机可执行指令还用于执行：当分频数为偶数时，基于所述控制信号控制所述时钟输出单元输出等占空比的分频时钟信号；当分频数为奇数时，基于所述控制信号控制所述时钟输出单元输出的时钟信号进行占空比修正，以输出等占空比的分频时钟信号。

20 所述计算机可执行指令还用于执行：当输入的时钟源周期到时，控制所述状态机单元的计数值减一，所述计数值的变化作为状态跳转；当接收到对应于状态机的状态满足预设状态的控制信号时，控制所述状态机单元的计数值跳转至初始值。

在本申请所提供的几个实施例中，应该理解到，所揭露的可编程分频
25 器，可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，

例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以通过一些接口，设备或单元的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元，即可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

另外，在本发明各实施例中的各功能单元可以全部集成在一个处理单元中，也可以是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

本领域普通技术人员可以理解：实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成，前述的程序可以存储于一计算机可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：移动存储设备、只读存储器（ROM，Read-Only Memory）、随机存取存储器（RAM，Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

或者，本发明上述集成的单元如果以软件功能模块的形式实现并作为独立的产品销售或使用，也可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机、服务器、或者网络设备等）执行本发明各个实施例所述方法的全部或

部分。而前述的存储介质包括：移动存储设备、ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可
5 轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

工业实用性

本发明实施例的技术方案解决了任意分频的同时，实现了输出时钟信号的占空比保持在 50%；通过状态机跳转状态，当状态机的状态跳转至根
10 据分频比设定的预设状态时，逻辑单元控制状态机置位并输出控制信号使输出时钟信号翻转，大大降低了输出延时且任意分频时延时量固定相等，还大大减少了输出噪声；另外，时钟输出单元是根据状态机的状态控制输出时钟信号翻转，在具体实现时可将关键路径通过 1 比特判断，使控制逻辑的延迟最低，实现了分频器的高速时钟分频。

15

权利要求书

1、一种可编程分频器，所述可编程分频器包括状态机单元、逻辑单元和时钟输出单元；所述状态机单元的状态数与分频数相适应；

所述状态机单元与所述逻辑单元连接，配置为当输入的时钟源周期到
5 时，控制状态跳转，基于所述状态机单元的状态跳转输出表征所述状态机单元状态的时钟信号；

所述逻辑单元与所述时钟输出单元连接，配置为获得表征所述状态机状态的时钟信号，基于所述状态机的状态输出控制信号至所述时钟输出单元和所述状态机单元；其中，当所述状态机的状态满足预设状态时，输出
10 的控制信号用于控制所述时钟输出单元输出的时钟信号翻转以及控制所述状态机单元置位；还配置为当分频数为奇数时，控制输出的时钟信号进行占空比修正；

所述时钟输出单元，配置为当分频数为偶数时，基于所述控制信号输出等占空比的分频时钟信号；当分频数为奇数时，基于所述控制信号控制
15 输出的时钟信号进行占空比修正，以输出等占空比的分频时钟信号。

2、根据权利要求 1 所述的可编程分频器，其中，所述状态机单元具体为减法计数单元，配置为当输入的时钟源周期到时，控制计数值减一，所述计数值的变化作为状态跳转；还配置为当接收到对应于状态机的状态满足预设状态的控制信号时，控制计数值跳转至初始值；

20 其中，所述减法计数单元包括第一输入端、第二输入端、时钟源输入端、第一信号输出端和第二信号输出端；所述第一信号输出端和/或所述第二信号输出端与所述逻辑单元连接；所述第一信号输出端与所述第二输入端连接；所述第二信号输出端与所述第一输入端连接；

其中，所述第一信号输出端输出的第一信号和/或所述第二信号输出端
25 输出的第二信号输入所述逻辑单元；以及所述第一信号输出端输出的第一

信号输入所述第二输入端；所述第二信号输出端输出的第二信号输入所述第一输入端。

3、根据权利要求2所述的可编程分频器，其中，所述减法计数单元包括第一选择器、第二选择器和第一D触发器；其中，

5 所述第一选择器的输出端与所述第二选择器的第一输入端连接；所述第一选择器配置为基于控制信号输入端输入的第一控制信号选择所述第一信号或所述第二信号作为第一输入信号输入所述第二选择器的第一输入端；

10 所述第二选择器的第二输入端用于输入配置数信号；所述第二选择器的输出端与所述第一D触发器的输入端连接；所述第二选择器配置为基于控制信号输入端输入的所述控制信号选择所述第一输入信号或配置数信号输出至第一D触发器；

15 所述第一D触发器的第一信号输出端和第二信号输出端分别与所述第一选择器的第二输入端和第一输入端连接；所述第一D触发器配置为基于时钟源输入端输入的时钟源信号输出所述第一信号和/或所述第二信号。

4、根据权利要求3所述的可编程分频器，其中，所述可编程分频器还包括或门处理单元，配置为获得所述第一D触发器上一级输出的第一信号进行逻辑或运算，将运算结果作为输入至所述第一选择器的所述第一控制信号。

20 5、根据权利要求2所述的可编程分频器，其中，所述逻辑单元的第一输出端与所述时钟输出单元的控制信号输入端连接；所述逻辑单元的第一输出端还与所述减法计数单元的控制信号输入端连接；所述逻辑单元的输出端输出的控制信号分别输入所述时钟输出单元和所述减法计数单元，配置为基于所述控制信号控制所述时钟输出单元输出的时钟信号翻转以及控制
25 制所述状态机单元置位；

所述逻辑单元还包括用于输出选择信号的第二输出端，所述第二输出端与所述时钟输出单元连接。

6、根据权利要求 1 所述的可编程分频器，其中，所述时钟输出单元，配置为当分频数为 $2M+1$ 时，基于所述控制信号输出的第一分频信号满足
5 占空比为 $M/(2M+1)$ ； M 为正整数；将满足 $M/(2M+1)$ 占空比的第一分频信号输入至 DCC 校正单元进行占空比修正。

7、根据权利要求 5 所述的可编程分频器，其中，所述时钟输出单元包括第三选择器、第二 D 触发器、DCC 校正单元和第四选择器；所述第三选择器包括第一输入端、第二输入端、控制信号输入端和输出端；所述第三
10 选择器的第一输入端和第二输入端分别与所述减法计数单元的第一信号输出端和第二信号输出端连接；所述第三选择器的输出端与所述第二 D 触发器的输入端连接；所述第二 D 触发器的信号输出端分别与所述第四选择器的第一输入端和所述 DCC 校正单元的输入端连接；所述 DCC 校正单元的
15 输出端与所述第四选择器的第二输入端连接；所述第四选择器的输出端输出等占空比的分频时钟信号；

所述第四选择器还包括与所述逻辑单元的第二输出端连接的选择信号输入端，配置为基于所述第二输出端输出的选择信号选择所述第二 D 触发器输出的时钟信号作为分频时钟信号，或选择所述 DCC 校正单元进行占空比修正后的时钟信号作为分频时钟信号。

20 8、一种计算机存储介质，所述计算机存储介质中存储有计算机可执行指令，所述计算机可执行指令用于执行权利要求 1 至 7 任一项所述的可编程分频器中的处理逻辑。

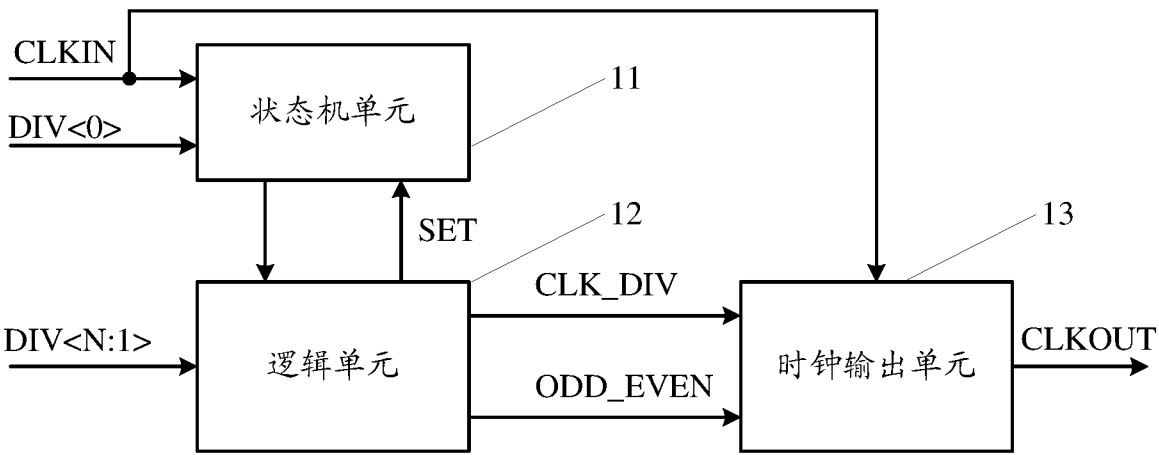


图 1

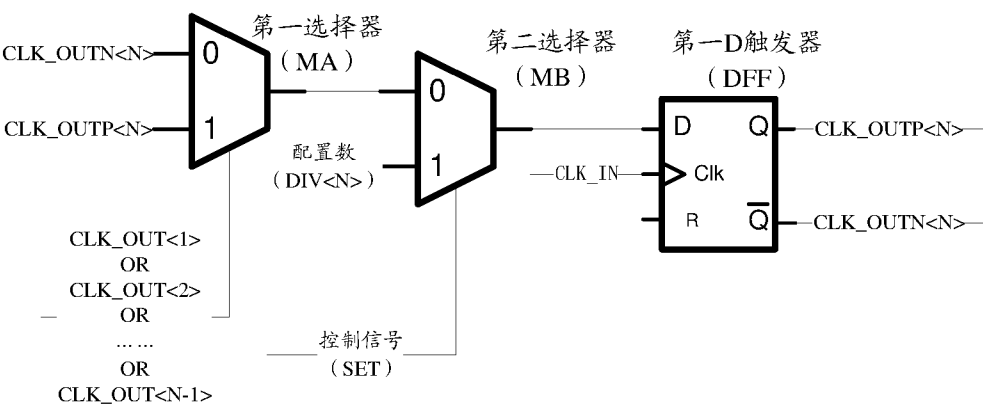


图 2

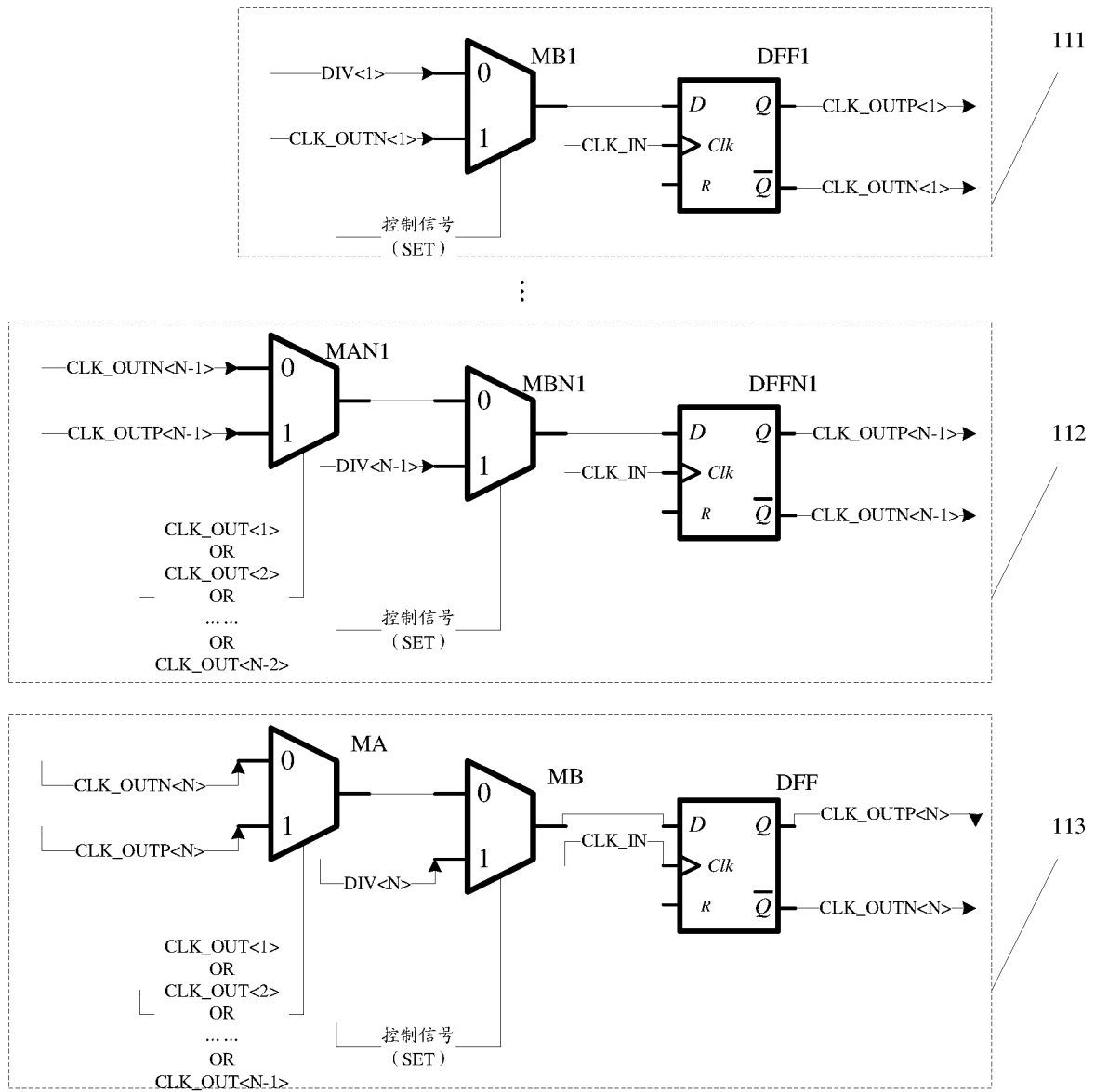


图 3



图 4

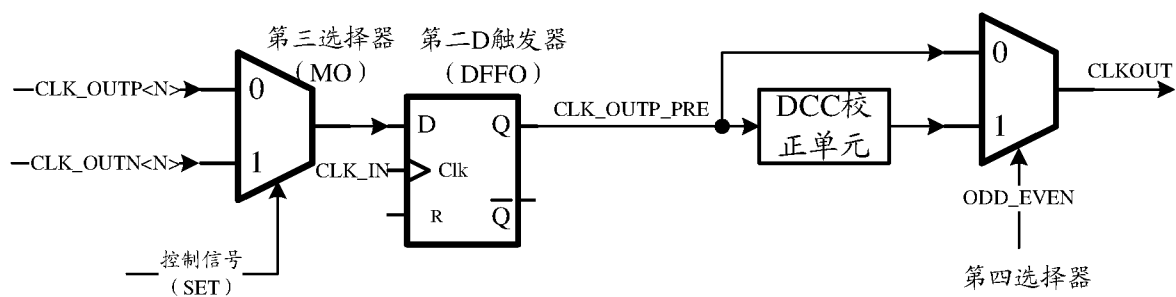


图 5

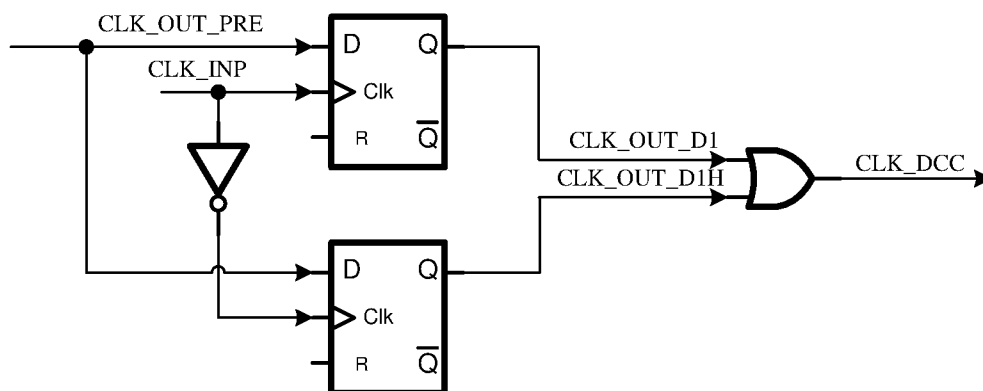


图 6

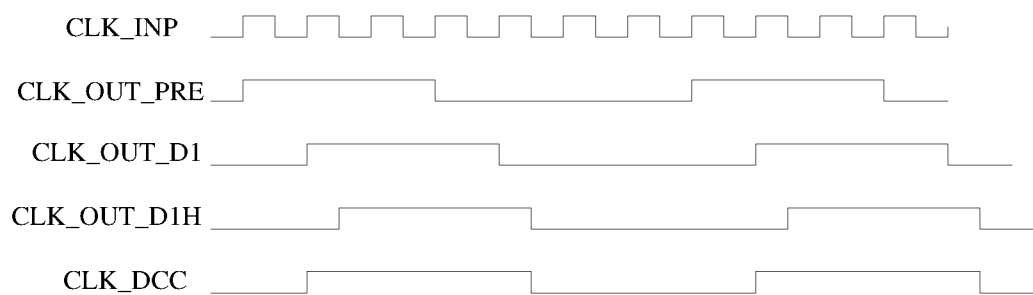


图 7

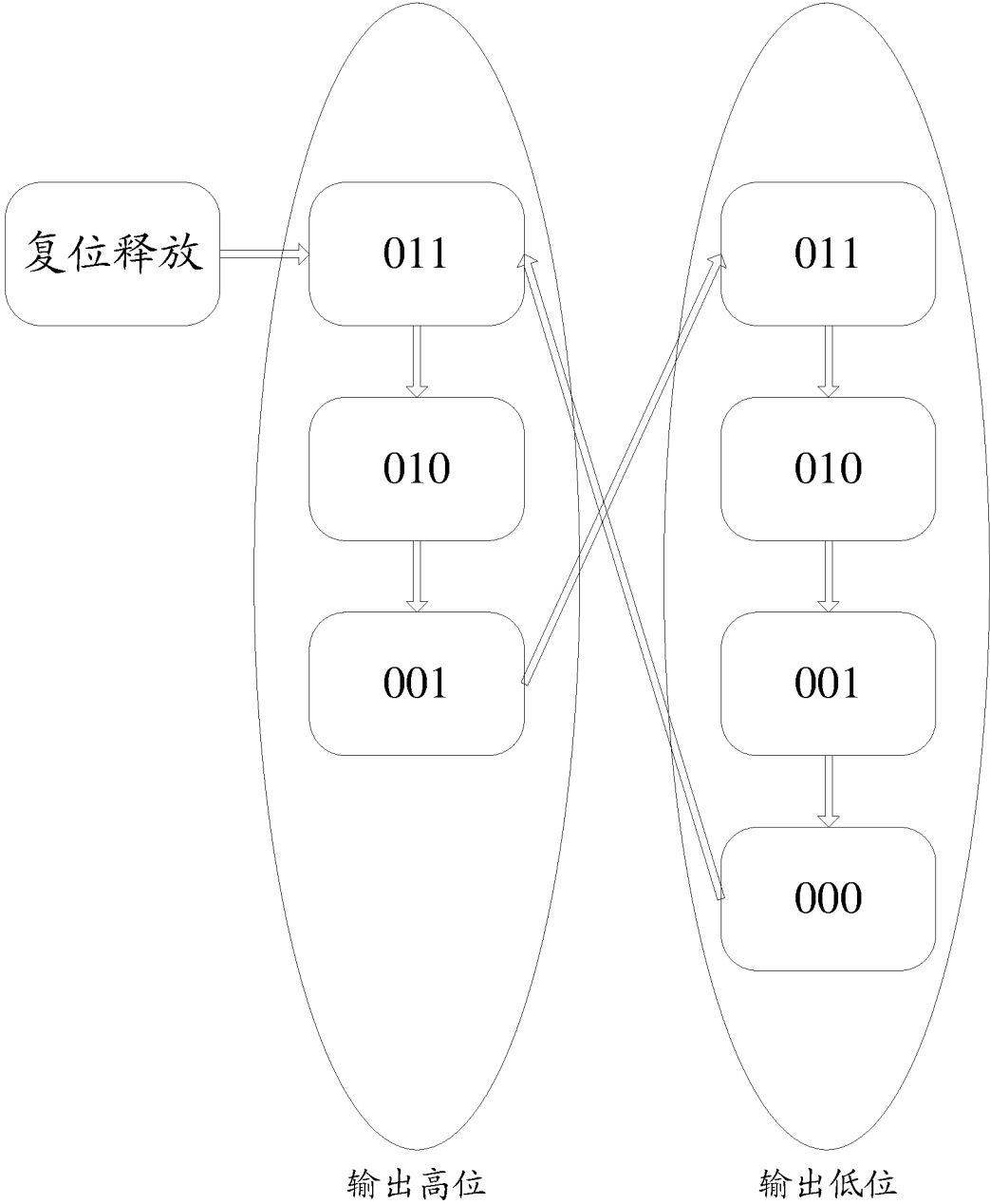


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/077770

A. CLASSIFICATION OF SUBJECT MATTER

H03K 23/66 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; SIPOABS, CNKI: 可编程, 奇数, 时钟, 分频, 计数, 状态机, 可编程分频, 偶数, divider, counter, programmable, clock, frequency

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104579316 A (BRITE SEMICONDUCTOR (SHANGHAI) CORPORATION), 29 April 2015 (29.04.2015), description, paragraphs [0019]-[0028], and figures 1-2	1-3, 5, 8
A	CN 104579316 A (BRITE SEMICONDUCTOR (SHANGHAI) CORPORATION), 29 April 2015 (29.04.2015), description, paragraphs [0019]-[0028], and figures 1-2	4, 6-8
A	CN 101150314 A (SHENGDA SEMICONDUCTOR CO., LTD.), 26 March 2008 (26.03.2008), entire document	1-8
A	US 2010054390 A1 (KIM, S.W. et al.), 04 March 2010 (04.03.2010), entire document	1-8
A	CN 102035540 A (CHANGSHA JINGJIA MICROELECTRONICS CO., LTD.), 27 April 2011 (27.04.2011), entire document	1-8
A	CN 101154945 A (SHENGDA SEMICONDUCTOR CO., LTD.), 02 April 2008 (02.04.2008), entire document	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 July 2017	Date of mailing of the international search report 25 August 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer MA, Chi Telephone No. (86-10) 62411641

International application No.
PCT/CN2017/077770

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2017/077770

A. 主题的分类

H03K 23/66(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;DWPI;SIPOABS,CNKI:可编程, 奇数, 时钟, 分频, 计数, 状态机, 可编程分频, 偶数, divider, counter, programmable, clock, frequency

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104579316 A (灿芯半导体上海有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书[0019]-[0028]段, 图1-2	1-3, 5, 8
A	CN 104579316 A (灿芯半导体上海有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书[0019]-[0028]段, 图1-2	4, 6-8
A	CN 101150314 A (升达半导体股份有限公司) 2008年 3月 26日 (2008 - 03 - 26) 全文	1-8
A	US 2010054390 A1 (KIM SOO-WON等) 2010年 3月 4日 (2010 - 03 - 04) 全文	1-8
A	CN 102035540 A (长沙景嘉微电子有限公司) 2011年 4月 27日 (2011 - 04 - 27) 全文	1-8
A	CN 101154945 A (升达半导体股份有限公司) 2008年 4月 2日 (2008 - 04 - 02) 全文	1-8

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 7月 3日

国际检索报告邮寄日期

2017年 8月 25日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

马驰

传真号 (86-10)62019451

电话号码 (86-10)62411641

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/077770

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	104579316	A	2015年 4月 29日	CN 104579316 B	2017年 4月 26日
CN	101150314	A	2008年 3月 26日	无	
US	2010054390	A1	2010年 3月 4日	KR 100975040 B1	2010年 8月 11日
				US 7973575 B2	2011年 7月 5日
				KR 20100027396 A	2010年 3月 11日
CN	102035540	A	2011年 4月 27日	CN 102035540 B	2011年 12月 28日
CN	101154945	A	2008年 4月 2日	无	

表 PCT/ISA/210 (同族专利附件) (2009年7月)