307923

（由本局填寫）

承辦人代碼：	A6
大　　類：	B6
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1993 年 12 月 21 日	P05-321589	☑無主張優先權
日本	1994 年 8 月 23 日	P06-198840	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

發明背景

1．發明領域

本發明關於半導體記憶裝置，尤指連接多個記憶格以形成記憶格單元的半導體記憶裝置。

2．相關技藝說明

傳統上，可電性重寫的EEPROM做爲一種半導體記憶裝置。EEPROM中，注意到稱爲NAND格型的EEPROM，其中多個記憶格串聯以形成一端接到位元線的單元，可得到高積成度。

NANA格型EEPROM的一記憶格包括FETMOS結構，其中浮動閘（電荷儲存層）和控制閘經由絕緣膜疊在半導體基底上且形成NAND格，多個記憶格串聯，使得多個相鄰記憶格共同源極和汲極。此種NAND格排成矩陣陣列，因而形成記憶格陣列。

設在記憶格陣列之陣列方向之各NAND格一端的汲極共同經由選擇閘電晶體接到位元線，另一端的源極經由另一選擇閘電晶體接到共同源極線。記憶電晶體的控制閘和選擇閘電晶體的閘極在記憶格陣列的行方向互接，各做爲控制閘（字線）和選擇閘極。

NANA格型EEPROM的作業解釋如下。

從遠離位元線之記憶格的次序執行資料寫入。在n通道的情形，高壓（例如20V）施於選擇記憶格的控制閘，中壓（例如10V）施於在位元線之側之未選擇記憶格

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

的控制閘及選擇閘電晶體的閘極。0V（例如〝1〞）或中壓（例如〝0〞）依據資料施於位元線。此時，位元線電壓經由選擇閘電晶體和未選擇記憶格傳到選擇記憶格的通道。

當資料要寫入（資料爲〝1〞）時，高電場施於選擇記憶格的閘極與通道之間，電子從基底射到浮動閘。因此，選擇記憶格的臨限值在正向移動。當無資料要寫入（資料爲〝0〞）時，臨限值不變。

爲抹除資料，高壓施於p型基底（在井結構和形成其上之p型井的情形爲n型基底），所有記憶格的控制閘和選擇閘電晶體的閘極設爲0V。因此，所有記憶格中，浮動閘的電子射到基底，臨限值變成負向。

爲讀取資料，選擇閘電晶體及選擇記憶格除外的未選擇記憶格開啓，0V施於選擇記憶格的閘極。此時，讀取流到的位元線的電流，藉以區別〝0〞與〝1〞。

此傳統NANA格型EEPROM中，在資料讀取或寫入有控制閘，選擇閘上升，選擇閘下降之延遲時間失配的問題。

例如，在32M位元之NANA格型EEPROM的情形，若一控制閘線寬度爲0.5μm，長度爲7500μm，薄片電阻ρ每1μm×1μm爲70Ω，則電阻爲1050kΩ，約1MΩ。電容爲4.5PF，CR時間常數爲CR＝4.5PF×1MΩ＝4.5μS。在SPICE模擬，控制閘線的建立時間導致7.0μS高

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（３）

達電源電壓Ｖｃｃ的９０％。

圖１顯示傳統４Ｍ位元，１６位元，３２位元ＮＡＮＡ格型ＥＥＰＲＯＭ的核心區配置。ＢＬｏ至ＢＬｍ是位元線，ＣＧＮ１至ＣＧＮ８：控制閘線，ＳＧＮ：汲極側側選擇閘線，ＳＧＳ是源極側選擇閘線。

如圖示，設在圖左側的奇數驅動器電路控制控制閘線（奇數）ＣＧＮ１，ＣＧＮ３，ＣＧＮ５，ＣＧＮ７和汲極側選擇閘線ＳＧＮ。設在圖右側的偶數驅動器電路控制控制閘線（偶數）ＣＧＮ２，ＣＧＮ４，ＣＧＮ６，ＣＧＮ８和源極側選擇閘線ＳＧＳ。

同一列之ＮＡＮＤ格組的驅動器電路分成偶數電路和奇數電路的理由在於一控制閘線的驅動元件無法設在控制閘線的間距。

圖２顯示圖１之ＮＡＮＤ型ＥＥＰＲＯＭ核心區之第一解碼器電路，驅動器電路，ＮＡＮＤ格行的特定結構。

讀取作業時，若選擇控制閘線ＣＧＮ３，則接到ＣＧＮ３之記憶格Ｃｅｌｌｊ３０至Ｃｅｌｌｊ３ｍ的資料讀到位元線ＢＬ０至ＢＬｍ，控制閘線ＣＧＮ３充電到地電壓Ｖｓｓ（０Ｖ），其它控制閘記憶格ＣＧＮ１，ＣＧＮ２，ＣＧＮ４至ＣＧＮ８和選擇閘線ＳＧＮ和ＳＧＳ充電到電源電壓Ｖｃｃ（５Ｖ）。

在此情形，控制閘線和選擇閘線的驅動器電路設成左右分開，控制閘線和選擇閘線的ＣＲ常數高，亦即４．５μＳ。因此，在奇偶數控制閘線之間及在汲極側和源極側

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

的選擇閘線之間有充電／放電時序不一致的問題。

詳言之，接到BL0的Cell j10至Cell j80解釋如下。

控制閘線（奇數）CGN1，CGN5，CGN7和汲極側選擇閘線SGN由最接近Cell j10至Cell j80的奇數驅動器電路充電到5V。此時，控制閘線（偶數）CGN2，CGN4，CGN6，CGN8和源極側選擇閘線SGS由最遠離Cell j10至Cell j80的偶數驅動器電路充電到5V。

如上述，在同一NAND格，若控制閘線和選擇閘線的驅動器電路設成左右分開，則在同一NAND格的奇偶數控制閘線有充電／放電時序不一致的問題。在32M位元NANA格型EEPROM的情形，控制閘線的線間距爲1.05μm（線寬0.55μm／間隔0.50μm），一控制閘線的驅動器電路無法設在此間距。因此，驅動器電路必須左右分開。

此外，依據傳統NANA格型EEPROM，解碼器電路的輸出信號CLKAj，／CLKAj輸入到左側的奇數驅動器電路和右側的偶數驅動器電路。因此，輸出信號CLKAj，／CLKAj必須在記憶格陣列上行進，發生大的線長增加電阻電容的問題。因此，產生將解碼器電路的輸出信號CLKAj，／CLKAj輸入到左側的奇數NAND格和右側的偶數驅動器電路之時序的時差，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

時差妨礙高速讀取作業。

再者，由於輸出信號CLKAj，／CLKAj的接線穿過記憶格陣列的左右，故接線層異於控制閘線，選擇閘線，位元線。詳言之，當浮動閘使用第一層的多晶矽，控制閘線和選擇閘線使用第二層的多晶矽時，若位元線使用第三層的多晶矽，則輸出信號CLKAj，／CLKAj的接線由A1形成。相反地，若CLKAj，／CLKAj的接線使用第三層的多晶矽，則位元線由A1形成。依此方式，傳統NANA格型EEPROM中，由於輸出信號CLKAj，／CLKAj的接線穿過記憶格陣列的左右，故需要三個多晶矽層和一個A1層。

然後，如圖3，關於解碼器電路，若列解碼器r和ℓ分別供給記憶格陣列的右邊和左邊，則不需輸出信號CLKAj，／CLKAj的接線穿過記憶格陣列的左右。但在此情形，解碼器電路數目加倍，晶片面積增加，造成成本增加。

此外，寫入作業時，若選擇控制閘線CGN8，則資料寫入接到CGN8的記憶格Cellj80至Celljm8，控制閘線CGN8充電到高壓Vpp（20V），其它控制閘線CGN1至CGN7和汲極側選擇閘線SGN充電到中壓Vm（10V）。即使在寫入作業，依據圖1和2之傳統NANA格型EEPROM的配置，在同一NAND格的奇偶數控制閘線及左奇數驅動器電路和右偶數驅動器電路之汲極側和源極側的選擇閘線也

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 6 ）

有產生時差的問題。

依據傳統半導體記憶裝置，提供備用記憶格陣列來拯救缺陷位元。當輸入位址和缺陷格位址一致時，選擇備用記憶格陣列的字線，以備用格更換缺陷格。

此缺陷位元拯救中，如圖3，依據字線驅動器和列解碼器設在記憶格陣列二側的結構，若諸如字線間之短路的缺陷產生在二相鄰字線之間，則必須拯救二側的列解碼器。易言之，必須低效率進行缺陷拯救，例如二個列解碼器拯救一個缺陷。

如上述，依據傳統NANA格型EEPROM，因控制閘線的間距限制之故，同一NAND格的16在記憶格陣列的右邊和左邊分成偶數驅動器電路和奇數驅動器電路。因此，有如下問題。

詳言之，在同一NAND格的奇偶數控制閘線及汲極和源極側的選擇閘線產生充電／放電之間的時差，讀取和寫入作業變不穩定，可靠度降低。

此外，依據傳統NANA格型EEPROM，由於解碼器電路的輸出信號輸入到左奇數驅動器電路和右偶數驅動器電路，故輸出信號必須在記憶格陣列上行進。因此，有如下問題。

詳言之，須要解碼器電路輸出信號的一接線層，製造成本增加。

再者，若解碼器電路設在記憶格陣列二側，則列解碼器數目加倍。因此，晶片面積增加。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（ 7 ）

此外，字線驅動器和列解碼器設在記憶格陣列二側以從各側每一字線來驅動的結構中，具有缺陷位元拯救效率低的問題。

此外，傳統上，由於設在同一格單元之偶數和奇數的字線驅動器電路分成右和左側，故在作業時必須選擇二側驅動器電路。因此，由於抹除／寫入記憶格資料所需的高壓（在晶片升高的電壓）必須施於左右驅動器電路，故發生升壓電路負載容量大，升壓電路面積增加，資料抹除／寫入時間增加等問題。

上述問題不限於ＮＡＮＡ格型ＥＥＰＲＯＭ。相同問題發生在諸如ＤＩＮＯＲ格型ＥＥＰＲＯＭ的半導體記憶裝置（具有包括並聯之多個記憶格的記憶格陣列）和ＡＮＤ格型ＥＥＰＲＯＭ。此外，上述問題不限於發生在使用不變性記憶格的半導體記憶裝置。相同問題可發生在使用動態型格的半導體記憶裝置。再者，上述問題不限於發生在使用記憶格單元的半導體記憶裝置。相同問題可發生在記憶格排成陣列形式的半導體記憶裝置。

<u>發明概要</u>

本發明的目標是提供半導體記憶裝置，其中列解碼器數目不增加，不需列解碼器電路的輸出信號輸入到左右驅動器電路而在記憶格陣列上行進，減少接線層的一層，製造成本可降低。

本發明另一目標是提供半導體記憶裝置，其中可均勻

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 8 ）

設定諸如ＮＡＮＤ格，ＤＩＮＯＲ格或ＡＮＤ格之同一格之控制線和選擇閘線的充電／放電時間，讀取和寫入時可進行穩定作業，可靠度可增進。

此外，本發明另一目標是提供半導體記憶裝置，其中可簡化字線間之短路產生在二相鄰字線間之情形的拯救處理，缺陷位元的拯救效率可增進。

爲達成上述目標，本發明具有以下結構。

詳言之，依據本發明的第一半導體記憶裝置，提供半導體記憶裝置，包括：記憶格陣列，其中記憶格或具有多個記憶格的記憶格單元設成陣列形式；選列構件，選擇記憶格陣列的字線；選行構件，選擇記憶格陣列的位元線；其中驅動多條字線的字線驅動器設在記憶格陣列二側，字線分成各有多條連續編號字線的方塊，同一方塊的字線接到同一驅動器。

此外，依據本發明的第二半導體記憶裝置，提供半導體記憶裝置，包括：記憶格陣列，其中形成具有多個電性可重寫記憶格的記憶格單元，記憶格單元以矩陣陣列形成在半導體基底上；選列構件，選擇記憶格陣列的字線；選列構件，選擇記憶格陣列的位元線；其中驅動字線的字線驅動器以一比二記憶格單元的比值設在記憶格陣列二側，穿過同一列之記憶格單元的多條字線接到同一驅動器。

再者，依據本發明的第三半導體記憶裝置，提供半導體記憶裝置，包括：記憶格陣列，其中形成具有多個電性可重寫記憶格的記憶格單元，記憶格單元以矩陣陣列形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 9 ）

在半導體基底上；多條控制閘線，穿過同一列的記憶格單元；位元線，穿過同一行的記憶格單元，其中驅動字線的字線驅動器以一比二記憶格單元的比值設在記憶格陣列二側，穿過偶數列之記憶格單元的多條字線接到設在記憶格陣列一端側的驅動器，穿過奇數列之記憶格單元的多條字線接到設在記憶格陣列另一端側的驅動器。

下列幾點可視爲所需特定形式。

（ 1 ）列解碼器對應於在記憶格陣列二側的字線驅動器；

（ 2 ）每一或二方塊，字線的各方塊交替接到記憶格陣列二側的字線驅動器；

（ 3 ）記憶格是疊置浮動閘（電荷儲存層）和控制閘的不變性記憶格；

（ 4 ）記憶格單元是串聯有多個記憶格的ＮＡＮＤ格；

（ 5 ）ＮＡＮＤ格經由汲極側選擇閘線接到位元線，經由源極側選擇閘線接到格源極，驅動器電路控制汲極和源極側的各選擇閘線；

（ 6 ）記憶格單元是並聯有多個記憶格的ＡＮＤ格，或ＤＩＮＯＲ格。

（ 7 ）同一格單元的字線接到位於格陣列之右或左側的一驅動器電路。

此外，依據本發明的第四半導體記憶裝置，提供半導體記憶裝置，包括：記憶格陣列，其中記憶格或具有多個

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 10）

記憶格的記憶格單元設成陣列形式；多個主列解碼器和主字線驅動器，設在記憶格陣列二側；備用記憶格陣列，拯救記憶格陣列的缺陷格；多個備用字線驅動器，設在備用記憶格陣列二側；缺陷拯救電路，若輸入位址符合缺陷格位址，則儲存缺陷格位址以選擇備用字線驅動器；其中主列解碼器所選擇且主字線驅動器所驅動的字線分成各有多條連續編號字線的方塊，同一驅動器選擇同一方塊的字線。

下列幾點可視爲所需特定形式。

（1）拯救缺陷位元的構件由列解碼器的單元或多個列解碼器的單元來拯救缺陷格。

（2）各列解碼器選擇記憶格單元的單元或多個記憶路單元的單元；

（3）拯救缺陷位元的構件拯救在記憶格陣列各側的不同缺陷位址；

（4）每一或二方塊，字線的各方塊交替接到記憶格陣列二側的字線驅動器。

依據本發明的第一至第三半導體記憶裝置，驅動器電路（字線驅動器）設在記憶格陣列二側。但在同一列的各記憶格單元，控制閘線（字線）接到一驅動器電路（相同驅動器電路），與奇或偶數控制閘線無關。因此，同一記憶格單元中，並無在奇偶數控制閘線產生充電／放電之時差的缺點，讀取和寫入時可進行穩定作業，可靠度可增進。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 11）

此外，列解碼器數目不增加，列解碼器電路的輸出信號不需輸入到左右驅動器電路而在記憶格陣列上行進，解碼器電路的導線電阻及電容造成的延遲可降低，因而可進行高速讀取和寫入。此外，由於解碼器電路輸出節點的接線電容可大爲降低，故形成解碼器電路之電晶體的尺寸可降低，晶片面積和電力消耗可降低。再者，解碼器電路輸出信號所需的接線層數目可降低，製程可簡化，產量可增進，因而相同列解碼器增加。因此，位元線拯救效率可增進，製造成本可降低。

本發明的其它目標和優點在下文中提出，或可由實施本發明而得知。藉由在申請專利範圍指出的儀器和組合可瞭解並得到本發明的目標和優點。

圖式簡述

併入且構成說明書一部分的附圖顯示本發明較佳實施例，配合上述一般說明和以下較佳實施例詳述，用來解釋發明原理。

圖1顯示傳統4M，16M，32M位元NANA格型EEPROM的核心區配置；

圖2顯示圖1之NANA格型EEPROM的第一解碼器電路，驅動器電路，NAND格列電路；

圖3顯示解碼器電路設在記憶格陣列左右側的例子；

圖4顯示本發明第一實施例之NANA格型EEPROM的核心區配置；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 12）

圖5顯示圖4之NANA格型EEPROM的第j解碼器電路，驅動器電路，NAND行記憶格陣列；

圖6顯示圖4之NANA格型EEPROM的第（j＋1）解碼器電路，驅動器電路，NAND行記憶格陣列；

圖7A顯示本發明的修改；

圖7B顯示本發明的修改；

圖8是顯示DINOR格型EEPROM的等效電路圖；

圖9是顯示DINOR格型EEPROM的等效電路圖；

圖10顯示本發明第二實施例之半導體記憶裝置的基本結構；

圖11顯示本發明第三實施例之半導體記憶裝置的基本結構；

圖12A顯示缺陷拯救電路的例子；

圖12B顯示備用字線驅動器電路的例子；

圖13顯示列解碼器電路和字線驅動器電路的例子。

較佳實施例詳述

參照圖式來解釋本發明的實施例。

（第一實施例）

圖4顯示本發明第一實施例的核心區配置。BLo至

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 13）

ＢＬｍ是位元線，ＣＧＮ１至ＣＧＮ８是控制閘線，ＳＧＮ，ＳＧＳ分別是汲極側和源極側選擇閘線。

如圖示，ＮＡＮＤ格１１形成矩陣（例如在列方向爲ｍ，在行方向爲ｎ）以構成記憶格陣列。多條控制閘ＣＧ（字線）和選擇閘線分別穿過同一列的ＮＡＮＤ格組，位元線分別穿過同一行的ＮＡＮＤ格組。ＮＡＮＤ格１１中，浮動閘和控制閘經由絕緣膜疊在半導體基底上，因而形成具有ＦＥＴＭＯＳ結構的不變性記憶格，多個不變性記憶格串聯。

一驅動器電路１２以一比二ＮＡＮＤ格組的比值設在記憶格陣列二側。列解碼器電路１３接到各驅動器電路１２。詳言之，偶數驅動器電路１２設在記憶格陣列左側，奇數驅動器電路１２設在記憶格陣列右側。然後，列解碼器電路１３設在各驅動器電路１２與陣列相對。

各驅動器電路１２包括控制閘線的驅動元件和選擇閘線的驅動元件。然後，偶數ＮＡＮＤ格組的控制閘線和選擇閘線接到圖左側的偶數驅動器電路，奇數ＮＡＮＤ格組的控制閘線和選擇閘線接到圖右側的奇數驅動器電路。

圖５和６顯示圖４之ＮＡＮＡ格型ＥＥＰＲＯＭ的第ｊ列解碼器電路和第（ｊ＋１）列解碼器電路，對應的驅動器電路，二ＮＡＮＤ格組。ＲＡｉ，ＲＢｉ，ＲＣｉ是列預解碼器的輸出，ＥＲＡＳＥＣＢ和ＥＲＡＳＥＣ是抹除的控制信號，ＶｐｐＲＷ是內充電泵電路所產生的高壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 14）

如圖4，5，6，每一NAND格組，對應的列解碼器電路13和驅動器電路12交替設在記憶格陣列的右和左側。然後，同一NAND格組中，穿過同一NAND格組的選擇閘線和控制閘接到同一驅動器電路字線。因此，同一NAND格中，在讀取作業和寫入作業時，穿過同一NAND格之控制閘線和選擇閘線的充電／放電時差不產生電位差。因此，可穩定操作讀取和寫入。

此外，由於以一比二NAND格組的比值提供驅動器電路12，故一控制閘線的驅動器元件可設在控制閘線之二間距的區域。即使控制閘線間距變窄如圖1的傳統情形，也可適當進行作業。再者，由於同一NAND格組的驅動器電路12不分離，故輸出信號不需左右分開。然後，線長度所造成的電阻電容可降低。

因此，依據上述實施例，雖然驅動器電路設在記憶格陣列二側，但可在同一NAND格均勻設定控制閘線和選擇閘線的充電／放電，在讀取作業和寫入作業可進行穩定作業，可靠度可增進。

列解碼器電路數目不增加，列解碼器電路輸出不需穿過要輸入到左右驅動器電路的記憶格陣列，製程可簡化，產量可增進，因而製造成本可大為降低。

依據上述實施例，同一格單元的字線選自分成陣列左右側的驅動器電路。因此，作業時只可選擇左右驅動器電路的其中一個。升壓電路的負載電容減半。因此，升壓電路的面積可降低，資料抹除／寫入時間可縮短。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 15）

除了升壓電路的負載電容變小，由於位址解碼器電路設在字線驅動器電路左右，位址信號不需穿過記憶陣列，故降低選擇閘電晶體抹除／寫入時間可增進高速作業，接線造成的時間延遲降低。

上述實施例選擇使用NANA格型EEPROM的情形，對應於行方向之奇偶數NAND格組之NAND格組的列解碼器電路和驅動器電路交替分成記憶格陣列的右和左側。但本發明用於對應列解碼器電路和驅動器電路交替分成每幾列NAND格組（例如二列）之記憶格陣列的右和左側的情形。

圖7A顯示驅動器電路在記憶格陣列左右側偏移半間距的情形。圖7B顯示驅動器電路交替分成每二列NAND格組之記憶格陣列左右側的情形。此結構中，可得到與第一實施例相同的效果。若從驅動器電路到NAND格的線區域可充分應用，則每三或以上之列的NAND格組，驅動器電路可交替分成記憶格陣列左右側。

本發明可應用於NANA格型EEPROM及其它不變性，例如正常NOR結構，AND結構，具有DINOR結構的EEPROM。此外，本發明用於不變性記憶除外之具有NAND結構或串級結構的DRAM。此外，本發明可在範圍內修改，而不悖離本發明的要旨。

圖8顯示DINOR格型EEPROM的等效電路，圖9顯示AND格型EEPROM的等效電路。圖中，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

Ｗｓ（Ｗ０，Ｗ１至Ｗ３１）是控制閘，ＳＴ，ＳＴ１，ＳＴ２：選擇閘，Ｄｓ（Ｄ０，Ｄ１至Ｄｎ）：主位元線，Ｓ：共同源極側，ＬＢ：局部位元線，ＬＳ：局部源極側，ＡＮＤ：ＡＮＤ格方塊。

ＤＩＮＯＲ型和ＡＮＤ型中，控制閘（字線）的線間距小。因此，難以設計列解碼器電路和字線驅動器電路。因此，在記憶格陣列二側提供驅動器電路和列解碼器電路極有用。

（第二實施例）

圖１０顯示具有缺陷位元拯救功能之本發明第二實施例的半導體記憶裝置基本結構。

列解碼器２３（ＲＤＣＯ……）設在記憶格陣列２１的二側，其中ＤＲＡＭ記憶格設成陣列形式。每四條字線ＷＬ至字線驅動器２２（ＷＲＤＯ……）選擇字線組。一個列解碼器２３所選的字線組（四條字線）鄰接記憶格陣列２１。備用記憶格陣列２１′接到與記憶格陣列２１相同的位元線ＢＬ。若拯救位址與從外部單元輸入的位址（未圖示）比較，且二者一致，則缺陷拯救電路２４（ＳＲＤＣＡ，ＳＲＤＣＢ）至備用字線驅動器２２′（ＳＷＤＲＡ，ＳＷＤＲＢ）選擇備用陣列２１。

缺陷拯救電路２４設在備用記憶格陣列２１′的二側，可拯救在各側的缺陷。在此情形，Ｓ是識別感測放大器２５（Ｓ／Ａ）之左右的信號。藉此配置，若ＷＬＦ０和

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 17）

ＷＬＦ１短路，則可拯救列解碼器２３的ＲＤＣ１，位址可儲存於缺陷拯救電路２４的ＳＲＤＣＢ。

此時，由於不能使用在反側的缺陷拯救電路ＳＲＤＣＡ，故缺陷拯救電路ＳＲＤＣＡ可用來拯救其它位置的缺陷。另一方面，以梳形方式驅動字線的配置中，如圖３，設在左右側的二個列解碼器必須更換，必須使用二個缺陷拯救電路ＳＲＤＣＡ和ＳＲＤＣＢ。

如上述，依據本發明，字線驅動器２２和列解碼器２３設在記憶格陣列２１的二側，分成各有四條連續編號字線之方塊的字線交替接到二側的驅動器２２。因此，同一列解碼器２３選擇同一方塊的字線。同一列解碼器選擇記憶格陣列相鄰字線的速率增加。因此，即使產生字線間之短路所造成的缺陷，一個列解碼器２３可拯救之缺陷的速率也增加。因此，位元線拯救效率可增進，製造成本可降低。

注意分成方塊的字線數目不限於四，可依規格而適當改變。此外，依據上述實施例，驅動多條線的字線驅動器整體形成。但字線驅動器可對每一字線分開。本發明可使列解碼器能經由字線驅動器選擇多條連續編號字線，同一列解碼器可選擇同一方塊的字線。此外，記憶格不限於ＤＲＡＭ，可使用其它不變性記憶格，例如ＰＲＯＭ和ＥＥＰＲＯＭ。

（第三實施例）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 18）

圖１１顯示具有缺陷位元拯救功能之本發明第三實施例的半導體記憶裝置基本結構。依據此實施例，使用具有記憶格串聯之記憶格單元（ＮＡＮＤ格）的陣列。

第三實施例的結構基本上與第二實施例相同，除了陣列結構與第二實施例不同。圖１１的參考數字３１至３５分別對應圖１０的參考數字２１至２５。一列解碼器３３所選的字線數目與一記憶格單元的字線數目一致。因此，儲存列解碼器３３的一位址，因而可更換記憶格單元。

大體而言，記憶結構中，當資料讀自遠位元線接點的記憶格時，必須經由近的記憶格讀出資料。若缺陷發生在近的記憶格，則不能讀出遠離位元線接點之記憶格的資料。因此，若記憶格單元的一位元有缺陷，則必須改變整個記憶格單元。爲解決此問題，若列解碼器的單元對應於記憶格單元如上述實施例，則儲存一位址可拯救該單元。

此時，若一缺陷拯救電路（例如ＳＲＤＣＡ）用於一記憶格單元的缺陷，則不能用另一缺陷拯救電路（例如ＳＲＤＣＢ）。另一方面，以梳形方式驅動字線的配置中，如圖３，二個列解碼器必須更換，必須使用二個缺陷拯救電路ＳＲＤＣＡ和ＳＲＤＣＢ。因此，依據本發明，缺陷拯救效率加倍。

圖１２Ａ顯示缺陷拯救電路ＳＲＤＣ的特殊結構，圖１２Ｂ顯示備用字線驅動器電路的特殊結構。圖１３顯示列解碼器（ＲＤＣ０……）和字線驅動器（ＷＤＲ０……）的特殊結構。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 19）

雖未顯示爲實施例，但諸如NANA格型EEPROM或快閃EEPROM和SRAM的不變性記憶同樣可實現此觀念，這是本發明的範圍。

此外，依據本發明，由列解碼器單元進行缺陷拯救。但可由多個列解碼器的單元來進行。此外，上述實施例解釋列解碼器單元與記憶格單元一致的情形。但列解碼器單元可與多個記憶格單元一致。取代圖12和13之本發明的電路，若進行與圖12與13之電路相同的功能，則可使用其它電路形式。在此情形，本發明有用。

如上述，依據本發明，驅動器電路設在記憶格陣列二側，穿過同一列之記憶格單元的多個控制閘接到同一驅動器電路。因此，可均勻設定同一格之控制線和選擇閘線的充電／放電時間，當開始讀取和寫入時，不產生充電／放電時間的電位差，因此可進行穩定作業，可實現具有高可靠度的半導體裝置。

此外，即使產生諸如字線間之短路的缺陷，由於同一列解碼器選擇記憶格陣列相鄰字線的速率高，故一列解碼器可拯救此缺陷。因此，可實現半導體記憶裝置，當產生二字線間的短路時，可防止無用的拯救，可增進缺陷位元拯救效率。

熟習此道者易於思及其它目標和修改。因此，本發明廣義上不限於本文所示及所述的特定細節和代表性裝置。所以，可做各種修改，而不偏離申請專利範圍及其等效者所界定之發明觀念的精神或範疇。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

半導體記憶裝置

NANA格型EEPROM包括：記憶格陣列，其中具有多個電性可重寫記憶格的NAND格單元串聯，NAND格以矩陣陣列形成在半導體基底上；多條控制閘線CG，穿越同一列的NAND格組；位元線BL，穿越同一行的NAND格組；其中驅動器電路以一比二NAND格單元的比值設在記憶格陣列二側，以驅動控制閘線CG，穿過偶數列之NAND格單元的多條控制閘線CG接到左驅動器電路，穿過奇數列之NAND格單元的多條控制閘線CG接到右驅動器電路。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

BL0
BL1
BL2
BL(m-2)
BL(m-1)
BLm
CGN1
SGN
CLKA
列解碼器 0
列解碼器 1
列解碼器 2
列解碼器 3
驅動器 0 奇數
驅動器 1 奇數
驅動器 2 奇數
驅動器 3 奇數
CGN3
CGN5
CGN7
位元線接點
CGN2
CGN4
CGN6
CGN8
SGS
驅動器 0 偶數
驅動器 1 偶數
驅動器 2 偶數
驅動器 3 偶數

第1圖

VppRW
CLKA
$\overline{CLKA}$
位元線接點
BL0
BLm
SGN
VUSS
CGN1
CGN3
CGN5
CGN7
Cell j10
Cell j20
Cell j30
Cell j40
Cell j50
Cell j60
Cell j70
Cell j80
Cell j1m
Cell j2m
Cell j3m
Cell j4m
Cell j5m
Cell j6m
Cell j7m
Cell j8m
CGN2
CGN4
CGN6
CGN8
SGS
VUSS
格源極
抹除 CB
抹除 CB
C
RDENBX
RCi
RAi
R
列解碼器電路
奇數驅動器電路
NAND行記憶格陣列
偶數驅動器電路

第2圖

CLKAℓ
CGN1
SGN
BL0
BL1
BL2
BL(m-2)
BL(m-1)
BLm
CLKAr
列解碼器 0ℓ
驅動器 0 奇數
CGN3
CGN5
CGN7
CGN2
CGN4
CGN6
CGN8
驅動器 0 偶數
列解碼器 0r
CLKAℓ
位元線接點
SGS
CLKAr
列解碼器 1ℓ
驅動器 1 奇數
驅動器 1 偶數
列解碼器 1r
列解碼器 2ℓ
驅動器 2 奇數
驅動器 2 偶數
列解碼器 2r
BIT
列解碼器 3ℓ
驅動器 3 奇數
驅動器 3 偶數
列解碼器 3r

第3圖

第4圖

修正
年 月 日
84.11.28補充

修正
年 月 日
84.11.28補充

第5圖

11
VUSS
SGN
CGN1
CGN2
CGN3
CGN4
CGN5
CGN6
CGN7
CGN8
SGS
VppRW
BL0
BL1023
位元線接點
抹除
CB
抹除
CB
抹除
C
RCi
RDENBX
RAi RBi
13: 列解碼器電路
12: 驅動器電路
格源極
NAND行記憶格陣列

第6圖

12
DRV0
11
DRV1
DRV2
DRV3
DRV4
DRV5

第 7A圖

11
DRV1
12
DRV0
DRV2
DRV3
DRV5
DRV4

第 7B圖

第 8 圖

D0
D1
Dn
ST
W0
W1
W2
W31
LB
AND
S

第 9 圖

D0
D1
Dn
ST1
W0
W1
W2
W31
ST2
LB
LS
AND
S

23
RDC 0
RDC 2
WDA ⟨0⟩ ~ ⟨3⟩
SWDA ⟨0⟩ ~ ⟨3⟩
WD ⟨0⟩ ~ ⟨3⟩
SRDCA
SWD ⟨0⟩ ~ ⟨3⟩
24
S
22
WDR0
WD ⟨0⟩ ~ ⟨3⟩
WL ⟨0⟩ WL ⟨1⟩ WL ⟨2⟩ WL ⟨3⟩
WD ⟨0⟩ ~ ⟨3⟩
WDR2
S
SWDRA
SWD ⟨0⟩ ~ ⟨3⟩
22'
SWL ⟨0⟩ ⟨1⟩ ⟨2⟩ ⟨3⟩
記憶陣列 21
21': 備用記憶陣列
BL
位元線
WL
S/A
ARRAY
25
WLF0
WLF1
WL ⟨0⟩ WL ⟨1⟩ WL ⟨2⟩ WL ⟨3⟩
WDR 1
WD ⟨0⟩ ~ ⟨3⟩
WDR 3
WD ⟨0⟩ ~ ⟨3⟩
SWL ⟨0⟩ ⟨1⟩ ⟨2⟩ ⟨3⟩
SWDR B
SWD ⟨0⟩ ~ ⟨3⟩
S
S
RDC 1
RDC 3
SWDB ⟨0⟩ ~ ⟨3⟩
WDB ⟨0⟩ ~ ⟨3⟩
SWD ⟨0⟩ ~ ⟨3⟩
WD ⟨0⟩ ~ ⟨3⟩
SRDCB

第10圖

33
RDC 0
RDC 2
S
WDA 〈0〉~〈3〉
SWDA 〈0〉 〈3〉
WD 〈0〉~〈3〉
SRDCA
SWD 〈0〉~〈3〉
34
32
WDR 0
WD〈0〉~〈3〉
WL〈3〉
WL〈2〉
WL〈1〉
WL〈0〉
WD〈0〉~〈2〉
WDR 2
S
SWDR
SWD 〈0〉~〈3〉
〈3〉〈2〉〈1〉SWL 〈0〉
31': 備用記憶陣列
BL
位元線
31:
記憶陣列
VPL
S/A
陣列
35
WL〈0〉
WL〈1〉
WL〈2〉
WL〈3〉
WDR 1
WD〈0〉~〈3〉
WDR 3
WD〈0〉~〈3〉
SWL〈0〉〈1〉〈2〉〈3〉
SWDR
SWD〈0〉~〈3〉S
SWDB〈0〉~〈3〉
WDB〈0〉~〈3〉
SWD 〈0〉~〈3〉
WD 〈0〉~〈3〉
SRDCB
RDC 1
RDC 3

第11圖

307923

$\overline{A1}$ A1 $\overline{A0}$ A0
SWD ⟨0⟩
SWD ⟨1⟩
SWD ⟨2⟩
SWD ⟨3⟩
0
WD ⟨0⟩
WD ⟨1⟩
WD ⟨2⟩
WD ⟨3⟩
$\overline{Am}$
A3
A2
A2

第12圖A

SWD⟨2⟩ SWD⟨0⟩
SWD⟨3⟩ SWD⟨1⟩
S
SWL ⟨0⟩
SWL ⟨1⟩
SWL ⟨2⟩
SWL ⟨3⟩

第12圖B

RDC + WDR

第13圖

公告本

修正
年 月 日
84.11.28 補充

申請日期	84 年 1 月 14 日
案號	84100312
類別	H01L 27/115

Int.·Cl[6]

A4
307923[4]

307923

（以上各欄由本局填註）

發明 新型 專利說明書（修正本）

一、發明 新型 名稱	中文	半導體記憶裝置
	英文	Semiconductor memory device
二、發明 創作 人	姓名	(1) 作井康司 (2) 中村寬 (3) 田中智晴
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都世田谷區櫻丘四－五－－0－二0二 (2) 日本國神奈縣川崎市麻生區王禪寺二四九一クレアーレ東芝新百合ケ丘三0四 (3) 日本國神奈川縣橫浜市港南區大久保二－－三－二一フローラ上大岡一0五
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 佐藤文夫

裝 訂 線

經濟部中央標準局員工消費合作社印製

307923

申請日期	84 年 1 月 14 日
案號	84100312
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	(4) 百富正樹 (5) 舛岡富士雄 (6) 長谷川武裕
	國籍	(4) 日本 (5) 日本 (6) 日本
	住、居所	(4) 日本國神奈川縣横浜市瀬谷區阿久和東一一一三一一七コーポ三晃A二〇一 (5) 日本國宮城縣仙台市青葉區東勝山二一三三一一八 (6) 日本國横浜市鶴見區矢向三一三六一四一一〇三
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

86年3月21日 修正補充

A8
B8
C8
D8

六、申請專利範圍

1．一種半導體記憶裝置，包括：

記憶格陣列，包括排成矩陣形式的多個記憶格單元，該記憶格單元具有多個記憶格；

字線，選擇該記憶格；

位元線，寫入資料到該記憶格及從記憶格讀取資料；

選列構件，選擇該字線；

選行構件，選擇該字線；

字線驅動器，設在該記憶格陣列二側，驅動多條字線，其中該字線分成各具有要接到該記憶格單元之多條連續相鄰提供字線的方塊，同一方塊的該字線接到對應的同一驅動器。

2．如申請專利範圍第1項的半導體記憶裝置，其中串聯該多個記憶格或並聯該多個記憶格來形成該記憶格單元。

3．如申請專利範圍第1項的半導體記憶裝置，其中每一或每二字方塊交替接到設在該記憶格陣列二側的字線驅動器。

4．如申請專利範圍第1項的半導體記憶裝置，其中選列構件設在該記憶格陣列二側以對應該字線驅動器。

5．如申請專利範圍第4項的半導體記憶裝置，另包括將送自該選列構件之輸出信號送到該字線驅動器的信號線，其中該信號線不穿過該記憶格陣列。

6．如申請專利範圍第1項的半導體記憶裝置，其中只選擇設在記憶格陣列左右的一驅動器電路在資料除／寫

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

入時操作。

7．一種半導體記憶裝置，包括：

記憶格陣列，包括以矩陣陣列形成在半導體基底上的多個記憶格單元，該記憶格單元具有多個電性可重寫記憶格；

字線，選擇該記憶格；

位元線，寫入資料到該記憶格及從記憶格讀取資料；

選列構件，選擇該字線；

選行構件，選擇該位元線；

字線驅動器，以一至二記憶格單元的間距設在該記憶格陣列二側，驅動該字線以對應於成爲一方塊之該記憶單元的每一方塊且連接該記憶格單元，其中穿過同一列之該記憶格單元的多條字線接到同一驅動器。

8．如申請專利範圍第7項的半導體記憶裝置，其中列解碼器設在該記憶格陣列二側以對應該字線驅動器。

9．如申請專利範圍第7項的半導體記憶裝置，另包括將送自該選列構件之輸出信號送到該字線驅動器的信號線，其中該信號線不穿過該記憶格陣列。

10．如申請專利範圍第7項的半導體記憶裝置，其中串聯該多個記憶格或並聯該多個記憶格來形成該記憶格單元。

11．如申請專利範圍第7項的半導體記憶裝置，其中只選擇設在記憶格陣列左右的一驅動器電路在資料抹除／寫入時操作。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

１２．一種半導體記憶裝置，包括：

記憶格陣列，其中形成具有多個電性可重寫記憶格的記憶格單元，該記憶格單元以矩陣陣列形成在半導體基底上；

多條控制閘線，穿過同一列的各記憶格單元；

位元線，各穿過同一行的該記憶格單元；

字線驅動器，以一至二記憶格單元的間距設在記憶格陣列二側來驅動字線，其中穿過偶數列之該記憶格單元的多條字線接到設在該記憶格陣列一端側的驅動器，穿過奇數列之該記憶格單元的多條字線接到設在該記憶格陣列另一端側的驅動器。

１３．如申請專利範圍第１２項的半導體記憶裝置，其中選列構件設在該記憶格陣列二側以對應該字線驅動器。

１４．如申請專利範圍第１２項的半導體記憶裝置，另包括將送自該選列構件之輸出信號送到該字線驅動器的信號線，其中該信號線不穿過該記憶格陣列。

１５．如申請專利範圍第１２項的半導體記憶裝置，其中串聯該多個記憶格或並聯該多個記憶格來形成該記憶格單元。

１６．如申請專利範圍第１２項的半導體記憶裝置，其中只選擇設在記憶格陣列左右的一驅動器電路在資料抹除／寫入時操作。

１７．一種半導體記憶裝置，包括：

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

記憶格陣列，其中記憶格單元以矩陣形式設在行列方向，各記憶格單元具有含有閘極，源極和汲極，電荷儲存層之ＭＯＳＦＥＴ的多個記憶格；

多條字線，接到該記憶格的閘極；

多條位元線，接到位於該單元一邊的該源極或汲極；

選列構件，共同供給設在列方向的該記憶格單元，耦合到該多條字線；

選行構件，共同供給設在行方向的該記憶格單元，耦合到該多條位元線；

字線驅動器，設在該記憶格陣列與該選列構件之間且是平行設在行方向之該二記憶格單元之側的區域，驅動接到二記憶格單元其中一個的該多條字線。

１８．如申請專利範圍第１７項的半導體記憶裝置，其中串聯該多個記憶格或並聯該多個記憶格來形成該記憶格單元。

１９．如申請專利範圍第１７項的半導體記憶裝置，其中該字線分成各有要接到該記憶格單元之多條連續編號字線的字方塊，每一或每二字方塊交替接到設在該記憶格陣列二側的主字線驅動器。

２０．如申請專利範圍第１７項的半導體記憶裝置，其中選列構件設在該記憶格陣列二側以對應該字線驅動器

２１．如申請專利範圍第２０項的半導體記憶裝置，另包括將送自該選列構件之輸出信號送到該字線驅動器的信號線，其中該信號線不穿過該記憶格陣列。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

２２．如申請專利範圍第１７項的半導體記憶裝置，其中只選擇設在記憶格陣列左右的一驅動器電路在資料抹除／寫入時操作。

２３．一種半導體記憶裝置，包括：

記憶格陣列，包括排成矩陣形式的多個記憶格單元，該記憶格單元具有多個記憶格；

字線，選擇該記憶格；

多個主列解碼器和主字線驅動器，設在該記憶格陣列二側；

備用記憶格陣列，拯救該記憶格陣列的缺陷格；

多個備用字線驅動器，設在該備用記憶格陣列二側；

缺陷拯救電路，若輸入位址符合缺陷格位址，則儲存缺陷格位址以選擇該備用字線驅動器，其中該主列解碼器所選擇且該主字線驅動器所驅動的字線成分各有多條連續字線的方塊，同一主列解碼器選擇同一方塊的字線。

２４．如申請專利範圍第２３項的半導體記憶裝置，其中其中每一或每二字方塊交替接到設在該記憶格陣列二側的主字線驅動器。

２５．如申請專利範圍第２３項的半導體記憶裝置，其中每一或每多個主列解碼器，該缺陷拯救電路拯救缺陷格。

２６．如申請專利範圍第２３項的半導體記憶裝置，其中該主列解碼器選擇記憶格的方塊或多個方塊。

２７．如申請專利範圍第２３項的半導體記憶裝置，

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

其中該缺陷拯救電路儲存對應於分別在記憶格陣列各側之主字線驅動器的缺陷格位址。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製