



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I523151 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：100119216

(22)申請日：中華民國 100 (2011) 年 06 月 01 日

(51)Int. Cl.：

*H01L21/8242(2006.01)**H01L21/8247(2006.01)**H01L21/108 (2006.01)**H01L27/115 (2006.01)**H01L29/786 (2006.01)**H01L29/788 (2006.01)**H01L29/792 (2006.01)**G11C11/405 (2006.01)*

(30)優先權：2010/06/04

日本

2010-129278

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：磯部敦生 ISOBE, ATSUO (JP)；家田義紀 IEDA, YOSHINORI (JP)；今井馨太郎
 IMAI, KEITARO (JP)；加藤清 KATO, KIYOSHI (JP)；八窪裕人 YAKUBO, YUTO
 (JP)；畑勇氣 HATA, YUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5712817

US 2009/0142888A1

US 2009/0224245A1

審查人員：修宇鋒

申請專利範圍項數：11 項 圖式數：13 共 84 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

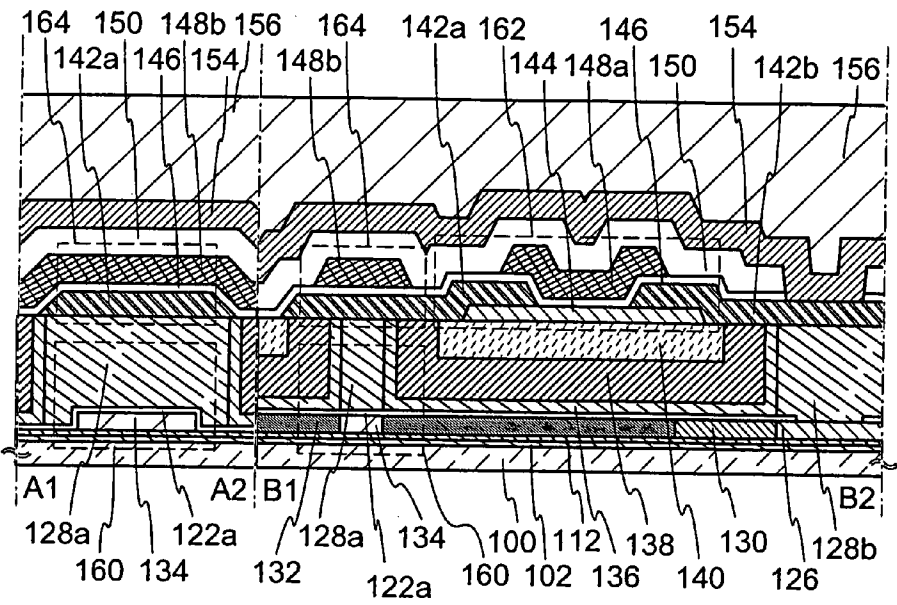
(57)摘要

本發明的目的之一是提供一種即使沒有電力供給也能夠保持儲存資料並且對寫入次數也沒有限制的具有新的結構的半導體裝置。提供一種採用如下結構的半導體裝置，即將分別包括第一電晶體、第二電晶體和電容元件的多個記憶單元配置為矩陣狀，用來連接記憶單元之一與其他記憶單元的佈線(也稱為位元線)藉由導電層及第二電晶體中的源極電極或汲極電極電連接到第一電晶體中的源極區或汲極區。由此，與將第一電晶體中的源極電極或汲極電極、第二電晶體中的源極電極或汲極電極分別連接到不同的佈線的情況相比，可以減少佈線數目，從而可以提高半導體裝置的整合度。

The semiconductor device is provided in which a plurality of memory cells each including a first transistor, a second transistor, and a capacitor is arranged in matrix and a wiring (also referred to as a bit line) for connecting one of the memory cells and another one of the memory cells and a source or drain region in the first transistor are electrically connected through a conductive layer and a source or drain electrode in the second transistor provided therebetween. With this structure, the number of wirings can be reduced in comparison with a structure in which the source or drain electrode in the first transistor and the source or drain electrode in the second transistor are connected to different wirings. Thus, the integration degree of a semiconductor device can be increased.

指定代表圖：

圖1A



符號簡單說明：

- 100 . . . 支撐基板
- 102 . . . 絕緣層
- 112 . . . 絕緣層
- 122a . . . 閘極絕緣層
- 126 . . . 雜質區
- 128a . . . 閘極電極
- 128b . . . 導電層
- 130 . . . 雜質區
- 132 . . . 雜質區
- 134 . . . 通道形成區
- 136 . . . 絕緣層
- 138 . . . 絕緣層
- 140 . . . 絕緣層
- 142a . . . 源極電極或汲極電極
- 142b . . . 源極電極或汲極電極
- 144 . . . 氧化物半導體層
- 146 . . . 閘極絕緣層
- 148a . . . 閘極電極
- 148b . . . 導電層
- 150 . . . 絕緣層
- 154 . . . 佈線
- 156 . . . 絕緣層
- 160 . . . 電晶體
- 162 . . . 電晶體
- 164 . . . 電容元件

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100119216

※申請日：100 年 06 月 01 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

H01C 21/8242 (2006.01)
H01C 21/8247 (2006.01)
H01C 21/08 (2006.01)
H01C 21/15 (2006.01)
H01C 29/186 (2006.01)
H01C 29/188 (2006.01)
H01C 29/192 (2006.01)
G11C 1/405 (2006.01)

二、中文發明摘要：

本發明的目的之一是提供一種即使沒有電力供給也能夠保持儲存資料並且對寫入次數也沒有限制的具有新的結構的半導體裝置。提供一種採用如下結構的半導體裝置，即將分別包括第一電晶體、第二電晶體和電容元件的多個記憶單元配置為矩陣狀，用來連接記憶單元之一與其他記憶單元的佈線（也稱為位元線）藉由導電層及第二電晶體中的源極電極或汲極電極電連接到第一電晶體中的源極區或汲極區。由此，與將第一電晶體中的源極電極或汲極電極、第二電晶體中的源極電極或汲極電極分別連接到不同的佈線的情況相比，可以減少佈線數目，從而可以提高半導體裝置的整合度。

三、英文發明摘要：

The semiconductor device is provided in which a plurality of memory cells each including a first transistor, a second transistor, and a capacitor is arranged in matrix and a wiring (also referred to as a bit line) for connecting one of the memory cells and another one of the memory cells and a source or drain region in the first transistor are electrically connected through a conductive layer and a source or drain electrode in the second transistor provided therebetween. With this structure, the number of wirings can be reduced in comparison with a structure in which the source or drain electrode in the first transistor and the source or drain electrode in the second transistor are connected to different wirings. Thus, the integration degree of a semiconductor device can be increased.

四、指定代表圖：

(一) 本案指定代表圖為：第 1A 圖。

(二) 本代表圖之元件符號簡單說明：

100：支撐基板
 102：絕緣層
 112：絕緣層
 122a：閘極絕緣層
 126：雜質區
 128a：閘極電極
 128b：導電層
 130：雜質區
 132：雜質區
 134：通道形成區
 136：絕緣層
 138：絕緣層
 140：絕緣層
 142a：源極電極或汲極電極
 142b：源極電極或汲極電極
 144：氧化物半導體層
 146：閘極絕緣層
 148a：閘極電極
 148b：導電層
 150：絕緣層
 154：佈線
 156：絕緣層
 160：電晶體
 162：電晶體
 164：電容元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明係關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的儲存裝置可以粗分為如果沒有電力供給儲存內容就消失的揮發性儲存裝置和即使沒有電力供給也保持儲存內容的非揮發性儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。在 DRAM 中，藉由選擇構成記憶元件的電晶體並將電荷儲存在電容器中而儲存資料。

由於上述原理，當從 DRAM 讀出資料時電容器的電荷消失，因此每次讀出資料時都需要再次進行寫入工作。另外，因為在構成記憶元件的電晶體中因截止狀態下的源極和汲極之間的洩漏電流（截止電流）等而即使電晶體未被選擇電荷也流出或流入，所以資料的保持期間較短。為此，需要按規定的週期再次進行寫入工作（刷新工作），由此，難以充分降低耗電量。另外，因為如果沒有電力供給儲存資料就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以實現較長期間的儲存資料的保持。

作為揮發性儲存裝置的另一個例子，有 SRAM (Static Random Access Memory：靜態隨機存取記憶體)。SRAM

使用正反器等電路保持儲存資料，而不需要進行刷新工作，在這一點上SRAM優越於DRAM。但是，因為SRAM使用正反器等電路，所以存在每儲存容量的單價變高的問題。另外，在如果沒有電力供給儲存資料就消失這一點上，SRAM和DRAM相同。

作為非揮發性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區域之間具有浮動閘極，在該浮動閘極保持電荷而進行儲存，因此，快閃記憶體具有資料保持期間極長（半永久）、不需要進行揮發性儲存裝置所需要的刷新工作的優點（例如，參照專利文獻1）。

但是，由於當進行寫入時產生的穿隧電流會引起構成記憶元件的閘極絕緣層的劣化，因此發生記憶元件因所定次數的寫入而不能工作的問題。為了緩和上述問題的影響，例如，使用使各記憶元件的寫入次數均等的方法，但是，為了使用該方法，需要具有複雜的週邊電路。另外，即使使用了上述方法，也不能從根本上解決使用壽命的問題。就是說，快閃記憶體不合適於資訊的改寫頻度高的用途。

另外，快閃記憶體為了在浮動閘極中保持電荷或者去除該電荷，需要高電壓和用於該目的的電路。再者，還有為了保持或去除電荷需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻1] 日本專利申請公開 第昭57-105889號公

報

【發明內容】

鑒於上述問題，所公開的發明的一個實施例的目的之一在於提供一種即使沒有電力供給也能夠保持儲存資料並且對寫入次數也沒有限制的具有新的結構的半導體裝置。

在所公開的發明中，使用被高純度化的氧化物半導體來構成半導體裝置。因為使用被高純度化的氧化物半導體來構成的電晶體的洩漏電流極小，所以可以在極長期間內保持資料。

更明確而言，例如可以採用如下結構。

本發明的一個實施例是一種半導體裝置，包括：具有第一電晶體和第二電晶體的多個記憶單元，其中第一電晶體包括：第一通道形成區；設置在第一通道形成區上的第一閘極絕緣層；與第一通道形成區重疊地設置在第一閘極絕緣層上的第一閘極電極；以及夾著第一通道形成區地設置的第一源極區及第一汲極區，第二電晶體包括：第二通道形成區；與第二通道形成區電連接的第二源極電極及第二汲極電極；與第二通道形成區重疊地設置的第二閘極電極；以及設置在第二通道形成區和第二閘極電極之間的第二閘極絕緣層，第一通道形成區和第二通道形成區包含不同的半導體材料，第一電晶體和第二電晶體至少一部分重疊而設置，並且第一源極區或第一汲極區藉由第一導電層、第二源極電極或第二汲極電極電連接到將記憶單元之一

與其他記憶單元連接的佈線。

在上述半導體裝置中，第一導電層使用與第一閘極電極相同的層形成較佳。

另外，在上述半導體裝置中，第一閘極電極與第二源極電極或第二汲極電極電連接較佳。

另外，在上述半導體裝置中，由第二源極電極或第二汲極電極、第二閘極絕緣膜、第二導電層構成電容元件較佳。

或者，在上述半導體裝置中，第二電晶體的第二通道形成區包含氧化物半導體較佳。

另外，雖然在上述半導體裝置中使用氧化物半導體材料構成電晶體，但是所公開的發明不侷限於此。也可以使用能夠實現與氧化物半導體材料同等的截止電流特性的材料，例如碳化矽等的寬頻隙材料（更明確而言，例如，能隙 E_g 大於 3 eV 的半導體材料）等。

另外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在xx之上”或“直接在xx之下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包含其他構成要素的情況。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

另外，“源極”和“汲極”的功能在使用極性不同的

電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書等中，“源極”和“汲極”可以互相調換。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

因為使用氧化物半導體的電晶體的截止電流極小，所以藉由使用該電晶體而可以在極長期間內保持儲存內容。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給，也可以在較長期間內保持儲存內容。

另外，在根據所公開的發明的半導體裝置中，寫入資訊時不需要高電壓，從而也沒有元件劣化的問題。例如，不像現有的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的劣化等的問題。就是說，根據所公開的發明的半導體裝置對改寫次數沒有限制，這是現有的非揮發性記憶體所存在的問題，所以可以顯著提高可靠性。再者，因為藉由利用電晶體的導通狀態或截止狀態而進行資訊的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資

訊的工作的優點。

此外，因為使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，所以藉由將該電晶體和使用氧化物半導體的電晶體組合而使用，可以充分地確保半導體裝置的工作（例如，資料的讀出工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以適當地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如此，藉由將使用氧化物半導體以外的材料的電晶體（作更廣義解釋，能夠進行足夠的高速工作的電晶體）和使用氧化物半導體的電晶體（作更廣義解釋，截止電流足夠小的電晶體）設置為一體，可以實現具有從來沒有的特徵的半導體裝置。

再者，在所公開的發明的一個實施例中，藉由進行佈線的共同化，可以提供佈線數目減少且整合度提高的半導體裝置。

【實施方式】

下面，使用圖式對本發明的實施例的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例所記載的內容中。

另外，圖式等所示的每個結構的位置、大小、範圍等爲了容易理解而有時不表示爲實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小、範圍等。

另外，本說明書等中的“第一”、“第二”、“第三”等的序數詞是爲了避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施例 1

在本實施例中，參照圖 1A 至圖 6B 對根據所公開的發明的一個實施例的半導體裝置的結構及其製造方法進行說明。

<半導體裝置的剖面結構及平面結構>

圖 1A 和圖 1B 是半導體裝置的結構的一個例子。圖 1A 示出半導體裝置的剖面，圖 1B 示出半導體裝置的平面。這裏，圖 1A 相當於沿圖 1B 的線 A1-A2 及線 B1-B2 的剖面。圖 1A 和圖 1B 所示的半導體裝置在下部具有使用第一半導體材料的電晶體 160 並在上部具有使用第二半導體材料的電晶體 162。在此，第一半導體材料爲與第二半導體材料不同的材料較佳。例如，可以將氧化物半導體以外的半導體材料用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。作爲氧化物半導體以外的半導體材料，例如可以使用矽、銻、矽銻、碳化矽或砷化銻等，使用單晶半

導體較佳。除此之外，也可以使用有機半導體材料等。使用這種半導體材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性，能夠長時間地保持電荷。圖1A和圖1B所示的半導體裝置可以用作記憶單元。

作為電晶體160及電晶體162，可以使用n通道型電晶體、p通道型電晶體的任何一種。在此，以p通道型電晶體為電晶體160，並以n通道型電晶體為電晶體162來進行說明。另外，所公開的發明的技術本質在於為了保持資料而將如氧化物半導體那樣的能夠充分地降低截止電流的半導體材料用於電晶體162，因此用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於這裏所示的結構。

圖1A和圖1B中的電晶體160包括：設置在支撐基板100上的半導體層中的通道形成區134；夾著通道形成區134地設置的雜質區132（也表示為源極區及汲極區）；設置在通道形成區134上的閘極絕緣層122a；以及在閘極絕緣層122a上且與通道形成區134重疊地設置的閘極電極128a。注意，雖然有時在圖式中不明顯地具有源極電極或汲極電極，但是為了方便起見有時將這種結構也稱為電晶體。此外，在此情況下，為了說明這種電晶體的連接關係，有時在說明書中表現其電晶體的源極電極或汲極電極。

另外，設置在支撐基板100上的半導體層中的雜質區126與導電層128b連接。在此，導電層128b也用作電晶體

160的源極電極和汲極電極。另外，在雜質區132和雜質區126之間設置有雜質區130。另外，圍繞電晶體160地設置有絕緣層136、絕緣層138及絕緣層140。另外，爲了實現高整合化，採用如圖1A和圖1B所示那樣電晶體160不具有側壁絕緣層的結構較佳。另一方面，在重視電晶體160的特性的情況下，也可以在閘極電極128a的側面設置側壁絕緣層，並設置包括不同雜質濃度的區域的雜質區132。

圖1A和圖1B中的電晶體162包括：設置在絕緣層140等上的氧化物半導體層144；與氧化物半導體層144電連接的源極電極或汲極電極142a及源極電極或源極電極或汲極電極142b；覆蓋氧化物半導體層144、源極電極或汲極電極142a及源極電極或汲極電極142b的閘極絕緣層146；在閘極絕緣層146上與氧化物半導體層144重疊地設置的閘極電極148a。

在此，氧化物半導體層144藉由被充分地去除氫等的雜質，或者被供給充分的氧，而被高純度化較佳。明確地說，例如將氧化物半導體層144的氫濃度設定爲 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，設定爲 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下較佳，設定爲 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下更佳。另外，上述氧化物半導體層144中的氫濃度是藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectroscopy）來測量的。如此，在氫濃度被充分降低而被高純度化，並藉由被供給充分的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層144中，載子濃度爲低於 $1 \times 10^{12} / \text{cm}^3$ ，爲低於

$1 \times 10^{11} / \text{cm}^3$ 較佳，為低於 $1.45 \times 10^{10} / \text{cm}^3$ 更佳。例如，室溫（ 25°C ）下的截止電流（在此，單位通道寬度（ $1\mu\text{m}$ ）的值）為 100zA （ 1zA （zeptoampere）是 $1 \times 10^{-21}\text{A}$ ）以下，為 10zA 以下較佳。如此，藉由使用被 i 型化（本徵化）或實質上被 i 型化的氧化物半導體，可以得到截止電流特性極為優良的電晶體 162。

另外，雖然在圖 1A 和圖 1B 的電晶體 162 中，為了抑制起因於微型化而產生在元件之間的洩漏，使用被加工為島狀的氧化物半導體層 144，但是也可以採用不被加工為島狀的結構。在不將氧化物半導體層加工為島狀的情況下，可以防止由於加工時的蝕刻導致的氧化物半導體層 144 的污染。

圖 1A 和圖 1B 所示的電容元件 164 包括源極電極或汲極電極 142a、閘極絕緣層 146 和導電層 148b。換言之，源極電極或汲極電極 142a 用作電容元件 164 的一方的電極，導電層 148b 用作電容元件 164 的另一方的電極。藉由採用這種結構，可以確保足夠的電容。另外，當層疊氧化物半導體層 144 和閘極絕緣層 146 時，可以充分確保源極電極或汲極電極 142a 和導電層 148b 之間的絕緣性。再者，當不需要電容時，也可以採用不設置電容元件 164 的結構。

另外，在電晶體 162 和電容元件 164 中，源極電極或汲極電極 142a 以及源極電極或汲極電極 142b 的端部為錐形形狀較佳。藉由將源極電極或汲極電極 142a、源極電極或汲極電極 142b 的端部形成為錐形形狀，可以提高閘極絕緣層

146的覆蓋性且防止斷開。在此，將錐形角例如設定為 30° 以上且 60° 以下。注意，錐形角是指當從垂直於剖面（與基板的表面正交的面）的方向觀察具有錐形形狀的層（例如，源極電極或汲極電極142a）時，該層的側面和底面所形成的傾斜角。

在本實施例中，以與電晶體160至少部分重疊的方式設置有電晶體162及電容元件164。藉由採用這種平面佈局，可以實現高整合化。例如，當以最小加工尺寸為F時，可以將記憶單元所占的面積設定為 $15F^2$ 至 $25F^2$ 。

在電晶體162和電容元件164上設置有絕緣層150。並且，在形成於閘極絕緣層146及絕緣層150中的開口中設置有佈線154。佈線154是連接記憶單元之一與其他記憶單元的佈線。佈線154藉由源極電極或汲極電極142b及導電層128b連接到雜質區126。由此，與將電晶體160中的源極電極或汲極電極和電晶體162中的源極電極或汲極電極142b分別連接到不同佈線的情況相比可以減少佈線數目，從而可以提高半導體裝置的整合度。

另外，藉由設置導電層128b，可以重疊設置雜質區126與源極電極或汲極電極142b連接的位置和源極電極或汲極電極142b與佈線154連接的位置。藉由採用這種平面佈局，可以抑制起因於接觸區域的元件面積的增大。就是說，可以提高半導體裝置的整合度。

<半導體裝置的製造方法>

接著，對上述半導體裝置的製造方法的一個例子進行說明。以下，首先，參照圖2A至圖2E及圖3A至圖3D對下部的電晶體160的製造方法進行說明，然後參照圖4A至圖4D及圖5A至圖5C對上部電晶體162以及電容元件164的製造方法進行說明。

<下部的電晶體的製造方法>

參照圖2A至圖2E及圖3A至圖3D對下部的電晶體160的製造方法進行說明。

首先，準備包含半導體材料的基板。作為包含半導體材料的基板，可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板或SOI基板等。當作為包含半導體材料的基板，使用矽等的單晶半導體基板時，可以使半導體裝置的讀出工作高速化，所以是較佳的。

在此，對作為包含半導體材料的基板，使用在支撐基板100上隔著絕緣層102及絕緣層112設置有半導體層的SOI基板的情況進行說明。注意，一般來說，“SOI基板”是指在絕緣表面上設置有矽半導體層的基板，但是，在本說明書等中，“SOI基板”還指在絕緣表面上設置有包括矽以外的材料的半導體層的基板。也就是說，“SOI基板”所具有的半導體層不侷限於矽半導體層。另外，SOI基板還包括在玻璃基板等的絕緣基板上隔著絕緣層設置有半導體層的基板。

作為支撐基板100可以使用由絕緣體構成的基板。明確而言，可以舉出鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等用於電子工業的各種玻璃基板、石英基板、陶瓷基板、藍寶石基板。另外，也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係數接近於矽的陶瓷基板。

另外，作為支撐基板100可以使用單晶矽基板、單晶鍺基板等半導體基板。這裏，作為半導體基板，可以使用太陽能電池級矽（SOG-Si：Solar Grade Silicon）基板等。此外，還可以使用多晶半導體基板。與使用單晶矽基板等的情況相比，使用太陽能電池級矽或多晶半導體基板等時可以抑制製造成本。

在本實施例中，對使用玻璃基板作為支撐基板100的情況進行說明。藉由使用廉價的能夠實現大面積化的玻璃基板作為支撐基板100，可以實現低成本化。

作為絕緣層102，例如可以使用氮化矽膜（ SiN_x ）或氮氧化矽膜（ SiN_xO_y ）（ $x>y$ ）等的含有氮的絕緣膜的單層或疊層。絕緣層102可以使用CVD法、濺射法等形成。

作為絕緣層112，例如可以使用氧化矽膜（ SiO_x ）、氧氮化矽膜（ SiO_xN_y ）等的單層或疊層。絕緣層112可以使用CVD法、濺射法、熱處理（熱氧化處理或熱氮化處理等）等形成。

將半導體層加工為島狀來形成半導體層120（參照圖2A）。另外，在該製程的前後，為了控制電晶體的臨界值電壓，也可以將賦予n型導電性的雜質元素或賦予p型導

電性的雜質元素添加到半導體層。在半導體為矽時，作為賦予n型導電性的雜質元素，例如可以使用磷、砷等。另外，作為賦予p型導電性的雜質元素，例如可以使用硼、鋁、銻等。

接著，覆蓋半導體層120地形成絕緣層122（參照圖2B）。絕緣層122是後面成為閘極絕緣層的層。絕緣層122例如可以藉由對半導體層120表面進行熱處理（熱氧化處理或熱氮化處理等）而形成。也可以使用高密度電漿處理代替熱處理。例如，可以使用氦（He）、氬（Ar）、氪（Kr）、氙（Xe）等稀有氣體、氧、氧化氮、氮、氫等中的任何氣體的混合氣體進行高密度電漿處理。當然，也可以使用CVD法或濺射法等形成絕緣層。該絕緣層122採用包含氧化矽、氧氮化矽、氮化矽、氧化鈣、氧化鋁、氧化鋇、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的單層結構或多層結構較佳。另外，至於絕緣層122的厚度，例如可以設定為1nm以上且100nm以下，為10nm以上且50nm以下。在此，藉由利用電漿CVD法形成包含氧化矽的絕緣層的單層較佳。

接著，在絕緣層122上形成掩模124，將賦予一種導電型的雜質元素添加到半導體層120，來形成雜質區126（參照圖2C）。這裏，在使用氣體 B_2H_6 15%（ B_2H_6 ： $\text{H}_2=15$ ：85[體積比]）、流速為80sccm、加速電壓20kV、電流

5.0 μ A、劑量 $5 \times 10^{15} \text{cm}^{-2}$ 的條件下進行硼（B）的重摻雜。另外，因為在此製造 p 型電晶體，所以對添加賦予 p 型導電性的雜質元素的情況進行說明，但是當製造 n 型電晶體時，添加賦予 n 型導電性的雜質元素即可。此外，在添加雜質元素之後，去除掩模 124。

接著，藉由在絕緣層 122 上形成掩模，去除絕緣層 122 的與雜質區 126 重疊的區域的一部分，來形成閘極絕緣層 122a（參照圖 2D）。作為絕緣層 122 的去除方法，可以使用濕蝕刻或乾蝕刻等的蝕刻處理。

接著，在閘極絕緣層 122a 上形成用來形成閘極電極（包括使用與該閘極電極相同的層形成的佈線）的導電層，加工該導電層來形成閘極電極 128a 及導電層 128b（參照圖 2E）。

作為用於閘極電極 128a 及導電層 128b 的導電層，可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。另外，也可以藉由使用如多晶矽等的半導體材料形成包含導電材料的層。其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。此外，可以藉由使用抗蝕劑掩模的蝕刻進行導電層的加工。

接著，以閘極電極 128a 及導電層 128b 為掩模，將賦予一種導電型的雜質元素添加到半導體層，來形成通道形成區 134、雜質區 132 及雜質區 130（參照圖 3A）。這裏，在使用氣體 B_2H_6 15% (B_2H_6 : H_2 = 15 : 85 [體積比])、流速為 80 sccm、加速電壓 40 kV、電流 5.0 μ A、劑量 $1.5 \times 10^{16} \text{cm}^{-2}$

的條件下進行硼（B）的重摻雜。另外，因為在此形成p型電晶體，所以添加硼（B）或鋁（Al）等的雜質元素，但是當形成n型電晶體時，添加磷（P）、砷（As）等的雜質元素即可。這裏，可以適當地設定所添加的雜質元素的濃度。另外，在添加雜質元素之後，進行用於活化的熱處理。在此，雜質區的雜質元素濃度按雜質區126、雜質區132、雜質區130的順序依次高。另外，雖然在本實施例中，雜質區126、雜質區132、雜質區130的雜質區的濃度成為上述那樣，但是根據重摻雜的條件，有時雜質區126和雜質區132的雜質濃度不成為上述順序。

接著，以覆蓋閘極絕緣層122a、閘極電極128a、導電層128b的方式形成絕緣層136、絕緣層138及絕緣層140（參照圖3B）。

絕緣層136、絕緣層138、絕緣層140可以使用包含氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是將低介電常數（low-k）材料用於絕緣層136、絕緣層138、絕緣層140較佳，因為這樣可以充分地降低起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層136、絕緣層138、絕緣層140。因為多孔絕緣層的介電常數比密度高的絕緣層較低，所以可以進一步降低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層136、絕緣層138、絕緣層140。在本實施例中，對作為絕緣層136使用氧氮化矽，作為

絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽的情況進行說明。另外，雖然在此採用絕緣層 136、絕緣層 138 及絕緣層 140 的疊層結構，但是所公開的發明的一個實施例不侷限於此。作為上述絕緣層既可以採用單層或兩層結構，又可以採用四層以上的疊層結構。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP（化學機械拋光）處理或蝕刻處理，使絕緣層 138 及絕緣層 140 平坦化（參照圖 3C）。在此，進行 CMP 處理直到露出絕緣層 138 的一部分為止。當作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽時，藉由將絕緣層 138 用作蝕刻停止層，可以減少基板面內的拋光量的不均勻性。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP 處理或蝕刻處理，使閘極電極 128a 及導電層 128b 的上面露出（參照圖 3D）。在此，進行蝕刻處理直到露出閘極電極 128a 及導電層 128b 的一部分為止。作為該蝕刻處理使用乾蝕刻較佳，但是也可以使用濕蝕刻。在使閘極電極 128a 及導電層 128b 的一部分露出的製程中，為了提高後面形成的電晶體 162 的特性，使絕緣層 136、絕緣層 138、絕緣層 140 的表面盡可能地為平坦較佳。

藉由上述製程，可以形成下部的電晶體 160（參照圖 3D）。

另外，也可以在上述各製程之前或之後還包括形成電極、佈線、半導體層或絕緣層等的製程。例如，作為佈線的結構，也可以採用由絕緣層及導電層的疊層結構構成的

多層佈線結構來實現高整合化的半導體裝置。

<上部的電晶體的製造方法>

接著，參照圖4A至圖4D及圖5A至圖5C對上部的電晶體162的製造方法進行說明。

首先，在閘極電極128a、導電層128b、絕緣層136、絕緣層138、絕緣層140等上形成氧化物半導體層，並加工該氧化物半導體層來形成氧化物半導體層144（參照圖4A）。另外，在形成氧化物半導體層之前，可以在絕緣層136、絕緣層138、絕緣層140上設置用作基底的絕緣層。該絕緣層可以利用如濺射法等之PVD法或如電漿CVD法等之CVD法等來形成。

氧化物半導體層144至少含有選自In、Ga、Sn、Zn、Al、Mg、Hf及鑷系元素中的一種以上的元素。例如，可以使用：四元金屬氧化物的In-Sn-Ga-Zn-O類氧化物半導體；三元金屬氧化物的In-Ga-Zn-O類氧化物半導體、In-Sn-Zn-O類氧化物半導體、In-Al-Zn-O類氧化物半導體、Sn-Ga-Zn-O類氧化物半導體、Al-Ga-Zn-O類氧化物半導體、Sn-Al-Zn-O類氧化物半導體、In-Hf-Zn-O類氧化物半導體、In-La-Zn-O類氧化物半導體、In-Ce-Zn-O類氧化物半導體、In-Pr-Zn-O類氧化物半導體、In-Nd-Zn-O類氧化物半導體、In-Pm-Zn-O類氧化物半導體、In-Sm-Zn-O類氧化物半導體、In-Eu-Zn-O類氧化物半導體、In-Gd-Zn-O類氧化物半導體、In-Tb-Zn-O類氧化物半導體、In-Dy-Zn-O類

氧化物半導體、In-Ho-Zn-O類氧化物半導體、In-Er-Zn-O類氧化物半導體、In-Tm-Zn-O類氧化物半導體、In-Yb-Zn-O類氧化物半導體、In-Lu-Zn-O類氧化物半導體；二元金屬氧化物的In-Zn-O類氧化物半導體、Sn-Zn-O類氧化物半導體、Al-Zn-O類氧化物半導體、Zn-Mg-O類氧化物半導體、Sn-Mg-O類氧化物半導體、In-Mg-O類氧化物半導體、In-Ga-O類氧化物半導體；以及單元金屬氧化物的In-O類氧化物半導體、Sn-O類氧化物半導體、Zn-O類氧化物半導體等。另外，也可以使上述氧化物半導體包含In、Ga、Sn、Zn以外的元素，例如SiO₂。

例如，In-Ga-Zn-O類氧化物半導體是指具有銦（In）、鎵（Ga）、鋅（Zn）的氧化物半導體，對其組成比沒有限制。

尤其是In-Ga-Zn-O類的氧化物半導體材料，由於其在無電場時的電阻充分高而能夠充分地降低截止電流且電場效應遷移率也高，所以作為用於半導體裝置的半導體材料十分合適。

作為In-Ga-Zn-O類的氧化物半導體材料的典型例子，有表示為InGaO₃(ZnO)_m（m>0）的氧化物半導體材料。此外，還有使用M代替Ga的表示為InMO₃(ZnO)_m（m>0）的氧化物半導體材料。在此，M表示選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）中的一種金屬元素或多種金屬元素。例如，作為M，可以採用Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co等

。另外，上述組成是根據結晶結構而導出的，僅表示一個例子。

另外，當作爲氧化物半導體使用In-Zn-O類材料時，將所使用的靶材的組成比設定爲使原子數比爲In：Zn=50：1至1：2（換算爲莫耳數比則爲 In_2O_3 ：ZnO=25：1至1：4），爲In：Zn=20：1至1：1（換算爲莫耳數比則爲 In_2O_3 ：ZnO=10：1至1：2）較佳，爲In：Zn=15：1至1.5：1（換算爲莫耳數比則爲 In_2O_3 ：ZnO=15：2至3：4）更佳。例如，作爲用於形成In-Zn-O類氧化物半導體的靶材，當原子數比爲In：Zn：O=X：Y：Z時，滿足 $Z>1.5X+Y$ 的關係。

此外，將氧化物半導體層的厚度設定爲3nm以上且30nm以下較佳。其理由是：如果將氧化物半導體層形成爲得厚（例如，厚度爲50nm以上），則有電晶體成爲常導通狀態的憂慮。

氧化物半導體層使用氫、水、羥基或氫化物等的雜質不容易混入的方式製造較佳。例如，該氧化物半導體層可以使用濺射法等製造。

在本實施例中，藉由使用In-Ga-Zn-O類氧化物靶材的濺射法，形成氧化物半導體層。

作爲In-Ga-Zn-O類氧化物靶材，例如可以使用其組成比爲 In_2O_3 ： Ga_2O_3 ：ZnO=1：1：1[莫耳數比]的氧化物靶材。另外，靶材的材料及組成不侷限於上述記載。例如，也可以使用其組成比爲 In_2O_3 ： Ga_2O_3 ：ZnO=1：1：2[莫耳

數比]的氧化物靶材。

氧化物靶材的填充率為90%以上且100%以下，為95%以上且99.9%以下較佳。其理由是：藉由使用高填充率的金屬氧化物靶材，所形成的氧化物半導體層可以成為緻密的膜。

作為成膜時的氣圍，採用稀有氣體（典型的是氬）氣圍、氧氣圍或稀有氣體和氧的混合氣圍等，即可。另外，為了防止氬、水、羥基、氫化物等混入到氧化物半導體層中，採用使用充分地去除氬、水、羥基、氫化物等的雜質的高純度氣體的氣圍較佳。

例如，可以藉由下述製程形成氧化物半導體層。

首先，在被保持為減壓狀態的沉積室內保持基板，並對基板進行加熱以使基板溫度超過200℃且500℃以下，超過300℃且500℃以下較佳，為350℃以上且450℃以下更佳。

接著，一邊去除沉積室中的殘留水分，一邊引入充分地去除了氬、水、羥基、氫化物等的雜質的高純度氣體，並使用上述靶材來在基板上形成氧化物半導體層。為了去除沉積室中的殘留水分，作為排氣單元，使用低溫泵、離子泵、鈦昇華泵等的吸附型的真空泵較佳。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。由於利用低溫泵進行了排氣的沉積室中，例如氬、水、羥基或氫化物等的雜質（還包括包含碳原子的化合物更佳）等被去除，因此可以降低在該沉積室中形成的氧化物半導體層所含有的

氫、水、羥基或氫化物等的雜質的濃度。

當成膜時的基板溫度低（例如， 100°C 以下）時，含有氫原子的物質混入到氧化物半導體中的憂慮，所以在上述溫度下加熱基板較佳。藉由在上述溫度下加熱基板形成氧化物半導體層，基板溫度變高，從而氫鍵被熱切斷，含有氫原子的物質不容易被引入到氧化物半導體層中。因此，藉由在上述溫度下加熱基板的狀態下形成氧化物半導體層，可以充分地降低氧化物半導體層所含有的氫、水、羥基或氫化物等的雜質的濃度。另外，可以減輕由濺射導致的損傷。

作為成膜條件的一個例子，採用如下條件：基板與靶材之間的距離為 60mm ；壓力為 0.4Pa ；直流（DC）電源為 0.5kW ；基板溫度為 400°C ；成膜氣圍為氧（氧流量比率為 100% ）氣圍。另外，當使用脈衝直流電源時，可以減輕在進行成膜時產生的粉狀物質（也稱為微粒、塵屑），膜厚分佈也變得均勻，所以是較佳的。

另外，較佳的是，在藉由濺射法形成氧化物半導體層之前，進行引入氬氣體產生電漿的反濺射，來去除附著於氧化物半導體層的被形成表面上的粉狀物質（也稱為微粒、塵屑）。反濺射是指如下一種方法，其中對基板施加電壓來在基板附近形成電漿，而對基板一側的表面進行改性。此外，也可以使用氮、氬、氧等的氣體代替氬。

作為氧化物半導體層的加工，可以在氧化物半導體層上形成所希望的形狀的掩模之後對該氧化物半導體層進行

蝕刻。可以藉由光微影製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。另外，作為氧化物半導體層的蝕刻，可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

然後，可以對氧化物半導體層144進行熱處理（第一熱處理）。藉由進行熱處理，可以進一步去除包含在氧化物半導體層144中的含有氫原子的物質，而改善氧化物半導體層144的結構，降低能隙中的缺陷能階。在惰性氣體氣圍下，熱處理的溫度設定為 250°C 以上且 700°C 以下，為 450°C 以上且 600°C 以下，或者低於基板的應變點較佳。作為惰性氣體氣圍，採用以氮或稀有氣體（氮、氦、氬等）為主要成分且不含有水、氫等的氣圍較佳。例如，引入熱處理裝置中的氮或氮、氦、氬等的稀有氣體的純度為6N（99.9999%）以上較佳，為7N（99.99999%）以上（即，雜質濃度為1ppm以下，設定為0.1ppm以下較佳）更佳。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450°C 加熱1個小時。在此期間，不使氧化物半導體層144接觸大氣以防止水或氫的混入。

藉由進行熱處理減少雜質以形成i型（本徵半導體）或無限接近於i型的氧化物半導體層，可以實現具有極優越的特性的電晶體。

另外，上述熱處理具有去除氫或水等的作用，所以也將該熱處理稱為脫水化處理或脫氫化處理等。該熱處理例

如可以在將氧化物半導體層加工為島狀之前或在形成閘極絕緣膜之後等進行。另外，這種脫水化處理、脫氫化處理不侷限於進行一次，也可以進行多次。

接著，在氧化物半導體層 144 等上形成用來形成源極電極及汲極電極（包括使用與該源極電極及汲極電極相同的層形成的佈線）的導電層，加工該導電層來形成源極電極或汲極電極 142a、源極電極或汲極電極 142b（參照圖 4B）。

作為導電層，可以利用 PVD 法或 CVD 法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬及鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、銻、釷、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，有易於將源極電極或汲極電極 142a 及源極電極或汲極電極 142b 加工為錐形形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物可以採用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時簡稱為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者使這些金屬氧化物材料中含有矽或氧化矽的金屬氧

化物。

以形成的源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部成為錐形形狀的方式對導電層進行蝕刻較佳。這裏，錐形角例如為 30° 以上且 60° 以下較佳。藉由以源極電極或汲極電極 142a 及源極電極或汲極電極 142b 的端部成為錐形形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性，並防止斷開。

上部電晶體的通道長度（L）由源極電極或汲極電極 142a 的下端部與源極電極或汲極電極 142b 的下端部之間的間隔決定。另外，在形成通道長度（L）短於 25nm 的電晶體的情況下，當進行用來形成掩模的曝光時，使用短波長即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）較佳。利用超紫外線的曝光的解析度高且聚焦深度大。由此，可以將後面形成的電晶體的通道長度（L）形成為 10nm 以上且 1000nm（ $1\mu\text{m}$ ）以下，而可以提高電路的工作速度。再者，藉由進行微型化可以降低半導體裝置的耗電量。

接著，以覆蓋源極電極或汲極電極 142a、142b 並與氧化物半導體層 144 的一部分接觸的方式形成閘極絕緣層 146（參照圖 4C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。另外，閘極絕緣層 146 以含有氧化矽、氮化矽、氧氮化矽、氧化鎳、氧化鋁、氧化鉬、氧化鈦、氧化釷、矽酸鈦（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈦（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鈦（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （

$x > 0$ 、 $y > 0$ 、 $z > 0$)) 等的方式形成較佳。閘極絕緣層 146 既可以採用單層結構，又可以採用組合上述材料的疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，爲了確保電晶體的工作將其形成得較薄較佳。例如，當使用氧化矽時，可以將其形成爲 1nm 以上且 100nm 以下，爲 10nm 以上且 50nm 以下較佳。

如上所述那樣，當將閘極絕緣層形成得較薄時，存在因隧道效應等引起閘極洩漏電流的問題。爲了解決閘極洩漏電流的問題，可以使用如氧化鈣、氧化鋇、氧化釷、矽酸鈣 (HfSi_xO_y ($x > 0$ 、 $y > 0$))、添加有氮的矽酸鈣 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、添加有氮的鋁酸鈣 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$)) 等的高介電常數 (high-k) 材料作爲閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以將膜厚度設定得厚，以抑制閘極洩漏電流。另外，還可以採用層疊含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等的膜的疊層結構。

在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理較佳。熱處理的溫度爲 200℃ 以上且 450℃ 以下，爲 250℃ 以上且 350℃ 以下較佳。例如，可以在氮氣圍下以 250℃ 進行 1 個小時的熱處理。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。另外，當閘極絕緣層 146 含有氧時，其向氧化物半導體層 144 供給氧，填補該氧化物半導體層 144 的氧缺陷，而可以形成 i 型

(本徵半導體)或無限接近於i型的氧化物半導體層。

另外，在本實施例中，雖然在形成閘極絕緣層146之後進行第二熱處理，但是第二熱處理的時序不侷限於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，又可以在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

如上所述那樣，藉由使用第一熱處理和第二熱處理中的至少一方，可以以使其儘量不包含含有氫原子的物質的方式使氧化物半導體層144高純度化。

另外，在形成氧化物半導體層之後、形成氧化物半導體層144之後或形成閘極絕緣層146之後的任一中，也可以進行氧摻雜處理。“氧摻雜”是指將氧（至少包含氧自由基、氧原子、氧離子中的任一種）添加到塊體（bulk）中的處理。另外，該術語“塊體”是爲了明確顯示不僅將氧添加到薄膜表面還將氧添加到薄膜內部的情況的目的而使用。另外，“氧摻雜”包括將電漿化的氧添加到塊體中的“氧電漿摻雜”。

接著，形成用來形成閘極電極（包括使用與該閘極電極相同的層形成的佈線）的導電層，加工該導電層來形成閘極電極148a及導電層148b（參照圖4D）。

氧摻雜處理藉由利用ICP（Inductively Coupled Plasma：感應耦合電漿方式），使用由微波（例如，頻率爲2.45GHz）激發的氧電漿來進行較佳。

作為閘極電極 148a 及導電層 148b，可以使用鉬、鈦、鉭、鎢、鋁、銅、鈹、釷等金屬材料或以該金屬材料為主要成分的合金材料來形成。另外，閘極電極 148a 及導電層 148b 可以採用單層結構或疊層結構。

接著，在閘極絕緣層 146、閘極電極 148a 及導電層 148b 上形成絕緣層 150（參照圖 5A）。絕緣層 150 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、氧化鋁等的無機絕緣材料的材料形成。另外，作為絕緣層 150 使用介電常數低的材料或介電常數低的結構（多孔結構等）較佳。這是因為藉由使絕緣層 150 的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現工作的高速化的緣故。另外，在本實施例中，雖然採用絕緣層 150 的單層結構，但是所公開的發明的一個實施例不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣層 146、絕緣層 150 中形成到達源極電極或汲極電極 142b 的開口。然後，在絕緣層 150 上形成與源極電極或汲極電極 142b 接觸的佈線 154（參照圖 5B）。另外，藉由使用掩模等選擇性地進行蝕刻來形成該開口。

在使用 PVD 法或 CVD 法形成導電層之後，對該導電層進行構圖來形成佈線 154。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鉭、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鉛、鈹

、鈦、鈳中的一種或多種材料。

更明確而言，例如，可以在包括絕緣層150的開口的區域中藉由PVD法形成薄的鈦膜，並藉由PVD法形成薄（5nm左右）的鈦膜，然後埋入開口地形成鋁膜。在此藉由PVD法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此源極電極或汲極電極142b）的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在形成使用鈦或氮化鈦等的障壁膜之後藉由鍍敷法形成銅膜。

形成在絕緣層150中的開口形成在與導電層128b重疊的區域中較佳。藉由在這種區域中形成開口，可以抑制起因於接觸區域的元件面積的增大。

在此，對不使用導電層128b而使雜質區126與源極電極或汲極電極142b的連接和源極電極或汲極電極142b與佈線154的連接重疊的情況進行說明。此時，在形成在雜質區126上的絕緣層136、絕緣層138及絕緣層140中形成開口（稱為下部的接觸），在下部的接觸中形成源極電極或汲極電極142b之後，在閘極絕緣層146及絕緣層150中，在與下部的接觸重疊的區域中形成開口（稱為上部的接觸），而形成佈線154。當在與下部的接觸重疊的區域中形成上部的接觸時，有如下憂慮：即，由於蝕刻，形成在下部的接觸中的源極電極或汲極電極142b斷開。當為了避免該斷開，以不使下部的接觸與上部的接觸重疊的方式形成結構時，發生元件面積的增大的問題。

如本實施例所示那樣，藉由使用導電層 128b，可以形成上部的接觸而不使源極電極或汲極電極 142b 斷開。由此，可以使下部的接觸與上部的接觸重疊地設置，從而可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的整合度。

接著，以覆蓋佈線 154 的方式形成絕緣層 156（參照圖 5C）。

藉由上述步驟完成使用被高純度化的氧化物半導體層 144 的電晶體 162 及電容元件 164（參照圖 5C）。

接著，利用圖 6A 和圖 6B 表示具有與圖 1A 和圖 1B 不同的結構的半導體裝置的結構。圖 6A 示出半導體裝置的剖面，圖 6B 示出半導體裝置的平面。在此，圖 6A 相當於沿圖 6B 的 A1-A2 及 B1-B2 的剖面。

圖 1A 和圖 1B 所示的半導體裝置和圖 6A 和圖 6B 所示的半導體裝置的不同之處在於使用氧化物半導體層的電晶體的結構。在圖 6A 和圖 6B 所示的電晶體 166 中，氧化物半導體層 144 包括與閘極電極 148a 重疊的通道形成區和與該通道形成區接觸的偏移區。偏移區是指氧化物半導體層 144 中的與源極電極或汲極電極 142a、142b 重疊的區域和與閘極電極 148a 重疊的區域（通道形成區）之間的區域。換言之，也可以說：偏移區是不與源極電極或汲極電極 142a、142b 和閘極電極 148a 中的任一重疊的區域。因為偏移區用作驅動電晶體時的電阻區，所以藉由在氧化物半導體層 144 中設置偏移區，可以降低電晶體的截止電流。

偏移區至少設置在源極電極或汲極電極 142a 一側較佳。藉由在源極電極或汲極電極 142a 一側設置偏移區，可以降低源極電極或汲極電極 142a 與電晶體 160 的閘極電極 128a 電連接的部分（浮動閘極部）和電晶體 166 的閘極電極 148a 之間的寄生電容。其結果，可以減少當寫入工作時或讀出工作時電晶體 166 的閘極電極 148a 對浮動閘極部的電位造成的影響，可以實現能夠進行穩定工作的半導體裝置。

再者，因為氧化物半導體的能隙大，即為 3.0 eV 至 3.5 eV 且熱激發載子極少，所以使用氧化物半導體的電晶體 166 即使在高溫環境下也不發生特性的退化，並可以使截止電流保持為極低。尤其是，在電晶體 166 的氧化物半導體層 144 中設置偏移區是從進一步降低電晶體 166 的截止電流的觀點來看有效的。

在本實施例所示的電晶體 162 及電晶體 166 中，由於氧化物半導體層 144 被高純度化，其氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下較佳，為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下更佳。另外，氧化物半導體層 144 的載子密度與通常的矽晶片中的載子密度（ $1 \times 10^{14} / \text{cm}^3$ 左右）相比是足夠小的值（例如，低於 $1 \times 10^{12} / \text{cm}^3$ ，為低於 $1.45 \times 10^{10} / \text{cm}^3$ 更佳）。由此，其截止電流充分變小。例如，將電晶體 162 的室溫（25℃）下的截止電流（在此，單位通道寬度（ $1 \mu\text{m}$ ）的值）為 100 zA（1 zA（zeptoampere）是 $1 \times 10^{-21} \text{ A}$ ）以下，為 10 zA 以下較佳。

如此，藉由使用被高純度化而被本徵化或實質上被本徵化的氧化物半導體層 144，可以充分地降低電晶體的截止電流。並且，藉由使用這種電晶體，可以獲得能夠在極長期間內保持儲存資料的半導體裝置。

另外，藉由將佈線 154 藉由源極電極或汲極電極 142b 和導電層 128b 連接到雜質區 126，與將電晶體 160 中的源極電極或汲極電極和電晶體 162 中的源極電極或汲極電極 142b 分別連接到不同佈線的情況相比可以減少佈線數目，從而可以提高半導體裝置的整合度。

再者，藉由設置導電層 128b，可以重疊設置雜質區 126 與源極電極或汲極電極 142b 連接的位置和源極電極或汲極電極 142b 與佈線 154 連接的位置。藉由採用這種平面佈局，可以抑制起因於接觸區域的元件面積的增大。就是說，可以提高半導體裝置的整合度。

以上本實施例所示的結構、方法等可以與其他實施例所示的結構和方法等適當地組合而使用。

實施例 2

接著，參照圖 7A 至 7H 對用於製造上述半導體裝置的 SOI 基板的製造方法的一個例子進行說明。

首先，準備支撐基板 100（參照圖 7A）。作為支撐基板 100 可以使用由絕緣體構成的基板。明確而言，可以舉出鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等用於電子工業的各種玻璃基板、石英基板、陶瓷基板、藍寶

石基板。另外，也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係數接近於矽的陶瓷基板。

另外，作為支撐基板100可以使用單晶矽基板、單晶鍺基板等半導體基板。當使用半導體基板作為支撐基板100時，由於與使用玻璃基板等的情況相比熱處理的溫度條件更緩和，所以更容易獲得優質的SOI基板。這裏，作為半導體基板，可以使用太陽能電池級矽（SOG-Si：Solar Grade Silicon）基板等。此外，還可以使用多晶半導體基板。與使用單晶矽基板等的情況相比，使用太陽能電池級矽或多晶半導體基板等時可以抑制製造成本。

在本實施例中，對使用玻璃基板作為支撐基板100的情況進行說明。藉由使用廉價的能夠實現大面積化的玻璃基板作為支撐基板100可以實現低成本化。

預先對上述支撐基板100的表面進行清洗較佳。明確而言，使用鹽酸和過氧化氫水的混合液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）、FPM（氫氟酸和過氧化氫水以及純水的混合液）等對支撐基板100進行超聲波清洗。藉由進行該清洗處理，可以提高支撐基板100的表面的平坦性並去除殘留在支撐基板100表面上的研磨粒子等。

接著，在支撐基板100的表面上形成絕緣層102（例如，氮化矽膜（ SiN_x ）或氮氧化矽膜（ SiN_xO_y ）（ $x>y$ ）等的含有氮的絕緣層）（參照圖7B）。絕緣層102可以使用

CVD法、濺射法等形成。

在本實施例中形成的絕緣層102成爲後面用來貼合單晶半導體層的層（接合層）。另外，絕緣層102還用作防止支撐基板100中含有的鈉（Na）等雜質擴散到單晶半導體層中的阻擋層。

如上所述，由於在本實施例中將絕緣層102用作接合層，所以以其表面具有規定的平坦性的方式形成絕緣層102較佳。明確而言，將絕緣層102形成爲：表面的平均面粗糙度（Ra，也稱爲算術平均粗糙度）爲0.5nm以下，均方根粗糙度（Rms）爲0.60nm以下，更佳的是，平均面粗糙度爲0.35nm以下，均方根粗糙度爲0.45nm以下。另外，作爲上述平均面粗糙度及均方根粗糙度例如可以使用在 $10\mu\text{m}\times 10\mu\text{m}$ 的區域中進行測量的值。將該絕緣層的厚度設定爲10nm以上至200nm以下的範圍內，設定爲50nm以上至100nm以下的範圍內較佳。像這樣，藉由提高表面的平坦性，可以防止單晶半導體層的接合不良。

接著，準備接合基板。這裏作爲接合基板使用單晶半導體基板110（參照圖7C）。另外，雖然在這裏使用單晶體的基板作爲接合基板，但是接合基板的結晶性不侷限於單晶體。

作爲單晶半導體基板110，例如可以使用如單晶矽基板、單晶鍺基板、單晶矽鍺基板等的由第14族元素構成的單晶半導體基板。此外，還可以使用如砷化鎵、磷化鎵等的化合物半導體基板。作爲在市場上出售的矽基板，典型

的有尺寸為直徑5英寸（125mm）、直徑6英寸（150mm）、直徑8英寸（200mm）、直徑12英寸（300mm）、直徑16英寸（400mm）的圓形基板。另外，單晶半導體基板110的形狀不侷限於圓形，例如，還可以使用被加工為矩形的基板。另外，單晶半導體基板110可以利用CZ（提拉）法及FZ（浮區）法製造。

在單晶半導體基板110的表面形成絕緣層112（參照圖7D）。另外，從去除污染物的觀點來看，在形成絕緣層112之前預先使用鹽酸和過氧化氫水的混合液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水以及純水的混合液（APM）、稀氫氟酸（DHF）、FPM（氫氟酸和過氧化氫以及純水的混合液）等對單晶半導體基板110的表面進行清洗較佳。也可以藉由交替噴出稀釋的氫氟酸和臭氧水來進行清洗。

例如，可以形成氧化矽膜、氮化矽膜等的單層或疊層作為絕緣層112。作為上述絕緣層112的製造方法，有熱處理（熱氧化處理或熱氮化處理等）、CVD法或濺射法等。此外，當使用CVD法形成絕緣層112時，使用四乙氧基矽烷（簡稱TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等的有機矽烷形成氧化矽膜較佳，以實現良好的貼合。

在本實施例中，藉由對單晶半導體基板110進行熱氧化處理來形成絕緣層112（這裏為 SiO_x 膜）。作為熱氧化處理，在氧化氣圍中添加鹵素來進行較佳。

例如，可以藉由在添加有氯（Cl）的氧化氣圍中對單

晶半導體基板110進行熱氧化處理，形成被氮氧化的絕緣層112。在這種情況下，絕緣層112成為含有氮原子的膜。藉由利用該氮氧化俘獲外來雜質的重金屬（例如，Fe、Cr、Ni、Mo等）形成金屬氮化物，然後再將該金屬氮化物去除到外部，可以降低單晶半導體基板110的污染。此外，在與支撐基板100貼合之後，固定來自支撐基板的Na等雜質，由此可以防止單晶半導體基板110被污染。

另外，在絕緣層112中包含的鹵素原子不侷限於氮原子。也可以使絕緣層112包含氟原子。作為使單晶半導體基板110表面氟氧化的方法，例如可以舉出以下方法：在將單晶半導體基板110浸漬在HF溶液中之後在氧化氣圍中進行熱氧化處理；或者將 NF_3 添加到氧化氣圍中進行熱氧化處理等。

接著，藉由對單晶半導體基板110照射由電場加速的離子並進行添加，在單晶半導體基板110的規定的深度中形成結晶結構受到損傷的脆化區114（參照圖7E）。

可以藉由利用離子的動能、離子的質量和電荷、離子的入射角等來調節形成脆化區114的區域的深度。此外，脆化區114被形成在與離子的平均侵入深度基本相同的深度的區域中。由此，可以藉由利用離子的添加深度來調節從單晶半導體基板110分離的單晶半導體層的厚度。例如，可以使單晶半導體層的厚度大致成為10nm以上500nm以下，為50nm以上200nm以下的方式調節平均侵入深度較佳。

可以使用離子摻雜裝置或離子植入裝置進行該離子照射處理。作為離子摻雜裝置的代表例可以舉出將使處理氣體電漿激發而產生的所有離子種照射到被處理體的非質量分離型的裝置。在該裝置中，不對電漿中的離子種進行質量分離而將其照射到被處理體。針對於此，離子植入裝置是質量分離型的裝置。在離子植入裝置中，對電漿中的離子種進行質量分離，並將某個特定的質量的離子種照射到被處理體。

在本實施例中，對使用離子摻雜裝置將氫添加到單晶半導體基板 110 的例子進行說明。作為源氣體，使用包含氫的氣體。至於照射的離子，將 H_3^+ 的比例設定為高較佳。明確而言，相對於 H^+ 、 H_2^+ 、 H_3^+ 的總量，使 H_3^+ 的比例為 50% 以上（為 80% 以上更佳）。藉由提高 H_3^+ 的比例，可以使離子照射的效率得到提高。

另外，添加的離子不侷限於氫。也可以添加氮等的離子。此外，添加的離子不侷限於一種，也可以添加多種離子。例如，當使用離子摻雜裝置同時照射氫和氮時，與在不同的製程中進行照射的情況相比可以減少製程數，並且可以進一步抑制後面形成的單晶半導體層的表面粗糙。

另外，當使用離子摻雜裝置形成脆化區 114 時，雖然有同時添加入重金屬的憂慮，但是藉由隔著含有鹵素原子的絕緣層 112 進行離子照射，可以防止這些重金屬對單晶半導體基板 110 的污染。

接著，使支撐基板 100 和單晶半導體基板 110 對置，並

使絕緣層 102 的表面與絕緣層 112 貼合。由此，貼合支撐基板 100 和單晶半導體基板 110（參照圖 7F）。

在進行貼合時，對支撐基板 100 或單晶半導體基板 110 的一處施加 0.001N/cm^2 以上 100N/cm^2 以下，例如 1N/cm^2 以上 20N/cm^2 以下的壓力較佳。藉由施加壓力使接合平面接近而貼合，在被貼合的部分中絕緣層 102 與絕緣層 112 接合，並以該部分為起點開始自發性地接合進而擴展至幾乎整個面。該接合利用范德華力和氫鍵作用，並可以在常溫下進行。

另外，在貼合單晶半導體基板 110 與支撐基板 100 之前，對進行貼合的表面進行表面處理較佳。藉由進行表面處理，可以提高單晶半導體基板 110 和支撐基板 100 的介面的接合強度。

作為表面處理，可以使用濕處理、乾處理或濕處理與乾處理的組合。此外，還可以使用不同的濕處理的組合或不同的乾處理的組合。

另外，在貼合之後，也可以進行熱處理以增高接合強度。將該熱處理的溫度設定為不使脆化區 114 發生分離的溫度（例如，室溫以上且低於 400°C ）。另外，也可以在該溫度範圍內邊加熱邊接合絕緣層 102 及絕緣層 112。作為上述熱處理，可以使用如擴散爐或電阻加熱爐等的加熱爐、RTA（快速熱退火：Rapid Thermal Anneal）裝置、微波加熱裝置等。另外，上述溫度條件只是一個例子而已，所公開的本發明的一個實施例不應被解釋為限定於此。

接著，藉由進行熱處理使單晶半導體基板110在脆化區114中進行分離，而在支撐基板100上隔著絕緣層102及絕緣層112形成單晶半導體層116（參照圖7G）。

另外，進行上述分離時的熱處理的溫度盡可能低較佳。這是因為進行分離時的溫度越低越能夠抑制單晶半導體層116的表面粗糙的緣故。明確而言，例如，可以將進行上述分離時的熱處理的溫度設定為 300°C 以上且 600°C 以下，當將溫度設定為 500°C 以下（ 400°C 以上）時更有效。

另外，也可以在分離單晶半導體基板110之後，以 500°C 以上的溫度對單晶半導體層116進行熱處理以降低殘留在單晶半導體層116中的氫濃度。

接著，藉由對單晶半導體層116的表面照射雷射，形成表面平坦性提高了且缺陷減少了的單晶半導體層118（參照圖7H）。另外，還可以進行熱處理來替代雷射照射處理。

另外，在本實施例中，雖然在進行了用來分離單晶半導體層116的熱處理之後連續進行了雷射照射處理，但是所公開的發明的一個實施例不應被解釋為限定於此。既可以在用來分離單晶半導體層116的熱處理之後進行蝕刻處理來去除單晶半導體層116表面缺陷多的區域，然後再進行雷射照射處理，又可以在提高單晶半導體層116表面的平坦性之後進行雷射照射處理。另外，上述蝕刻處理可以使用濕蝕刻或乾蝕刻。另外，在本實施例中，還可以在進行上述那樣的雷射照射之後進行減薄單晶半導體層116的

厚度的薄膜化製程。作為單晶半導體層116的薄膜化，既可以使用乾蝕刻或濕蝕刻中的任一種，也可以使用其兩者。

藉由上述製程，可以形成具有良好特性的單晶半導體層118的SOI基板（參照圖7H）。

藉由將這種SOI基板用作實施例1所示的包含半導體材料的基板，可以使電晶體進行高速工作。

以上，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例3

在本實施例中，參照圖8A至圖8C對根據所公開的發明的一個實施例的半導體裝置的電路結構及其工作進行說明。另外，在電路圖中，為了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

在圖8A所示的半導體裝置中，第一佈線（1st Line）與電晶體160的源極電極電連接，第二佈線（2nd Line）與電晶體160的汲極電極電連接。另外，第三佈線（3rd Line）與電晶體162的源極電極（或汲極電極）電連接，第四佈線（4th Line）與電晶體162的閘極電極電連接。再者，電晶體160的閘極電極和電晶體162的汲極電極（或源極電極）與電容元件164的電極的一方電連接，第五佈線（5th Line）與電容元件164的電極的另一方電連接。

在此，例如將上述使用氧化物半導體的電晶體用於電

晶體 162。使用氧化物半導體的電晶體具有截止電流極為小的特徵。因此，藉由使電晶體 162 成為截止狀態，可以極長時間地保持電晶體 160 的閘極電極的電位。再者，藉由具有電容元件 164，容易保持施加到電晶體 160 的閘極電極的電荷，另外，也容易讀出所保持的資料。

另外，對電晶體 160 沒有特別的限制。從提高資料的讀出速度的觀點來看，例如，使用利用單晶矽的電晶體等的開關速度快的電晶體較佳。

另外，如圖 8B 所示那樣，也可以採用不設置電容元件 164 的結構。

在圖 8A 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 160 的閘極電極的電位的特徵，可以如下所示那樣進行資料的寫入、保持以及讀出。

首先，對資料的寫入和保持進行說明。首先，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極和電容元件 164 施加第三佈線的電位。也就是說，對電晶體 160 的閘極電極施加規定的電荷（寫入）。在此，將施加兩個不同的電位的電荷（以下將施加低電位的電荷稱為電荷 Q_L ，將施加高電位的電荷稱為電荷 Q_H ）的任一方施加到電晶體 160 的閘極電極。另外，也可以使用施加三個或三個以上的不同的電位的電荷，來提高儲存容量。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，而保持對電晶體 160

的閘極電極施加的電荷（保持）。

因為電晶體 162 的截止電流極為小，所以電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資料的讀出進行說明。當在對第一佈線施加規定的電位（定電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，根據保持在電晶體 160 的閘極電極中的電荷量，第二佈線具有不同的電位。這是因為一般而言，在電晶體 160 為 n 通道型的情況下，對電晶體 160 的閘極電極施加 Q_H 時的外觀上的臨界值 V_{th_H} 低於對電晶體 160 的閘極電極施加 Q_L 時的外觀上的臨界值 V_{th_L} 的緣故。在此，外觀上的臨界值電壓是指為了使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。從而，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 的中間電位 V_0 ，可以辨別對電晶體 160 的閘極電極施加的電荷。例如，在寫入中，在對電晶體 160 的閘極電極施加 Q_H 的情況下，當第五佈線的電位成為 V_0 ($>V_{th_H}$) 時，電晶體 160 成為“導通狀態”。在對電晶體 160 的閘極電極施加 Q_L 的情況下，即使第五佈線的電位成為 V_0 ($<V_{th_L}$)，電晶體 160 還維持“截止狀態”。因此，藉由確認第二佈線的電位可以讀出所保持的資料。

另外，當將記憶單元配置為陣列狀而使用時，需要可以唯讀出所希望的記憶單元的資料。像這樣，當讀出規定的記憶單元的資料，且不讀出除此以外的記憶單元的資料時，在各記憶單元之間分別並聯連接有電晶體 160 的情況

下，對讀出的物件之外的記憶單元的第五佈線施加不管閘極電極的狀態如何都使電晶體 160 成為“截止狀態”的電位，也就是小於 V_{th_H} 的電位，即可。另外，在各記憶單元之間分別串聯連接有電晶體 160 的情況下，對讀出的物件之外的記憶單元的第五佈線施加不管閘極電極的狀態如何都使電晶體 160 成為“導通狀態”的電位，也就是大於 V_{th_L} 的電位，即可。

接著，對資料的改寫進行說明。資料的改寫與上述資料的寫入和保持同樣進行。也就是說，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，而使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極和電容元件 164 施加第三佈線的電位（有關新的資料的電位）。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，而使電晶體 160 的閘極電極成為施加有有關新的資料的電荷的狀態。

像這樣，根據所公開的發明的半導體裝置藉由再次進行資料的寫入，可以直接改寫資料。因此，不需要快閃記憶體等所需要的使用高電壓的從浮動閘極抽出電荷的處理，可以抑制起因於擦除工作的工作速度的降低。換言之，可以實現半導體裝置的高速工作。

另外，藉由將電晶體 162 的汲極電極（或源極電極）與電晶體 160 的閘極電極電連接，該汲極電極（或源極電極）具有與用作非揮發性記憶元件的浮動閘型電晶體的浮動閘相同的作用。由此，有時將圖式中的電晶體 162 的汲

極電極（或源極電極）與電晶體160的閘極電極電連接的部分稱為浮動閘極部FG。當電晶體162處於截止狀態時，可以認為該浮動閘極部FG被埋設在絕緣體中，在浮動閘極部FG中保持有電荷。因為使用氧化物半導體的電晶體162的截止電流為使用矽半導體等而形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於電晶體162的洩漏電流的累積在浮動閘極部FG中的電荷的消失。也就是說，藉由使用氧化物半導體的電晶體162，可以實現即使沒有電力供給也能夠保持資料的非揮發性儲存裝置。

例如，當室溫（25℃）下的電晶體162的截止電流為10zA（1zA（zeptoampere）是 1×10^{-21} A）以下，並且電容元件164的電容值為10fF左右時，至少可以保持資料 10^4 秒以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在此情況下不存在在現有的浮動閘型電晶體中被指出的閘極絕緣膜（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘時的閘極絕緣膜的劣化問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要現在有的浮動閘型電晶體中當寫入或擦除數據時所需要的高電壓。

構成圖8A所示的半導體裝置的電晶體等的要素包括電阻器和電容器，並且可以將圖8A所示的半導體裝置如圖8C所示那樣來考慮。換言之，在圖8C中，可以認為電晶體160和電容元件164分別包括電阻器和電容器而構成。

R1和C1分別是電容元件164的電阻值和電容值，電阻值R1相當於構成電容元件164的絕緣層的電阻值。另外，R2和C2分別是電晶體160的電阻值和電容值，電阻值R2相當於電晶體160處於導通狀態時的閘極絕緣層的電阻值，電容值C2相當於所謂的閘極電容（形成在閘極電極和源極電極或汲極電極之間的電容、以及形成在閘極電極和通道形成區之間的電容）的電容值。

當將電晶體162處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）記為 R_{OS} 的情況下，在電晶體162的閘極洩漏電流充分小的條件下，當R1及R2滿足 $R1 \geq R_{OS}$ （R1為 R_{OS} 以上）、 $R2 \geq R_{OS}$ （R2為 R_{OS} 以上）時，主要根據電晶體162的截止電流來決定電荷的保持期間（也可以稱為資訊的保持期間）。

反之，當不滿足該條件時，即使電晶體162的截止電流足夠小也難以充分確保保持期間。這是因為電晶體162的截止電流之外的洩漏電流（例如，在源極電極和閘極電極之間產生的洩漏電流等）大的緣故。由此，可以說本實施例所公開的半導體裝置滿足上述關係較佳。

另一方面，C1和C2滿足 $C1 \geq C2$ （C1為C2以上）的關係較佳。這是因為藉由增大C1，當由第五佈線控制浮動閘極部FG的電位時，可以向浮動閘極部FG高效地供應第五佈線的電位，可以抑制向第五佈線供應的電位之間（例如，讀出的電位和非讀出的電位）的電位差為小的緣故。

藉由滿足上述關係，可以實現更佳的半導體裝置。另

外，R1和R2由電晶體160的閘極絕緣層和電容元件164的絕緣層來控制。C1和C2也是同樣的。因此，適當地設定閘極絕緣層的材料或厚度等，而滿足上述關係較佳。

在本實施例所示的半導體裝置中，浮動閘極部FG起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極相等的作用，但是，本實施例的浮動閘極部FG具有與快閃記憶體等的浮動閘極根本不同的特徵。因為在快閃記憶體中施加到控制閘極的電壓高，所以為了防止其電位影響到相鄰的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。這是阻礙半導體裝置的高整合化的主要原因之一。該原因起因於施加高電場而發生穿隧電流的快閃記憶體的根本原理。

另一方面，根據本實施例的半導體裝置藉由使用氧化物半導體的電晶體的開關而工作，由此不使用如上所述的由穿隧電流而起的電荷注入的原理。就是說，不像快閃記憶體，不需要用來注入電荷的高電場。由此，因為不需要考慮到控制閘極帶給相鄰的單元的高電場的影響，所以容易實現高整合化。

另外，不需要高電場、不需要大型週邊電路（升壓電路等）這些點也優越於快閃記憶體。例如，在寫入兩個步驟（1位元）的資訊的情況下，在一個記憶單元中，可以將施加到根據本實施例的記憶單元的電壓（同時施加到記憶單元的各端子的最大電位與最小電位之間的差異）的最大值設為5V以下，為3V以下較佳。

另外，在使構成電容元件164的絕緣層的相對介電常數 ϵ_{r1} 與構成電晶體160的絕緣層的相對介電常數 ϵ_{r2} 不同的情況下，容易在構成電容元件164的絕緣層的面積 $S1$ 和在電晶體160中構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ （ $2 \cdot S2$ 為 $S1$ 以上），滿足 $S2 \geq S1$ （ $S2$ 為 $S1$ 以上）的同時，實現 $C1 \geq C2$ （ $C1$ 為 $C2$ 以上）較佳。換言之，容易在縮減構成電容元件164的絕緣層的面積的同時實現 $C1 \geq C2$ 。明確地說，例如，在構成電容元件164的絕緣層中，可以採用由氧化鉛等的high-k材料構成的膜或由氧化鉛等的high-k材料構成的膜與由氧化物半導體構成的膜的疊層結構，並將 ϵ_{r1} 設定為10以上，設定為15以上較佳，並且在構成閘極電容的絕緣層中，可以採用氧化矽，並滿足 $3 \leq \epsilon_{r2} \leq 4$ （ ϵ_{r2} 為3以上且4以下）。

藉由並用這種結構，可以進一步實現根據所公開的發明的半導體裝置的高整合化。

另外，為了增大半導體裝置的儲存容量，除了高整合化以外還可以採用多值化的方法。例如，藉由採用對記憶單元之一寫入三個步驟以上的資料的結構，與寫入兩個步驟的資料的情況相比，可以增大儲存容量。例如，藉由不僅向第一電晶體的閘極電極供應如上所述的施加低電位的電荷 Q_L 、施加高電位的電荷 Q_H ，而且還供應施加其他電位的電荷 Q ，可以實現多值化。在此情況下，即使採用不使 F^2 充分小的電路結構也可以確保充分的儲存容量。

另外，上述說明關於使用以電子為多數載子的n型電

晶體（ n 通道型電晶體）的情況，但是，當然也可以使用以電洞為多數載子的 p 型電晶體代替 n 型電晶體。

如上所述，根據本實施例的半導體裝置適於高整合化，而且藉由根據所公開的發明的一個實施例的佈線的共同化、接觸區域的縮小等，可以提供進一步提高整合度的半導體裝置。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

實施例 4

在本實施例中，對在之前的實施例中所說明的半導體裝置的應用例子之一進行說明。明確而言，對將在之前的實施例中說明的半導體裝置排列成矩陣狀的半導體裝置的一個例子進行說明。

圖 9 示出具有（ $m \times n$ ）位元的儲存容量的半導體裝置的電路圖的一個例子。

根據本發明的一個實施例的半導體裝置包括： m 條（ m 是 2 以上的整數）信號線 S ； m 條字線 WL ； n 條（ n 是 2 以上的整數）位元線 BL ； k 條（ k 是小於 n 的自然數）源極線 SL ；記憶單元 1100 配置為縱 m 個（列） $\times$ 橫 n 個（行）的矩陣狀的記憶單元陣列；第一驅動電路 1111；第二驅動電路 1112；第三驅動電路 1113；第四驅動電路 1114 等的週邊電路。在此，作為記憶單元 1100，使用在之前的實施例中所說明的結構（圖 8A 所示的結構）。

各記憶單元 1100 都包括第一電晶體、第二電晶體和電容元件。在各記憶單元 1100 中，第一電晶體的閘極電極、第二電晶體的汲極電極（或源極電極）與電容元件的電極的一方電連接，並且源極線 SL 與第一電晶體的源極電極電連接。並且，位元線 BL、第二電晶體的源極電極（或汲極電極）與第一電晶體的汲極電極電連接，字線 WL 與電容元件的電極的另一方電連接，信號線 S 與第二電晶體的閘極電極電連接。就是說，源極線 SL 相當於圖 8A 所示的結構中的第一佈線（1st Line）；位元線 BL 相當於第二佈線（2nd Line）及第三佈線（3rd Line）；信號線 S 相當於第四佈線（4th Line）；字線 WL 相當於第五佈線（5th Line）。

另外，在圖 9 所示的記憶單元陣列中，位元線 BL、源極線 SL、字線 WL 及信號線構成矩陣（matrix）。位元線 BL 之一連接有配置在同一行的 m 個記憶單元 1100。另外，字線 WL 之一及信號線之一分別連接有配置在同一列的 n 個記憶單元 1100。另外，源極線 SL 的數目小於位元線 BL 的數目，源極線 SL 之一至少需要與包括連接到不同的位元線 BL 的記憶單元 1100 的多個記憶單元連接。換言之，源極線 SL 之一連接有 j 個（ j 是 $(m+1)$ 以上且 $(m \times n)$ 以下的整數）記憶單元 1100。另外，連接到源極線 SL 之一的多個記憶單元 1100 所具有的第一電晶體的源極區是共同的。此外，對每多個位元線 BL 配置一條源極線 SL（換言之， n/k 是整數）較佳，此時，如果連接到各源極線 SL 的記憶單元

1100的數目相等，源極線SL之一連接有 $(m \times n/k)$ 個記憶單元1100。

如圖9所示的記憶單元陣列那樣，藉由採用將用來連接記憶單元1100之一與其他記憶單元的源極線SL之一連接到至少包括與不同的位元線BL連接的記憶單元的多個記憶單元1100的結構，使源極線SL的數目小於位元線BL，可以充分地減少源極線的數目，所以可以提高半導體裝置的整合度。

位元線BL與第一驅動電路1111電連接，源極線SL與第二驅動電路1112電連接，信號線S與第三驅動電路1113電連接，字線WL與第四驅動電路1114電連接。注意，雖然在此分別獨立地設置第一驅動電路1111、第二驅動電路1112、第三驅動電路1113和第四驅動電路1114，但是所公開的發明不侷限於此。也可以使用具有任何一個或多個功能的驅動電路。

接著，對寫入工作及讀出工作進行說明。圖10示出圖9所示的半導體裝置的寫入工作及讀出工作的時序圖的一個例子。

注意，雖然在此爲了簡化起見對包括2列 $\times$ 2行的記憶單元陣列的半導體裝置的工作進行說明，但是所公開的發明不侷限於此。

下面，對如下情況進行說明，即：對第1列的記憶單元1100(1,1)及記憶單元1100(1,2)進行寫入的情況；以及對第1列的記憶單元1100(1,1)及記憶單元1100(

1,2) 進行讀出的情況。另外，以下對如下情況進行說明，即：將對記憶單元 (1,1) 進行寫入的資料設定為“1”，將對記憶單元 (1,2) 進行寫入的資料設定為“0”的情況。

首先，對寫入進行說明。首先，對第1列的信號線 S (1) 施加電位 V1，使第1列的第二電晶體處於導通狀態。另外，對第2列的信號線 S (2) 施加電位 0V，使第2列的第二電晶體處於截止狀態。

另外，對第1行的位元線 BL (1) 施加電位 V2，對第2行的位元線 BL (2) 施加電位 0V。

其結果是，記憶單元 (1,1) 的浮動閘極部 FG 被施加電位 V2，記憶單元 (1,2) 的浮動閘極部 FG 被施加電位 0V。在此，將電位 V2 設定為高於第一電晶體的臨界值的電位。並且，藉由將第1列的信號線 S (1) 的電位設定為 0V，使第1列的第二電晶體處於截止狀態，而結束寫入。另外，電位 V2 為與電位 V1 大致相同的電位或電位 V1 以下的電位較佳。

另外，在寫入工作中，將第1列的字線 WL (1) 及第2列的字線 WL (2) 的電位設定為 0V。另外，在寫入結束時，在使第1行的位元線 BL (1) 的電位變化之前將第1列的信號線 S (1) 的電位設定為 0V。在寫入之後，在寫入資料“0”的情況下記憶單元的臨界值為 V_{w0} ，在寫入資料“1”的情況下記憶單元的臨界值為 V_{w1} 。在此，記憶單元的臨界值是指使第一電晶體的源極電極與汲極電極之間

的電阻狀態變化的連接到字線 WL 的端子的電壓。另外，在此， $V_{w0} > 0 > V_{w1}$ 。

接著，對讀出進行說明。在此，位元線 BL 電連接有圖 11 所示的讀出電路。

首先，對第 1 列的字線 WL (1) 施加電位 0V，並且對第 2 列的字線 WL (2) 施加電位 VL。電位 VL 是低於臨界值 V_{w1} 的電位。當字線 WL (1) 的電位設定為 0V 時，在第 1 列中，保持有資料 “0” 的記憶單元中的第一電晶體成為截止狀態，而保持有資料 “1” 的記憶單元中的第一電晶體成為導通狀態。當字線 WL (2) 的電位設定為 VL 時，在第 2 列中，無論記憶單元保持有資料 “0” 或 “1”，第一電晶體都成為截止狀態。

其結果是，因為記憶單元 (1,1) 的第一電晶體處於導通狀態，所以位元線 BL (1) - 源極線 SL 間成為低電阻狀態，而因為記憶單元 (1,2) 的第一電晶體處於截止狀態，所以位元線 BL (2) - 源極線 SL 間成為高阻抗狀態。連接到位元線 BL (1)、位元線 BL (2) 的讀出電路根據位元線的電阻狀態的不同而可以讀出資料。

另外，在讀出工作中，對信號線 S (1) 施加電位 0V，對信號線 S (2) 施加電位 VL，使所有第二電晶體處於截止狀態。因為第 1 列的浮動閘極部 FG 的電位是 0V 或 V_2 ，所以藉由將信號線 S (1) 的電位設定為 0V 來可以使所有第二電晶體處於截止狀態。另一方面，如果對字線 WL (2) 施加電位 VL，第 2 列的浮動閘極部 FG 的電位成為低於剛

寫入之後的電位的電位。因此，爲了防止第二電晶體成爲導通狀態，將信號線 $S(2)$ 設定爲與字線 $WL(2)$ 相同的低電位（電位 V_L ）。換言之，在不進行讀出的列中，將信號線 S 的電位和字線 WL 的電位設定爲彼此相同的低電位（電位 V_L ）。藉由上述方法可以使所有第二電晶體處於截止狀態。

對作爲讀出電路使用圖 11 所示的電路時的輸出電位進行說明。在圖 11 所示的讀出電路中，位元線 BL 藉由由讀使能信號（ RE 信號）控制的開關連接到時鐘反相器及與被施加電位 V_1 的佈線形成二極體連接的電晶體。另外，對源極線 SL 施加定電位（例如， $0V$ ）。因爲位元線 $BL(1)$ - 源極線 SL 間的電阻低，低電位輸入到時鐘反相器，並輸出 $D(1)$ 成爲 High。因爲位元線 $BL(2)$ - 源極線 SL 間的電阻高，高電位輸入到時鐘反相器，並輸出 $D(2)$ 成爲 Low。

工作電位例如可以設定爲 $V_1=2V$ 、 $V_2=1.5V$ 、 $V_H=2V$ 、 $V_L=-2V$ 。

接著，對與上述寫入工作不同的寫入工作進行說明。寫入的資料與在上述寫入工作中寫入的資料相同。圖 12 是該寫入工作及讀出工作的時序圖的一個例子。

因爲在圖 10 所示的使用時序圖的寫入（第 1 列的寫入）中，將寫入時的字線 $WL(2)$ 的電位設定爲 $0V$ ，所以例如在寫入於記憶單元 $(2,1)$ 或記憶單元 $(2,2)$ 的資料爲資料“1”時，有可能在位元線 $BL(1)$ 和位元線 $BL(2)$

之間流過恒定電流。這是因為當第1列的寫入時，第2列的記憶單元所具有的第一電晶體成為導通狀態，位元線 BL (1) 與位元線 BL (2) 藉由源極線以低電阻連接的緣故。圖 12 所示的寫入工作是防止這種恒定電流的產生的方法。

首先，對第1列的信號線 S (1) 施加電位 V1，使第1列的第二電晶體處於導通狀態。另外，對第2列的信號線 S (2) 施加電位 0V，使第2列的第二電晶體處於截止狀態。

另外，對第1行的位元線 BL (1) 施加電位 V2，對第2行的位元線 BL (2) 施加電位 0V。

其結果是，記憶單元 (1,1) 的浮動閘極部 FG 被施加電位 V2，記憶單元 (1,2) 的浮動閘極部 FG 被施加電位 0V。在此，將電位 V2 設定為高於第一電晶體的臨界值的電位。並且，藉由將第1列的信號線 S (1) 的電位設定為 0V，使第1列的第二電晶體處於截止狀態，而結束寫入。

另外，在寫入工作中，將第1列的字線 WL (1) 的電位設定為 0V，將第2列的字線 WL (2) 的電位設定為電位 VL。藉由將字線 WL (2) 的電位設定為 VL，在第2列中，無論記憶單元保持有資料“0”或“1”，第一電晶體都成為截止狀態。另外，在寫入工作中，對源極線 SL 施加電位 V2。當寫入資料都是“0”時，也可以對源極線施加電位 0V。

另外，在寫入結束時，在使第1行的位元線 BL (1)

的電位變化之前將第1列的信號線 $S(1)$ 的電位設定為 $0V$ 。在寫入之後，在寫入資料“0”的情況下記憶單元的臨界值為 V_{w0} ，並且在寫入資料“1”的情況下記憶單元的臨界值為 V_{w1} 。在此， $V_{w0} > 0 > V_{w1}$ 。

在該寫入工作中，因為不進行寫入的列（在此，第2列）的記憶單元的第一電晶體處於截止狀態，所以只在進行寫入的列的記憶單元中有可能發生位元線與源極線之間的恒定電流的問題。由於在對進行寫入的列的記憶單元寫入資料“0”時，該記憶單元所具有的第一電晶體處於截止狀態，所以不發生恒定電流的問題。另一方面，當對進行寫入的列的記憶單元寫入資料“1”時，因為該記憶單元所具有的第一電晶體處於導通狀態，所以在源極線 SL 與位元線 BL （在此，位元線 $BL(1)$ ）之間有電位差的情況下，產生恒定電流。因此，藉由將源極線 SL 的電位設定為與位元線 $BL(1)$ 的電位 V_2 相同的電位，可以防止位元線與源極線之間的恒定電流。

如上所述，可知藉由該寫入工作來可以防止寫入時的恒定電流的產生。也就是說，在該寫入工作中，可以充分地抑制寫入工作時的功耗。

另外，讀出工作與上述讀出工作相同。

藉由將截止電流極為小的包含氧化物半導體的半導體裝置用於圖9所示的半導體裝置，可以在極長期間保持儲存資料。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電量。

。另外，即使沒有電力供給，也可以在較長期間保持儲存資料。

另外，在圖9所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件退化的問題。因此，在圖9所示的半導體裝置中，對改寫次數沒有限制，這是現有的非揮發性記憶體所存在的問題，所以可以顯著提高可靠性。再者，因為藉由利用電晶體的導通狀態、截止狀態進行資料的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資料的工作的優點。

此外，因為使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，所以藉由將該電晶體與使用氧化物半導體的電晶體組合而使用，可以充分地確保半導體裝置的工作（例如，資料的讀出工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以適當地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

像這樣，藉由將使用氧化物半導體以外的材料的電晶體和使用氧化物半導體的電晶體形成為一體，可以實現具有新穎的特徵的半導體裝置。

再者，在圖9所示的半導體裝置中，可以減少每一個記憶單元的佈線數目。由此，可以減少記憶單元所占的面積，並可以增大半導體裝置的單位面積的儲存容量。

以上，本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合使用。

實施例 5

在本實施例中，使用圖 13A 至 13F 而對將上述實施例所說明的半導體裝置應用於電子設備的情況進行說明。在本實施例中，說明將上述半導體裝置應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（包括可攜式遊戲機、聲音再現裝置等）、數位相機、數位攝像機等影像拍攝裝置、電子紙、電視裝置（也稱為電視或電視接收機）等的電子設備的情況。

圖 13A 示出筆記本型個人電腦，包括外殼 701、外殼 702、顯示部 703 和鍵盤 704 等。在外殼 701 和外殼 702 內部設置有儲存電路，並且在儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種其寫入和讀出資訊的速度很高，能夠較長期間保持儲存資料，並且其耗電量被充分地降低了的筆記本型個人電腦。

圖 13B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 和操作按鈕 714 等。另外，還包括用來操作可攜式資訊終端的觸屏筆 712 等。在主體 711 內部設置有儲存電路，並且在儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種其寫入和讀出資訊的速度很高，能夠較長期間保持儲存資料，並且其耗電量被充分地降低了的可攜式資訊終端。

圖 13C 示出安裝有電子紙的電子書閱讀器 720，包括外殼 721 和外殼 723 的兩個外殼。外殼 721 和外殼 723 分別設置

有顯示部 725 和顯示部 727。外殼 721 和外殼 723 由軸部 737 彼此連接，並且可以以該軸部 737 為軸進行開閉動作。另外，外殼 721 包括電源開關 731、操作鍵 733 和揚聲器 735 等。在外殼 721 和外殼 723 中的至少一個內部設置有儲存電路，並且在儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種其寫入和讀出資料的速度很高，能夠較長期間保持儲存資料，並且其耗電量被充分地降低了的電子書閱讀器。

圖 13D 示出行動電話機，包括外殼 740 和外殼 741 的兩個外殼。再者，外殼 740 和外殼 741 滑動而可以將如圖 13D 所示那樣的展開狀態成為重疊狀態，可以實現適於攜帶的小型化。另外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747、外部連接端子 748 等。此外，外殼 740 包括進行行動電話機的充電的太陽電池單元 749 和外部記憶體插槽 750 等。另外，天線被內置在外殼 741 中。在外殼 740 和外殼 741 中的至少一個內部設置有儲存電路，並且在儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種其寫入和讀出資料的速度很高，能夠較長期間保持儲存資料，並且其耗電量被充分地降低了的行動電話機。

圖 13E 示出數位相機，包括主體 761、顯示部 767、取景器 763、操作開關 764、顯示部 765 和電池 766 等。在主體 761 內部設置有儲存電路，並且在儲存電路中設置有上述實施例所示的半導體裝置。因此，可以實現一種其寫入和

讀出資料的速度很高，能夠較長期間保持儲存資料，並且其耗電量被充分地降低了的數位相機。

圖 13F 示出電視裝置 770，包括外殼 771、顯示部 773 和支架 775 等。可以藉由外殼 771 所具有的開關、遙控操作機 780 來進行電視裝置 770 的操作。外殼 771 和遙控操作機 780 安裝有上述實施例所示的半導體裝置。因此，可以實現一種其寫入和讀出資料的速度很高，能夠較長期間保持儲存資料，並且其耗電量被充分地降低了的電視裝置。

如上所述，本實施例所示的電子設備安裝有上述實施例的半導體裝置。所以，可以實現一種耗電量被降低了的電子設備。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是半導體裝置的剖面圖及平面圖；

圖 2A 至圖 2E 是根據半導體裝置的製造製程的剖面圖

；

圖 3A 至圖 3D 是根據半導體裝置的製造製程的剖面圖

；

圖 4A 至圖 4D 是根據半導體裝置的製造製程的剖面圖

；

圖 5A 至圖 5C 是根據半導體裝置的製造製程的剖面圖

；

圖 6A 和圖 6B 是半導體裝置的剖面圖及平面圖；

圖 7A 至 圖 7H 是關於用於半導體裝置的製造的半導體基板的製造製程的剖面圖；

圖 8A 至 圖 8C 是半導體裝置的電路圖；

圖 9 是半導體裝置的電路圖；

圖 10 是時序圖；

圖 11 是半導體裝置的電路圖；

圖 12 是時序圖；以及

圖 13A 至 圖 13F 是用來說明使用半導體裝置的電子設備的圖。

【主要元件符號說明】

100：支撐基板

102：絕緣層

110：單晶半導體基板

112：絕緣層

114：脆化區

116：單晶半導體層

118：單晶半導體層

120：半導體層

122：絕緣層

122a：閘極絕緣層

124：掩模

126：雜質區

128a：閘極電極

128b：導電層

130：雜質區

132：雜質區

134：通道形成區

136：絕緣層

138：絕緣層

140：絕緣層

142a：源極電極或汲極電極

142b：源極電極或汲極電極

144：氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：導電層

150：絕緣層

154：佈線

156：絕緣層

160：電晶體

162：電晶體

164：電容元件

166：電晶體

701：外殼

702：外殼

703：顯示部

704：鍵盤

- 711：主 體
- 712：觸 屏 筆
- 713：顯 示 部
- 714：操 作 按 鈕
- 715：外 部 介 面
- 720：電 子 書 閱 讀 器
- 721：外 殼
- 723：外 殼
- 725：顯 示 部
- 727：顯 示 部
- 731：電 源 開 關
- 733：操 作 鍵
- 735：揚 聲 器
- 737：軸 部
- 740：外 殼
- 741：外 殼
- 742：顯 示 面 板
- 743：揚 聲 器
- 744：麥 克 風
- 745：操 作 鍵
- 746：指 向 裝 置
- 747：照 相 用 透 鏡
- 748：外 部 連 接 端 子
- 749：太 陽 電 池 單 元

750：外部記憶體插槽

761：主體

763：取景器

764：操作開關

765：顯示部

766：電池

767：顯示部

770：電視裝置

771：外殼

773：顯示部

775：支架

780：遙控操作機

1100：記憶單元

1111：第一驅動電路

1112：第二驅動電路

1113：第三驅動電路

1114：第四驅動電路

腿4)

空白頁

104.10.12

第 100119216 號

七、申請專利範圍：

1. 一種半導體裝置，包含：

包含第一電晶體和第二電晶體的第一記憶單元，該第一電晶體和該第二電晶體至少部分彼此重疊；以及

包含第三電晶體和第四電晶體的第二記憶單元，該第三電晶體和該第四電晶體至少部分彼此重疊，

其中，該第一電晶體和該第三電晶體的每一個包含：

源極區；

汲極區；

該源極區和該汲極區之間的第一通道形成區，該第一通道形成區包含第一半導體材料；以及

該第一通道形成區之上的第一閘極電極，該第一閘極電極與該第一通道形成區之間夾有第一閘極絕緣層，

其中，該第二電晶體和該第四電晶體的每一個包含：

包含與該第一半導體材料不同的第二半導體材料的第二通道形成區；

與該第二通道形成區電連接的源極電極；

與該第二通道形成區電連接的汲極電極；以及

該第二通道形成區之上的第二閘極電極，該第二閘極電極與該第二通道形成區之間夾有第二閘極絕緣層，

其中，該源極區和該汲極區中的一者藉由第一導電層與該源極電極和該汲極電極中的一者電連接，

其中，該源極電極和該汲極電極中的另一者接觸該第一閘極電極的頂面，

其中，該源極電極和該汲極電極中的該者接觸該第一導電層的頂面，以及

其中，該第二電晶體的該源極電極和該汲極電極中的該者藉由佈線與該第四電晶體的該源極電極和該汲極電極中的該者電連接。

2.根據申請專利範圍第 1 項之半導體裝置，其中該第一導電層和該第一閘極電極是同一層的經圖案化的部分。

3.根據申請專利範圍第 1 項之半導體裝置，其中該第一閘極電極與該源極電極和該汲極電極中的該另一者電連接。

4.根據申請專利範圍第 1 項之半導體裝置，還包含與該源極電極和該汲極電極中的該另一者重疊的第二導電層，其中電容器包含該源極電極和該汲極電極中的該另一者、該第二閘極絕緣層及該第二導電層。

5.根據申請專利範圍第 1 項之半導體裝置，其中該第二通道形成區包含氧化物半導體。

6.一種半導體裝置，包含：

包含第一電晶體和在該第一電晶體之上的第二電晶體的第一記憶單元；以及

包括第三電晶體和在該第三電晶體之上的第四電晶體的第二記憶單元，

其中，該第一電晶體和該第三電晶體的每一個包含：

絕緣表面上的第一通道形成區；

該絕緣表面上的雜質區；以及

該第一通道形成區之上的第一閘極電極，該第一閘極電極與該第一通道形成區之間夾有第一閘極絕緣層，

其中，該第二電晶體和該第四電晶體的每一個包含：

包含第二通道形成區的氧化物半導體層；以及

該第二通道形成區之上的第二閘極電極，該第二閘極電極與該第二通道形成區之間夾有第二閘極絕緣層，

其中，該第一記憶單元和該第二記憶單元的每一個還包含：

與該氧化物半導體層電連接的第一電極；

與該氧化物半導體層電連接的第二電極；

與該雜質區電連接的第一導電層；以及

該第二閘極絕緣層之上的第二導電層，該第二導電層與該第一電極重疊，

其中，該第一電極接觸該第一閘極電極的頂面，

其中，該第二電極接觸該第一導電層的頂面，以及

其中，該第一記憶單元的該第二電極藉由佈線與該第二記憶單元的該第二電極電連接。

7. 根據申請專利範圍第 6 項之半導體裝置，其中該第一導電層和該第一閘極電極是同一層的經圖案化的部分。

8. 根據申請專利範圍第 6 項之半導體裝置，其中電容器包含該第一電極、該第二閘極絕緣層及該第二導電層。

9. 一種半導體裝置，包含：

絕緣表面上的第一通道形成區；

該絕緣表面上的雜質區；

該第一通道形成區和該雜質區之上的第一絕緣層；

該第一絕緣層之上的第一閘極電極，該第一閘極電極與該第一通道形成區重疊；

該第一閘極電極之上的第一電極，該第一電極接觸該第一閘極電極；

接觸該第一電極的氧化物半導體層，該氧化物半導體層包含第二通道形成區；

接觸該氧化物半導體層的第二電極；

該第二電極之下的第一導電層，該第一導電層接觸該第二電極的底面；

該氧化物半導體層、該第一電極及該第二電極之上的第二絕緣層；

該第二絕緣層之上的第二閘極電極，該第二閘極電極與該第二通道形成區重疊；

該第二絕緣層之上的第二導電層，該第二導電層與該第一電極重疊；

該第二閘極電極和該第二導電層之上的第三絕緣層；
以及

該第三絕緣層之上的佈線，該佈線與該第二電極電連接。

10.根據申請專利範圍第9項之半導體裝置，其中該第一導電層和該第一閘極電極是同一層的經圖案化的部分。

11.根據申請專利範圍第9項之半導體裝置，其中電容器包含該第一電極、該第二絕緣層及該第二導電層。

八、圖式

圖 1A

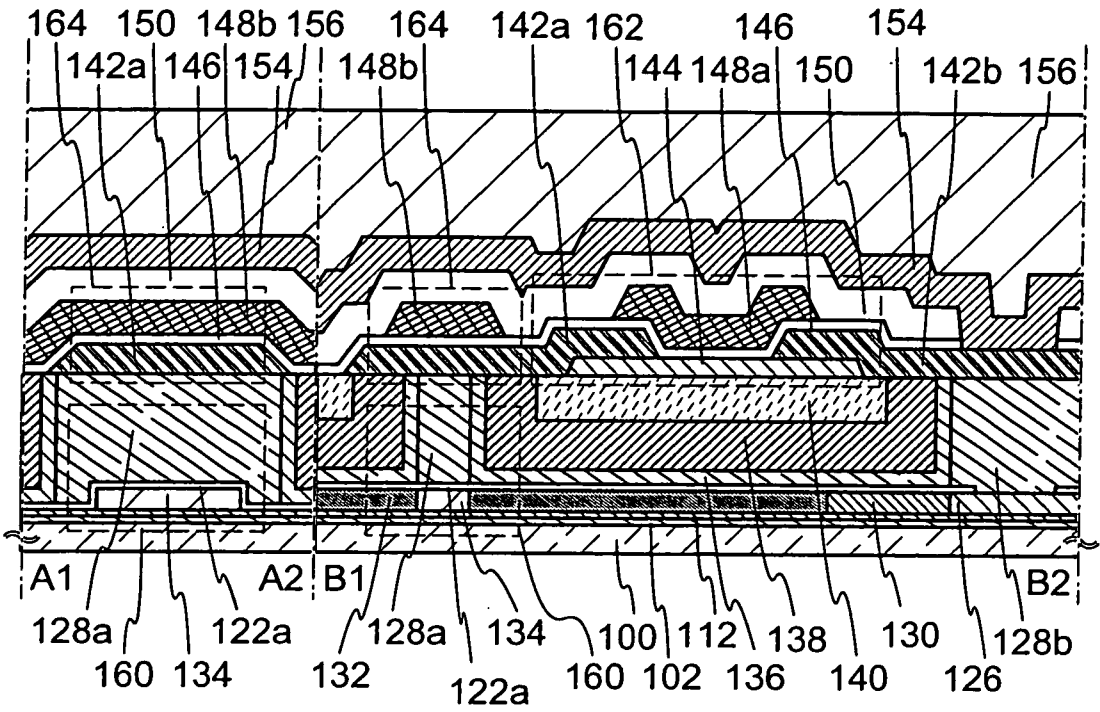


圖 1B

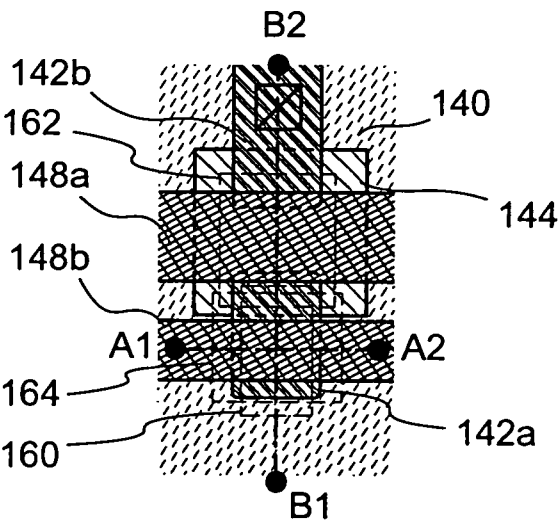


圖 2A

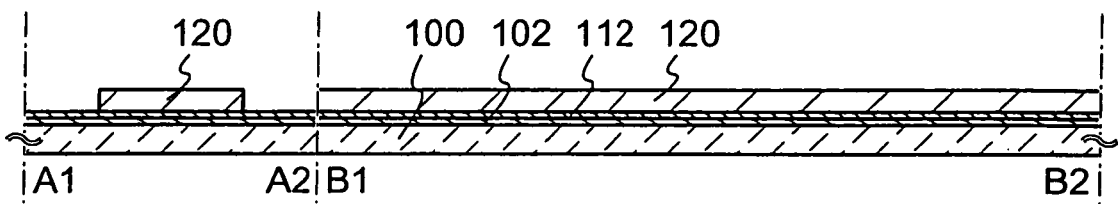


圖 2B

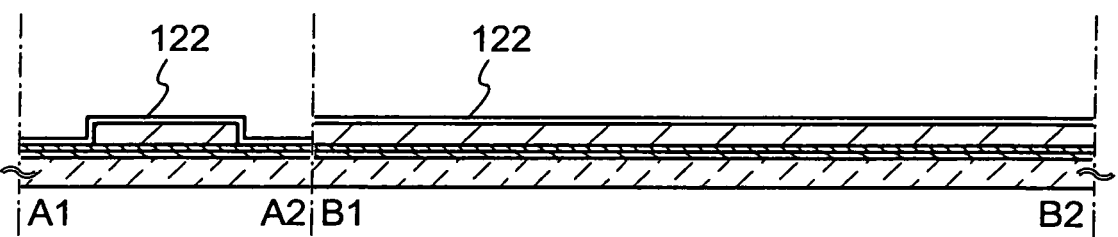


圖 2C

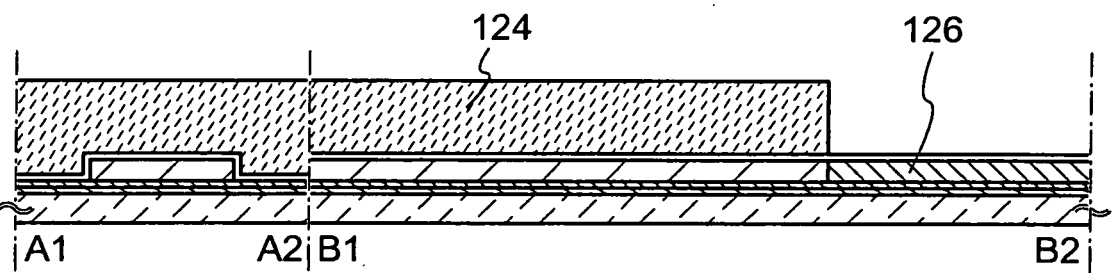


圖 2D

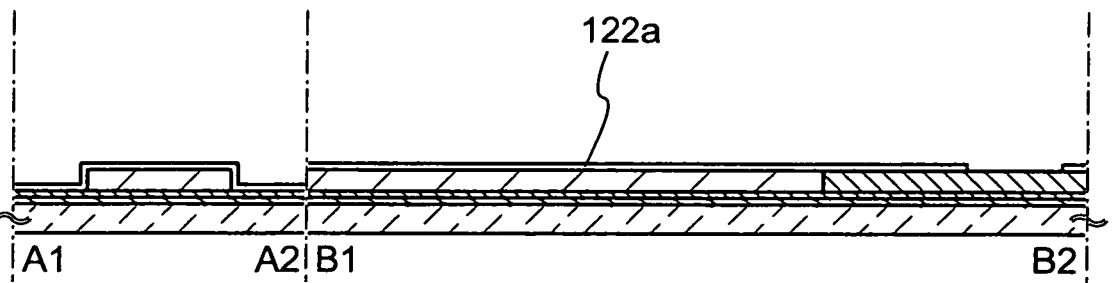


圖 2E

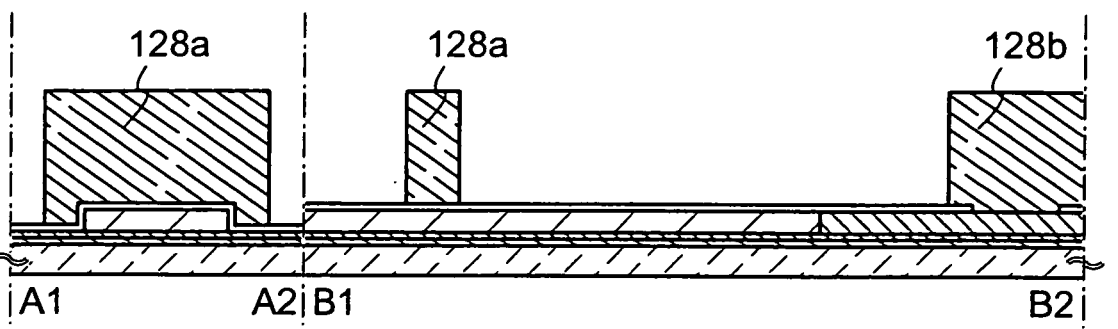


圖 3A

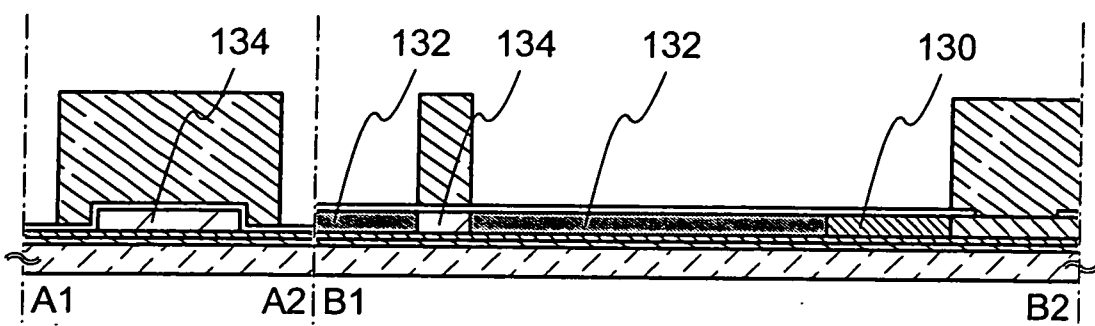


圖 3B

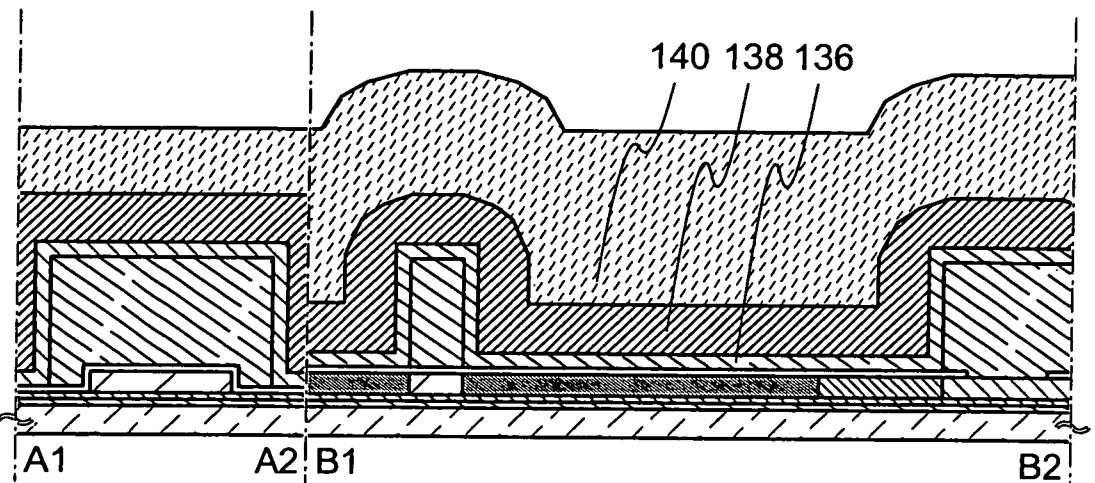


圖 3C

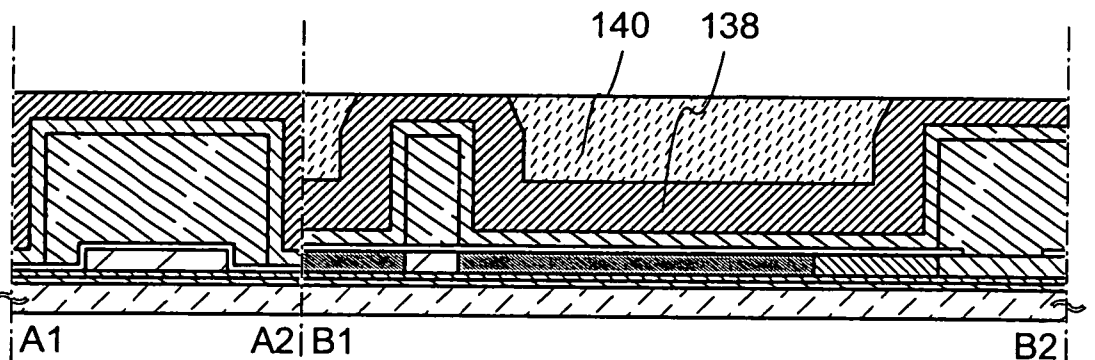


圖 3D

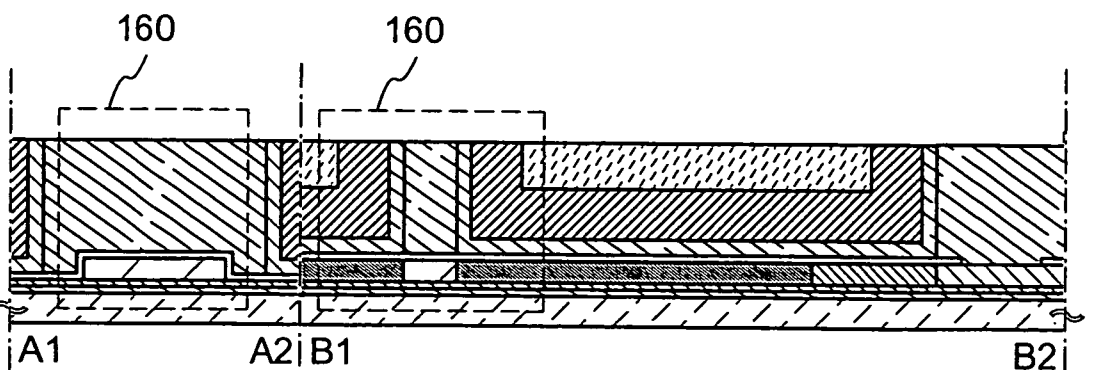


圖 4A

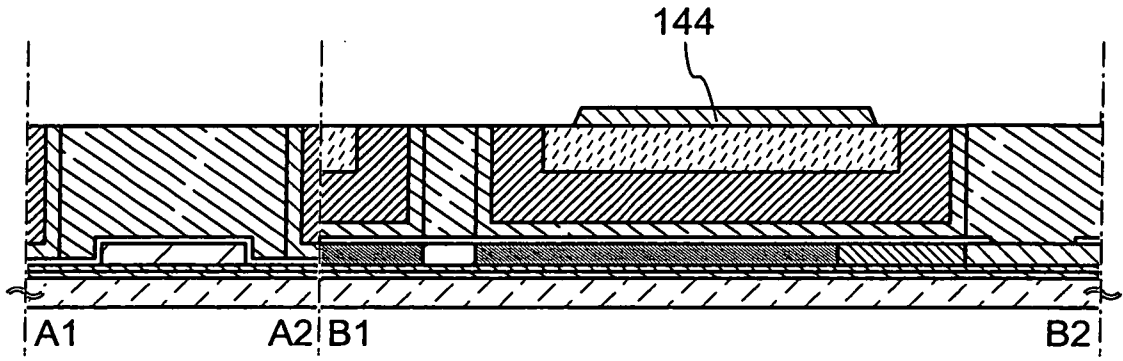


圖 4B

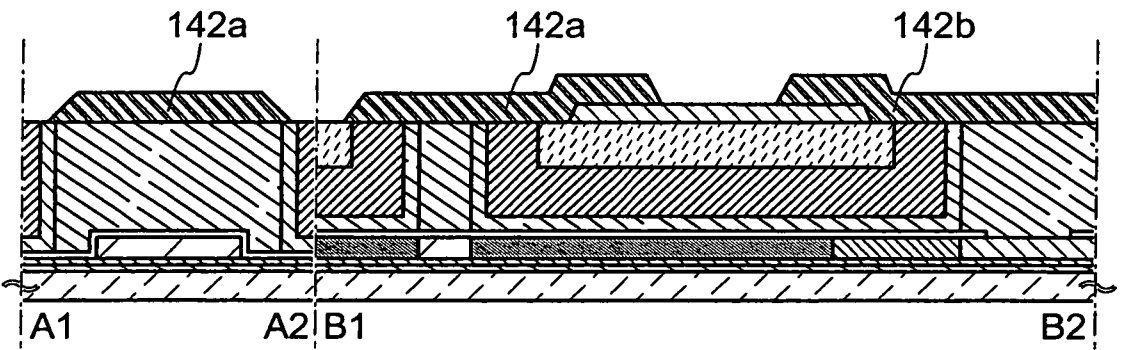


圖 4C

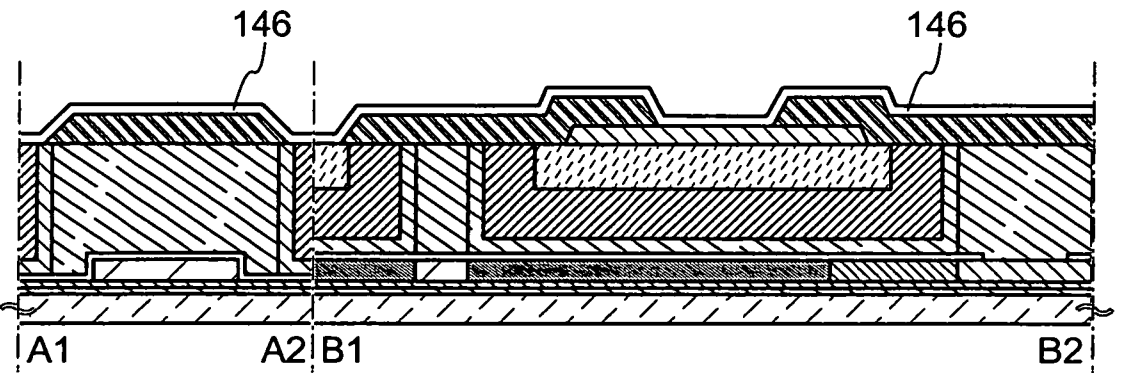


圖 4D

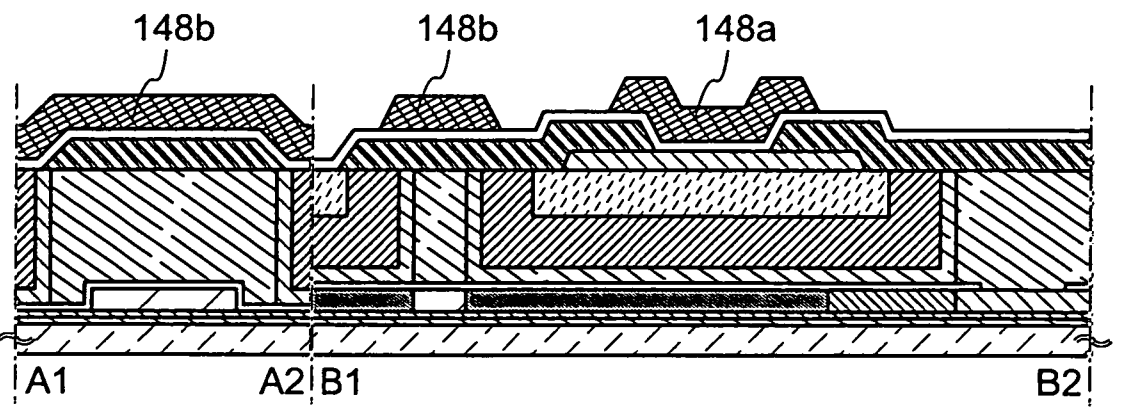


圖 5A

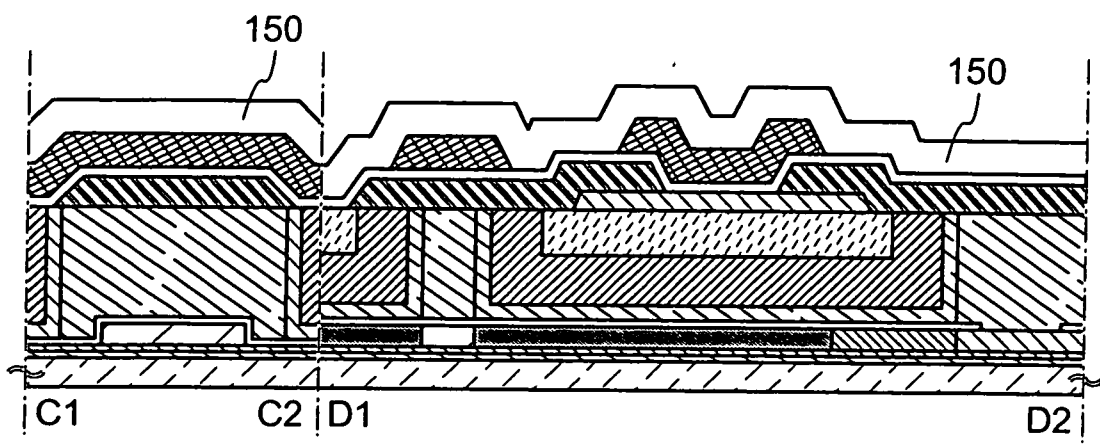


圖 5B

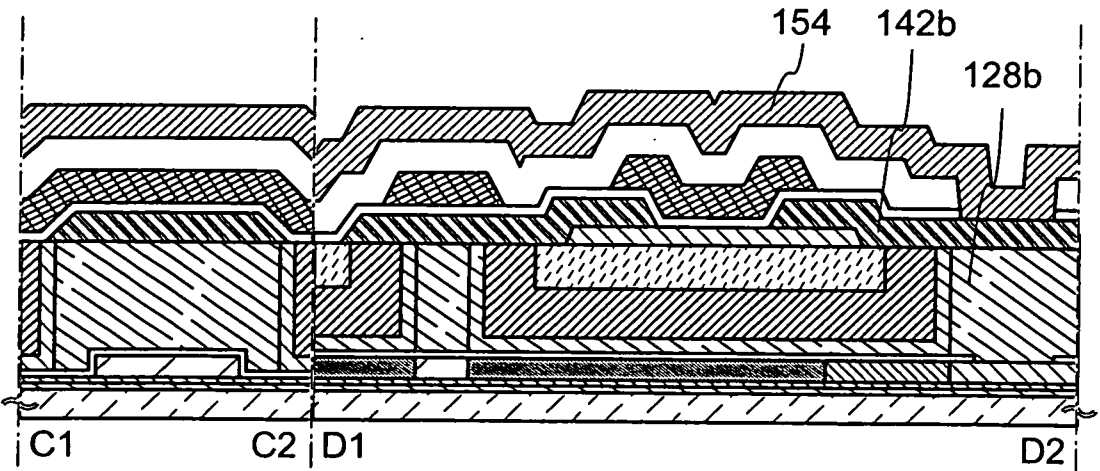


圖 5C

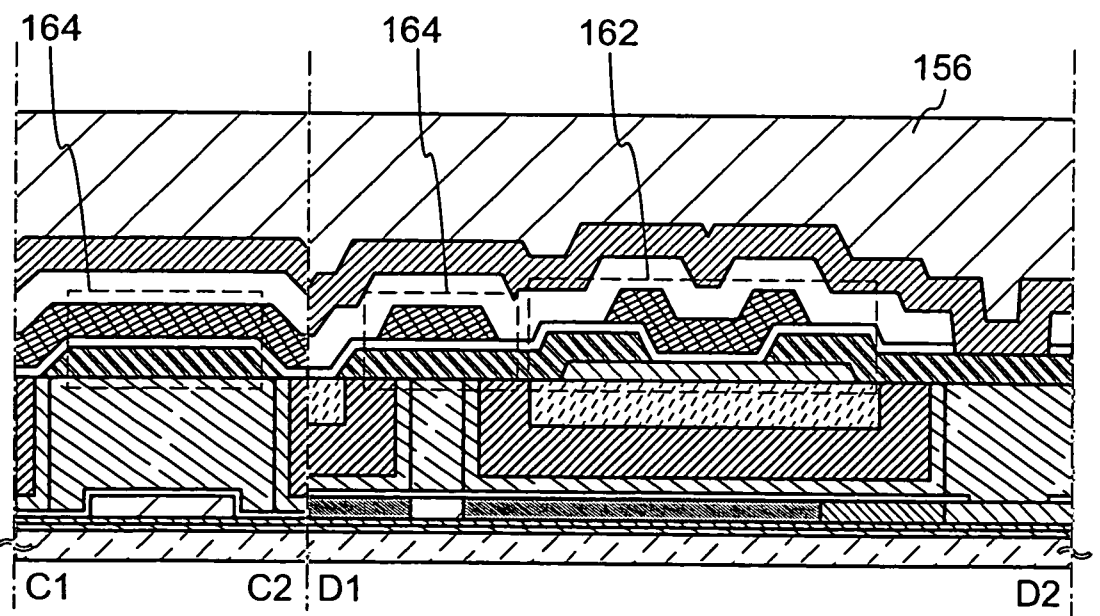


圖 6A

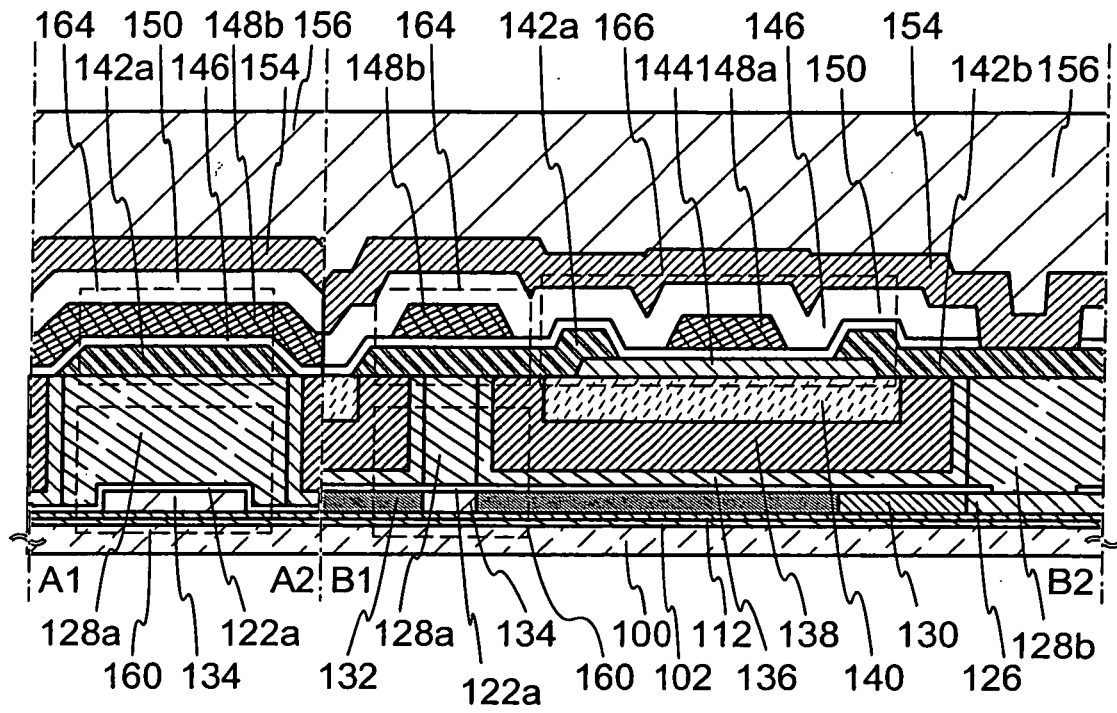


圖 6B

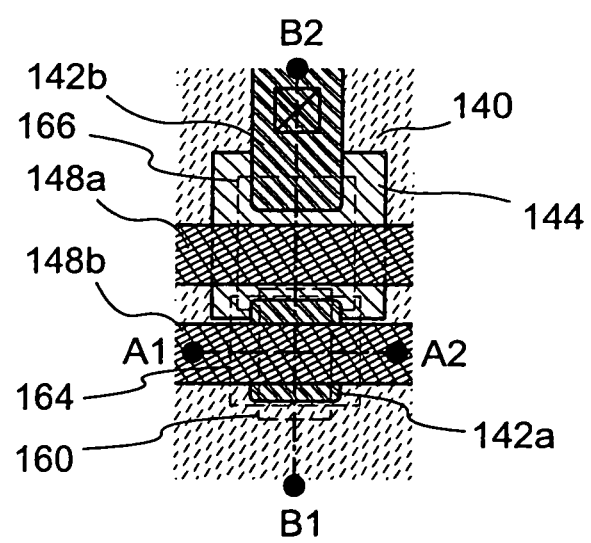


圖 7A

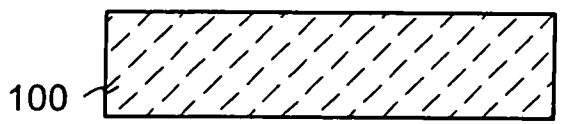


圖 7B

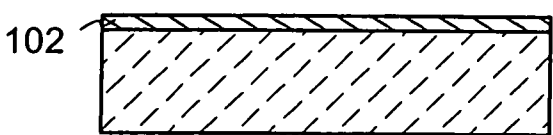


圖 7C

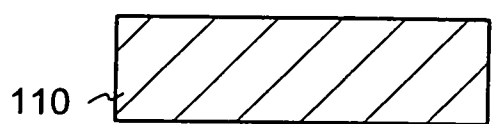


圖 7D

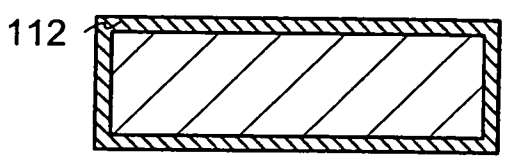


圖 7E

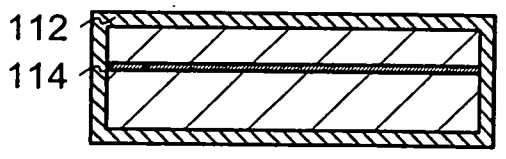


圖 7F

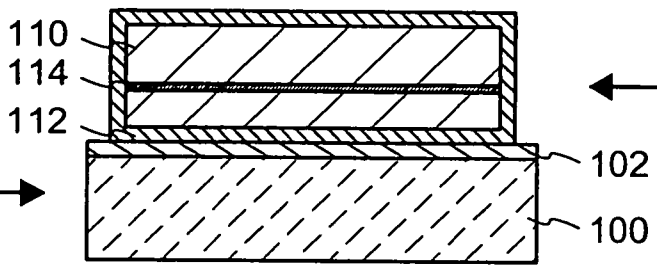


圖 7G

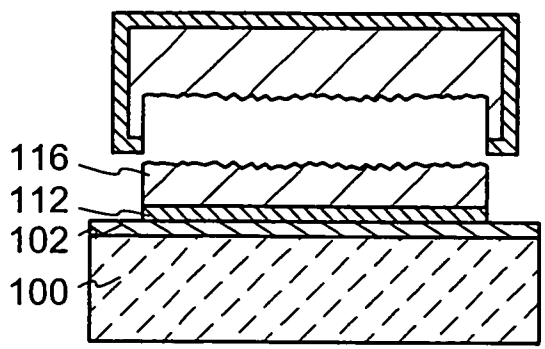


圖 7H

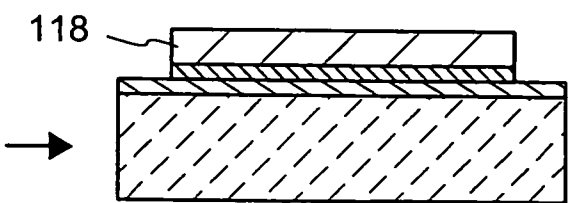


圖 8A

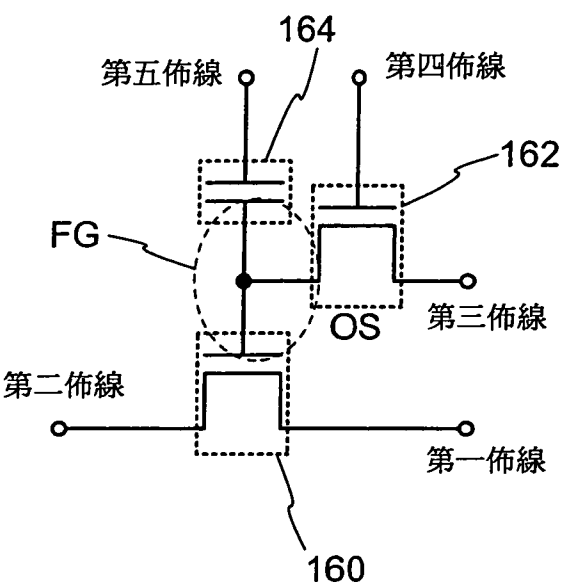


圖 8B

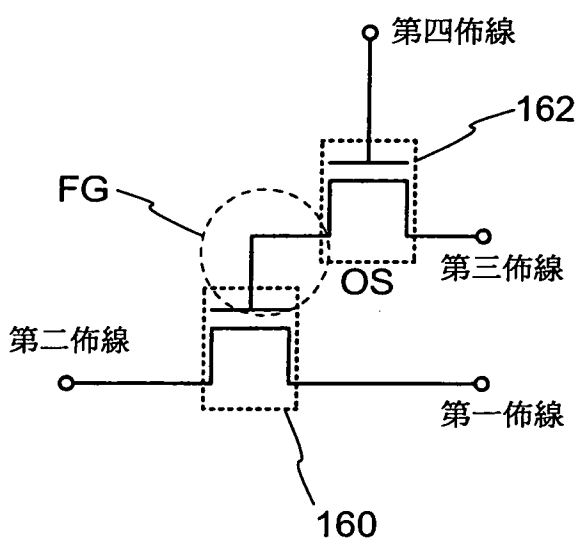


圖 8C

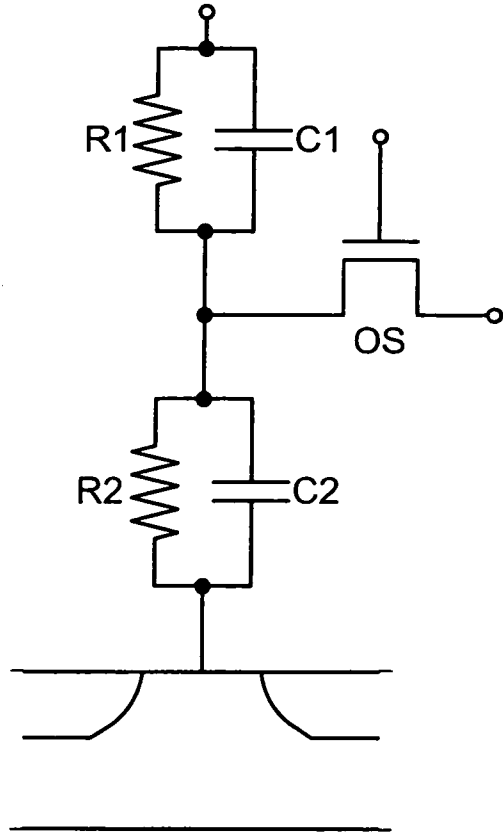


圖 9

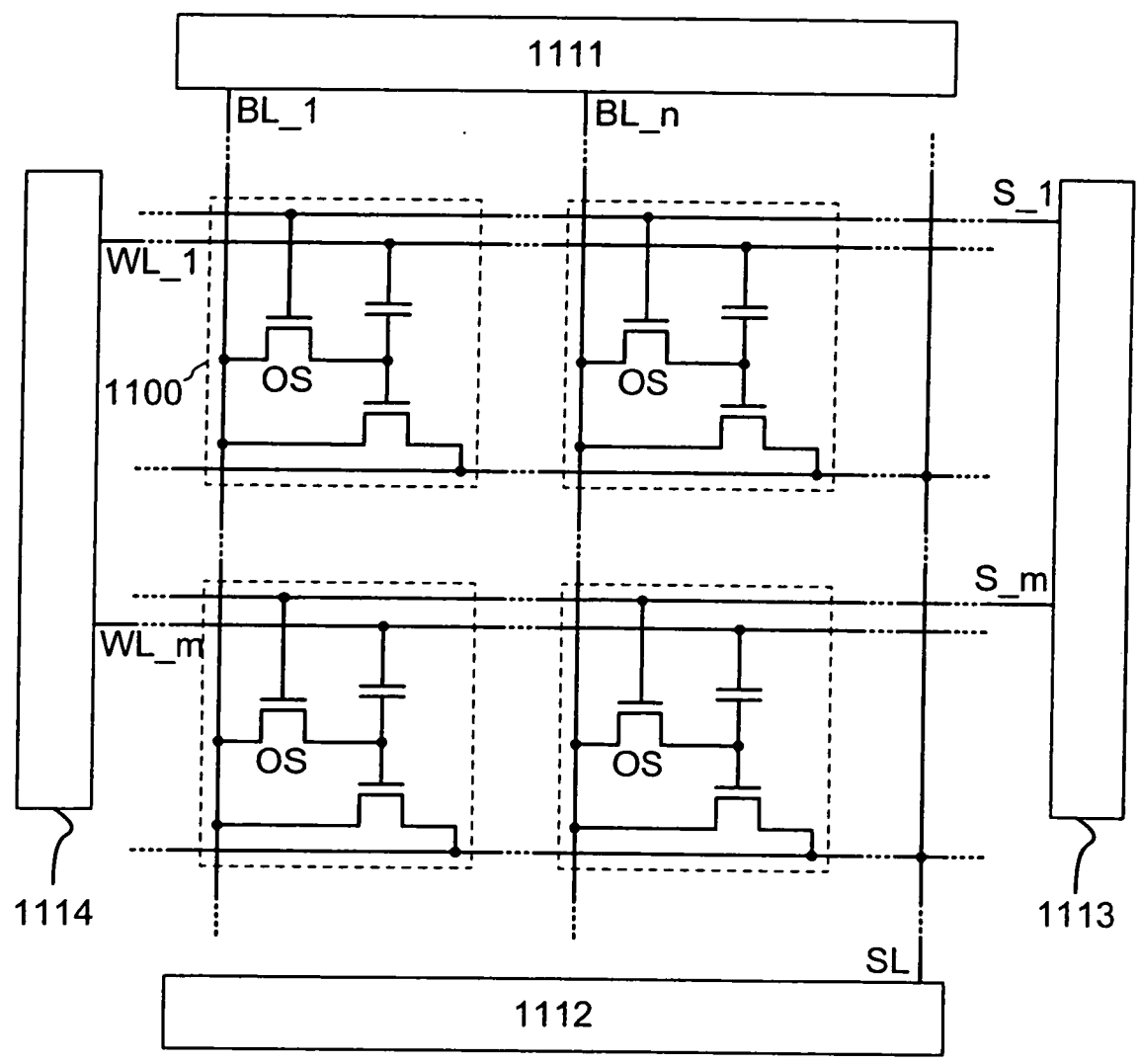


圖 10

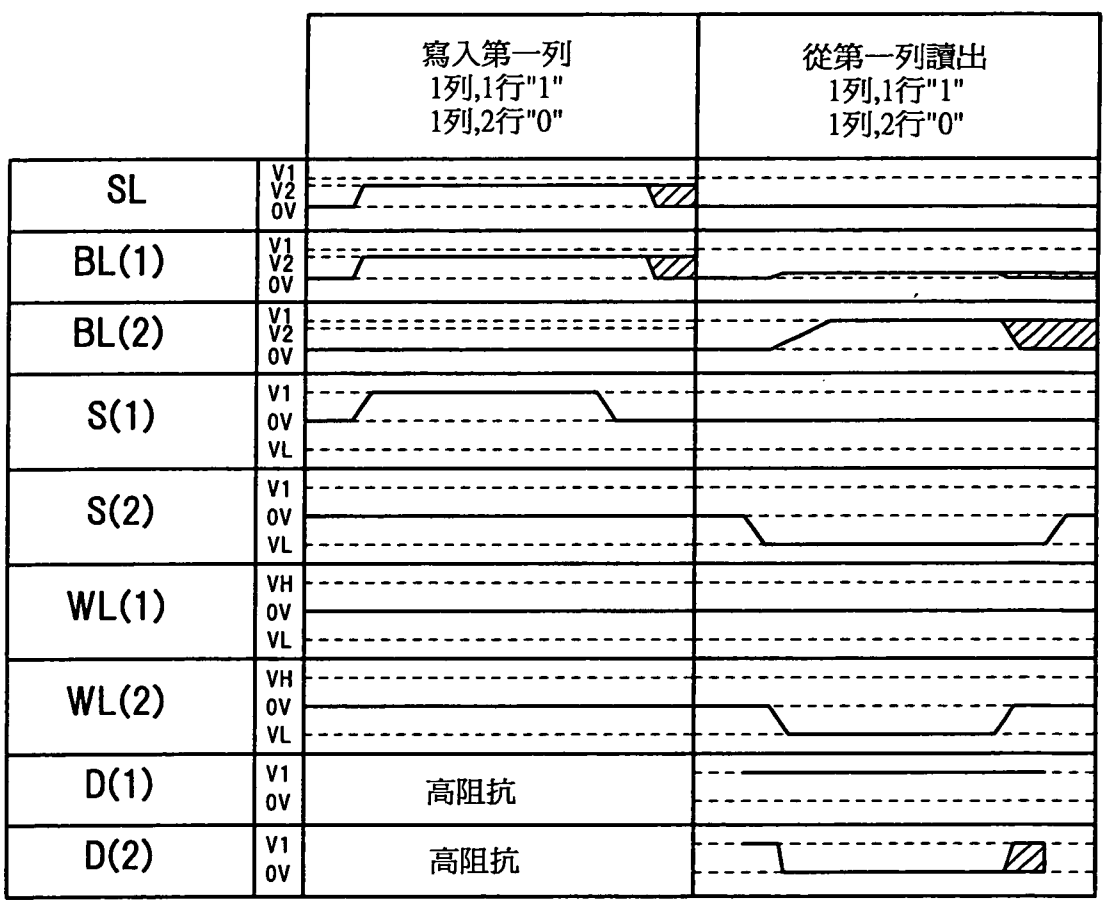


圖 11

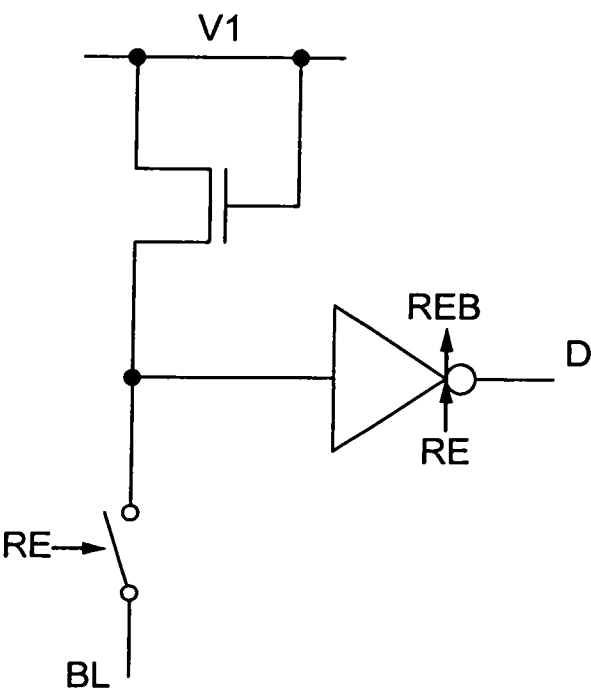


圖12

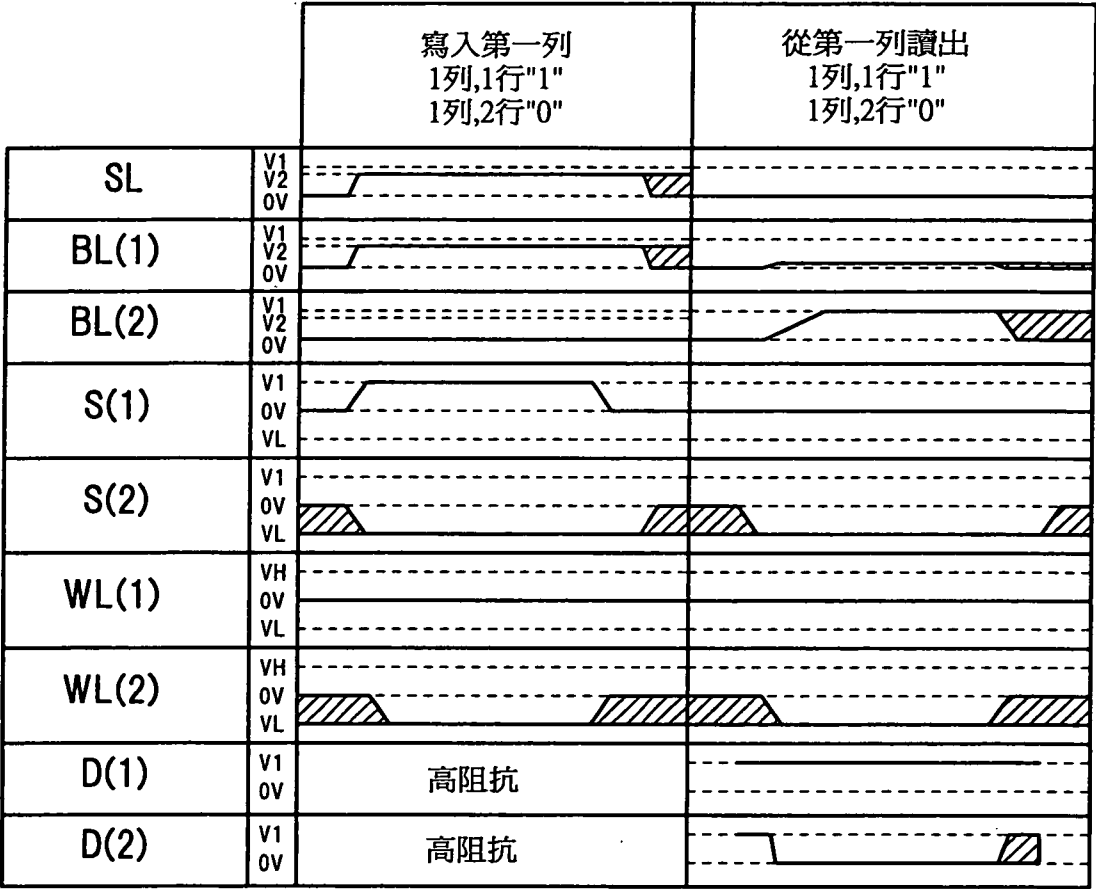


圖 13A

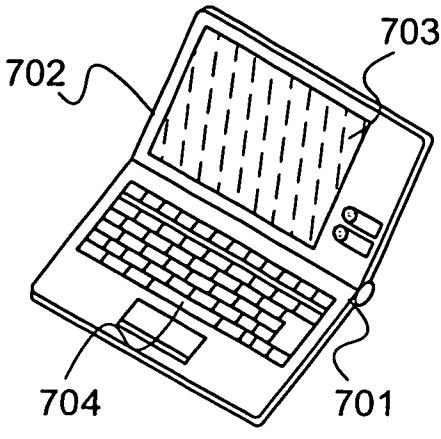


圖 13D

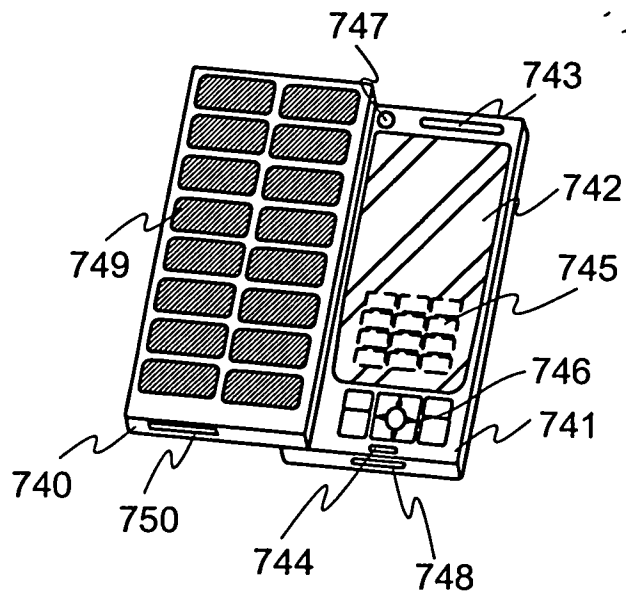


圖 13B

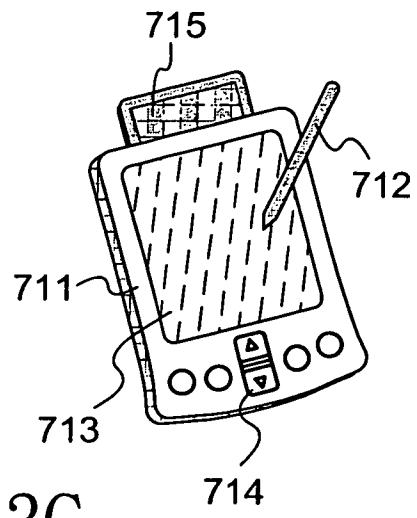


圖 13E

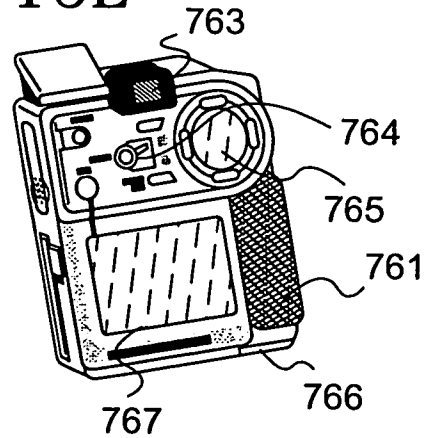


圖 13C

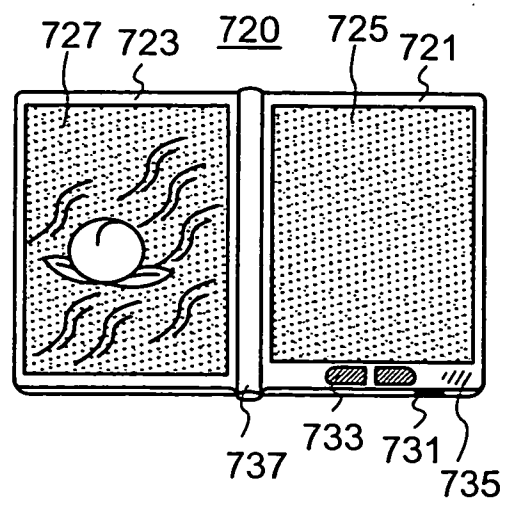


圖 13F

