



(12)发明专利

(10)授权公告号 CN 103855214 B

(45)授权公告日 2017.04.12

(21)申请号 201310394945.1

(51)Int.Cl.

(22)申请日 2013.08.30

H01L 29/78(2006.01)

(65)同一申请的已公布的文献号

H01L 21/336(2006.01)

申请公布号 CN 103855214 A

(56)对比文件

(43)申请公布日 2014.06.11

US 4949141 A, 1990.08.14,

(30)优先权数据

US 4949141 A, 1990.08.14,

101145713 2012.12.05 TW

US 2010/0155715 A1, 2010.06.24,

(73)专利权人 元太科技工业股份有限公司

US 6747313 B1, 2004.06.08,

地址 中国台湾新竹市科学工业园区力行一路3号

US 6107660 A, 2000.08.22,

审查员 靳萍萍

(72)发明人 蓝纬洲 辛哲宏

(74)专利代理机构 北京中原华和知识产权代理
有限责任公司 11019

代理人 寿宁 张华辉

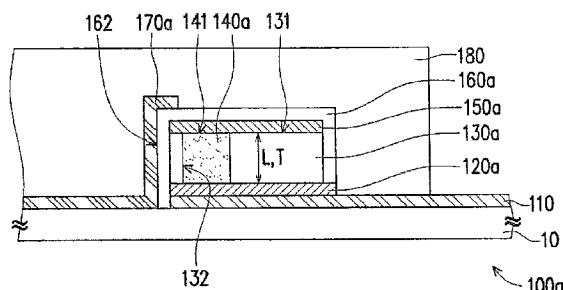
权利要求书1页 说明书8页 附图5页

(54)发明名称

半导体元件及其制作方法

(57)摘要

本发明是有关于一种半导体元件及其制作方法。半导体元件适于配置于基板上。半导体元件包括像素电极、漏极、半导体沟道层、源极、栅绝缘层以及侧边栅极。像素电极配置于基板上。漏极配置于像素电极上且暴露出部分像素电极。半导体沟道层配置于漏极上。源极配置于半导体沟道层上。栅绝缘层配置于基板上，且至少包覆源极并环绕半导体沟道层。侧边栅极配置于栅绝缘层上，且沿着栅绝缘层的至少一侧延伸覆盖于基板上。部分侧边栅极的延伸方向与漏极、半导体沟道层以及源极的堆叠方向相同。本发明提供的技术方案具有半导体沟道层的制作不受制造工艺限制，可减少沟道长度，降低操作电压，提高半导体元件的载子迁移率，提高显示器的显示品质等优点。



1. 一种半导体元件的制作方法,其特征在于包括:
形成像素电极以及位于该像素电极上方的第一金属层在基板上;
形成覆盖该基板与该第一金属层的牺牲材料层,其中该牺牲材料层具有开口,且该开口暴露出部分该第一金属层;
形成半导体材料层在该开口内且覆盖该牺牲材料层,其中该半导体材料层覆盖被该开口所暴露出的部分该第一金属层,而位于该开口内的该半导体材料层定义为半导体沟道层;
移除位于该牺牲材料层上的该半导体材料层,而暴露出该半导体沟道层的上表面;
形成源极在该半导体沟道层的该上表面上;
以该源极为刻蚀掩模,至少移除暴露于该源极之外的该牺牲材料层;
形成栅绝缘层在该基板上,该栅绝缘层至少包覆该源极并环绕该半导体沟道层;
以该栅绝缘层为刻蚀掩模,移除暴露于该栅绝缘层之外的该第一金属层而暴露出部分该像素电极,且定义出漏极;以及
形成侧边栅极在该栅绝缘层上,该侧边栅极沿着该栅绝缘层的至少一侧延伸覆盖于该基板上,其中部分该侧边栅极的延伸方向与该漏极、该半导体沟道层以及该源极的堆叠方向相同。
2. 根据权利要求1所述的半导体元件的制作方法,其特征在于其中形成该半导体材料层的方法包括溶胶凝胶法、化学气相沉积或物理气相沉积。
3. 根据权利要求1所述的半导体元件的制作方法,其特征在于其中该半导体材料层填满该开口,且该牺牲材料层的上表面与该半导体沟道层的该上表面齐平。
4. 根据权利要求3所述的半导体元件的制作方法,其特征在于其中在形成该源极时,该源极更延伸覆盖该牺牲材料层,而在移除暴露于该源极之外的该牺牲材料层后,形成牺牲层且该牺牲层包覆该半导体沟道层。
5. 根据权利要求1所述的半导体元件的制作方法,其特征在于其中在形成该源极时,该源极在该基板上的正投影面积重叠并小于该半导体沟道层在该基板上的正投影面积,而在移除暴露于该源极之外的该牺牲材料层时,移除部分该半导体材料层。
6. 根据权利要求5所述的半导体元件的制作方法,其特征在于其中该栅绝缘层包覆该源极与该半导体沟道层。
7. 根据权利要求1所述的半导体元件的制作方法,其特征在于其中该半导体沟道层的长度等于该半导体沟道层的厚度。
8. 根据权利要求1所述的半导体元件的制作方法,其特征在于其中该源极在该基板上的正投影面积重叠并小于该漏极在该基板上的正投影面积。
9. 根据权利要求1所述的半导体元件的制作方法,其特征在于更包括:在形成该侧边栅极在该栅绝缘层上之后,形成保护层以包覆该侧边栅极、该栅绝缘层、该漏极与部分该像素电极。

半导体元件及其制作方法

技术领域

[0001] 本发明涉及一种半导体元件及其制作方法,特别涉及一种具有侧边栅极(side-gate)的半导体元件及其制作方法。

背景技术

[0002] 一般显示器主要是由薄膜晶体管数组基板、彩色滤光基板与位于两基板之间的显示介质层所构成,其中薄膜晶体管数组基板具有多个以矩阵的方式排列的像素单元,每个像素单元包括薄膜晶体管以及与薄膜晶体管电性连接像素电极(pixel electrode)。薄膜晶体管是用来作为显示单元的开关元件,而薄膜晶体管的漏极电流的大小主要由沟道宽度与长度的比值决定。目前,顶栅极(top gate)式的薄膜晶体管结构或底栅极(bottom gate)式的薄膜晶体管结构的制作大都采用光刻刻蚀制造工艺(photolithography)。

[0003] 当使用光刻刻蚀制造工艺时,薄膜晶体管结构会严重地受到光刻解析度的限制(即受限于设备光源的波长),而使其内的元件无法有效地微小化。因此,薄膜晶体管的半导体沟道层的沟道长度就无法有效地缩小,而使得驱动电流无法有效地增加。再者,随着显示器的提高解析度、降低反应时间、增加开口率(aperture)等要求下,薄膜晶体管结构已逐渐朝向降低尺寸的趋势。然而,薄膜晶体管结构的微小化,将会不利于半导体沟道层的制作,因为其将不利于沟道长度的缩减,且更直接的影响到薄膜晶体管的漏极电流大小,进而影响显示器的显示品质。此外,栅极为单一平面的结构,因此对半导体沟道层而言只有单侧开关及遮光作用,无法提供全面作用。若采用双栅极的设计,则会增加制造工艺光掩模数,进而提高生产成本。因此,如何使薄膜晶体管结构的尺寸能够缩小且又可提升元件效能,已成为显示器重要的课题之一。

[0004] 由此可见,上述现有的半导体元件及其制造方法在结构、方法与使用上,显然仍存在有不便与缺陷,而亟待加以进一步改进。为了解决半导体元件存在的问题,相关厂商莫不费尽心思来谋求解决之道,但长久以来一直未见适用的设计被发展完成,而一般产品又没有适切的结构能够解决上述问题,此显然是相关业者急欲解决的问题。因此如何能创设一种不受制造工艺限制、可减少沟道长度、降低操作电压、提高载子迁移率、提高显示品质的新型的半导体元件及其制作方法,实属当前重要研发课题之一,亦成为当前业界极需改进的目标。

[0005] 有鉴于上述现有的半导体元件及其制作方法存在的缺陷,本发明人基于从事此类产品设计制造多年丰富的实务经验及专业知识,并配合学理的运用,积极加以研究创新,以期创设一种新型的半导体元件及其制作方法,能够改进一般现有的半导体元件及其制作方法,使其更具有实用性。经过不断的研究、设计,并经过反复试作样品及改进后,终于创设出确具实用价值的本发明。

发明内容

[0006] 本发明的目的在于,克服现有的半导体元件存在的缺陷,而提供一种半导体元件,

具有较佳的元件效能。

[0007] 本发明的另一目的在于，克服现有的半导体元件的制作方法存在的缺陷，而提供一种半导体元件的制作方法，用以制作上述的半导体元件。

[0008] 本发明的目的及解决其技术问题是采用以下技术方案来实现的。依据本发明提出的一种半导体元件，适于配置于基板上。半导体元件包括像素电极、漏极、半导体沟道层、源极、栅绝缘层以及侧边栅极。像素电极配置于基板上。漏极配置于像素电极上且暴露出部分像素电极。半导体沟道层配置于漏极上。源极配置于半导体沟道层上。栅绝缘层配置于基板上，且至少包覆源极并环绕半导体沟道层。侧边栅极配置于栅绝缘层上，且沿着栅绝缘层的至少一侧延伸覆盖于基板上，其中部分侧边栅极的延伸方向与漏极、半导体沟道层以及源极的堆叠方向相同。

[0009] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0010] 前述的半导体元件更包括牺牲层，配置于漏极上，其中牺牲层包覆半导体沟道层，且牺牲层的上表面与半导体沟道层的上表面齐平。

[0011] 前述的半导体元件，其中所述的源极更延伸配置于牺牲层上。

[0012] 前述的半导体元件，其中所述的源极在基板上的正投影面积重叠并小于漏极在基板上的正投影面积。

[0013] 前述的半导体元件，其中所述的栅绝缘层包覆源极与半导体沟道层。

[0014] 前述的半导体元件，其中所述的半导体元件更包括保护层，包覆侧边栅极、栅绝缘层、漏极与部分像素电极。

[0015] 本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明还提出的一种半导体元件的制作方法，其包括以下步骤。形成像素电极以及位于像素电极上方的第一金属层在基板上。形成覆盖基板与第一金属层的牺牲材料层，其中牺牲材料层具有开口，且开口暴露出部分第一金属层。形成半导体材料层在开口内且覆盖牺牲材料层，其中半导体材料层覆盖被开口所暴露出的部分第一金属层，而位于开口内的部份半导体材料层定义为半导体沟道层。移除位于牺牲材料层上的部分半导体材料层，而暴露出半导体沟道层的上表面。形成源极在半导体沟道层的上表面上。以源极为刻蚀掩模，至少移除暴露于源极之外的牺牲材料层。形成栅绝缘层在基板上，栅绝缘层至少包覆源极并环绕半导体沟道层。以栅绝缘层为刻蚀掩模，移除暴露于栅绝缘层之外的第一金属层而暴露出部分像素电极，且定义出漏极。形成侧边栅极在栅绝缘层上，侧边栅极沿着栅绝缘层的至少一侧延伸覆盖在基板上，其中部分侧边栅极的延伸方向与漏极、半导体沟道层以及源极的堆叠方向相同。

[0016] 前述的半导体元件的制作方法，其中所述的形成半导体材料层的方法包括溶胶凝胶 (So1-Ge1) 法、化学气相沉积 (Chemical Vapor Deposition, CVD) 或物理气相沉积 (Physical Vapor Deposition, PVD)。

[0017] 前述的半导体元件的制作方法，其中所述的半导体材料层填满开口，且牺牲材料层的上表面与半导体沟道层的上表面齐平。

[0018] 前述的半导体元件的制作方法，其中在形成源极时，源极更延伸覆盖牺牲层，而在移除暴露于源极之外的牺牲材料层后，形成牺牲层且牺牲层包覆半导体沟道层。

[0019] 前述的半导体元件的制作方法，其中在形成源极时，源极在基板上的正投影面积重叠并小于半导体沟道层在基板上的正投影面积，而在移除暴露于源极之外的牺牲材料层

时,移除部份半导体材料层。

[0020] 前述的半导体元件的制作方法,其中所述的栅绝缘层包覆源极与半导体沟道层。

[0021] 前述的半导体元件的制作方法,其中所述的半导体沟道层的长度等于半导体沟道层的厚度。

[0022] 前述的半导体元件的制作方法,其中所述的源极在基板上的正投影面积重叠并小于漏极在基板上的正投影面积。

[0023] 前述的半导体元件的制作方法,其中所述的半导体元件的制作方法,更包括:在形成侧边栅极在栅绝缘层上之后,形成保护层以包覆侧边栅极、栅绝缘层、漏极与部分像素电极。

[0024] 本发明与现有技术相比具有明显的优点和有益效果。借由上述技术方案,本发明半导体元件及其制作方法可达到相当的技术进步性及实用性,并具有产业上的广泛利用价值,其至少具有下列优点:

[0025] 基于上述,本发明的实施例的漏极、半导体沟道层以及源极依序垂直堆叠于基板上,因此半导体沟道层的沟道长度会等于半导体沟道层的厚度。相较于现有习知的受限于光刻解析度所形成的半导体沟道层而言,本发明的实施例的半导体沟道层的制作不受制造工艺限制且其沟道长度可有效减少。再者,由于半导体沟道层的沟道长度可相对于现有习知的技术具有较短的长度,因此本发明的实施例的半导体元件所需的操作电压可大幅降低。此外,本发明的实施例的驱动电流的流动方向与源极、半导体沟道层以及漏极的垂直堆叠方向相同,因此半导体沟道层中的电流不受晶界 (grain boundary) 的影响,可提高本发明的实施例的半导体元件的载子迁移率 (mobility)。

[0026] 综上所述,本发明半导体元件及其制作方法具有不受制造工艺限制,可减少沟道长度,降低操作电压,提高载子迁移率,提高显示器的显示品质等有益效果。本发明在技术上有显著的进步,并具有明显的积极效果,诚为一新颖、进步、实用的新设计。

[0027] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

附图说明

[0028] 图1A至图1G为本发明的一个实施例的一种半导体元件的制作方法的剖面示意图。

[0029] 图1H为图1G的半导体元件的立体示意图。

[0030] 图2A至图2D为本发明的另一个实施例的一种半导体元件的制作方法的局部步骤的剖面示意图。

[0031] 图2E为本发明的一个实施例的半导体元件的剖面示意图。

[0032] 图3A与图3B分别为本发明的两个实施例的形成半导体沟道层的剖面示意图。

【主要元件符号说明】

[0034] 10:基板 100a、100b、100c:半导体元件

[0035] 110:像素电极 120:第一金属层

[0036] 120a:漏极 130:牺牲材料层

[0037] 130a:牺牲层 131:上表面

[0038]	132:开口	140:半导体材料层
[0039]	140a、140b、140d:半导体沟道层	
[0040]	141、142:上表面	144:第一半导体材料层
[0041]	146:第二半导体材料层	144d:第一半导体沟道层
[0042]	146d:第二半导体沟道层	150a、150b、150c、150d:源极
[0043]	160a、160b、160c:栅绝缘层	162、164:一侧
[0044]	170a、170b、170c:栅极	180:保护层
[0045]	L:沟道长度	T:厚度

具体实施方式

[0046] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的半导体元件的具体实施方式、结构、制作方法、特征及其功效,详细说明如后。

[0047] 图1A至图1G为本发明的一个实施例的一种半导体元件的制作方法的剖面示意图。图1H为图1G的半导体元件的立体示意图。为了方便说明起见,图1H中省略图示部分构件。请先参阅图1A,依照本实施例的半导体元件的制作方法,首先,形成像素电极110以及位于像素电极110上方的第一金属层120在基板10上,其中像素电极110暴露出部分基板10。基板10例如是玻璃基板或塑胶基板,在此并不加以限制。像素电极110的材质例如是铟锡氧化物(Indium Tin Oxide, ITO)、铟锌氧化物(Indium Zinc Oxide, IZO)等透明导电材料或金属材料。第一金属层120的材质例如是钼铌合金、钼铌合金/铝钕合金或是钼铌合金/铝钕合金/钼铌合金。

[0048] 接着,请参阅图1B,形成覆盖基板10与第一金属层120的牺牲材料层130,其中牺牲材料层130具有开口132,且开口132暴露出部分第一金属层120。详细来说,牺牲材料层130覆盖未被像素电极110所覆盖的部分基板10,且直接延伸覆盖至第一金属层120上。此处,牺牲材料层130的材质包括光刻胶材料。

[0049] 接着,请参阅图1C,形成半导体材料层140在开口132内且覆盖牺牲材料层130,其中半导体材料层140覆盖被开口132所暴露出的部分第一金属层120,而位于开口132内的部分半导体材料层140定义为半导体沟道层140a。此处,半导体沟道层140a的形状例如是矩形立方体,请参阅图1H。形成半导体材料层140的方法例如是溶胶凝胶(So1-Ge1)法、化学气相沉积(Chemical Vapor Deposition,CVD)或物理气相沉积(Physical Vapor Deposition,PVD)。其中,溶胶凝胶法的制造工艺方式为利用旋转涂法、浸入涂布法、喷雾法、电泳法、喷墨法、滚压涂布法等方法在基板表面产生膜层。在此,形成半导体材料层140的方法是以溶胶凝胶(So1-Ge1)法为例说明,因此半导体材料层140是完全填满开口132且具有实质厚度在牺牲材料层130上。当然,在其他未图示的实施例中,若采用化学气相沉积(CVD)或物理气相沉积(PVD)的方式来形成半导体材料层,则所形成的半导体材料层会与牺牲层的表面以及开口共形(conformally)设置,即半导体材料层不会填满开口,仅会沿着开口的内壁沉积半导体材料层。此外,半导体材料层140的材质例如是非晶硅(amorphous silicon,简称a-Si)、多晶硅(poly-silicon)、有机半导体(organic semi conductor)或是金属氧化物半导体(meta l oxide semiconductor)。

[0050] 接着,请参阅图1D,移除位于牺牲材料层130上的部分半导体材料层140,而暴露出半导体沟道层140a的上表面141。此时,牺牲材料层130的上表面131与半导体沟道层140a的上表面141实质上齐平。此处,移除位于牺牲材料层130上的部分半导体材料层140的方法包括掀离制造工艺、灰化(ashing)、干式剥除法与湿式剥除法。

[0051] 接着,请再参阅图1D,形成源极150a在半导体沟道层140a的上表面141与牺牲材料层130的上表面131上,其中源极150a直接覆盖半导体沟道层140a的上表面141与牺牲材料层130的上表面131。当然,在其他未图示的实施例中,若采用化学气相沉积(CVD)或物理气相沉积(PVD)的方式来形成半导体材料层,则源极仅设置在半导体通导层的上表面上。此外,源极150a的材质可与第一金属层120的材质相同,其例如是钼铌合金、钼铌合金/铝钕合金或是钼铌合金/铝钕合金/钼铌合金。

[0052] 接着,请参阅图1E,以源极150a为刻蚀掩模,至少移除暴露于源极150a之外的牺牲材料层130,形成牺牲层130a。此时,牺牲层130a包覆半导体沟道层140a,意即半导体沟道层140a被牺牲层130a所环绕。

[0053] 之后,请参阅图1F,形成栅绝缘层160a在基板10上,其中栅绝缘层160a至少包覆源极150a并环绕半导体沟道层140a。此处,栅绝缘层160a包覆源极150a与牺牲层130a。此外,栅绝缘层160a的材质例如是氧化硅(SiO₂)、氮化硅(SiNx)或是聚合物(Polymer)。

[0054] 最后,请参阅图1G,以栅绝缘层160a为刻蚀掩模,移除暴露于栅绝缘层160a之外的第一金属层120而暴露出部分像素电极110,且定义出漏极120a。此处,源极150a在基板10上的正投影面积重叠并小于漏极120a在基板10上的正投影面积。接着,形成侧边栅极170a在栅绝缘层160a上,其中侧边栅极170a沿着栅绝缘层160a的至少一侧162延伸覆盖于基板10上,且部分侧边栅极170a的延伸方向与漏极120a、半导体沟道层140a以及源极150a的垂直堆叠方向相同。此处,侧边栅极170a是由位于源极150a上方的栅绝缘层160a沿着栅绝缘层160a的一侧162延伸覆盖至基板10上。当然,为了使元件具有较佳的元件特性,亦可在形成侧边栅极170a在栅绝缘层160a上之后,选择性地形成保护层180以包覆侧边栅极170a、栅绝缘层160a、漏极120a与部分像素电极110。至此,已大致完成半导体元件100a的制作。

[0055] 在结构上,请参阅图1G与图1H,本实施例的半导体元件100a适于配置于基板10上,其中半导体元件100a包括像素电极110、漏极120a、牺牲层130a、半导体沟道层140a、源极150a、栅绝缘层160a以及侧边栅极170a。像素电极110配置于基板10上。漏极120a配置于像素电极110上且暴露出部分像素电极110,而牺牲层130a与半导体沟道层140a配置于漏极120a上,且源极150a配置于半导体沟道层140a与牺牲层130a上。也就是说,漏极120a、半导体沟道层140a与源极150a依序堆叠于像素电极110上。牺牲层130a包覆半导体沟道层140a,且牺牲层130a的上表面131与半导体沟道层140a的上表面141实质上齐平。此时,源极150a在基板10上的正投影面积重叠并小于漏极120a在基板10上的正投影面积。栅绝缘层160a配置于基板10上,且包覆源极150a与牺牲层130a并环绕半导体沟道层140a。侧边栅极170a配置于栅绝缘层160a上,且沿着栅绝缘层160a的一侧162延伸覆盖于基板10上,其中部分侧边栅极170a的延伸方向与漏极120a、半导体沟道层140a以及源极150a的垂直堆叠方向相同。当然,为了使元件具有较佳的元件特性,本实施例的半导体元件100a更可选择性地包括保护层180,其中保护层180包覆侧边栅极170a、栅绝缘层160a、漏极120a与部分像素电极110。

[0056] 由于本实施例是以牺牲材料层130的开口132作为对位标志,而通过溶胶凝胶

(So₁-Ge₁)法、化学气相沉积(CVD)或物理气相沉积(PVD)等方式将半导体沟道层140a形成于其内。相较于现有习知的半导体沟道层采用光刻刻蚀制造工艺(photolithography)而受限于光刻解析度而言,本实施例的半导体沟道层140a的制作可不受光刻解析度制造工艺限制且可随不同需求来调整。再者,本实施例的漏极120a、半导体沟道层140a以及源极150a依序垂直堆叠于像素电极110上,因此半导体沟道层140a的沟道长度L会等于半导体沟道层140a的厚度T。故,本实施例的半导体沟道层140a的沟道长度L不受光刻解析度制造工艺限制,即可依据需求而可有效减少,因此本实施例的半导体元件100a所需的操作电压可大幅降低。

[0057] 此外,当半导体元件100a导通时,源极150a与漏极120a之间会形成沟道区,而驱动电流(driving current)便借由沟道区自源极150a流至漏极120a。传统上,半导体沟道层140a中存在着与驱动电流的方向互相垂直的晶界(grain boundary),而这些晶界会对沟道区中的驱动电流造成阻碍,且阻碍的程度会随着晶界个数的增加而提高。然而,在本实施例中,由于驱动电流的流动方向与源极150a、半导体沟道层140a以及漏极120a的垂直堆叠方向相同,即两个方向相互平行,因此流入半导体沟道层140a中的电流不受晶界的影响,可提高本实施例的半导体元件100a的载子迁移率(mobility)。

[0058] 在此必须说明的是,下述实施例沿用前述实施例的元件标号与部分内容,其中采用相同的标号来表示相同或近似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参阅前述实施例,下述实施例不再重复赘述。

[0059] 图2A至图2D为本发明的另一个实施例的一种半导体元件的制作方法的局部步骤的剖面示意图。请先同时参阅图2D与图1G,图2D的半导体元件100b与图1G的半导体元件100a相似,其不同之处在于:半导体元件100b没有图1G的半导体元件100a的牺牲层130a。也就是说,本实施例的半导体元件100b的源极150b仅位于半导体沟道层140b上,且栅绝缘层160b直接包覆源极150b与半导体沟道层140b。侧边栅极170b是由位于源极150b上方的栅绝缘层160b沿着栅绝缘层160b的一侧164延伸覆盖至基板10上。

[0060] 在制造工艺上,本实施例的半导体元件100b可以采用与前述实施例的半导体元件100a大致相同的制作方式,且在图1D的移除位于牺牲材料层130上的部分半导体材料层140之后,参阅图2A,形成源极150b在半导体沟道层140b的上表面142上。此时,源极150b在基板10上的正投影面积重叠并小于半导体沟道层140b在基板10上的正投影面积,也就是说,源极150b并未完全覆盖半导体沟道层140b的上表面142。

[0061] 接着,请参阅图2B,以源极150b为刻蚀掩模,移除暴露于源极150b之外的牺牲材料层130与部分半导体沟道层140b。此时,半导体沟道层140b的侧边与源极150b的侧边实质上切齐。之后,请参阅图2C,形成栅绝缘层160b在基板10上,其中栅绝缘层160b覆源极150b与半导体沟道层140b,并环绕半导体沟道层140b。最后,以栅绝缘层160b为刻蚀掩模,移除暴露于栅绝缘层160b之外的第一金属层120而暴露出部分像素电极110,且定义出漏极120b。此处,源极150b在基板10上的正投影面积重叠并小于漏极120b在基板10上的正投影面积。接着,形成侧边栅极170b在栅绝缘层160b上,其中侧边栅极170b沿着栅绝缘层160b的至少一侧164延伸覆盖于基板10上,且部分侧边栅极170b的延伸方向与漏极120b、半导体沟道层140b以及源极150b的垂直堆叠方向相同。当然,为了使元件具有较佳的元件特性,亦可在形成侧边栅极170b在栅绝缘层160b上之后,选择性地形成保护层180以包覆侧边栅极170b、栅

绝缘层160b、漏极130b与部分像素电极110。至此,已大致完全半导体元件100b的制作。

[0062] 由于本实施例的漏极120b、半导体沟道层140b以及源极150b依序垂直堆叠于像素电极110上,因此半导体沟道层140b的沟道长度L会等于半导体沟道层140b的厚度T。故,本实施例的半导体沟道层140b的沟道长度L不受光刻解析度制造工艺限制,即可依据需求而可有效减少,因此本实施例的半导体元件100b所需的操作电压可大幅降低。此外,由于本实施例的驱动电流的流动方向与源极150b、半导体沟道层140b以及漏极120b的垂直堆叠方向相同,即两个方向相互平行,因此流入半导体沟道层140b中的电流不受晶界的影响,可提高本实施例的半导体元件100b的载子迁移率(mobility)。

[0063] 值得一提的是,本发明并不限定侧边栅极170b的配置位置,虽然此处所提及的侧边栅极170b具体化为由源极150b上方的栅绝缘层160b沿着栅绝缘层160b的一侧164延伸覆盖至基板10上。但,在其他实施例中,请参阅图2E,侧边栅极170c亦可由包覆且环绕半导体沟道层140b的周围,此仍属于本发明可采用的技术方案,不脱离本发明所欲保护的范围。

[0064] 需说明的是,本发明亦并不限定半导体沟道层140a、140b的结构形态,虽然此处所提及的半导体沟道层140a、140b具体化为单层结构。但,在其他实施例中,请参阅图3A,采用化学气相沉积(CVD)或物理气相沉积(PVD)的方式来形成第一半导体材料层144以及堆叠于其上的第二半导体材料层146,其中所形成第一半导体材料层144与第二半导体材料层146会与牺牲层130的表面131以及开口132共形(conformally)设置,即第一半导体材料层144与第二半导体材料层146并不会填满开口,仅会沿着开口132的内壁沉积第一半导体材料层144与第二半导体材料层146。之后,源极150c设置于开口132内,且以源极150c为刻蚀掩模,移除暴露于源极150c之外的第一半导体材料层144与第二半导体材料层146,即可形成位于漏极上的半导体沟道层。也就是说,本实施例的半导体沟道层是由第一半导体材料层144与第二半导体材料层146所组成。此处,第一半导体材料层144例如是n型半导体材料层,而第二半导体材料层146例如是p型半导体材料层。

[0065] 或者是,请参阅图3B,可通过溶胶凝胶(SoI—GeI)法来形成半导体沟道层140d,其中此处的半导体沟道层140d是由第一半导体沟道层144d以及堆叠于其上的第二半导体沟道层146d所组成,而源极150d配置于第二半导体沟道层144d上且完全覆盖该第二半导体沟道层144d。此处,第一半导体沟道层144d例如是n型半导体沟道层,而第二半导体沟道层146d例如是p型半导体沟道层。上述实施例仍属于本发明可采用的技术方案,不脱离本发明所欲保护的范围。

[0066] 综上所述,本发明的实施例的漏极、半导体沟道层以及源极依序垂直堆叠于基板上,因此半导体沟道层的沟道长度会等于半导体沟道层的厚度。相较于现有习知的受限于光刻解析度所形成的半导体沟道层而言,本发明的实施例的半导体沟道层的制作不受制造工艺限制且其沟道长度可有效减少。再者,由于半导体沟道层的沟道长度可相对于现有习知的技术具有较短的长度,因此本发明的实施例的半导体元件所需的操作电压可大幅降低。此外,本发明的实施例的驱动电流的流动方向与源极、半导体沟道层以及漏极的垂直堆叠方向相同,因此半导体沟道层中的电流不受晶界的影响,可提高本发明的实施例的半导体元件的载子迁移率。

[0067] 以上所述,仅是本发明的较佳实施例而已,并非对本发明做任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人

员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容做出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围内。

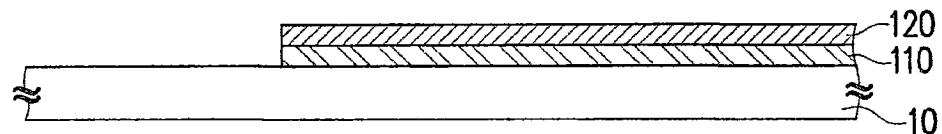


图1A

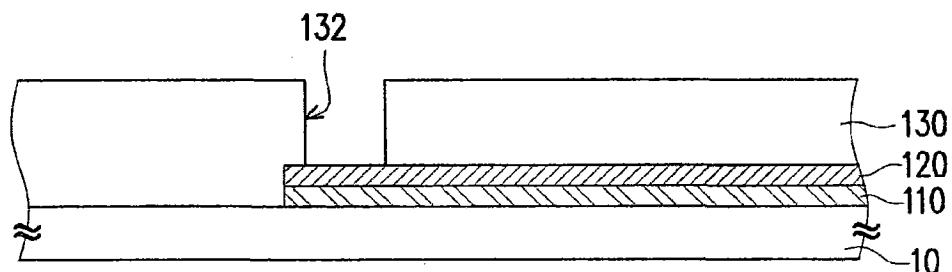


图1B

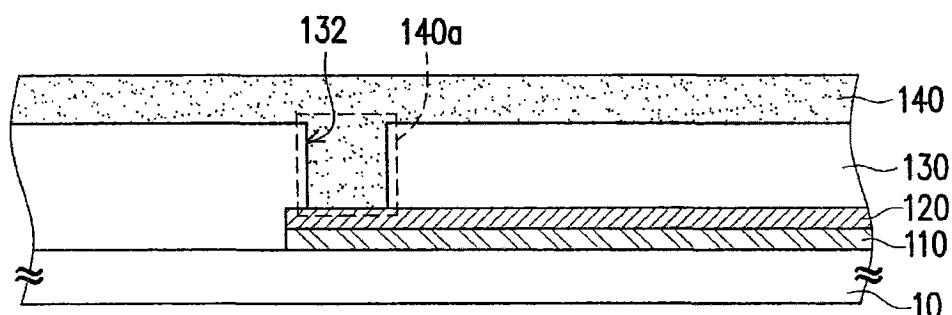


图1C

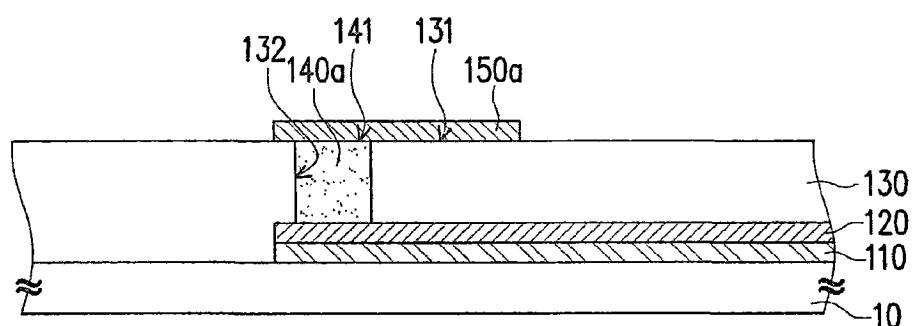


图1D

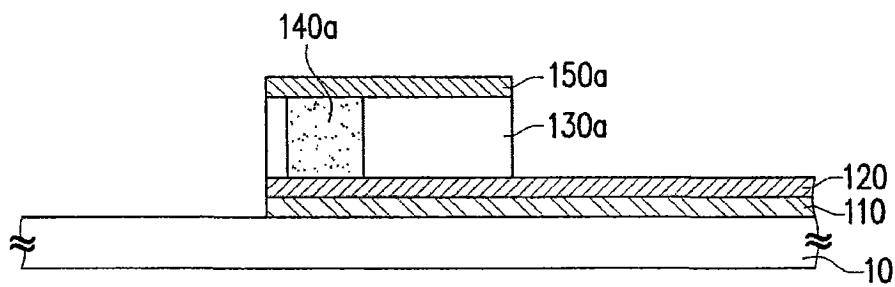


图1E

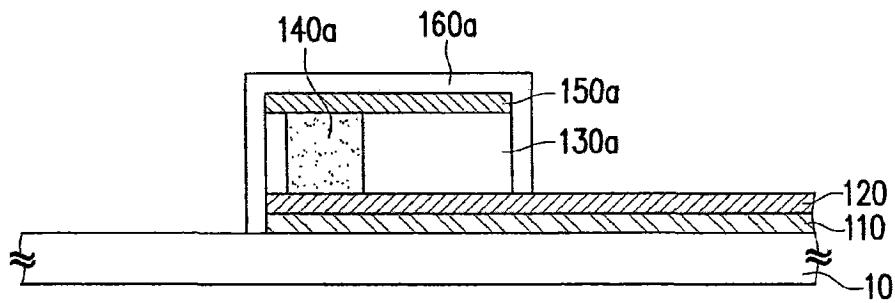


图1F

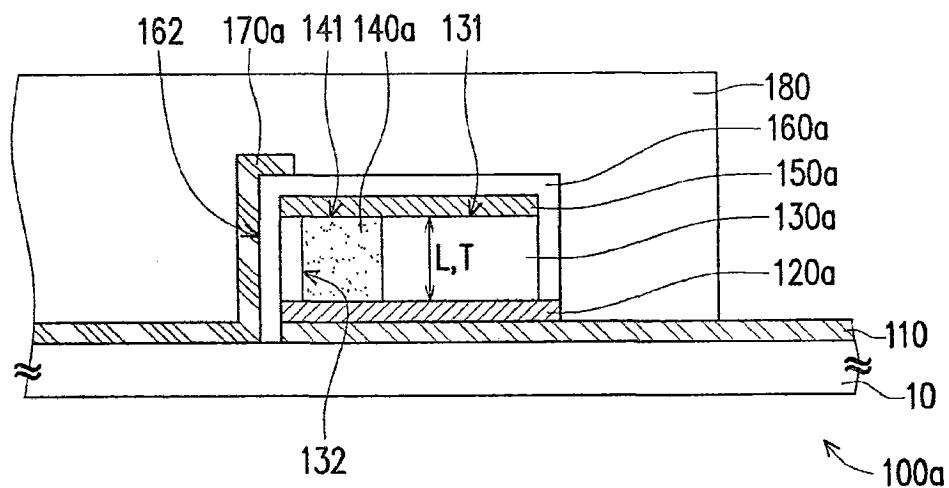


图1G

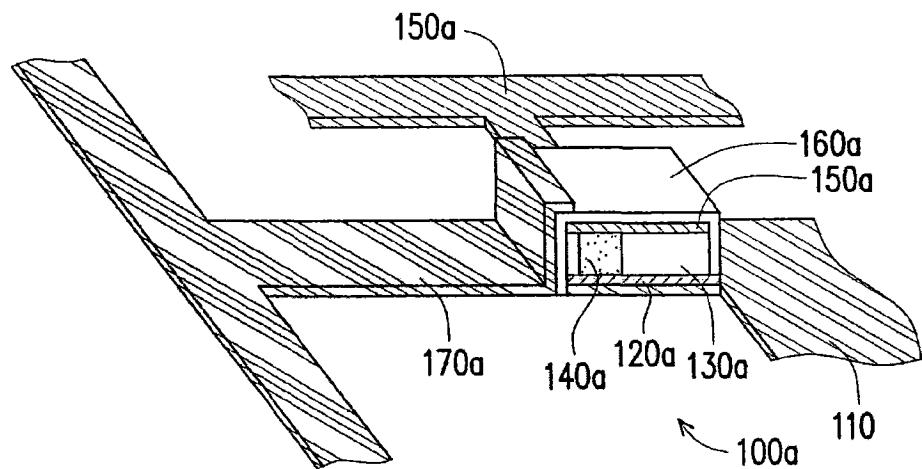


图1H

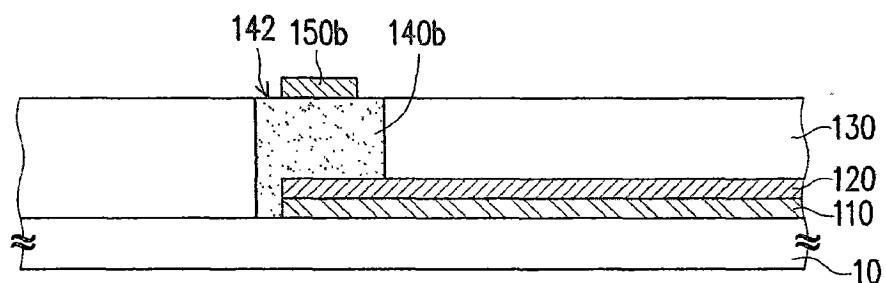


图2A

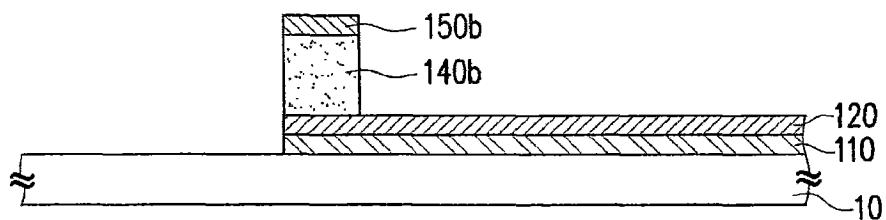


图2B

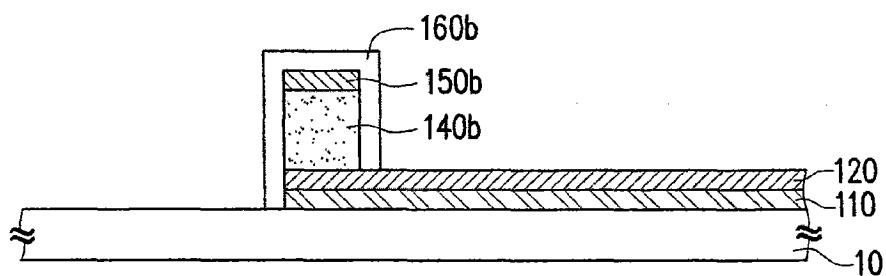


图2C

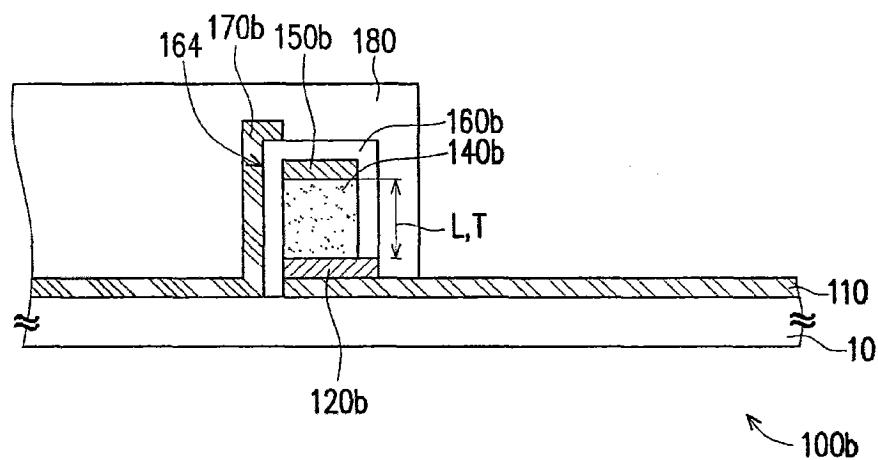


图2D

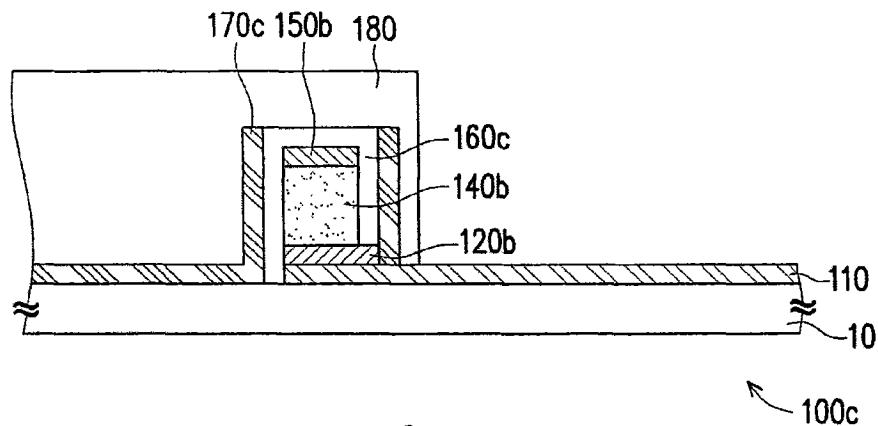


图2E

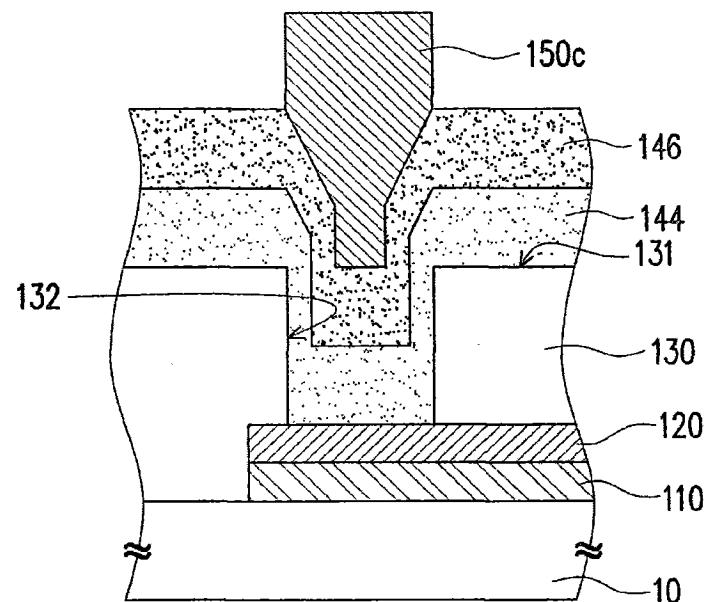


图3A

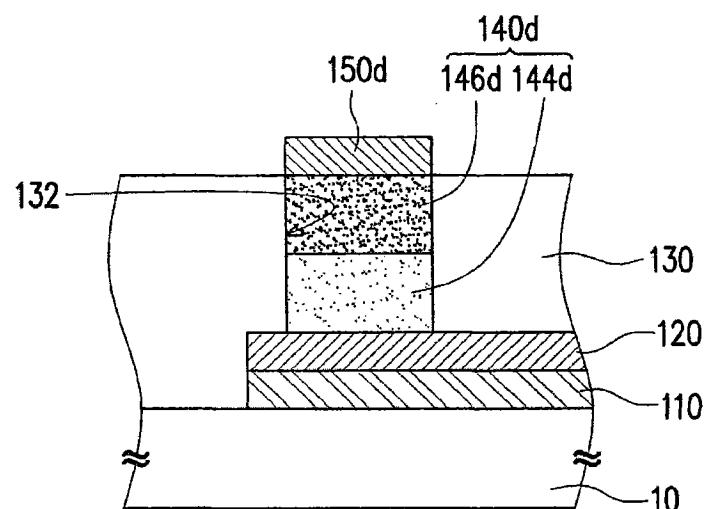


图3B