



카운터(5)의 두 입력단(P),(T)에 입력되도록 하고, 상기 동기 카운터(4)의 출력단 (OB),(OC),(OD),(OAB)과 상기 동기카운터(5)의 출력단(OA),(OBB),(OBC),(OBD)을 앤드게이트(6)에서 논리곱한 신호가 입력단(K)으로 입력되도록 한 JK플립플롭(8)의 입력단(J)에는 상기 앤드게이트(2)의 출력이 인가되도록 하면서 클럭단(CK)으로는 클럭이 인가되도록 하고, 상기 동기카운터(5)의 출력단(OA),(OB),(OC),(OD)의 신호가 오아게이트(7)에서 논리합 되도록 한 수평동기 펄스검출부(200)와; 상기 수평동기펄스검출부(200)의 오아게이트(7)에서는 입력단(D)으로 직접인가되도록 하면서 JK플립 플롭(8)의 출력단(Q)에서는 외부로 부터의 수평동기신호와 앤드게이트(9)에서 논리곱된 후 클럭단 (CK)으로 인가되는 D플립플롭(10)의 출력단(Q)으로 기수와 우수의 필드를 판단한 출력이 출력되도록 한 필드검출부(300)들로 구성된 것이다.

그리고 상기 JK플립플롭(3)(8)의 리세트단자(R)에는 리세트 신호가 인버터(11)에 의해 반전되어 인 가되도록 하면서 D플립플롭(10)의 리세트단자(RE)에는 리세트 신호가 직접인가되도록 한다.

상술한 바와같이 구성된 본 발명회로의 동작설명을 제1도와 제2도를 참조하여 상세히 설명한다.

본 발명의 회로동작은 수직동기 펄스구간을 인식하는 것부터 시작한다. 따라서, 수직동기 펄스구간 신호를 인식한 후 수직동기 펄스구간의 처음부터 수평동기 펄스신호를 만날때까지의 기수 필드일때 와 우수 필드일때와의 시간차이를 계산하여 기수필드인지 우수필드일때와의 시간차이를 계산하여 기 수필드인지 우수필드인지를 판단하는 것이다.

복합동기신호의 수직동기구간을 로우레벨이 27 $\mu$ sec정도이고 하이레벨이 4.75 $\mu$ sec정도이므로 수직 동기검출부(100)의 동기 카운터(1)는 클럭신호에 대해 카운트를 시작하여 카운터값이 "8"이 되었을 때 앤드게이트(2)의 출력이 하이상태가 되어(제2도 1의 타이밍도)JK 플립플롭(3)의 입력단(J)에 인 가되고, 이에따라 JK플립플롭(3)의 정출력인 출력단(Q)은 하이상태가 된다(제2도 2의 타이밍도).

또한, 등화펄스 구간의 로우상태의 레벨은 약 2.3 $\mu$ sec이고, 영상신호 구간의 로우상태의 레벨은 약 4.9 $\mu$ sec이므로 동기 카운터(1)의 카운터 값 "8"이 되기전에 클리어가 되어 JK플립플롭(3)의 출력을 하이상태로 만들지 못한다.

그러나, 로우상태의 레벨이 27 $\mu$ sec인 수직동기 펄스구간에서는 최대 "14"까지 카운트 할 수 있으므로 로 수직동기 펄스 구간을 검출하기 위한 충분한 시간(8, 16 $\mu$ sec)을 본 회로에서는 사용하였다.

따라서, 동기카운터(1)가 최초의 수직동기 펄스신호를 검출하여 JK플립플롭(3)을 동작시킨 후 JK플 립플롭(3)의 부출력(Q)의 신호에 의해 동작을 멈추어 2번째 수직동기 펄스 신호부터 6번째 수직동기 펄스의 신호입력은 무시하게 된다.

수직동기펄스검출부(200)의 동기카운터(4)와 (5)는 4비트 카운터를 병렬연결하여 8비트 카운터로 확 장시킨 것이다(이하 8비트 카운터라함).

상술한 수직동기검출부(100)의 앤드게이트(2)의 출력신호가 하이상태일때만 8비트 카운터가 동작을 하게 된다.

상기 8비트 카운터가 30(60 $\mu$ sec)을 카운트 했을때만 앤드게이트(6)가 하이상태로 되고(제2도의 3의 타이밍도), JK플립플롭(10)의 정출력(Q)은 수직동기검출부(100)의 앤드게이트(2)의 하이상태신호에 의해 하이상태 신호를 유지하다 수직동기펄스검출부(200)의 앤드게이트(6)의 출력신호에 의해 로우 상태를 유지하게 되어 60 $\mu$ sec동안 하이상태를 유지하는 윈도우(Window)신호를 만든다(제2도 5의 타이밍도).

이때 JK플립플롭(8)의 정출력(Q)이 하이상태일때만 수평동기 펄스신호가 앤드게이트(9)의 출력으로 전달되므로 기수, 우수필드에 관계없이 한 번의 수평동기 펄스신호가 D플립플롭(10)의 정출력(Q)으 로 한 필드에서 단한번만 클로킹(Clocking)이 일어난다.

상기 D플립플롭(10)의 클로킹이 일어날 때 우수필드일 경우는 수직동기 펄스검출부(200)의 오아게이 트(4)의 출력신호(제2도 4의 타이밍도)와 JK플립플롭(8)의 정출력(Q)(제2도 5의 타이밍도)이 하이상 태가 되었을 때부터 약 15 $\mu$ sec(7~8을 카운트할 시간)경과한 후 필드검출부(300)의 앤드게이트(9)의 출력(제2도 6의 타이밍도)이 클러킹을 하므로 8비트 카운터의 상위 4비트는 모두 "LOW"값을 가지고 있으므로 오아게이트(7)의 출력(제2도 4의 타이밍도)값이 로우상태가 되어 D플립플롭(10)의 출력은 로 우상태가 되어 다음 수직동기펄스구간까지 계속 로우상태를 유지한다.

또한, 기수필드일 경우에는 수직동기펄스검출부(200)의 오아게이트(4)의 출력신호(제2도 4의 타이밍 도)와 JK플립플롭(8)의 정출력(Q)(제2도 5의 타이밍도)이 하이상태가 되었을때 부터 약 46 $\mu$  sec(23~24카운트 한시간)경과 후 필드 검출부(300)의 앤드게이트(9)의 출력(제2도 6의 타이밍도)이 클로킹을 하므로 8비트 카운터의 상위 4비트중 최소한 하나는 "HIGH"를 가지고 있으므로 오아게 이트(7)의 출력(제2도 4의 타이밍도)값이 하이상태가 되어 D플립플롭(10)의 출력은 하이상태가 되어 다음 수직동기 펄스 구간까지 계속 하이상태를 유지한다.

따라서, 상술한 바와같이 본 발명은 비디오 신호의 2:1로 비율 주사하는 영상신호를 하드웨어의 메 모리를 이용한 디지털 처리를 행하므로써 제품의 코스트를 절감할 수 있는 이점이 있는 것으로서, 우수필드에서는 로우값을 출력하고, 기수필드에서는 하이값을 출력하는 하드웨어에 의한 충분한 타이밍 마진으로 최소마진(Margin)을 갖도록 한 것이다.

## (57) 청구의 범위

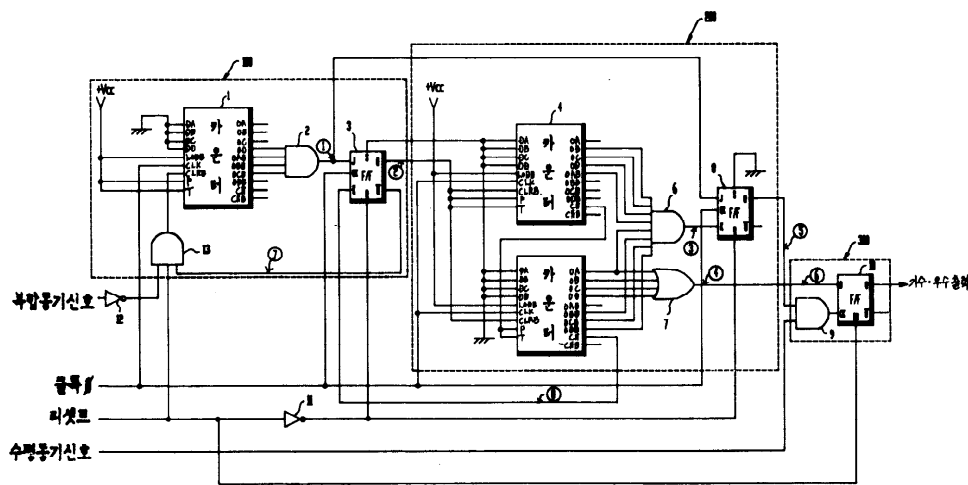
### 청구항 1

복합동기신호 발생부(도면에 도시않음)로 부터의 동기신호와 리세트회로(도면에 도시않음)로 부터의 리세트신호가 인버터(12)를 경유하거나 직접 입력되는 앤드게이트(13)의 출력은 동기카운터(1)의 클리어단자(CLR B)에 인가되도록 하고, 상기 동기카운터(1S)의 출력단(OD),(OAB),(OBB),(OCB)에서 앤

드게이트(2)를 거쳐 JK플립플롭(3)의 입력단(J)에 인가되도록 하며, 상기 카운터(1)의 클럭단(CLK)에도 입력되는 클럭발생회로(도면에 도시않음)의 클럭이 JK플립플롭(3)의 클럭단(CK)으로 인가되도록 하고, 상기 앤드게이트(13)에 출력단(Q)의 출력이 입력되는 상기 JK플립플롭(3)의 출력단(Q)에서 수직동기 구간동안 "H"로 출력되도록 한 수직동기검출부(100)와; 상기 수직동기검출부(100)의 JK플립플롭(3)의 출력단(Q)에 동기카운터(4)의 클리어단자(CLR B) 및 두입력단(P)(T)와 동기카운터(5)의 클리어단자(CLR B)를 접속하면서 상기 동기 카운터(4)의 캐리어 단자(CA)에서 상기 동기카운터(5)의 두 입력단(P),(T)에 입력되도록 하고, 상기 동기 카운터(4)의 출력단(0B), (0C), (0D), (0AB)과 상기 동기카운터(5)의 출력단(0A), (0BB), (0BC), (0BD)을 앤드게이트(6)에서 논리곱한 신호가 입력단(K)으로 입력되도록 한 JK플립플롭(8)의 입력단(J)에는 상기 앤드게이트(2)의 출력이 인가되도록 하면서 클럭단(CK)으로는 클럭이 인가되도록 하고, 상기 동기카운터(5)의 출력단(0A), (0B), (0C), (0D)의 신호가 오아게이트(7)에서는 논리합 되도록 한 수평동기펄스검출부(200)와; 상기 수평동기펄스검출부(200)의 오아게이트(7)에서는 입력단(D)으로 직접인가되도록 하면서 JK플립플롭(8)의 출력단(Q)에서는 외부로 부터의 수평동기신호와 앤드게이트(9)에서 논리곱된 후 클럭단(CK)으로 인가되는 D플립플롭(10)의 출력단(Q)으로 기수와 우수의 필드를 판단한 출력이 출력되도록 한 필드검출부(300)들로 구성됨을 특징으로 하는 기수/우수필드 검출장치.

## 도면

도면1



도면2

