

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-199563

(P2012-199563A)

(43) 公開日 平成24年10月18日(2012.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 C	4M118
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 690	5C024
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 A	5F049

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2012-110835 (P2012-110835)
 (22) 出願日 平成24年5月14日 (2012.5.14)
 (62) 分割の表示 特願2000-400871 (P2000-400871) の分割
 原出願日 平成12年12月28日 (2000.12.28)
 (31) 優先権主張番号 09/473578
 (32) 優先日 平成11年12月28日 (1999.12.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 512125781
 ディーピーアイエックス リミテッド ラ
 イアビリティ カンパニー
 アメリカ合衆国 コロラド州 80916
 コロラド スプリングス エアロプラザ
 ドライヴ 1635
 (74) 代理人 100092093
 弁理士 辻居 幸一
 (74) 代理人 100082005
 弁理士 熊倉 禎男
 (74) 代理人 100067013
 弁理士 大塚 文昭
 (74) 代理人 100086771
 弁理士 西島 孝喜

最終頁に続く

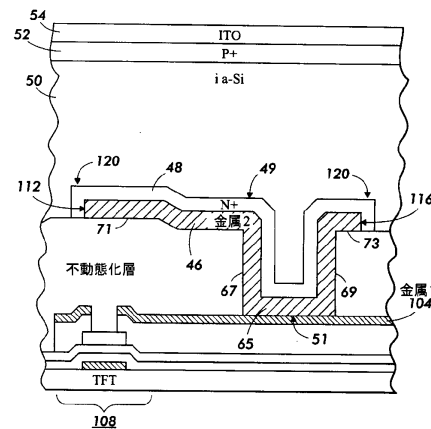
(54) 【発明の名称】 アモルファス・シリコン層センサ及びセンサの形成方法

(57) 【要約】

【課題】 接点注入電流を減らすことによって垂直方向漏洩電流を減らす高フィルファクタ画像アレイを提供することである。

【解決手段】 センサが、真性アモルファス・シリコン層と、この真性アモルファス・シリコン層の第1面に結合したpドープ・シリコン層と、このpドープ・シリコン層に結合した透明な第1電極と、真性アモルファス層の第2面に結合した少なくとも1つの非金属のバック接点とを包含し、このバック接点が、真性アモルファス・シリコン層の1つの領域から電荷を集め、集めた電荷を検出電子装置に与えるようになっている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

センサにおいて、
 真性アモルファス・シリコン層と、
 前記真性アモルファス・シリコン層の第 1 面に結合した、p ドープ・シリコン層と、
 前記 p ドープ・シリコン層に結合した透明な第 1 電極と、
 真性アモルファス層の第 2 面に結合した、少なくとも 1 つの非金属のバック接点とを包
 含し、
 前記バック接点が、真性アモルファス・シリコン層の 1 つの領域から電荷を集め、集め
 た電荷を検出電子装置に与えるようになっている
 ことを特徴とするセンサ。

10

【請求項 2】

センサを形成する方法であって、
 不動態化層および導電ラインを覆って非金属導体を堆積させてバック接点を形成する段
 階と、
 前記非金属導体上に真性アモルファス・シリコン層を形成し、前記真性アモルファス・
 シリコン層が入射光子から電子を発生させるようにする、段階と、
 前記真性アモルファス・シリコン上に透明な導体を形成し、前記透明な導体および前記
 非金属導体が前記真性アモルファス・シリコン層を横切る電界を印加するようにする、段
 階と
 を包含することを特徴とする方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、連続センサ層を備えた高フィルファクタ画像アレイの構造およびその製造方
 法に関する。一層詳しくは、本発明は、接点注入電流を減らすことによって垂直方向漏洩
 電流を減らす高フィルファクタ画像アレイに関する。

【発明の概要】

【発明が解決しようとする課題】

【0002】

普通の画像アレイでの 1 つ問題は、材料欠陥により生じる漏洩電流である。漏洩電流と
 しては、隣り合ったマッシュルーム接点間の側方漏洩電流と垂直方向すなわち固有の漏洩
 電流とがある。側方漏洩電流は、画像解像度を低下させる。PIN センサの代表的な 60
 $\times 60$ 平方マイクロメートルは、最高 0.3 ピコアンペア (pA) の側方漏洩電流を含む
 可能性がある。

30

【0003】

垂直方向漏洩電流も、ノイズを導入することによって画質を劣化させる。導入されたノ
 イズは、画像コントラストおよび/またはグレイスケールを低下させる。PIN センサの
 代表的な 60×60 平方マイクロメートルは、5 ボルト接点電圧で約 20 フェムトアンペ
 ア (fA) の固有漏洩電流を含む可能性がある。

40

【0004】

したがって、垂直方向漏洩電流を減らす方法および装置が必要である。

【0005】

高フィルファクタ画像アレイでの 1 つ問題は、垂直方向漏洩電流が画像コントラストを
 低下させ、画像出力の品質を劣化させるということである。垂直方向漏洩電流の 1 つ原因
 は、金属が真性アモルファス・シリコンと接触したときに生じる接点注入電流である。

【課題を解決するための手段】

【0006】

代表的なバック接点の製作中、単一のマスクが使用されて、金属バック接点と、金属接
 点を覆う N+ ドープ・アモルファス・シリコン層の両方を形成する。しかしながら、N+

50

ドーブ・アモルファス・シリコン層および金属バック接点の両方に単一マスクを使用することにより、金属の縁が真性アモルファス・シリコンにさらされることになる。露出面積が小さいにもかかわらず、或る種の逆バイアス条件下では、大量の垂直方向漏洩電流を発生させてしまうことがわかった。垂直方向漏洩電流を回避するために、本発明の一実施例では、広い幅の広いN+アモルファス・シリコン層を発生する第2のマスクを使用するが、これがバック接点の金属部分をシールし、真性アモルファス・シリコン層と金属バック接点とのすべての直接的な接点を防ぐ。本発明の別の実施例では、金属バック接点およびN+アモルファス・シリコン層の両方をN+ドーブ・ポリシリコン接点のような単一の代替材料と交換する。また、本発明の第3実施例では、N+アモルファス・シリコン層を保持し、金属バック接点のみを別の導電材料と交換し、これが、真性アモルファス・シリコンと接触させられたときに重要な注入電流を発生させない。

10

【図面の簡単な説明】

【0007】

【図1】Nドーブ・アモルファス・シリコン層を拡張させて真性アモルファス・シリコン層と金属バック接点との直接的な接触を排除した高フィルファクタ・センサの概略横断面図である。

【図2】p-i-nドーブ・アモルファス・シリコンおよび金属インターフェイスを横切るFermiレベルを示すエネルギー・バンド線図である。

【図3】p-iアモルファス・シリコンおよび金属インターフェイスを横切るFermiレベルを示すエネルギー・バンド線図である。

20

【図4】ショットキー接合を横切って印加された電圧の関数としての接点注入電流を示すグラフである。

【図5】N+アモルファス・シリコン層および金属バック接点を単一のN+ドーブ・ポリシリコン層と交換したフルフィル・ファクタ・センサの概略横断面図である。

【図6】レーザ露光の機能としてのNドーブ・アモルファス・シリコンの1セクションの面積抵抗の変化を示すグラフである。

【図7】N+アモルファス・シリコン層を保持しているが、金属バック接点を非金属フィルムと交換したフルフィル・ファクタ・センサの概略横断面図である。

【図8】従来技術PIN感光性要素の概略横断面図である。

30

【発明を実施するための形態】

【0008】

図1は、N+ドーブ・アモルファス・シリコン層が金属バック接点、真性アモルファス・シリコン層間の接触を完全に除いているセンサ構造を示している。ここで使用している「バック接点」という用語は、電荷収集面の表面積を増大させることによってセンサ媒体、たとえば、アモルファス・シリコンからの電荷収集量を増大させるように設計したセンサ接点を意味する。代表的には、このようなバック接点は、「マッシュルーム形状」であり、センサ媒体にさらされる側により大きな表面積を設け、より小さい接触点表面積が収集された電荷を検出電子装置に送るようになっている。マッシュルーム形状の中心部は、代表的には、Uの字を形成しており、Uの字の底部が接触点を形成し、Uの字の頂部からの延長部が電荷を集める付加的な表面積を与える。延長部は、代表的には、Uの字の頂部に対して直角、収集面に対して平行の向きとなっている。このような構造が、図1に示してあり、以下に説明する。

40

【0009】

図1において、P+ドーブ・アモルファス・シリコン層52、真性シリコン層50およびN+ドーブ・アモルファス・シリコン層48が、一緒になってPIN構造を形成している。透明な導電性ITO上方層54および金属バック接点46は、PIN構造をバイアスする。光子は、透明導電性ITO層を通過し、真性アモルファス・シリコン層50に自由電子および正孔を発生させる。接点に印加された電圧は、電子を金属バック接点46へ移動させる電界を発生させる。図示実施例において、金属バック接点46はマッシュルーム形状であり、金属マッシュルーム接点を形成する。

50

【 0 0 1 0 】

ここで使用しているマッシュルーム形状の接点は、代表的には、導電性底部セグメント 65 と、2 つの導電性直立セグメント 67、69 とを包含する U 字形部分を包含する。各直立セグメント 67、69 の第 1 端部は、底部セグメント 65 の対応する端部に連結している。各直立セグメント 67、69 は、底部セグメント 65 に対してほぼ直角な向きとなっている。各直立導電性セグメント 67、69 の第 2 端部は、対応する導電性延長セグメント 71、73 の端部に接続している。各延長部セグメント 71、73 は、底部セグメント 65 に対してほぼ平行、直立導電性セグメント 67、69 に対してほぼ直角な向きとなっている。

【 0 0 1 1 】

先に説明したように、各マッシュルーム接点は、延長部セグメント 71、73 によって創り出されるより大きい電荷収集面 49 を包含する。電荷収集面 49 は、センサ媒体から電荷を受け取る。接触点 51 は、マッシュルーム接点から集めた電荷をライン 104 を経て下層の電子装置に転送する。ライン 104 は、電荷を支持または読み出し電子装置に送る。図示実施例において、ライン 104 は、薄膜トランジスタすなわち T F T トランジスタ 108 のゲートに接続するデータ・ラインである。

【 0 0 1 2 】

T F T トランジスタ 108 は、多くの異なった方法を使用して形成することができる。T F T トランジスタ 108 を含む検出または像形成電子装置とセンサを統合する 1 つの方法は、T F T トランジスタを相補形金属酸化膜構造 (C M O S) から形成し、この C M O S 電子装置を覆って直接的にアモルファス・シリコン層 50 を含むセンサ媒体を形成することである。センサで使用するための C M O S 構造の形成を記載している参考文献としては、「the Amorphous and Microcrystalline Silicon Technology 1998 Symposium held in San Francisco on April 14-17, 1988」の会議論文の 327 ~ 338 ページに示される Bohm, M. 等の共著、「Image Sensors in TFA Technology- Status and Future Trends」がある。

【 0 0 1 3 】

従来技術金属マッシュルーム接点においてマッシュルーム構造を形成することは、金属バック接点 46 およびドープ N + 層 48 を形成するためにただ 1 つのマスクを使用するので、便利であった。しかしながら、単一のマスクを使用しての形成では、金属バック接点 46 の縁 112、116 を真性アモルファス・シリコン層と直接接触させたままである。逆バイアス条件下では、接点注入から生じる漏洩電流が、真性アモルファス・シリコン層と金属バック接点 46 の縁 112、116 とのインターフェイスに生じる。漏洩電流の量は、注入バリア高さおよび印加されたバイアス電圧から電界に依存する。漏洩電流に影響する漏洩電流およびファクタについての理由を、以下、添付図面の図 2、図 3、図 4 を参照しながら説明する。

【 0 0 1 4 】

垂直方向漏洩電流を減らすために、本発明の一実施例では、金属バック接点を形成するために第 1 マスクを使用し、N + アモルファス・シリコン層を形成するために第 2 マスクを使用する。N + アモルファス・シリコン層の面積は、金属バック接点の面積よりやや大きくて、金属バック接点 46 の縁 112、116 をカバーする N + アモルファス・シリコンのオーバーハング領域 120 を作る。このオーバーハング領域 120 は、真性アモルファス・シリコンからバック接点の金属部分をシールして遮断することによって、金属と真性アモルファス・シリコン間の直接的な接触を排除する。

【 0 0 1 5 】

ショットキー接点を除去する利点を理解して貰うために、図 2 は逆バイアスされた P I N アモルファス・シリコンの金属インターフェイスに対する F e r m i レベルを示し、図 3 は P I アモルファス・シリコンの金属ショットキー・インタフェースに対する F e r m i レベルを示している。P I N アモルファス・シリコン・センサにおいて、暗 (ダーク) 逆バイアス電流は、1) 内部発生、2) 接点注入および 3) 縁漏洩から生じる。暗逆バイ

10

20

30

40

50

アス電流の接点注入部分は、金属電極とアモルファス・シリコンの間の接合バリアを横切ったキャリア注入から生じる。接点注入電流は、 $I = I_{init} \exp(-q / k T)$ として表すことができる。ここで、 I_{init} は、接合バリア高さであり、 k は、ボルツマン定数であり、 T は温度であり、 I_{init} は、電流プリファクタであり、 q は、電子電荷である。

【0016】

図2に示すように、N+層でのドーピングが非常に高く、PINダイオードが逆バイアスされているとき、Fermiレベル200のエネルギー・バンド分布は、比較的平坦である。正孔生成のためのバリア高さ220、 I_{init} は、N+層におけるFermiレベル200とN+層における価電子帯204の間のインターフェイス208付近の電位差である。 $I = I_{init} \exp(-q / k T)$ 関係により、比較的大きい値の I_{init} が比較的小さい注入電流を生じさせる。

10

【0017】

図3は、真性アモルファス・シリコンが金属と接触しているショットキー・ダイオードを示している。ショットキー・ダイオードにおいては、真性アモルファス・シリコン層におけるFermiレベル304は、僅かに広がるが、シリコン対金属のインターフェイス312付近のバンドギャップ308の中心では普通現況に留められる。正孔生成のための接合バリア高さ、 I_{init} は、シリコン対金属のインターフェイス312付近におけるFermiレベル304、価電子帯316間の電位差である。図3および図2は、一緒になって、濃くドーブ処理したN+層が金属と接しているとき、ショットキー・ダイオード・バリア高さ320がバリア高さ220よりかなりより小さいことを示している。バリア高さが小

20

【0018】

図4は、印加バイアス電圧の関数としての、ショットキー・ダイオードの注入電流密度をプロットしている。電流密度が、縦軸408に沿ってプロットしてあり、バイアス電圧が横軸404に沿ってプロットしてある。各曲線412、416、420、424は、異なった種類の金属についての電流密度対バイアス電圧をプロットしている。

【0019】

縁接触注入電流を避け、その上、マッシュルーム接点を作るために、金属を図1で除去し、マッシュルーム形態で堆積したN+アモルファス層だけを残す。しかしながら、Nドーブ・アモルファス・シリコンのシート抵抗は高い。代表的には、一平方あたり6メガオームのオーダーにある。高いシート抵抗は、読み出し時間を遅くする。

30

【0020】

合理的読み出し時間を維持するために、図5は、図1の金属バック接点46およびNドーブ・シリコン層48の両方を単一のNドーブ・ポリシリコン・バック接点504と取り替えた本発明の一実施例を示している。ポリシリコン・バック接点504は、電荷を収集し、ライン104に移送する良好な導体として役立つ。ポリシリコン・バック接点504のNドーピングは、また、所望のPIN構造を提供する。図示のように、ポリシリコン・バック接点504は、また、マッシュルーム形状を維持する。

【0021】

種々の方法を使用して、ドーブ・ポリシリコン・バック接点を形成することができる。1つの形成方法としては、マッシュルーム形態にNドーブ・アモルファス・シリコン層を堆積させる方法がある。レーザ結晶化が、Nドーブ・アモルファス・シリコン層をNドーブ・ポリシリコン層に変換する。レーザ結晶化中、TF T 108および金属ライン104を保護するために、Nドーブ・アモルファス・シリコンを完全に溶解させない選択的レーザ・プロセスを使用するとよい。図6のグラフに示すように、アモルファス・シリコンの完全な溶解は、所望に応じて低抵抗を達成するのに必要ない。不動態化層56は、TF T 108をさらに保護するバッファ層としても役立つ。

40

【0022】

図6は、レーザ露光の関数として、蛍光体原子でドーブ処理したアモルファス・シリコンの100ナノメートル・セクションの面積抵抗における変化を示すグラフである。面積

50

抵抗が縦軸 604 に沿ってプロットしており、レーザ・エネルギー密度が横軸 608 に沿ってプロットしてある。図 6 に示すように、約 $200 \text{ mJ} / \text{cm}^2$ の適度なレーザ・エネルギーが、一平方当たり 1 キロオームより低いシート抵抗を達成するのに充分である。

【0023】

ドーブ・ポリシリコン・バック接点を形成する第 2 方法は、真性アモルファス・シリコンを堆積させることである。イオン注入またはレーザ・ドーピングが、真性アモルファス・シリコンに N + イオンを堆積させるのに使用される。イオン注入またはレーザ・ドーピングの後のレーザ・アニールが、アモルファス・シリコンをポリシリコンに変換する。ポリシリコン・バック接点 504 をプラズマ水素化処理に数分さらしてから真性アモルファス・シリコンの堆積を行い、ポリシリコンと真性アモルファス・シリコンの間に高品質 n - i 接合 508 を確保してもよい。

10

【0024】

ポリシリコンの他の代替材料を使用して、図 1 の金属バック接点 46 および N + ドーブ・アモルファス・シリコン層 48 の組み合わせと交換してもよい。このような材料の 1 つの例としては、ドーブ・マイクロ結晶性シリコンがある。PECVD (Plasma Enhance Chemical Vapor Deposition) プロセスを使用して、水素希釈シランおよびホスフィンでドーブ・マイクロ結晶性シリコンを堆積させてもよい。別の適切な材料としては、ドーブ・ポリ SiC (ポリシリコン・カーバイド) がある。ポリ SiC を使用することの 1 つの利点は、ポリ SiC の広いエネルギー・バンドギャップが高い電位バリアを与え、これが正孔注入を減らし、接点電流を最小限に抑えるということである。

20

【0025】

図 7 は、図 1 の N + アモルファス・シリコン層 48 を含めて、マッシュルーム接点のために 2 つの層を利用し続ける本発明の別の実施例を示している。図 7 において、金属マッシュルーム接点 112 だけが、代替の材料 700 で取り替えてある。適当な代替材料は、大量の接点電流を発生させることなく真性アモルファス・シリコン層と直接的に接触することのできる低シート抵抗 (一平方当たり 100 キロオーム未満) を持つ半導体導体でなければならない。適当な代替材料としては、ドーブ・ポリシリコン、ドーブ SiC、ドーブ SiGe、ドーブ・Ge のフィルムがある。N + 層および代替材料の二重構造は、電荷を導き、接点注入電流を最小限に抑えるのに代替材料を利用しながらアモルファス・シリコン PIN 接合の性質を維持する。真性アモルファス・シリコンとの或る程度の接触を許すため、Nドーブ・アモルファス・シリコン層およびバック接点の代替材料の両方を製造するのに、単一のマスクが使用される。

30

【符号の説明】

【0026】

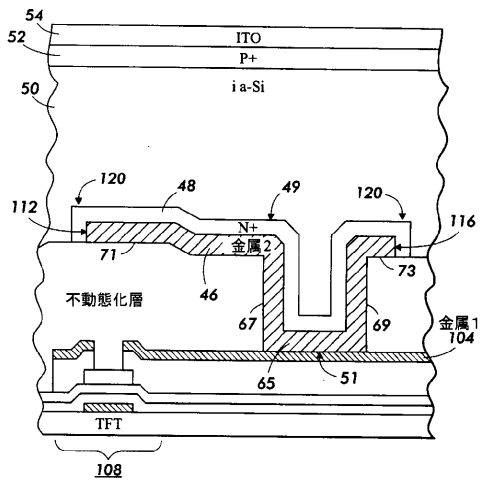
- 46 金属バック接点
- 48 N + ドーブ・アモルファス・シリコン層
- 50 真性シリコン層
- 51 接触点
- 52 P + ドーブ・アモルファス・シリコン層
- 54 透明導電性ITO上方層
- 65 導線性底部セグメント
- 67 導電性直立セグメント
- 69 導電性直立セグメント
- 71 導電性延長セグメント
- 73 導電性延長セグメント
- 108 薄膜トランジスタ (TFTトランジスタ)
- 112 金属バック接点の縁
- 116 金属バック接点の縁
- 120 オーバーハング領域
- 200 Fermiレベル

40

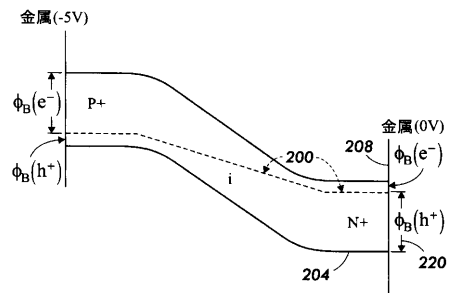
50

- 204 価電子帯
- 220 バリア高さ
- 304 Fermiレベル
- 308 バンドギャップ
- 312 シリコン対金属のインターフェイス
- 504 Nドープ・ポリシリコン・バック接点

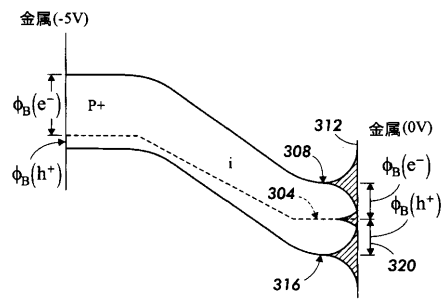
【 図 1 】



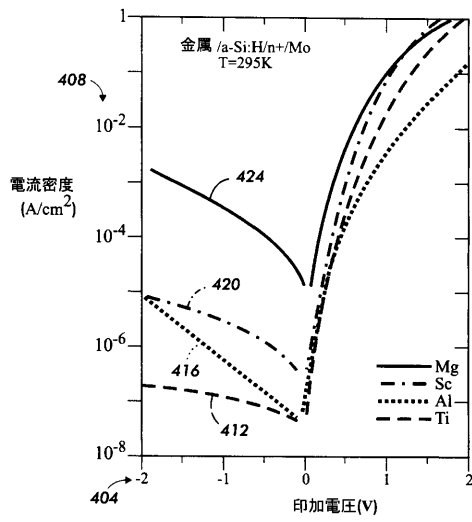
【 図 2 】



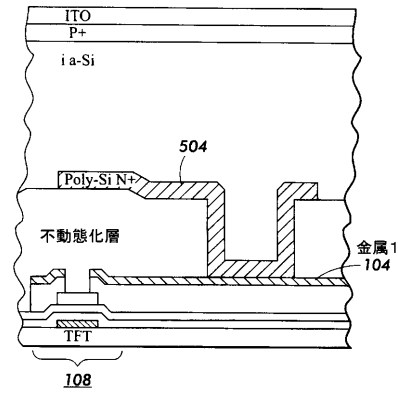
【 図 3 】



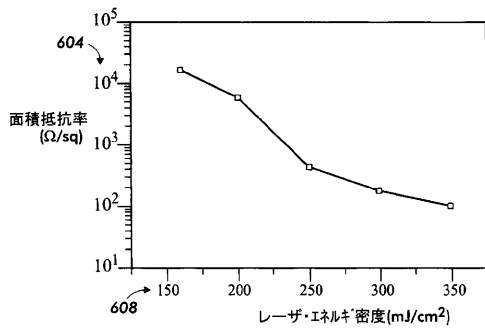
【 図 4 】



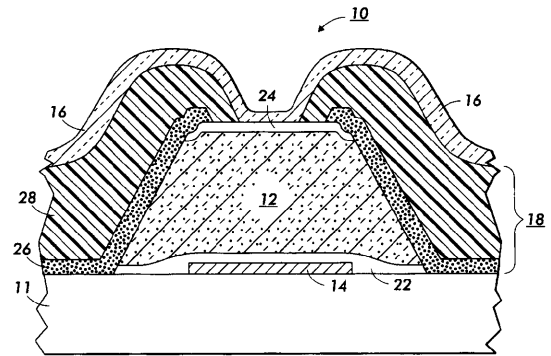
【 図 5 】



【 図 6 】

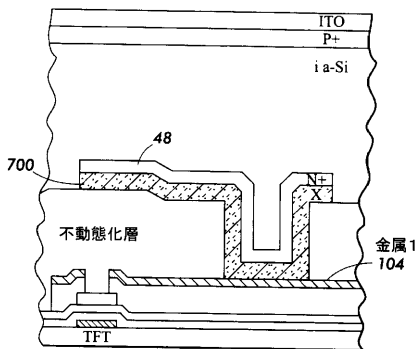


【 図 8 】



従来技術

【 図 7 】



【手続補正書】

【提出日】平成24年5月15日(2012.5.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

センサであって、
真性アモルファス・シリコン層と、
前記真性アモルファス・シリコン層の第1面に結合した、pドーブ・シリコン層と、
前記pドーブ・シリコン層に結合した透明な第1電極と、
前記真性アモルファス層の第2面に結合した、少なくとも1つの非金属のバック接点と
を含み、

前記バック接点が、前記真性アモルファス・シリコン層の1つの領域から電荷を集め、
集めた電荷を検出電子装置に与えるようになっており、

前記バック接点が、底部導電性セグメント、2つの直立導電性セグメント、及び少なくとも1つの延長部セグメントを含み、各直立導電性セグメントの第1端部は前記底部導電性セグメントの対応する端部に結合し、各直立導電性セグメントは前記底部導電性セグメントに対してほぼ直角な向きとなっており、前記延長部セグメントは1つの直立導電性セグメントの第2端部に結合している、
ことを特徴とする、前記センサ。

【請求項2】

前記非金属のバック接点は、pドーブ・ポリシリコン材料である、請求項1に記載のセンサ。

【請求項3】

さらに、
前記真性アモルファス・シリコン層と前記非金属のバック接点との間に配置された、アモルファス・シリコンのNドーブ層、
を含む、請求項1に記載のセンサ。

【請求項4】

連続アモルファス・シリコン層を含む、請求項1に記載のセンサ。

【請求項5】

さらに、
前記非金属のバック接点を隣接する非金属のバック接点から分離する、不動態化層、
を含む、請求項1に記載のセンサ。

【請求項6】

前記非金属のバック接点は、マイクロ結晶性シリコン製である、請求項1に記載のセンサ。

【請求項7】

前記非金属のバック接点は、ドーブ・ポリシリコン・カーバイド製である、請求項1に記載のセンサ。

【請求項8】

さらに、
前記バック接点の接点に結合した、薄膜トランジスタ、
を含む、請求項1に記載のセンサ。

フロントページの続き

- (74)代理人 100109070
弁理士 須田 洋之
- (74)代理人 100109335
弁理士 上杉 浩
- (72)発明者 ビン メイ
アメリカ合衆国 カリフォルニア州 9 4 3 0 6 パロ アルト ウィルケ ウェイ 4 2 7 6
アパートメント ディー
- (72)発明者 イェン ビン ルー
アメリカ合衆国 カリフォルニア州 9 4 0 4 1 マウンテン ヴィュー コールデロン アベニ
ュー 2 1 0 アpartment 2 2
- (72)発明者 フランチェスコ レミー
イタリア 0 0 1 9 9 ローマ ヴィア ヴァル ディ ノン 3 9 ディ
- (72)発明者 ロバート エイ ストリート
アメリカ合衆国 カリフォルニア州 9 4 3 0 6 パロ アルト ラ パラ アベニュー 8 9 4
- (72)発明者 ジェームズ ビー ボイス
アメリカ合衆国 カリフォルニア州 9 4 0 2 4 ロス アルトス ラッセル アベニュー 1 0
3 6
- Fターム(参考) 4M118 AA05 AA10 AB01 BA05 CA05 CB06 CB14 EA05 FB09 FB13
5C024 CX32 GX02
5F049 MA04 MA05 MB05 NA05 NB05 PA05 PA08 RA02 RA08 SE04
SE05