



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098505
(43) 공개일자 2008년11월10일

(51) Int. Cl.

H03K 19/0185 (2006.01) G06F 13/40 (2006.01)

(21) 출원번호 10-2008-7020851

(22) 출원일자 2008년08월26일

심사청구일자 2008년08월27일

번역문제출일자 2008년08월26일

(86) 국제출원번호 PCT/US2007/003349

국제출원일자 2007년02월07일

(87) 국제공개번호 WO 2007/092548

국제공개일자 2007년08월16일

(30) 우선권주장

11/350,597 2006년02월08일 미국(US)

(71) 출원인

키오세라 와이어리스 코퍼레이션

미국, 캘리포니아 92121, 샌 디에고, 캠퍼스 포인트 드라이브 10300

(72) 발명자

테일러, 존, 필립

미국, 캘리포니아 92121, 샌 디에고, 캠퍼스 포인트 드라이브 10300, 키오세라 와이어리스 코퍼레이션 내

(74) 대리인

한양특허법인

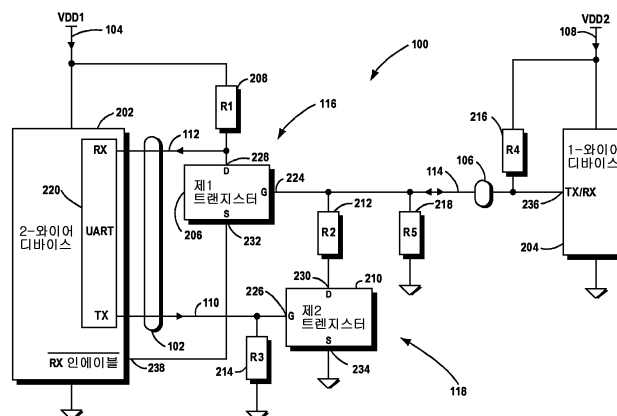
전체 청구항 수 : 총 19 항

(54) 양방향 단일 컨덕터 버스에 2-컨덕터 풀 듀플렉스 버스를 연결하기 위한 레벨 쉬프팅 멀티플렉싱 회로

(57) 요약

레벨 쉬프팅 멀티플렉싱 회로는 2-컨덕터 풀 듀플렉스 버스(2-컨덕터 버스(102))와 단일 컨덕터 양방향 하프 듀플렉스 버스(단일 컨덕터 버스(106)) 사이의 인터페이스를 제공하며, 2-컨덕터 버스(102)는 제1 전원 전압(VDD1)에서 동작하고 상기 단일 컨덕터 버스(106)는 제2 전원 전압(VDD2)에서 동작한다. 상기 단일 컨덕터 버스(105)와 상기 2-컨덕터 버스(102)의 수신 컨덕터(112) 사이에 접속된 제1 스위칭 회로(116)는, 제1 스위칭 전압 문턱이 초과되면 상기 수신 컨덕터(112)에 로우 로직 신호를 제공하고, 그렇지 않으면 하이 로직 신호를 제공하도록 구성된다. 상기 단일 컨덕터 버스(106)와 상기 2-컨덕터 버스(102)의 전송 컨덕터(110) 사이에 접속된 제2 스위칭 회로(118)는, 하이 로직 신호가 상기 단일 컨덕터 버스(106)에 수신되지 않는 경우 상기 전송 컨덕터(110)에서의 전압이 제2 스위칭 전압 문턱을 초과하면 상기 제1 스위칭 전압 문턱보다 적은 전압을 제공하도록 구성된다. 상기 제2 스위칭 회로(118)는 로우 로직 신호가 상기 단일 컨덕터 버스(106)에서 수신되지 않으면 상기 전송 컨덕터 전압이 상기 제2 스위칭 전압 문턱을 초과하면 상기 제1 스위칭 전압보다 큰 전압을 제공하도록 더 구성된다.

대표도 - 도2



특허청구의 범위

청구항 1

제1 전압 전원에 관련된 2-컨덕터 풀 듀플렉스 버스를 제2 전압 전원에 관련된 단일 컨덕터 양방향 하프 듀플렉스 버스에 연결하는 레벨 쉬프팅 멀티플렉싱 회로로서,

2-컨덕터 풀 듀플렉스 버스의 수신 컨덕터와 단일 컨덕터 양방향 버스 사이에 접속되고 상기 단일 컨덕터 버스에 접속된 제1 게이트에서의 전압이 제1 스위칭 전압 문턱(threshold)을 초과하면 상기 수신 컨덕터에 로우 로직 레벨을 유발하는 제1 스위칭 전압 문턱을 가지는 제1 스위칭 회로; 및

상기 2-컨덕터 풀 듀플렉스 버스의 전송 컨덕터와 상기 단일 컨덕터 양방향 버스 사이에 접속되는 제2 스위칭 회로로서, 상기 제2 스위칭 회로는 상기 제1 게이트에:

로우 로직 신호가 상기 단일 컨덕터 버스로 수신되지 않을 경우, 상기 전송 컨덕터의 전송 컨덕터 전압이 상기 제2 스위칭 회로의 제2 스위칭 전압 문턱보다 작으면 상기 제1 스위칭 회로의 제1 스위칭 전압 문턱을 초과하는 하이 전압; 및

하이 로직 신호가 상기 단일 컨덕터 버스로 수신되지 않을 경우, 상기 전송 컨덕터 전압이 상기 제2 스위칭 전압 문턱보다 크면 상기 제1 스위칭 회로의 스위칭 전압 문턱보다 적은 로우 전압을 나타내는 제2 스위칭 회로를 포함하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 2

청구항 1에 있어서,

상기 제1 스위칭 회로는,

그라운드에 접속된 제1 소스, 상기 단일 컨덕터 버스에 접속된 상기 제1 게이트, 및 제1 드레인을 구비하는 제1 트랜지스터; 및

상기 제1 드레인과 전압 전원 사이에 접속된 제1 저항을 포함하고,

상기 제2 스위칭 회로는,

그라운드에 접속된 제2 소스, 상기 전송 컨덕터에 접속된 제2 게이트, 및 제2 드레인을 구비하는 제2 트랜지스터;

상기 제2 드레인과 상기 제1 게이트 사이에 접속된 제2 저항;

상기 제2 게이트와 그라운드 사이에 접속된 제3 저항; 및

상기 제2 전압 전원과 상기 단일 컨덕터 버스 사이에 접속된 제4 저항을 포함하는 것을 특징으로 하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 3

청구항 2에 있어서,

상기 제2 스위칭 회로는 상기 단일 컨덕터 버스와 그라운드 사이에 접속된 제5 저항을 포함하는 것을 특징으로 하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 4

청구항 2에 있어서,

하이 로직 신호가 상기 단일 컨덕터 버스로 수신되지 않을 경우, 하이 로직 레벨이 제2 제어 입력에 나타나면 상기 제4 저항과 상기 제2 저항으로 구성된 전압 분배기가 상기 제1 스위칭 전압 문턱보다 적은 제1 게이트 전압을 유발하는 것을 특징으로 하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 5

청구항 4에 있어서,

상기 하이 로직 신호가 상기 단일 컨덕터 버스로 수신되면 상기 제1 게이트 전압은 상기 제1 스위칭 전압 문턱보다 큰 것을 특징으로 하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 6

청구항 2에 있어서,

상기 제1 트랜지스터는 제1 전계 효과 트랜지스터(Field Effect Transistor: FET)이며 상기 제1 게이트는 상기 제1 FET의 제1 게이트이고, 상기 제1 드레인은 상기 제1 FET의 제1 드레인이며, 그리고 상기 제1 소스는 상기 제1 FET의 제1 소스이고; 및

상기 제2 트랜지스터는 제2 FET이고, 그리고 상기 제2 게이트는 상기 제2 FET의 제2 게이트이고, 상기 제2 드레인은 상기 제2 FET의 제2 드레인이고, 그리고 상기 제2 소스는 상기 제2 FET의 제2 소스인 것을 특징으로 하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 7

청구항 6에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 N-채널 금속 산화 반도체 전계 효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistors: MOSFETs)인 것을 특징으로 하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 8

제1 전원 전압을 참조하는 2-컨덕터 풀 듀플렉스 버스를 제2 전원 전압을 참조하는 단일 컨덕터 양방향 하프 듀플렉스 버스로 연결하는 회로로서,

상기 제1 전원 전압에 제1 저항을 통해 접속되고 상기 2-컨덕터 풀 듀플렉스 버스의 수신 컨덕터에 접속되는 제1 드레인, 그라운드에 접속된 제1 소스, 및 상기 단일 컨덕터 양방향 하프 듀플렉스 버스에 접속되는 제1 게이트를 구비하는 제1 FET; 및

상기 제1 게이트에 제2 저항을 통해 접속된 제2 드레인, 그라운드에 접속된 제2 소스, 및 상기 2 컨덕터 풀 듀플렉스 버스의 전송 컨덕터에 접속되는 제2 게이트를 구비하는 제2 FET를 포함하는 회로.

청구항 9

청구항 8에 있어서,

상기 단일 컨덕터 양방향 하프 듀플렉스 버스는 상기 제2 전원 전압으로부터 상기 단일 컨덕터 양방향 하프 듀플렉스 버스로 접속된 풀업 저항을 포함하는 것을 특징으로 하는 회로.

청구항 10

청구항 9에 있어서,

상기 제2 저항은 풀업 저항 저항값(resistance)보다 적은 저항값을 가지는 것을 특징으로 하는 회로.

청구항 11

청구항 10에 있어서,

상기 제2 저항의 저항값은 상기 풀업 저항 저항값의 10분의 1인 것을 특징으로 하는 회로.

청구항 12

청구항 9에 있어서,

상기 제2 게이트로부터 그라운드로 접속된 제3 저항을 더 포함하는 회로.

청구항 13

청구항 12에 있어서,

상기 단일 컨덕터 양방향 하프 듀플렉스 버스에서부터 그라운드로 접속된 풀다운 저항을 더 포함하는 회로.

청구항 14

청구항 13에 있어서,

상기 풀다운 저항은 상기 풀업 저항의 풀업 저항값의 적어도 30배의 풀다운 저항값을 가지는 것을 특징으로 하는 회로.

청구항 15

청구항 13에 있어서,

상기 제1 FET는 제1 소스에 대한 게이트 전압 문턱(제1 V_{gs} 문턱)을 가지고 제2 FET는 제2 소스에 대한 게이트 전압 문턱(제2 V_{gs} 문턱)을 가지며, 상기 제2 FET는, 상기 풀업 저항 저항값에 대한 상기 제2 저항 저항값의 비가, 상기 단일 컨덕터 양방향 하프 듀플렉스 버스에 접속된 디바이스가 로우 로직 레벨을 전송하지 않을 경우에, 상기 제2 FET의 제2 게이트 전압이 상기 제2 V_{gs} 문턱보다 적으면 상기 제1 V_{gs} 문턱을 초과하는 제1 게이트 전압을 유발하는 것을 특징으로 하는 회로.

청구항 16

청구항 13에 있어서,

상기 제1 FET는 제1 소스에 대한 게이트 전압 문턱(제1 V_{gs} 문턱)을 가지고 제2 FET는 제2 소스에 대한 게이트 전압 문턱(제2 V_{gs} 문턱)을 가지며, 상기 제2 FET는, 상기 풀업 저항값에 대한 상기 풀다운 저항값의 비가, 상기 단일 컨덕터 양방향 하프 듀플렉스 버스에 접속된 디바이스가 로우 로직 레벨을 전송하지 않는 경우에, 상기 제2 FET의 제2 게이트 전압이 상기 제2 V_{gs} 문턱보다 적으면 상기 제1 V_{gs} 문턱보다 적은 제1 게이트 전압을 유발하는 것을 특징으로 하는 회로.

청구항 17

청구항 16에 있어서,

상기 비는, 상기 단일 컨덕터 양방향 하프 듀플렉스 버스에 접속된 디바이스가 하이 로직 레벨을 전송하지 않을 경우에, 상기 제2 게이트 전압이 상기 제2 V_{gs} 문턱보다 크면 상기 제1 V_{gs} 문턱보다 적은 제1 게이트 전압을 유발하는 것을 특징으로 하는 회로.

청구항 18

제1 전압 전원을 참조하는 2-컨덕터 풀 듀플렉스 버스를 제2 전압 전원을 참조하는 단일 컨덕터 양방향 하프 듀플렉스 버스로 연결하는 레벨 쉬프팅 멀티플렉싱 회로로서,

제1 스위칭 전압 문턱이 상기 단일 컨덕터 양방향 버스에서 초과되면 상기 2-컨덕터 풀 듀플렉스 버스의 수신 컨덕터로 로우 로직 레벨을 스위칭하고, 상기 제1 전압 문턱이 상기 단일 컨덕터 양방향 버스에서 초과되지 않으면 하이 로직 레벨을 스위칭하는 제1 스위칭 수단;

상기 단일 컨덕터 양방향 버스에 접속된 디바이스에 의해 전송된 로직 레벨 및 상기 2-컨덕터 풀 듀플렉스 버스의 전송 컨덕터 전압에 근거하여, 상기 단일 컨덕터 양방향 버스로 상기 제1 스위칭 전압 문턱에 관련되는 로우 전압 및 하이 전압을 스위칭하는 제2 스위칭 수단을 포함하는 레벨 쉬프팅 멀티플렉싱 회로.

청구항 19

청구항 18에 있어서,

상기 제2 스위칭 수단은,

로우 로직 신호가 상기 단일 컨덕터 버스로 수신되지 않을 경우, 상기 전송 컨덕터상의 전송 컨덕터 전압이 상기 제2 스위칭 회로의 제2 스위칭 전압 문턱보다 적으면 상기 제1 스위칭 회로의 제1 스위칭 전압 문턱을 초과하는 하이 전압을 스위칭하고; 및

하이 로직 신호가 상기 단일 컨덕터 버스로 수신되지 않을 경우, 상기 전송 컨덕터 전압이 상기 제2 스위칭 전압 문턱보다 크면 상기 제1 스위칭 회로의 상기 스위칭 전압 문턱보다 적은 로우 전압을 스위칭하는 것을 특징으로 하는 레벨 쉬프팅 멀티플렉싱 회로.

명세서

기술 분야

- <1> 본 발명은 일반적으로 무선 통신 시스템에 관한 것이다. 보다 구체적으로는 2-컨덕터 풀 듀플렉스 버스를 양방향 단일 컨덕터 버스에 연결하기 위한 레벨 쉬프팅 멀티플렉싱 회로에 관한 것이다.

배경 기술

- <2> 프로세서는 버스를 통해 데이터를 교환하여 다른 디바이스 및 다른 프로세서와 통신한다. 전형적인 구성은 UART(universal asynchronous receiver/transmitter)를 이용하는 두개의 유선 디바이스를 포함하여 슬레이브 프로세서와 같은 하나 이상의 디바이스와 통신한다. 버스는 다중 디바이스가 유선과 같은 하나 이상의 컨덕터를 통해 통신할 수 있게 한다. 크기, 공급 전력, 및 다른 요소들과 관련된 설계 한계로 인해, 패키징화된 전자 디바이스, 유선, 및 다른 컨덕터들 상의 핀 수를 제한하는 것이 종종 유익하다. 단일 컨덕터 버스에서는 다중 컨덕터 버스와 비교하여 보다 적은 수의 핀 및 컨덕터가 허용된다. 그러나, 단일 컨덕터 버스를 이용하는 종래의 설계는, 단일 컨덕터 버스에 접속된 디바이스가 2-컨덕터 버스로 통신하는 디바이스와 동일한 전압에서 동작해야만 한다는 점에서 한계가 있다.
- <3> 따라서, 2-컨덕터 풀 듀플렉스 버스를 양방향 단일 컨덕터 버스에 접속하기 위한 레벨 쉬프팅 멀티플렉싱 회로에 대한 필요가 있다.

발명의 상세한 설명

- <4> 레벨 쉬프팅 멀티플렉싱 회로는, 2-컨덕터 풀 듀플렉스 버스(2-컨덕터 버스)와 단일 컨덕터 양방향 하프 듀플렉스 버스(단일 컨덕터 버스) 사이의 인터페이스를 제공하며, 여기서 2-컨덕터 버스는 제1 전원 전압에서 동작하고 단일 컨덕터 버스는 제2 전원 전압에서 동작한다. 단일 컨덕터 버스와 2-컨덕터 버스의 수신 컨덕터 사이에 접속된 제1 스위칭 회로는, 제1 스위칭 전압 문턱을 초과하면 수신 컨덕터에 로우 로직 신호를 제공하고 그렇지 않으면 하이 로직 신호를 제공하도록 구성된다. 단일 컨덕터 버스와 2-컨덕터 버스의 전송 컨덕터 사이에 접속된 제2 스위칭 회로는, 하이 로직 신호가 단일 컨덕터 버스에서 수신되지 않으면 전송 컨덕터에서의 전압이 제2 스위칭 전압 문턱을 초과하면 제1 스위칭 전압 문턱보다 낮은 전압을 제공하도록 구성된다. 제2 스위칭 회로는 로우 로직 신호가 단일 컨덕터 버스에 수신되지 않으면 전송 컨덕터 전압이 제2 스위칭 전압 문턱을 초과하면 제1 스위칭 전압보다 큰 전압을 제공하도록 더 구성된다.

실시예

- <7> 도 1은 본 발명의 실시예에 따라 2-컨덕터 풀 듀플렉스 버스(102)와 단일 컨덕터 양방향 버스(106) 사이에 접속된 레벨 쉬프팅 멀티플렉싱 회로의 블록 다이어그램이다. 도 1에 도시된 블록의 기능과 동작은 임의의 수의 디바이스, 회로 또는 소자로 구현될 수 있다. 둘 이상의 기능적 블록은 단일 디바이스 내에 통합될 수 있고 임의의 단일 디바이스에서 수행되는 것으로서 설명된 기능은 여러 디바이스들에 걸쳐 구현될 수 있다. 스위칭 회로는 일 실시예에서 MOSFET와 저항을 포함한다. 비록 스위칭 회로가 도 1의 레벨 쉬프팅 멀티플렉싱 회로(100) 내의 두개 블록에 의해 대표되지만, 스위칭 회로의 부분(116, 118)으로서 설명된 스위칭 회로의 일부 구성요소(116, 118)는 버스(102, 106) 중 하나에 접속된 디바이스의 부분으로서 구현될 수 있다. 예를 들어, 후술하는 바와 같이, 제2 스위칭 회로의 저항(118)은 일 실시예에서 단일 컨덕터 버스(106)에 접속된 단일 버스 디바이스의 부분으로서 구현된다.
- <8> 레벨 쉬프팅 멀티플렉싱 회로(100)는, 제1 전원(104)의 제1 전원 전압(VDD1)을 참조하는 2-컨덕터 풀 듀플렉스 버스(2-컨덕터 버스)에서, 제2 전원(108)의 제2 전원 전압(VDD2)을 참조하는 단일 컨덕터 양방향 버스(단일 컨덕터 버스)로 신호를 멀티플렉싱한다. 2-컨덕터 버스(102)에 접속된 디바이스들은 전송(TX) 컨덕터(110)로 데이터를 전송하고 수신(RX) 컨덕터(112)로 데이터를 수신한다. 단일 컨덕터 버스(106)에 접속된 디바이스는 단일 컨덕터(114)로 전송 및 수신한다. 2-컨덕터 버스(102)로 통신하는 디바이스는 제1 전원(104)에 접속된다. 따라서, 2-컨덕터 버스에서의 신호는 그라운드 전위 또는 그 근처의 낮은 전압과 제1 전원(104)의 제1 전원 전압 또

는 그 근처의 높은 전압 사이에서 변한다. 단일 컨덕터 버스(106)로 통신하는 디바이스는 제2 전원(108)과 접속된다. 단일 컨덕터(114)에서의 신호는 그라운드 전위 또는 그 근처의 낮은 전압과 제2 전원(108)의 제2 전원 전압 또는 그 근처의 높은 전압 사이에서 변한다.

<9> 레벨 쉬프팅 멀티플렉싱 회로(100)는, 단일 컨덕터 버스(106)로 통신하는 단일 버스 디바이스(도 1에 미도시)에 의해 전송된 데이터와 전송 컨덕터(110) 상의 데이터에 따라, 단일 컨덕터(114)와 수신 컨덕터(112)로 데이터를 확립(establish)하여 전달(present)하도록, 제1 스위칭 회로(116)와 제2 스위칭 회로(118)를 포함한다. 스위칭 회로(116, 118)는 데이터가 단일 컨덕터 버스(106)와 통신하는 단일 버스 디바이스에 의해 전송되지 않는다면 단일 컨덕터 버스(106)와 수신 버스(112)에 TX 데이터를 전달하도록 더 구성된다. 단일 컨덕터 버스(106)와 통신하는 단일 컨덕터 디바이스에 의해 전송된 데이터는 수신 컨덕터(112)에 전달된다. 따라서, 단일 컨덕터 버스(106)와 통신하는 단일 버스 디바이스에 의해 전송된 데이터는, 전송 컨덕터(110)로 전송된 데이터를 오버라이드하여, 단일 버스 데이터를 수신 컨덕터(112)로 전달한다. 보다 상세히 후술하는 바와 같이, 일 실시예에서, 수신 컨덕터(112) 상의 데이터는 단일 컨덕터 버스(106)의 데이터에 대해 인버팅되며 그리고 전송 컨덕터(110)에 의해 전송된 데이터는 단일 컨덕터 버스(106)에서 인버팅된다. 그 결과, 일 실시예에서, 단일 컨덕터 디바이스는 반전 극성 데이터(inverse polarity data)를 전송 및 수신한다.

<10> 제1 스위칭 회로(116)의 게이트(120)에서의 전압이 제1 스위칭 전압 문턱을 초과하면, 제1 스위칭 회로(116)는 활성화되어 전류를 흘린다. 제2 스위칭 회로(118)의 게이트(122)에서의 전압이 제2 스위칭 전압 문턱을 초과하면, 제2 스위칭 회로(118)는 활성화되어 전류를 흘린다. 문턱을 초과하지 않는다면, 디바이스를 통해 전류가 거의 또는 전혀 흐르지 않는다.

<11> 단일 컨덕터 버스(106)로 통신하는 디바이스에 의해 전송되는 데이터가 없다면, 단일 컨덕터 버스(106)는 하이 임피던스 값을 가진다. 이 상태에서, 단일 컨덕터 버스(106)로 통신하는 디바이스는 수신 상태(또는 휴면 상태)에 있고 전송 컨덕터(110)에 나타나는 데이터는 수신 컨덕터(112)에 전달된다. 전송 컨덕터(110)에서의 전압이 제2 스위칭 전압 문턱보다 크면, 제2 스위칭 회로(118)는 활성화되어, 회로(118)를 통해 전류가 흐를 수 있게 하며, 이는 제1 스위칭 회로(116)의 입력에 로우 로직 레벨을 유발한다. 도 2와 관련하여 아래에서 보다 자세히 설명되는 바와 같이, 일 실시예에서, 전류 흐름은 저항에 전압 강하를 만들어 단일 컨덕터 버스(106)의 전압을 제1 스위칭 회로(116)의 스위칭 전압 문턱 아래로 낮춘다. 결과적으로, 제1 스위칭 회로(116)는 활성화 또는 "턴온"되지 않고 수신 포트(112)는 하이 레벨로 남아있게 된다. 일 실시예에서, 풀업(pull-up) 저항은 제1 전원 전압 또는 그 근처로 전압을 유지시킨다.

<12> 단일 컨덕터 버스(106)로 통신하는 디바이스에 의해 전송되는 데이터가 없는 상황이 계속되면, 로우 로직 전압이 전송 컨덕터(110)에 전달될 때 하이 로직 전압이 단일 컨덕터 버스(106)로 전달된다. 전송 컨덕터(110)의 전압이 제2 스위칭 전압 문턱보다 낮으면, 제2 스위칭 회로(118)는 비활성화 또는 "오프" 상태로 남아있게 되고 전류는 흐르지 않는다. 일 실시예에서 저항에서의 전압강하는 없으며 단일 컨덕터 버스(106)의 전압은 제2 전원(108)의 제2 전원 전압 또는 그 근처로 남아있게 된다. 결과적으로, 제1 스위칭 회로(116)의 제1 스위칭 전압 문턱이 초과되고 제1 스위칭 회로(116)는 제1 스위칭 회로(116)를 통해 전류가 흐르도록 하는 "온" 상태에 놓인다. 아래에서 보다 자세히 설명되겠지만, 전류 흐름은 풀업 저항에 전압 강하를 일으켜 수신 컨덕터(112)에 로우 로우를 전달한다.

<13> 일 실시예에서, 단일 컨덕터 버스(106)로 통신하는 디바이스는 반전 극성의 데이터를 전송 및 수신한다. 대부분의 상황에서, 디바이스는 통신을 반전하도록 구성될 수 있다. 일부 상황에서는 부가적 로직이 데이터를 인버팅하도록 요구될 수 있다. 2-컨덕터 버스(102)로 통신하는 디바이스가 유휴 상태(idle state)에 있으면, 전송 컨덕터(110)는 하이 로직 레벨을 가지며 그 결과 제1 전원 전압 또는 그 근처의 전압을 가진다. 상술한 바와 같이, 단일 컨덕터 버스(106)로 통신하는 디바이스에 의해 전송된 임의의 데이터는 전송 컨덕터(110)상의 데이터를 오버라이딩한다. 전송 컨덕터(110)가 하이 로직 전압을 가지며 그리고 단일 컨덕터 버스(106)로 통신하는 디바이스가 로우 로직 값을 전송하면, 제1 스위칭 회로(116)는 오프 상태로 남아있게 되며 수신 컨덕터(112)는 하이 로직 레벨을 가진다. 제2 스위칭 회로(118)는 단일 컨덕터 버스(106)로 통신하는 디바이스가 하이 로직 신호를 전송하는 경우, 단일 컨덕터상의 전압이 제1 스위칭 문턱 전압 위로 상승하도록 구성된다. 결과적으로 하이 로직 레벨은 전송 컨덕터(110) 상의 하이 로직 레벨로부터 유발되는 단일 컨덕터 버스(106) 상의 로우 값을 오버라이딩한다.

<14> 전송 컨덕터(110)가 로우 로직 레벨일 경우, 단일 컨덕터 버스(106)로 통신하는 디바이스가 로우 로직 신호를 전송하지 않는다면, 단일 컨덕터 버스(106)는 하이 로직 레벨로 남아있게 된다. 제2 스위칭 회로(118)는 단일

컨덕터 버스(106)로 통신하는 디바이스가 로우 로직 신호를 전송할 경우, 단일 컨덕터 버스(106)의 전압이 전송 컨덕터(110)가 로우 로직 전압을 가질 때에도 제1 스위칭 회로(116)의 제1 스위칭 전압 문턱 아래로 떨어지도록 구성된다. 아래에서 설명되겠지만, 일 실시예에서 제2 스위칭 회로(118) 내의 저항에 의해 형성된 전압 분배기는, 단일 컨덕터(114)의 로우 전압이, 다른 경우 전송 컨덕터(110)의 로우 로직 전압으로부터 유발되는 하이 전압을 오버라이딩할 수 있게 한다.

<15> 도 2는 본 발명의 실시예에 따라 단일 컨덕터 버스(106)로 통신하는 단일 와이어 디바이스(204)와 2-컨덕터 버스(102)로 통신하는 2-와이어 디바이스(202) 사이에 접속된 레벨 쉬프팅 멀티플렉싱 회로(100)의 블록 다이어그램이다. 제1 스위칭 회로(116)와 제2 스위칭 회로(118)는 상술한 바와 같이 스위칭 회로(116, 118)의 동작을 용이하게 하도록, 전기적 디바이스의 임의의 조합을 이용하여 구현될 수 있다. 실시예에서, 스위칭 회로(116, 118)는 전계 효과 트랜지스터(FETs) 그리고 저항을 포함하며, 적어도 일부 구성요소는 개별 디바이스일 수 있다. 그러나, 모든 디바이스 중 일부는 단일 디바이스로 구현될 수 있다. 예를 들어, 구성요소는 ASIC(application specific integrated circuit)의 부분으로서 구현될 수 있다. 당업자는 N-채널 FET에 대한 아래 설명을 BJT와 같은 스위칭 디바이스들 및 다른 유형의 트랜지스터들에 쉽게 응용할 것이다. FET의 게이트, 소스, 그리고 드레인에 관한 다음의 내용은 각각 BJT의 베이스, 콜렉터 그리고 에미터에 대응될 수 있다.

<16> 일 실시예에서, 제1 스위칭 회로(116)는 제1 트랜지스터(206)와 제1 저항(208)을 포함하고 제2 스위칭 회로(118)는 제2 트랜지스터(210), 제2 저항(212), 제3 저항(214), 제4 저항(216), 및 제5 저항(218)을 포함한다. 일부 구성요소는 몇몇 경우에 생략될 수 있고 일부 구성요소는 다른 디바이스의 부분으로서 구현될 수도 있다. 예를 들면, 제4 저항(216)은 제2 스위칭 회로(118)의 부분으로서 설명되었지만, 단일 와이어 디바이스(204)의 부분으로 구현될 수도 있다. 따라서, 단일 와이어 디바이스(204)가 제4 저항(216)을 포함할 경우, 레벨 쉬프팅 멀티플렉싱 회로(100)는 제4 저항(216)을 포함하지 않는다. 제1 저항(208) 및 제4 저항(216)이 도 2에서는 개별 블록으로 도시되었으나, 일부 상황에서는 각각 2-와이어 디바이스(202) 및 단일 와이어 디바이스(204)의 부분으로서 구현될 수도 있다.

<17> 일부 상황에서는 다른 유형의 트랜지스터가 사용될 수 있으나, 트랜지스터(206, 210)는 N-채널 MOSFET이다. 상술한 바와 같이, 트랜지스터(206, 210)는 예를 들어 다른 유형의 FET, 또는 BJT를 포함할 수 있다. 또한, 어떤 경우에는, 그라운드에 대한 전압 기준에 따라 FET는 P-채널일 수 있다. 아래의 설명에서 제1, 제2 등과 같은 참조 이름의 선택은 오직 참조 및 설명을 위한 것이며 그러한 명명은 동작의 순서 또는 구성요소의 상대적 중요도를 의미하지는 않는다.

<18> 동작하는 동안, 제1 및 제2 스위칭 회로(116, 118)는, 2-컨덕터 버스(102)에서 2-와이어 디바이스(202)에 의해 전송 및 수신된 신호를, 단일 컨덕터 버스(106)에서 단일 와이어 디바이스(204)에 의해 전송 및 수신된 신호와 멀티플렉싱한다. 2-와이어 디바이스(202)는 제1 전원(104)에 접속되고 단일 와이어 디바이스(204)는 제2 전원(108)에 접속되기 때문에, 스위칭 회로(116, 118)는 신호를 레벨쉬프팅하여 2-컨덕터 버스(102)와 단일 컨덕터 버스(106)간 인터페이스를 제공한다. 도 2와 관련하여 설명된 예에서, 2-와이어 디바이스(202)의 UART(220)는 2-컨덕터 버스(102)를 통해 통신한다.

<19> 제1 트랜지스터(206)와 제2 트랜지스터(210) 각각은 게이트(224, 226), 드레인(228, 230) 및 소스(232, 234)를 가진다. 드레인(228, 230)이 포지티브 전원에 접속된 경우에, 게이트(224, 226) 전압이 스위칭 전압 문턱을 초과하면 트랜지스터(206, 210)를 통해 전류가 흐른다. 따라서, 제1 트랜지스터(206)는 제1 스위칭 회로(116)의 제1 스위칭 전압 문턱에 상응하는 제1 스위칭 전압 문턱을 가지고 제2 트랜지스터(210)는 제2 스위칭 회로(118)의 제2 스위칭 전압 문턱에 상응하는 제2 스위칭 전압 문턱을 가진다. 그 결과 실시예에서, 제1 트랜지스터(206)의 V_{gs} 문턱은 제1 스위칭 전압 문턱이고 제2 트랜지스터(210)의 V_{gs} 문턱은 제2 스위칭 전압 문턱이다. 제2 트랜지스터(210)는 드레인(230)에서의 최대 허용 전압이 제2 전원(108)의 최대 가능 전압과 양립가능하도록 선택된다. 실시예에서, 일부 상황에서는 달라질 수도 있겠지만 트랜지스터(206, 210)의 V_{gs} 문턱은 동일하다.

<20> 제1 트랜지스터의 드레인(228)은 수신 컨덕터(212)와 접속되고 제1 저항(208)을 통해 제1 전원(104)으로 접속된다. 게이트(224)는 단일 컨덕터 버스(106)와 접속된다. 보다 자세히 설명되겠지만, 소스(232)는 실시예에서 2-와이어 디바이스(202)의 RX 인에이블 출력 포트(238)와 접속되어 단일 컨덕터(114)와 수신 컨덕터(112) 사이의 접속을 통해 제어한다. 일부 상황에서 소스(232)는 그라운드와 접속될 수 있다. 제2 트랜지스터의 드레인(230)은 제2 저항(212)을 통해 단일 컨덕터 버스(106)와 접속된다. 제2 트랜지스터(210)의 게이트(226)는 전송 컨덕터(110)와 접속되고 제3 저항(214)을 통해 그라운드로 접속된다. 소스(234)는 그라운드와 접속된다. 여기서 설명되는 바와 같이, 제2 스위칭 회로(118)는 단일 컨덕터(114)와 제2 전원(108)(VDD2) 사이에 접속되는 제4 저항

(216) 그리고 단일 컨덕터(114)와 그라운드 사이에 접속된 제5 저항(218)을 포함한다. 많은 경우에 있어, 제2 전원(108)은 단일 컨덕터 버스(106)로 통신하는 디바이스에 가장 가까이 접속할 수 있기 때문에 제4 저항(216)은 단일 와이어 디바이스(216) 근처에 위치한다. 예를 들어, 2-와이어 디바이스(202)가 셀룰러 통신 디바이스 내에서 동작하는 프로세서이고 단일 와이어 디바이스(204)가 분리가능한 배터리의 부분으로서 구현되는 경우에, 배터리와 셀룰러 디바이스간의 접속은 단일 컨덕터(114)인 단일 핀을 포함한다. 따라서, 제4 저항(216)은 전형적으로 보다 쉽게 단일 와이어 디바이스(204) 근처의 회로 내에 접속된다. 다른 배터리와 디바이스는 다른 제2 전압 전원에서 동작할 수 있기 때문에, 저항 값은 다른 단일 컨덕터 디바이스에 대한 다른 값일 수도 있다. 그러나, 선택된 값은 제2 트랜지스터(210)가 온이고 제2 전원이 그것의 최대 전압에 있을 때, 제2 저항과 제4 저항의 분배율이 제1 트랜지스터를 활성화시키는 것을 피하도록 충분히 낮은 전압을 설정(establish)하는 값이어야 한다.

<21> 단일 와이어 디바이스(204)는 GPIO(general purpose input output) 포트(236)을 통해 단일 컨덕터 버스(106)와 접속된다. 단일 와이어 디바이스(204)가 리스 상태(listen state)에 있을 때, GPIO 포트(236)는 하이 임피던스를 유발하는 개 회로로 설정된다. 전송 동안, GPIO 포트(236)는 로우 및 하이 레벨 사이를 교대하며, 로우 레벨은 그라운드로의 로우 임피던스로서 이해되고 하이 레벨은 제2 전원(108)으로의 로우 임피던스 접속으로서 이해될 수 있다.

<22> 동작 동안, 전송 컨덕터(110) 상의 신호는 하이 및 로우 레벨 사이로 게이트를 스위칭한다. 전송 컨덕터(110)는 2-와이어 디바이스(202)가 유틸 상태일 때 하이 상태로 유지된다. 이 상태 동안, 제2 스위칭 전압 문턱은 게이트(226)에서 초과되고 그 결과 제2 트랜지스터의 드레인(230)은 전압 분배기를 형성하는 제2 저항(212)과 제4 저항(216)으로 로우로 내려진다. 제2 저항(212)과 제4 저항(216)의 값은 제2 전원(108)이 가능한 최대 전압을 가질 때, 제1 트랜지스터(206)의 게이트(224)에서의 전압이 제1 트랜지스터(206)의 제1 스위칭 전압 문턱보다 충분히 낮도록 선택된다. 제2 저항(212)과 제4 저항(216)의 저항 값의 적절한 비율의 예는 1/10이다. 실시예에서, 제2 저항(212)은 3.3K 옴의 저항을 가지고 제4 저항(216)은 33K 옴의 저항을 가진다. 전송 컨덕터(110)의 전압이 제2 스위칭 전압 문턱(V_{gs} 문턱) 아래로 떨어지면, 제2 트랜지스터(210)는 오프 상태에 있고, 전류가 흐르지 않으며, 단일 컨덕터 버스(106)의 전압이 제2 전원 전압으로(또는 그 근처로) 올라간다. 단일 컨덕터 버스(106)의 전압이 제1 트랜지스터의 제1 스위칭 전압 문턱(V_{gs})을 초과하면, 제1 트랜지스터(206)는 턴온되고 드레인(224)에서의 전압은 제1 저항(208)에 걸리는 전압 강하로 인해 로우로 내려간다. 따라서, 전송 컨덕터(110)상의 데이터는 수신 컨덕터(112)상의 UART(220)에 의해 수신된다. 데이터의 극성은 스위칭 회로(16, 118)를 통한 더블 인버전(double inversion)의 결과 유지된다. 상술한 요구사항들 외에도, 제2 저항(212)과 제4 저항(216)의 저항 값은, 단일 컨덕터 버스(106)에서 나타나는 캐패시턴스로 인해 축적된 전하를 충분히 방전하도록 적절히 낮아야 한다. 단일 컨덕터 버스(106)상의 캐패시턴스는 제2 트랜지스터(210)의 캐패시턴스를 포함한다. 제2 저항(212)의 저항은 하강 에지를 다루도록 충분히 낮아야 하고 제1 저항(208) 및 제4 저항(216)의 저항은 컨덕터(112, 114)에 각각 접속된 디바이스의 기생 커패시턴스에 적용될 때 보드율(baud rate)과 양립가능한 상승 에지에 대비하도록 충분히 낮아야 한다.

<23> 수신 모드에 있는 동안, 단일 와이어 디바이스(204)는 단일 컨덕터 버스(106)에서 천이(transition)를 이용하여 휴면 모드로부터 깨우거나 또는 2-와이어 디바이스(202)에 의해 전송된 시리얼 데이터를 읽을 수 있다. 단일 컨덕터 버스(106)의 다중 디바이스를 관리하기 위한 공지 기술들이 이용될 수 있으며, 이때 하나 이상의 단일 와이어 디바이스가 단일 컨덕터 버스(106)로 통신한다. 예를 들면, 어드레싱이 데이터 스트림에 적용되어 단일 컨덕터 버스(106)의 다중 디바이스들에서 목표 디바이스를 선택할 수 있다.

<24> 단일 와이어 디바이스(204)는 로우 및 하이 값 사이로 GPIO 포트(236)를 스위칭함으로써 데이터를 전송한다. 그 결과, GPIO 포트(236)는 수신 모드에서의 하이 임피던스에서 전송 모드에서의 로우 임피던스로 변한다. 단일 와이어 디바이스(204)에 의해 전송된 데이터는 2-와이어 디바이스(202)에 의해 전송된 데이터를 오버라이딩한다.

<25> 게이트(224)에서의 전압이 제1 스위칭 전압 문턱(V_{gs} 문턱)보다 클 때면 언제나 제1 트랜지스터(206)의 드레인(228)은 로우로 내려가기 때문에, 스위칭 전압 문턱은, 출력 모드로 설정되었을 때 GPIO 포트(236)에 의해 또는 제4 저항(216)의 풀업(pull-up) 동작을 통해 2-와이어 디바이스에 의해 전송 및 수신될 수 있는 데이터의 최소 전압을 결정한다. 제1 저항(208)은 2-와이어 디바이스(202)의 수신 포트에 대한 포지티브 바이어스를 제공하고 수신 포트(112)의 하이 비트의 상승 에지의 속도가 데이터의 보드율과 양립가능하도록 저항값을 가진다. 전송 컨덕터(110)가 로우, 제2 트랜지스터(210)가 오프이고 제1 트랜지스터(206)가 온일때, 제1 저항(208)의 저항값의 선택은 기대된 전류 소비에 기반하기도 한다. 제1 저항(208)은 실시예에서 100K 옴의 저항을 가진다.

- <26> 단일 와이어 디바이스의 GPIO 포트(236)가 로직 "로우"로 설정되고 전송 컨덕터(110)가 "로우"일 경우, 제4 저항(216)은 GPIO 포트(236)에 의해 그라운드되기 때문에 단일 컨덕터(114)는 로직 하이 값에 도달하지 않고 로우로 남아있게된다. GPIO 포트(236)가 하이 로직 전압으로 설정되고 전송 컨덕터(110)가 마스터 프로세서에 의해 하이로 설정되는 경우, 단일 컨덕터 버스(106)는 하이 레벨로 남아있다. 이 상태 동안, 제2 트랜지스터(210)는 온에 있고 전류는 제2 저항(212)을 통해 흐른다. 그러나, GPIO 포트(236)가 제2 전원 전압(108) 또는 그 근처로 설정되기 때문에, 단일 컨덕터 버스(106)의 전압은 로직 하이로 남아있게된다. 상술한 바와 같이, 단일 와이어 디바이스(204)는 실시예에서 반전 극성 데이터를 전송 및 수신한다.
- <27> 2-와이어 디바이스(202)가 턴오프된다면, 제3 저항(214)은 전압을 내려 전송 컨덕터(110)의 전압이 제2 트랜지스터의 제2 스위칭 전압 문턱을 초과하지 않고, 단일 컨덕터 버스(106)의 전위가 제2 전원 전압으로 상승하고, 그리고 상대적으로 적은 전류만이 제2 전원에서 제5 저항(218)을 통해 공급될 것이다.
- <28> 단일 와이어 디바이스(204)와 제2 전원(108)이 단일 컨덕터 버스(106)로부터 접속해제될 때 제5 저항(218)은 폴다운 저항을 제공한다. 제5 저항은 실시예에서 1M옴이고, 제5 저항(218)의 저항은 제4 저항(216)에 무시할만한 부분(division)만을 제공한다는 선택 기준에 따라 선택된다. 단일 와이어 디바이스(204)와 제4 저항(216)이 접속해제되면, 2-컨덕터 버스(102) 수신 컨덕터(112)는, 1-와이어 디바이스(204)에 의해 무시될 수 있는 단일 컨덕터 버스(106)로 전송된 데이터를 제공하는 2-컨덕터 버스(102)를 통해 다른 디바이스가 2-와이어 디바이스(202)로 접속되도록 하면서 접속해제된다. 제1 저항(208)은 다른 컨덕터 또는 에너지원으로부터 연결된 노이즈에 대한 면역(immunity)을 증가시키는 수신 컨덕터(112)상의 기생 캐패시턴스로 인한 보다 빠른 상승 시간에 대비해 수신 컨덕터(112)에 대한 폴업 저항을 제공한다.
- <29> 2-와이어 디바이스(202)는 임의의 여러 기술을 사용하여 단일 와이어 디바이스(204)의 유무를 감지할 수 있다. 단일 와이어 디바이스(204)의 내부 또는 외부 회로는 실시예에서 제4 저항(216)을 포함하기 때문에, 2-와이어 디바이스(202)는, 전송 컨덕터(110)로 전송된 데이터가 수신 컨덕터(112)에서 수신되지 않고 수신 컨덕터(112)가 하이 로직 레벨로 남아있을 때 단일 와이어 디바이스(202)가 연결되지 않은 것을 감지할 수 있다. 폴업 저항이 없기 때문에, 제1 트랜지스터(206)의 게이트(224)는 로우로 남아있다.
- <30> 단일 컨덕터 버스(106)로 접속된 디바이스가 제4 저항(216)을 포함하지만 2-와이어 디바이스(202)는 전송된 커맨드로의 응답을 수신하지 않을 때, 2-와이어 디바이스(202)는 단일 와이어 디바이스(204)가 접속되지 않았다고 판단한다. 이런 상황은 예를 들어, 디바이스가 저항(216)을 포함하지만 프로세서를 구비하지 않은 경우에 일어날 수 있다.
- <31> 2-와이어 디바이스(202)가 동작하는 동안 단일 와이어 디바이스(204)가 접속되거나 비접속되는 경우, 2-와이어 디바이스(202)는 수신 컨덕터(112)의 전압 변화를 감지한다. 단일 와이어 디바이스(204)가 접속되고 전송 컨덕터(110)가 로우일때, 단일 컨덕터 버스(106)는 로우에서 하이로 변하고 수신 컨덕터(112)는 하이에서 로우로 변화한다. 접속 동안, 제4 저항(216)은, 폴다운으로서 역할하는 제5 저항(218)에 의한 이전의 낮은 전압으로부터 전압을 올린다. 단일 와이어 디바이스(204)가 접속해제되면, 2-와이어 디바이스(202)는 수신 컨덕터(112)상의 로우에서부터 하이로의 변화를 감지한다.
- <32> 2-와이어 디바이스(202)의 RX 인에이블 포트(238)로 제1 트랜지스터(206)의 소스(232)를 접속함으로써, 수신 컨덕터(112)와 단일 컨덕터(114)간의 접속은 제어될 수 있다. RX 인에이블 포트(112) 출력이 로우이면, 소스(232)는 그라운드로 효과적으로 접속되고 멀티플렉싱 회로(100)는 상술한 바와 같이 동작한다. 그러나, 만약 RX 인에이블 포트가 하이로 설정된다면, 게이트(224)에서의 전압과 관계없이 어떤 전류도 흐르지 않기 때문에 제1 트랜지스터는 효과적으로 턴오프된다. 그러한 제어는 상술한 바와 같이, 2-컨덕터 버스(102)로 접속된 다른 디바이스들과의 통신이 가능할 수 있게 한다.
- <33> 그 결과, 예시적인 스위칭 회로는 표준 UART(220)와 단일 컨덕터 양방향 버스(106)간의 인터페이스를 제공한다. 마스터 디바이스의 2-와이어 디바이스(202)는 표준 2-와이어 RS232 시리얼 인터페이스를 사용하여 슬레이브 디바이스의 단일 와이어 디바이스(204)와 통신할 수 있다. 단일 와이어 디바이스(204)의 전류 소비는 2-와이어 디바이스(202)가 디스에이블 또는 파워오프될 때 최소화된다. 흐름 제어 관련문제가 커맨드-반응 트랜잭션 시퀀스를 제공하고 주요 시간 요구사항들을 제거함으로써 최소화되기 때문에, 2-와이어 디바이스(202)가 단일 컨덕터 버스(106)을 통해 단일 와이어 디바이스(204)와 통신할 때, 오버헤드 프로세싱이 최소화된다. 레벨 쉬프팅 멀티플렉싱 회로(100)를 이용하는 많은 응용은 단일 핀에 대한 슬레이브 디바이스 또는 주변 기기에 대한 인터페이스를 제한하는 결과 저비용으로 가능할 것이다. 또한, 정전기 방전 관련문제는 단일 핀으로 보다 쉽게 관리된다. 예시적인 회로(100)는 2-와이어 디바이스(202)가 단일 와이어 디바이스(102)의 유무를 감지할 수 있

게 한다. 또한, 제2 RS232 디바이스는 슬레이브 디바이스가 제거될 때 2-컨덕터 버스(102)로 연결될 수 있다.

<34>

본 발명의 다른 실시예 및 변형은 본 명세서에 개시된 바에 따라 당업자에 의해 쉽게 이루어질 수 있음은 명백할 것이다. 상기 설명은 예시적인 설명을 위한 것이며 제한적인 것은 아니다. 본 발명은 아래의 청구항에 의해 서만 제한될 것이며 아래의 청구항은 상기 명세서와 첨부 도면을 참조할 때, 모든 그러한 실시예 및 변형을 포함한다. 그 결과, 본 발명의 범위는 상기 설명이 아니라 첨부되는 청구항 및 그와 균등한 범위에서 결정되어야 할 것이다.

도면의 간단한 설명

<5>

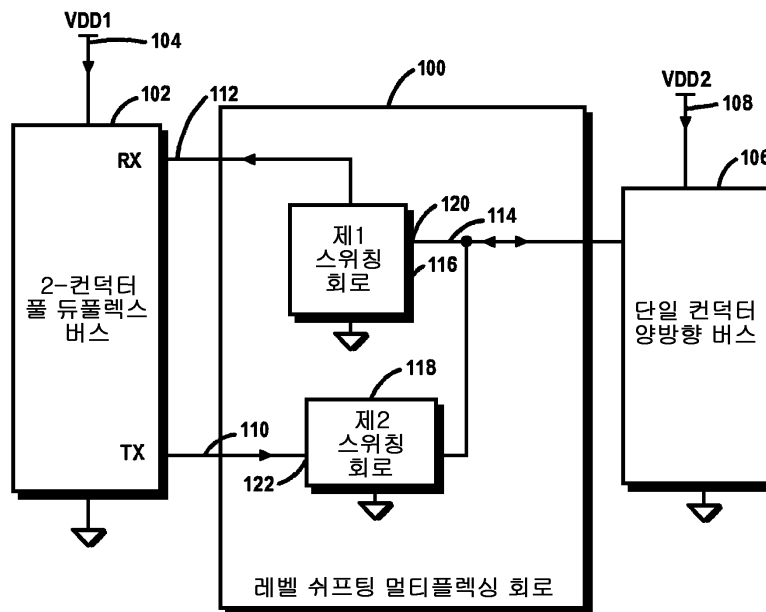
도 1은 본 발명의 실시예에 따른 레벨 쉬프팅 멀티플렉싱 회로의 블록 다이어그램이다.

<6>

도 2는 본 발명의 실시예에 따른 2-와이어 디바이스와 단일 와이어 디바이스간에 접속된 레벨 쉬프팅 멀티플렉싱 회로의 블록 다이어그램이다.

도면

도면1



도면2

