

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月23日(23.09.2021)



(10) 国際公開番号

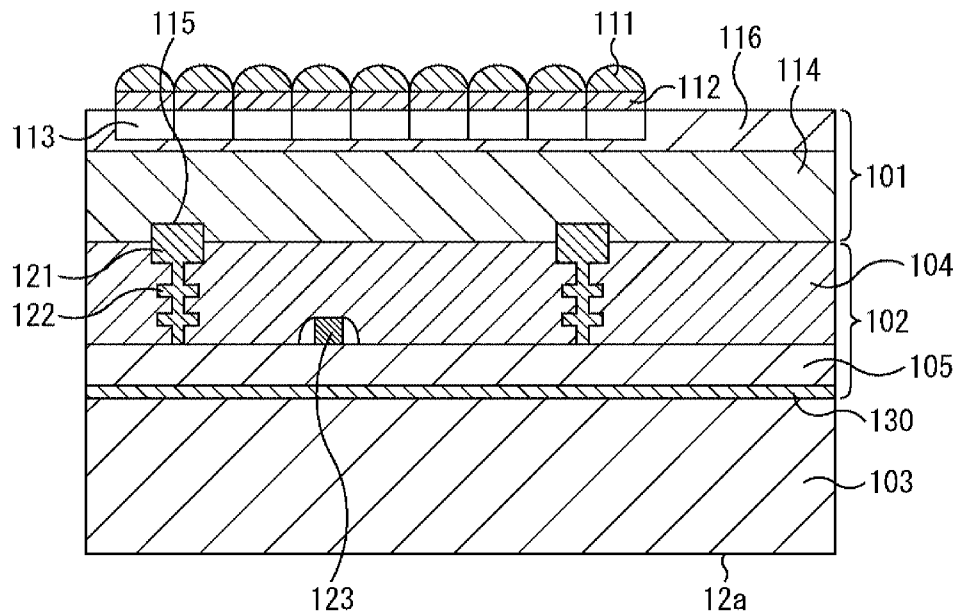
WO 2021/187151 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)
- (21) 国際出願番号: PCT/JP2021/008592
- (22) 国際出願日: 2021年3月5日(05.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-049247 2020年3月19日(19.03.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 岡野 仁志(OKANO Hitoshi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: IMAGE-CAPTURING ELEMENT, SEMICONDUCTOR CHIP

(54) 発明の名称: 撮像素子、半導体チップ

FIG. 3



(57) Abstract: The present technology relates to a semiconductor chip, an image-capturing element in which the profile can be lowered. A first chip including a photo-diode, and a second chip including a circuit which processes a signal from the photo-diode are laminated, and an impurity layer is provided on a second plane of the second chip, the second plane being opposite to a first plane on which the first chip is laminated. The concentration of the impurity in the impurity layer is higher than that in a semiconductor substrate composing the second chip. The present technology can be applied

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

to, for example, an image-capturing element that is composed of a plurality of laminate chips, has a low profile, and is small in size.

(57) 要約: 本技術は、撮像素子を低背化することができるようにする撮像素子、半導体チップに関する。 フォトダイオードを含む第1のチップと、前記フォトダイオードからの信号を処理する回路を含む第2のチップとが積層され、前記第2のチップの前記第1のチップが積層されている第1の面と反対側の第2の面に不純物層が設けられている。不純物層の不純物濃度は、第2のチップを構成する半導体基板の不純物濃度よりも濃く形成されている。本技術は、例えば、チップが複数枚積層されて構成され、低背化、小型化する撮像素子を適用できる。

明 細 書

発明の名称：撮像素子、半導体チップ

技術分野

[0001] 本技術は撮像素子、半導体チップに関し、例えば、低背化することができる撮像素子、半導体チップに関する。

背景技術

[0002] 従来、半導体基板を用いたデバイスでは、チップ面積、配線抵抗、消費電力等の増大を抑止することを目的として、複数の半導体基板を積層した構造が提案されている（例えば、特許文献1参照）。

[0003] 複数の半導体基板を積層する手法としては、始めにウェハプロセスで複数の半導体基板を積層して電氣的に接続した後、チップサイズに個片化する方法が知られている。実際、ロジック基板とセンサ基板とから成るCMOSイメージセンサが上述した手法によって生産されており、3枚以上の半導体基板が積層されたCMOSイメージセンサなども存在する。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-88430号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、複数の半導体基板を積層して半導体装置を形成する場合、総厚を薄くすることが望まれている。総厚を薄くすることで、半導体基板の薄型化、低背化、小型化を実現することが望まれている。

[0006] 本技術はこのような状況に鑑みてなされたものであり、半導体基板を薄型化、低背化、小型化できるようにするものである。

課題を解決するための手段

[0007] 本技術の一側面の第1の撮像素子は、フォトダイオードを含む第1のチップと、前記フォトダイオードからの信号を処理する回路を含む第2のチップ

とが積層され、前記第2のチップの前記第1のチップが積層されている第1の面と反対側の第2の面に不純物層が設けられている。

[0008] 本技術の一側面の半導体チップは、20 μ m以下の厚さのチップであり、前記チップの所定の面には不純物層が設けられている。

[0009] 本技術の一側面の第2の撮像素子は、フォトダイオードを含む第1のチップと、前記フォトダイオードからの信号を処理する回路を含む第2のチップと、メモリ機能またはAI機能を有する第3のチップとが積層され、前記第3のチップの前記第2のチップが積層されている第1の面と反対側の第2の面に不純物層が設けられている。

[0010] 本技術の一側面の第1の撮像素子においては、フォトダイオードを含む第1のチップと、フォトダイオードからの信号を処理する回路を含む第2のチップとが積層され、第2のチップの第1のチップが積層されている第1の面と反対側の第2の面に不純物層が設けられている。

[0011] 本技術の一側面の半導体チップにおいては、20 μ m以下の厚さのチップであり、チップの所定の面には不純物層が設けられている。

[0012] 本技術の一側面の第2の撮像素子においては、フォトダイオードを含む第1のチップと、フォトダイオードからの信号を処理する回路を含む第2のチップと、メモリ機能またはAI機能を有する第3のチップとが積層され、第3のチップの第2のチップが積層されている第1の面と反対側の第2の面に不純物層が設けられている。

図面の簡単な説明

[0013] [図1]撮像装置の構成例を示す図である。

[図2]撮像素子の構成例を示す図である。

[図3]本技術が適用された撮像素子の第1の実施の形態の断面図である。

[図4]トランジスタが形成されている層について説明するための図である。

[図5]欠陥によるリークの発生について説明するための図である。

[図6]高濃度不純物層を基板中程に形成した場合について説明するための図である。

[図7]第2の実施の形態における撮像素子の断面構成例を示す図である。

[図8]第2の実施の形態における撮像素子の他の断面構成例を示す図である。

[図9]第3の実施の形態における撮像素子の断面構成例を示す図である。

[図10]第4の実施の形態における積層チップの断面構成例を示す図である。

[図11]第5の実施の形態における積層チップの断面構成例を示す図である。

[図12]第6の実施の形態における積層チップの断面構成例を示す図である。

[図13]第7の実施の形態における積層チップの断面構成例を示す図である。

[図14]第8の実施の形態における積層チップの断面構成例を示す図である。

[図15]第9の実施の形態における単層チップの断面構成例を示す図である。

[図16]内視鏡手術システムの概略的な構成の一例を示す図である。

[図17]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

[図18]車両制御システムの概略的な構成の一例を示すブロック図である。

[図19]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0014] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0015] 本技術は、撮像装置に適用できるため、ここでは、撮像装置に本技術を適用した場合を例に挙げて説明を行う。なおここでは、撮像装置を例に挙げて説明を続けるが、本技術は、撮像装置への適用に限られるものではなく、デジタルスチルカメラやビデオカメラ等の撮像装置、携帯電話機などの撮像機能を有する携帯端末装置、画像読取部に撮像装置を用いる複写機など、画像取込部（光電変換部）に撮像装置を用いる電子機器全般に対して適用可能である。なお、電子機器に搭載されるモジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

[0016] 図1は、本開示の電子機器の一例である撮像装置の構成例を示すブロック図である。図1に示すように、撮像装置10は、レンズ群11等を含む光学系、撮像素子12、カメラ信号処理部であるDSP回路13、フレームメモリ14、表示部15、記録部16、操作系17、及び、電源系18等を有し

ている。

[0017] そして、DSP回路13、フレームメモリ14、表示部15、記録部16、操作系17、及び、電源系18がバスライン19を介して相互に接続された構成となっている。CPU20は、撮像装置10内の各部を制御する。

[0018] レンズ群11は、被写体からの入射光（像光）を取り込んで撮像素子12の撮像面上に結像する。撮像素子12は、レンズ群11によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子12として、以下に説明する画素を含む撮像素子（イメージセンサ）を用いることができる。

[0019] 表示部15は、液晶表示部や有機EL(electro luminescence)表示部等のパネル型表示部からなり、撮像素子12で撮像された動画または静止画を表示する。記録部16は、撮像素子12で撮像された動画または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

[0020] 操作系17は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系18は、DSP回路13、フレームメモリ14、表示部15、記録部16、及び、操作系17の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0021] <撮像素子の構成>

図2は、撮像素子12の構成例を示すブロック図である。撮像素子12は、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサとすることができる。

[0022] 撮像素子12は、画素アレイ部41、垂直駆動部42、カラム処理部43、水平駆動部44、およびシステム制御部45を含んで構成される。画素アレイ部41、垂直駆動部42、カラム処理部43、水平駆動部44、およびシステム制御部45は、図示しない半導体基板（チップ）上に形成されている。

[0023] 画素アレイ部41には、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素が行列状に2次元配置されている

。なお、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合もある。

[0024] 画素アレイ部41にはさらに、行列状の画素配列に対して行ごとに画素駆動線46が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直信号線47が図の上下方向（画素列の画素の配列方向）に沿って形成されている。画素駆動線46の一端は、垂直駆動部42の各行に対応した出力端に接続されている。

[0025] 撮像素子12はさらに、信号処理部48およびデータ格納部49を備えている。信号処理部48およびデータ格納部49については、撮像素子12とは別の基板に設けられる外部信号処理部、例えばDSP(Digital Signal Processor)やソフトウェアによる処理でも良いし、撮像素子12と同じ基板上に搭載しても良い。

[0026] 垂直駆動部42は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部41の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部42は、その具体的な構成については図示を省略するが、読み出し走査系と、掃き出し走査系あるいは、一括掃き出し、一括転送を有する構成となっている。

[0027] 読み出し走査系は、単位画素から信号を読み出すために、画素アレイ部41の単位画素を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃き出しについては、読み出し走査系によって読み出し走査が行われる読み出し行に対して、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査が行なわれる。また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。

[0028] この掃き出しにより、読み出し行の単位画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電

荷の蓄積を開始する)動作のことを言う。

[0029] 読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、単位画素における光電荷の蓄積期間(露光期間)となる。グローバル露光の場合は、一括掃き出しから一括転送までの期間が蓄積期間(露光期間)となる。

[0030] 垂直駆動部42によって選択走査された画素行の各単位画素から出力される画素信号は、垂直信号線47の各々を通してカラム処理部43に供給される。カラム処理部43は、画素アレイ部41の画素列ごとに、選択行の各単位画素から垂直信号線47を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0031] 具体的には、カラム処理部43は、信号処理として少なくとも、ノイズ除去処理、例えばCDS(Correlated Double Sampling;相関二重サンプリング)処理を行う。このカラム処理部43による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、カラム処理部43にノイズ除去処理以外に、例えば、AD(アナログーデジタル)変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

[0032] 水平駆動部44は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部43の画素列に対応する単位回路を順番に選択する。この水平駆動部44による選択走査により、カラム処理部43で信号処理された画素信号が順番に信号処理部48に出力される。

[0033] システム制御部45は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部42、カラム処理部43、および水平駆動部44などの駆動制御を行う。

[0034] 信号処理部48は、少なくとも加算処理機能を有し、カラム処理部43から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部49は、信号処理部48での信号処理に当たって、その処理に必要なデータを一時的に格納する。

[0035] <第1の実施の形態>

図3に、第1の実施の形態における撮像素子12（撮像素子12aとする）の断面構成例を示す。撮像素子12aは、図中上から順に、CIS（CMOS Image Sensor）チップ101、ロジックチップ102、および支持基盤103が積層された構成とされている。図中上側は、光入射面側であり、光入射面側に、CISチップ101が積層されている。

[0036] CISチップ101は、例えば、図2に示した画素アレイ部41が含まれるチップである。CISチップ101は、シリコン基板に形成された複数のフォトダイオード113が形成されたフォトダイオード層116と配線層114から構成される。また、CISチップ101の光入射面側には、オンチップレンズ111とカラーフィルタ112が積層されている。

[0037] ロジックチップ102には、ロジック回路やメモリなどが形成されている。ロジック回路は、例えば、システム制御部45や信号処理部48（図2）である。ロジックチップ102と、CISチップ101は、それぞれのチップに形成されているパッドにより接続されている。例えば、ロジックチップ102には、CISチップ101が積層される側にパッド121が形成されている。また、CISチップ101には、ロジックチップ102が積層される側にパッド115が形成されている。

[0038] パッド115とパッド121は、それぞれ例えば銅（Cu）等の導体により形成される。パッド115は、CISチップ101に形成される回路の所定の部分、例えば、フォトダイオード113から信号を読み出す配線などと電氣的に接続されている。また、パッド121は、ロジックチップ102に形成されるロジック回路と電氣的に接続されている。

[0039] また、互いに対応するパッド115とパッド121は、図3に示されるよ

うにC I Sチップ101とロジックチップ102とが積層された状態において互いに接する位置に形成される。すなわち、C I Sチップ101に形成される回路とロジックチップ102に形成される回路は、パッド115とパッド121を介して互いに電氣的に接続される。

[0040] なお、撮像素子12aに形成されるパッド115およびパッド121の数は任意である。

[0041] 図3に示されるように、ロジックチップ102には、配線122やトランジスタ123等が形成される。ロジックチップ102は、例えば、シリコン(Si)で構成されたシリコン基板105の上側(C I Sチップ101側)に、多層配線層104が形成されている。この多層配線層104には、図2のシステム制御部45や信号処理部48などが構成されている。多層配線層104には、複数の配線層が形成されており、配線層間は、層間絶縁膜が形成されている。

[0042] パッド121は、配線122に接続される。またパッド121と所定の配線層に形成されている配線122は、縦方向に形成されているViaにより接続されている。図3では、1つのトランジスタ123(のゲート)を図示したが、複数のトランジスタが形成されている。

[0043] ロジックチップ102は、支持基盤103が積層される側、換言すれば、C I Sチップ101が積層されている面と反対側の面(シリコン基板105側)に、高濃度不純物層130が形成されている。高濃度不純物層130は、詳細は後述するが、P型またはN型の不純物濃度が高い層である。

[0044] 第1の実施の形態においては、高濃度不純物層130は、ロジックチップ102のシリコン基板105の一面(裏面)にのみ形成されている例を示して説明を続けるが、ロジックチップ102の側面にも高濃度不純物層130が形成されていても良い。

[0045] 高濃度不純物層130は、ロジックチップ102の製造時、例えばロジックチップ102を薄肉化するときに形成された欠陥による悪影響が発生しないように設けられている。このことについて、図4を参照して説明する。

- [0046] 図4は、トランジスタ123が形成されている領域を拡大した図である。図4では、ロジックチップ102のうち、トランジスタ123のゲート部分が形成されている領域をゲート形成層104とし、トランジスタ123のソースとドレインが形成されている領域を、ソースドレイン形成層106とする。図4、図5では、多層配線層104をゲート形成層104と記述する。またシリコン基板105は、P型基板107とし、このP型基板107のうち、ソースやドレインが形成されている領域を、ソースドレイン形成層106と記述する。
- [0047] ロジックチップ102には、N型トランジスタ123-1とP型トランジスタ123-2が形成されている。ソースドレイン形成層106には、Pウェル151とNウェル152が形成される。N型トランジスタ123-1はPウェル151に形成され、P型トランジスタ123-2はNウェル152に形成される。
- [0048] ソースドレイン形成層106には、N+領域153が形成されている。N+領域153は、N型トランジスタ123-1（のゲート）の左右に形成され、一方がソース、他方がドレインとして機能する。またソースドレイン形成層106には、P+領域154が形成されている。P+領域154は、P型トランジスタ123-2（のゲート）の左右に形成され、一方がソース、他方がドレインとして機能する。
- [0049] また、ソースドレイン形成層106には、素子分離領域155が形成されている。素子分離領域155は、図4に示されるように、トランジスタ（例えばN型トランジスタ123-1やP型トランジスタ123-2）が形成される半導体層であるソースドレイン形成層106を貫通するように形成されている。素子分離領域155は、任意の絶縁体により構成されている。
- [0050] 半導体のPN接合部分では、空乏層が形成される。例えば、Pウェル151とN+領域153が接する部分や、Nウェル152とP+領域154が接する部分には、空乏層161が形成されている。
- [0051] 空乏層161が、ソースドレイン形成層106に形成された欠陥の近傍ま

で広がったり、欠陥に接する位置まで広がったりすると空乏層 161 から欠陥、欠陥から空乏層 161 へのリーク電流が流れてしまう可能性がある。このことについて図 5 を参照して説明する。

[0052] 図 5 は、シリコン基板 105 の部分を拡大した図である。また図 5 は、ロジックチップ 102 の厚さ（シリコン基板 105 の厚さ）が異なる場合を示し、図 5 の A に示したシリコン基板 105 よりも、図 5 の B に示したシリコン基板 105 の厚さが薄く形成された場合を示している。

[0053] 図 5 の A を参照する。図 5 の A に示したシリコン基板 105 は、その厚さが厚さ d_1 となるまで薄肉化された場合を示している。シリコン基板 105 に形成されている、例えば、N+領域 153（空乏層 161）と、欠陥 162 が十分に離れた状態を確保できる厚さ d_1 であれば、欠陥 162 を介して空乏層 161 間にリークが発生することを防ぐことができる。

[0054] 図 5 の B に示したロジックチップ 102 は、ソースドレイン形成層 106 の厚さが厚さ d_2 となるまで薄肉化された場合を示している。厚さ d_2 は、厚さ $d_1 > \text{厚さ } d_2$ を満たす厚さである。ソースドレイン形成層 106 に形成されている、例えば、N+領域 153（空乏層 161）と、欠陥 162 が十分に離れた状態を確保できていない厚さ d_2 であると、欠陥 162 を介して空乏層 161 間にリークが発生する可能性がある。

[0055] 例えば、ロジックチップ 102 の製造時の薄肉化する工程において、欠陥 162 が形成されてしまうことがある。また、厚さ d_2 のような厚さになるまで、ロジックチップ 102 を薄肉化すると、上記したように、欠陥 162 を介してリークが増大する可能性がある。このようなリークが増大してしまうようなことが発生すると、製造時に不良品として扱われることになる。

[0056] このようなことから、ロジックチップ 102 の厚さは、ある程度の厚さが必要となる。しかしながら、ロジックチップ 102 を薄く形成することができれば、撮像素子 12 の低背化、小型化を実現できる。

[0057] そこで、図 3 を参照して説明したように、ロジックチップ 102 に高濃度不純物層 130 を形成する。高濃度不純物層 130 は、シリコン基板 105

(P型基板107)とキャリア型が同型の不純物層として形成されている。

[0058] ここでは、シリコン基板105は、P型の不純物を含むP型基板107を例に挙げて説明しているため、高濃度不純物層130は、P型基板107よりも高濃度のP型の不純物を含む層として形成される。

[0059] シリコン基板105が、N型の不純物を含むN型基板である場合、高濃度不純物層130は、シリコン基板105(N型基板)よりも高濃度のN型の不純物を含む層として形成される。以下の説明では、シリコン基板105は、P型基板107であり、高濃度不純物層130は、P型の不純物層である場合を例に挙げて説明する。

[0060] なお、高濃度不純物層130との記載を行うが、高濃度とは、少なくともシリコン基板105(P型基板107)の不純物濃度よりも高いことを意味する。換言すれば、シリコン基板105の不純物濃度よりも高い不純物濃度を有する層が、ロジックチップ102などのチップに形成されていればよい。

[0061] 高濃度不純物層130を設けることで、シリコン基板105内の例えばN+領域153から広がる空乏層161の広がりを防ぐことができる。または、高濃度不純物層130を設けることで、高濃度不純物層130自体で、シリコン基板105内の例えばN+領域153から広がる空乏層161の広がり遮ることができる。このような高濃度不純物層130を、シリコン基板105に形成することで、欠陥162を介したウェル間のリーク増加を抑制することができる。

[0062] 高濃度不純物層130を設けることで、ロジックチップ102の厚さを薄く形成しても、欠陥162を介したウェル間のリークの発生(増加)を抑制することができる。よって、ロジックチップ102の厚さを薄く形成しても、そのロジックチップ102が不良品となる可能性を低減させることができる。よって、ロジックチップ102を薄く形成することができ、そのようなロジックチップ102を備える撮像素子12aを低背化、小型化することができる。

- [0063] 例えば、ロジックチップ102のシリコン基板105の厚さは、20 μ m以下に形成することができる。本技術によれば、シリコン基板105の厚さを、20 μ m以下に形成したとしても、リークが発生（増加）するようなことを防ぐことができる。
- [0064] シリコン基板105の厚さは、シリコン基板105のソースドレイン形成層106に存在する不純物層（例えば、N+領域153）の深さと、その不純物層からの広がる空乏層161の幅を合計した深さよりも小さくすることができる。
- [0065] 高濃度不純物層130は、図3に示したように、ロジックチップ102のシリコン基板105の裏面側に形成されていても良いし、図6に示すように、シリコン基板105の裏面から離れた位置に形成されていても良い。図6に示した撮像素子12aのロジックチップ102には、ロジックチップ102のシリコン基板105の中程に、高濃度不純物層130が形成されている。
- [0066] 例えば、シリコン基板105の裏面から表面までの厚さを100%とした場合であり、裏面側からの厚さを0%とした場合、高濃度不純物層130は、例えば、0乃至50%の範囲内に形成することができる。
- [0067] 高濃度不純物層130は、図3に示すように、ロジックチップ102の裏面側（シリコン基板105の裏面側）であり、支持基盤103が積層される面側に、所定の厚さと、不純物の濃度を有して形成されていても良い。また、高濃度不純物層130は、図6に示すように、ロジックチップ102のシリコン基板105の裏面側から離れた位置であり、トランジスタ123（多層配線層104）側に近い位置に、所定の厚さと、不純物の濃度を有して形成されていても良い。
- [0068] シリコン基板105内の高濃度不純物層130が形成される位置は、N+領域153やP+領域154（以下、N+領域153を例に挙げて説明を続ける）と重なることがない位置から、シリコン基板105の裏面までの間の位置であれば良い。また高濃度不純物層130は、空乏層161の一部と重

なる位置に形成されても良いし、空乏層 161 から離れた位置に形成されても良い。

[0069] また、N+領域 153 側に近い位置に高濃度不純物層 130 を形成した場合の不純物濃度は、N+領域 153 よりも遠い位置に高濃度不純物層 130 を形成した場合の不純物濃度よりも薄くしても良い。

[0070] 一般的に、例えば、N+領域 153 の不純物濃度が濃い場合、またこのN+領域 153 と接するPウェル領域 151 の不純物濃度が濃い場合、空乏層 161 の広がり（以下、適宜、空乏層幅と記述する）は大きくなる。よって、空乏層 161 の広がりを防ぎ、欠陥 162 を介したウェル間のリークを抑制するためには、N+領域 153 の濃度を考慮して、高濃度不純物層 130 を形成する位置や不純物濃度を設定して、形成される。

[0071] N+領域 153 の不純物濃度が濃い場合、空乏層 161 の広がりが大きくなるので、図 6 に示したように、シリコン基板 105 の例えば中程に形成して、空乏層 161 の広がりを高濃度不純物層 130 で防ぎ、シリコン基板 105 の裏面側に形成されている欠陥 162 を介したリークが発生しないようにすることができる。

[0072] この場合、高濃度不純物層 130 の不純物濃度は、高濃度不純物層 130 が、トランジスタ 123 に影響を与えない濃度以下に設定される。高濃度不純物層 130 の不純物濃度を濃くした場合、高濃度不純物層 130 の影響が、N+領域 153 の領域までおよび、トランジスタ 123 の性能が落ちる可能性がある。このようなことが発生しないような不純物濃度に、高濃度不純物層 130 の不純物濃度は設定される。

[0073] N+領域 153 の不純物濃度が濃い場合、空乏層 161 の広がりが大きくなるので、図 3 に示したように、高濃度不純物層 130 をシリコン基板 105 の裏面付近に形成して、欠陥 152 がある領域が空乏化されるようなことを防ぎ、シリコン基板 105 の裏面側に形成されている欠陥 162（換言すれば、高濃度不純物層 130 付近に形成されている欠陥 162）を介したリークが発生しないようにすることができる。

- [0074] この場合も、高濃度不純物層 130 の不純物濃度は、高濃度不純物層 130 による影響が、トランジスタ 123 に影響を与えない濃度以下に設定される。
- [0075] N+領域 153 の不純物濃度が薄い場合も、上記した N+領域 153 の不純物濃度が濃い場合と同じく、高濃度不純物層 130 のシリコン基板 105 内での位置に応じた不純物濃度を適切に設定することで、リークの発生を抑制することができる。換言すれば、高濃度不純物層 130 の不純物濃度に応じたシリコン基板 105 内での位置を適切に設定することで、リークの発生を抑制することができる。
- [0076] 具体的な数値を一例挙げる。シリコン基板 105 (P 型基板 107) (図 4) の不純物濃度が、 $1 \text{ E } 13 \sim 1 \text{ E } 14 / \text{cm}^3$ であり、シリコン基板 105 の厚さが $10 \text{ }\mu\text{m}$ 以下まで薄く研磨した場合、その基板濃度 (P 型基板 107 の濃度) よりも高い濃度 $1 \text{ E } 16 / \text{cm}^3$ 程度の高濃度不純物層 130 が、シリコン基板 105 の裏面に形成される。
- [0077] シリコン基板 105 の裏面 (研磨される側の面) に、シリコン基板 105 の濃度よりも濃い不純物濃度の高濃度不純物層 130 を裏面側に有する構成とすることで、シリコン基板 105 を薄く形成したとしても、研磨時に生じた欠陥 162 を介したウェル間のリークが発生するようなことを抑制することができる。よって、本技術によれば、シリコン基板 105 を薄く構成することができる。
- [0078] シリコン基板 105 の薄さに関する具体的な数値を一例あげると、本技術を適用することで、 $1 \sim 20 \text{ }\mu\text{m}$ とすることができる。本技術によれば、シリコン基板 105 を、 $1 \sim 20 \text{ }\mu\text{m}$ の厚さに形成したとしてもリークが発生するようなことを防ぐことができる。
- [0079] ここであげた高濃度不純物層 130 を形成する位置や、不純物濃度などは、以下の実施の形態においても、同様に適用できる。
- [0080] 高濃度不純物層 130 は、ロジックチップ 102 を製造時に、ロジックチップ 102 を研磨した後、その研磨した面側から、または研磨した面の反対

の面から、第2族元素を高エネルギーで注入することで形成することができる。

[0081] また、ロジックチップ102を研磨した後、その研磨した面側から、第2族元素を低エネルギーで注入することで高濃度不純物層130を形成することができる。

[0082] また、プラズマドーピングにより高濃度不純物層130を形成しても良い。さらに、固相拡散により高濃度不純物層130を形成しても良い。高濃度不純物層130を、固相拡散によりP型の不純物の層として形成する場合、P型の不純物の膜を、例えばP型の不純物をドーピングすることで形成した後、熱を加えることで、P型の不純物を拡散させることにより、所定の厚さを揺する高濃度不純物層130を形成することができる。

[0083] また、ロジックチップ102を研磨した後、その研磨した面に、P型の不純物を含む材料を塗布することで、高濃度不純物層130が形成されても良い。

[0084] このような形成によれば、チップ（デバイス）の特性に影響をおよぼすことなく高濃度不純物層130を形成することができる。よって、高濃度不純物層130を形成した場合も、チップ（デバイス）の特性を維持したまま、上述した効果を得ることができる。

[0085] <第2の実施の形態>

図7に、第2の実施の形態における撮像素子12（撮像素子12bとする）の断面構成例を示す。

[0086] 第2の実施の形態における撮像素子12bは、第1の実施の形態における撮像素子12aと比較し、2つのロジックチップ102が積層（配置）されている点が異なり、他の点は、基本的に同様である。以下、同様な部分については適宜説明を省略する。

[0087] 第2の実施の形態における撮像素子12bは、1つのCISチップ101に対して、ロジックチップ102-1とロジックチップ102-2が積層（配置）されている。ここでは、ロジックチップ102-1とロジックチップ

102-2と記載したが、どちらかのチップは、メモリなどのロジック回路以外の回路が形成されているチップであっても良い。

[0088] また、図7では、1つのCISチップ101に対して、ロジックチップ102-1とロジックチップ102-2の2つのチップが積層されている例を示したが、2以上のロジックチップ102が積層されていても良い。

[0089] 図7に示した撮像素子12のように、1つのCISチップ101に対して、2つのロジックチップ102-1とロジックチップ102-2が配置されるようにした場合、ロジックチップ102-1とロジックチップ102-2の間に隙間が生じる。この隙間には、酸化膜201が形成されている。

[0090] ロジックチップ102-1とロジックチップ102-2の周辺部の空間には、酸化膜201が満たされた状態となっている。これにより、ロジックチップ102-1とロジックチップ102-2は、酸化膜201に埋め込まれた状態となっている。

[0091] またロジックチップ102-1とロジックチップ102-2には、それぞれ高濃度不純物層130bも形成（積層）されている。高濃度不純物層130bも、ロジックチップ102-1とロジックチップ102-2の隙間の部分にも形成されている。高濃度不純物層130bは、第1の実施の形態の撮像素子12aと同じく、ロジックチップ102-1とロジックチップ102-2のCISチップ101が積層される面ではない面（裏面）に、それぞれ形成されているとともに、ロジックチップ102-1とロジックチップ102-2の側面にも、それぞれ形成されている。

[0092] 図7に示すように、ロジックチップ102-1の側面と裏面には、高濃度不純物層130bが形成され、その高濃度不純物層130bに、酸化膜201が積層されている。同じく、ロジックチップ102-2の側面と裏面には、高濃度不純物層130bが形成され、その高濃度不純物層130bに、酸化膜201が積層されている。

[0093] このように、ロジックチップ102の側面にも高濃度不純物層130bを形成しても良い。

- [0094] 第2の実施の形態における撮像素子12bにおいても、高濃度不純物層130bを形成することで、ロジックチップ102の厚さを薄くしても、界面付近に形成された欠陥を介してウェル間のリーク増加を抑制することができる。
- [0095] 図8に示すように、ロジックチップ102-1に形成される高濃度不純物層130b-1と、ロジックチップ102-2に形成される高濃度不純物層130b-2は、異なる不純物濃度で形成されていても良い。例えば、高濃度不純物層130b-1の不純物濃度は、高濃度不純物層130b-2の不純物濃度よりも濃く、または薄く形成されていても良い。
- [0096] また、図8には図示していないが、高濃度不純物層130b-1と高濃度不純物層130b-2は、同じ位置に形成されていなくても良い。例えば、ロジックチップ102-1とロジックチップ102-2が、異なる厚さで構成されていても良く、異なる厚さで構成されていることにより、高濃度不純物層130b-1と高濃度不純物層130b-2が異なる位置に形成されていても良い。
- [0097] また例えば、高濃度不純物層130b-1は、図3に示したように、ロジックチップ102-1の裏面側に形成され、高濃度不純物層130b-2は、図6に示したように、ロジックチップ102-2のシリコン基板105の中程に形成されているといったように、高濃度不純物層130b-1と高濃度不純物層130b-2は、同じ位置に形成されていない構成とすることも可能である。
- [0098] また、例えば、ロジックチップ102-1がP型基板で構成され、ロジックチップ102-2がN型基板で構成され、この基板の違いにより、高濃度不純物層130b-1はP型不純物濃度が高い層として構成され、高濃度不純物層130b-2はN型不純物濃度が高い層として構成されていても良い。すなわち、高濃度不純物層130b-1と高濃度不純物層130b-2は、異なる不純物がドーピングされている層（異なるキャリア型の層）として形成されていても良い。

[0099] また、ロジックチップ102-1とロジックチップ102-2が、同一のキャリアの基板であっても、高濃度不純物層130b-1と高濃度不純物層130b-2は、異なるキャリアの層として形成されていても良い。

[0100] 図7、図8に示した撮像素子12bにおいても、高濃度不純物層130bを形成することで、ロジックチップ102の厚さを薄くしても、界面付近に形成された欠陥を介してウェル間のリーク増加を抑制することができる。

[0101] また、ロジックチップ102を薄く形成することができると、ロジックチップ102-1とロジックチップ102-2の間の隙間の深さも浅くすることができる。隙間は、ロジックチップ102の厚さと同じ深さになるため、ロジックチップ102が薄くなれば、隙間は浅くなる。

[0102] ロジックチップ102間の隙間が深いと酸化膜201を完全に充填するのが困難となり、酸化膜201に空気を含む隙間ができてしまう可能性がある。酸化膜201に隙間があると、積層される支持基盤103が撓んでしまったり、熱膨張したりする可能性がある。

[0103] しかしながら、本技術によれば、ロジックチップ102を薄くし、ロジックチップ102間の隙間を浅く形成することができるため、その隙間に十分に酸化膜201を充填させることができる。よって、支持基盤103が撓んでしまったり、ロジックチップ102間に空気が含まれる隙間が形成されてしまったりすることを防ぐことができる。

[0104] <第3の実施の形態>

図9に、第3の実施の形態における撮像素子12（撮像素子12cとする）の断面構成例を示す。

[0105] 第3の実施の形態における撮像素子12cは、第1の実施の形態における撮像素子12aと比較し、さらに、チップ251が積層されている点が異なり、他の点は基本的に同様である。

[0106] チップ251は、ロジック回路が形成されているチップであっても良いし、メモリが形成されているチップであっても良い。またさらにAI（Artificial Intelligence）機能を有する信号処理チップであっても良い。

- [0107] またここでは、3層目には、チップ251だけが積層されている場合を例示したが、例えば図7に示した撮像素子12bのように、2以上のチップが積層（配置）されていても良い。また、3層目に2以上のチップが積層されるとき、メモリ機能を有するチップと、AI機能を有するチップが積層（配置）されるようにしても良い。
- [0108] チップ251は、ロジックチップ102に、高濃度不純物層130を介して積層される。チップ251は、ロジックチップ102と同じく、多層配線層254とシリコン基板255で構成されている。多層配線層254内には、配線262が形成されている。
- [0109] ロジックチップ102とチップ251は、CISチップ101とロジックチップ102と同じく、パッドにより接続されている。チップ251には、ロジックチップ102が積層される側に、パッド261が形成されている。このパッド261には、チップ251内の配線層に形成されている配線262が接続されている。
- [0110] チップ251に形成されたパッド261は、酸化膜253に形成されているパッド263と接続され、このパッド263は、ビア125を介して、ロジックチップ102の多層配線層104内の配線124に接続されている。ここでは、このように、ロジックチップ102とチップ251が、パッド261とパッド263により電氣的に接続されている場合を例示したが、他の接続方法で接続されていても良い。
- [0111] チップ251のロジックチップ102が積層される面と逆側の面（裏面）、換言すれば、シリコン基板255側には、高濃度不純物層252が形成されている。この高濃度不純物層252は、裏面の一部にのみ形成されている。図9に示した断面図において、高濃度不純物層252は、チップ251の端部側には形成されていない。また、チップ251は、高濃度不純物層252も含めて、酸化膜253に埋め込まれた状態となっている。
- [0112] 高濃度不純物層130cは、ロジックチップ102の裏面の全体を覆うように形成されているが、高濃度不純物層252は、チップ251の裏面の一

部を覆うように（一部の領域に）形成されている。高濃度不純物層は、チップの所定の面の全体を覆うように形成されていても良いし、チップの所定の面の一部を覆うように形成されていても良い。また、チップの所定の面の一部を覆うように形成する場合、例えば、ストライプ形状で形成されていても良い。高濃度不純物層は、欠陥によりリークが発生する可能性がある領域に形成されていればよい。

[0113] 第3の実施の形態のように、複数のチップが積層される場合に、そのうちの1または複数のチップのそれぞれに、高濃度不純物層が形成されているようにすることができる。また、ロジックチップ102とチップ251のように、異なる大きさのチップが積層されるような場合であっても、本技術を適用することができる。

[0114] 第3の実施の形態における撮像素子12cにおいても、高濃度不純物層130c、高濃度不純物層252を形成することで、ロジックチップ102やチップ251の厚さを薄くしても、界面付近に形成された欠陥を介してウェル間のリーク増加を抑制することができる。

[0115] <第4の実施の形態>

第4の実施の形態について説明する。第1乃至第3の実施の形態は、高濃度不純物層を備える撮像素子12を例に挙げて説明したが、高濃度不純物層は、撮像素子を構成するチップ以外にも形成することができる。

[0116] 図10は、第4の実施の形態における積層チップの構成例を示す図である。図10に示した積層チップ301aは、図中上側から、メモリチップ311、ロジックチップ102、および支持基盤103の順で積層されている。図10に示した積層チップ301aは、図8に示した撮像素子12bのCISチップ101の代わりにメモリチップ311とした点が異なり、他の点は同様である。

[0117] 図10に示した積層チップ301aは、1つのメモリチップ311に対して、ロジックチップ102-1とロジックチップ102-2が積層（配置）されている。積層チップ301aによれば、例えば、ロジックチップ102

ー１で処理されたデータを、メモリチップ３１１で記憶し、その記憶されているデータを用いて、ロジックチップ１０２－２が所定の処理を行うといったことができる。

[0118] 積層チップ３０１ａのロジックチップ１０２－１とロジックチップ１０２－２のそれぞれの裏面には、高濃度不純物層３３０が形成されている。この高濃度不純物層３３０は、例えば、第２の実施の形態における撮像素子１２ｂの高濃度不純物層１３０ｂに該当する層であり、第１の実施の形態における高濃度不純物層１３０ａと同様な構成（材料など）とすることができる。よって、ロジックチップ１０２－１や、ロジックチップ１０２－２を薄型に形成しても、裏面側にある欠陥により、リークが発生（増大）するようなことを防ぐことができる。

[0119] ロジックチップ１０２－１とロジックチップ１０２－２の厚さが薄くなることで、ロジックチップ１０２－１とロジックチップ１０２－２が積層されている積層チップ３０１ａ自体の厚さも薄くすることができる。よって、積層チップ３０１ａを低背化、小型化することができる。

[0120] ＜第５の実施の形態＞

図１１は、第５の実施の形態における積層チップ３０１ｂの構成例を示す図である。

[0121] 第５の実施の形態における積層チップ３０１ｂは、第４の実施の形態の積層チップ３０１ａ（図１０）と同じく、メモリチップ３１１、ロジックチップ１０２、および支持基盤１０３が積層されている。第５の実施の形態における積層チップ３０１ｂは、メモリチップ３１１に高濃度不純物層３３０ｂが形成されている。

[0122] 高濃度不純物層３３０は、図１０に示した積層チップ３０１ａのように、ロジックチップ１０２に形成されていても良いし、図１１に示した積層チップ３０１ｂのように、メモリチップ３１１に形成されていても良い。

[0123] また、高濃度不純物層３３０は、支持基盤１０３が積層される側の面に形成されてもよいし、支持基盤１０３が積層されない側の面に形成されても良

い。また、高濃度不純物層 330 は、図 11 に示した例のように、他のチップと積層されない側に形成される、換言すれば、露出した状態で形成されていても良い。

[0124] また、メモリチップ 311 に積層（配置）されるロジックチップ 102 は、第 4 の実施の形態の積層チップ 301 a のように、複数のロジックチップ 102 であっても良いし、第 5 の実施の形態の積層チップ 301 b のように、1 つのロジックチップ 102 であっても良い。

[0125] 第 4 の実施の形態と第 5 の実施の形態を組み合わせ、メモリチップ 311 とロジックチップ 102 の両方に、高濃度不純物層を形成した構成としても良い。

[0126] 高濃度不純物層は、積層チップ 301 を構成する複数のチップのうちの 1 または複数のチップの所定の面に形成されている。また積層（配置）されるチップは、1 対 1 でも良いし、1 対複数であっても良い。

[0127] 薄く形成したいチップを、薄く形成し、薄く形成されたチップに高濃度不純物層を形成することで、薄肉化したときに形成された欠陥があったとしても、その欠陥を介したリークが発生することを防ぐことができる。よって、リークを抑制できる薄く形成されたチップを積層することでき、積層チップ 301 を低背化、小型化することができる。

[0128] <第 6 の実施の形態>

図 12 は、第 6 の実施の形態における積層チップ 301 c の構成例を示す図である。

[0129] 第 6 の実施の形態における積層チップ 301 c は、第 4 の実施の形態における積層チップ 301 a から、支持基盤 103 を削除した構成とされている点が異なる。積層チップ 301 に、支持基盤 103 を設けない構成としても良い。

[0130] また第 6 の実施の形態における積層チップ 301 c は、第 4 の実施の形態における積層チップ 301 a と比較して、ロジックチップ 102-1 とロジックチップ 102-2 の間の隙間の部分には、酸化膜 201 c のみが充填さ

れている点異なる。換言すれば、ロジックチップ102-1とロジックチップ102-2のそれぞれの側面には、高濃度不純物層330cは形成されていない。

[0131] チップの側面に、高濃度不純物層を形成する構成としても良いし、高濃度不純物層を形成しない構成としても良い。

[0132] チップの側面に高濃度不純物層を形成するか否かは、製造時の工程の違いによる。図12に示したように、ロジックチップ102-1とロジックチップ102-2の側面に、高濃度不純物層330cを形成しない場合、メモリチップ311にロジックチップ102-1とロジックチップ102-1が配置された後、ロジックチップ102-1とロジックチップ102-2の間（隙間）に、酸化膜201cが充填される。

[0133] 酸化膜201cは、隙間に充填されるとき、ロジックチップ102-1とロジックチップ102-2の裏面側にも形成されるが、その裏面側に形成された酸化膜201cは、例えばCMP（Chemical Mechanical Polish）により除去される。その後、高濃度不純物層330cが成膜されると、図12に示したような積層チップ301cが製造される。

[0134] 図10を再度参照する。図10に示した積層チップ301aのように、ロジックチップ102-1とロジックチップ102-2の側面に、高濃度不純物層330を形成する場合、メモリチップ311にロジックチップ102-1とロジックチップ102-1が配置された後、ロジックチップ102-1とロジックチップ102-2のそれぞれの側面と裏面に、高濃度不純物層330が形成される。

[0135] その後、酸化膜201が、ロジックチップ102-1とロジックチップ102-2の隙間に充填されるとき、それぞれの裏面に形成される。このように、高濃度不純物層330を形成した後、酸化膜201を形成すると、図10に示したような積層チップ301aが製造される。

[0136] 図12に示した第6の実施の形態における積層チップ301cにおいても、上記した実施の形態と同じく、高濃度不純物層330cを形成することで

、欠陥を介したリークが発生（増加）することを抑制することができる。よって、積層チップ301cを薄型に形成することができる。さらに、支持基盤103を備えない構成とすることで、積層チップ301cをより薄側に形成することができる。

[0137] このような支持基盤103を備えない積層チップ301cは、低い隙間に実装することができる。

[0138] <第7の実施の形態>

図13は、第7の実施の形態における積層チップ301dの構成例を示す図である。

[0139] 第7の実施の形態における積層チップ301dは、複数のチップが積層された構成とされている。上記した実施の形態においては、チップは、CISチップ、メモリチップ、ロジックチップなどである場合を例に挙げて説明したが、積層されるチップは、これらのチップであっても良いし、他の例示していないチップであっても良い。

[0140] 図13に示した積層チップ301dは、図中上から順に、チップ401、チップ402、チップ403が積層され、さらに支持基盤404が積層されている例を示した。チップ401、チップ402、チップ403は、それぞれCISチップ、メモリチップ、ロジックチップなどのチップとすることができる。

[0141] チップ401の裏面には、高濃度不純物層330d-1が形成され、チップ402の裏面には、高濃度不純物層330d-2が形成され、チップ403の裏面には、高濃度不純物層330d-3が形成されている。各チップ401乃至403は、それぞれ高濃度不純物層330d-1乃至330d-3を備えるため、リークの発生を抑制することができる構成とされている。

[0142] また、各チップ401乃至403は、薄側に形成することができる。各チップ401乃至403を薄型に形成することで、積層チップ301d自体を低背化、小型化することができる。

[0143] 図13に示した積層チップ301dは、3つのチップ401乃至403が

積層された構成とされているが、4以上のチップを積層した場合にも本技術を適用できる。また、本技術によれば、各チップを低背化することができるため、複数のチップを積層した場合に、従来よりも、より低背化することができる。

- [0144] 各チップ401乃至403の接続には、TSV (Through-Silicon Via)、バンプ (Bump)、CuCu接続などを適用することができる。例えば、チップ401と支持基盤404は、TSV411により接続されている。また、TSV411と支持基盤404は、バンプ412により接続されている。
- [0145] 同じく、チップ403と支持基盤404は、TSV413により接続され、TSV413と支持基盤404は、バンプ414により接続されている。
- [0146] 本技術を適用すると、TSV411やTSV413を細く形成することができる。例えば、TSV411は、チップ401からチップ402、チップ403を貫通して、バンプ412まで形成されている。TSVは、一般的に、開口部分は広くなり、開口部分から徐々に狭くなる、いわゆるテーパ形状で形成されている。
- [0147] 一般的に、TSV411を形成する深さが深くなるほど、テーパ形状の開口部分は大きくなり、太く形成しなくてはならない。本技術によれば、チップ401乃至403のそれぞれを薄く形成することができる。
- [0148] よってTSV411を形成する深さを短くすることができ、TSV411を細く形成することができる。TSV411を細く形成することで、平面において、TSV411が形成されている面積を小さくすることができ、積層チップ301dを小型化することができる。
- [0149] 図13に示した第7の実施の形態における積層チップ301dにおいても、上記した実施の形態と同じく、高濃度不純物層330dを形成することで、欠陥を介したリークが発生（増加）することを抑制することができる。よって、積層チップ301dを薄型に形成することができ、低背化、小型化を実現することができる。
- [0150] <第8の実施の形態>

図14は、第8の実施の形態における積層チップ301eの構成例を示す図である。

[0151] 第8の実施の形態における積層チップ301eは、第5の実施の形態における積層チップ301b（図11）と比較して、ロジックチップ102が、モノリシック（monolithic）デバイスを含む構成とされている点異なる。モノリシックデバイスは、1枚の基板の上、もしくは基板内に、トランジスタ、ダイオード、抵抗、容量などを作り、配線した集積回路である。

[0152] 図14に示した例では、ロジックチップ102内に、モノリシックデバイス351が内在されている。ロジックチップ102を、モノリシックデバイス351を内在した構成とすることで、搭載面積を増大させることができる。

[0153] また図14に示した例では、高濃度不純物層330e-1と高濃度不純物層330e-2がロジックチップ102の裏面に形成されている。また、モノリシックデバイス351のデバイスが形成されていないシリコン基板の裏面側には、高濃度不純物層130e-3が形成されている。高濃度不純物層330e-1、高濃度不純物層330e-2、および高濃度不純物層130e-3は、例えば、不純物の濃度が異なったり、P型とN型といったようにキャリアが異なったりし、異なる特性を有する層としても良い。また、高濃度不純物層330e-1と高濃度不純物層330e-2は、形成される領域のチップの特性、例えば、P型のチップであるか、N型のチップであるかにより、そのチップに適した特性を有する層とすることができる。

[0154] このように、チップの種類によらず、高濃度不純物層を形成することができる。図14に示した第8の実施の形態における積層チップ301eにおいても、上記した実施の形態と同じく、高濃度不純物層330eを形成することで、欠陥を介したリークが発生（増加）することを抑制することができる。よって、積層チップ301eを薄型に形成することができ、積層チップ301eを低背化、小型化することができる。

[0155] <第9の実施の形態>

図15は、第9の実施の形態における単層チップ501の構成例を示す図である。

[0156] 第1乃至第8の実施の形態では、複数のチップが積層される場合を例に挙げて説明したが、図15に示すように、1つのチップ（単層）であっても良い。図15に示した単層チップ501は、単層で構成され、その裏面には、高濃度不純物層330fが形成されている。

[0157] 図15に示した第9の実施の形態における単層チップ501においても、上記した実施の形態と同じく、高濃度不純物層330fを形成することで、欠陥を介したリークが発生（増加）することを抑制することができる。よって、単層チップ501を薄型に形成することができ、単層チップ501を低背化、小型化することができる。

[0158] 単層チップ501は、単層で、薄型、例えば、20μm以下で形成されているため、例えば、ウェアラブルデバイスなどの曲げられるデバイスとして用いることができる。

[0159] 本技術によれば、チップ（デバイス）に欠陥が生じた場合であっても、その欠陥によりリークが発生（増大）するようなことを防ぐことができる。よって、チップ（デバイス）を薄型化し、低背化、小型化することが可能となる。また、チップ（デバイス）に、高濃度不純物層を形成しても、そのチップ（デバイス）の特性が変化することはないため、チップ（デバイス）の特性を維持したまま、上述した効果を得ることができる。

[0160] また、高濃度不純物層は、チップ（デバイス）の裏面に形成し、チップ（デバイス）の深い位置には影響を与えないように形成することができる。チップ（デバイス）の深い位置には、例えば、トランジスタのソースやドレインに該当する領域が形成されるが、そのような領域に影響を与えるような位置には、高濃度不純物層は形成されていないため、チップ（デバイス）の信頼性が劣化するようなことはない。

[0161] <内視鏡手術システムへの応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例

えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0162] 図16は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0163] 図16では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

[0164] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0165] 鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0166] カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Cont

rol Unit) 11201に送信される。

[0167] CCU11201は、CPU (Central Processing Unit) やGPU (Graphics Processing Unit) 等によって構成され、内視鏡11100及び表示装置11202の動作を統括的に制御する。さらに、CCU11201は、カメラヘッド11102から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0168] 表示装置11202は、CCU11201からの制御により、当該CCU11201によって画像処理が施された画像信号に基づく画像を表示する。

[0169] 光源装置11203は、例えばLED (light emitting diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡11100に供給する。

[0170] 入力装置11204は、内視鏡手術システム11000に対する入力インタフェースである。ユーザは、入力装置11204を介して、内視鏡手術システム11000に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡11100による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0171] 処置具制御装置11205は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具11112の駆動を制御する。気腹装置11206は、内視鏡11100による視野の確保及び術者の作業空間の確保の目的で、患者11132の体腔を膨らめるために、気腹チューブ11111を介して当該体腔内にガスを送り込む。レコーダ11207は、手術に関する各種の情報を記録可能な装置である。プリンタ11208は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0172] なお、内視鏡11100に術部を撮影する際の照射光を供給する光源装置11203は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び

出力タイミングを高精度に制御することができるため、光源装置 1 1 2 0 3 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、R G B レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御することにより、R G B それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0173] また、光源装置 1 1 2 0 3 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 1 1 1 0 2 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0174] また、光源装置 1 1 2 0 3 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 1 1 2 0 3 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0175] 図 1 7 は、図 1 6 に示すカメラヘッド 1 1 1 0 2 及び C C U 1 1 2 0 1 の機能構成の一例を示すブロック図である。

[0176] カメラヘッド 1 1 1 0 2 は、レンズユニット 1 1 4 0 1 と、撮像部 1 1 4

02と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処理部11412と、制御部11413と、を有する。カメラヘッド11102とCCU11201とは、伝送ケーブル11400によって互いに通信可能に接続されている。

[0177] レンズユニット11401は、鏡筒11101との接続部に設けられる光学系である。鏡筒11101の先端から取り込まれた観察光は、カメラヘッド11102まで導光され、当該レンズユニット11401に入射する。レンズユニット11401は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0178] 撮像部11402を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部11402が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D（dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0179] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

[0180] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

- [0181] 通信部 11404 は、CCU 11201 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して CCU 11201 に送信する。
- [0182] また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。
- [0183] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 11201 の制御部 11413 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 11100 に搭載されていることになる。
- [0184] カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CCU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。
- [0185] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。
- [0186] また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。
- [0187] 画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。

[0188] 制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。

[0189] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0190] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0191] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0192] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0193] 図 18 は、本開示に係る技術が適用され得る移動体制御システムの一例で

ある車両制御システムの概略的な構成例を示すブロック図である。

- [0194] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図１８に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。
- [0195] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0196] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0197] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像

を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0198] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0199] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0200] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0201] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0202] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12030 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0203] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 18 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0204] 図 19 は、撮像部 12031 の設置位置の例を示す図である。

[0205] 図 19 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0206] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0207] なお、図 19 には、撮像部 12101 ないし 12104 の撮影範囲の一例

が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0208] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0209] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0210] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイク

ロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0211] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0212] 本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0213] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0214] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0215] なお、本技術は以下のような構成も取ることができる。

(1)

フォトダイオードを含む第 1 のチップと、

前記フォトダイオードからの信号を処理する回路を含む第 2 のチップと

が積層され、

前記第2のチップの前記第1のチップが積層されている第1の面と反対側の第2の面に不純物層が設けられている

撮像素子。

(2)

前記不純物層の不純物濃度は、前記第2のチップを構成する半導体基板の不純物濃度よりも濃い

前記(1)に記載の撮像素子。

(3)

前記不純物層は、前記第2のチップのキャリア型と同じ型のキャリアである

前記(1)または(2)に記載の撮像素子。

(4)

前記不純物層は、前記第2の面の一部または全面に設けられている

前記(1)乃至(3)のいずれかに記載の撮像素子。

(5)

前記不純物層は、前記第2のチップの第2の面から離れた位置に形成されている

前記(1)乃至(4)のいずれかに記載の撮像素子。

(6)

前記不純物層は、前記第2のチップの側面にも設けられている

前記(1)乃至(5)のいずれかに記載の撮像素子。

(7)

前記第2の面には、異なる特性の不純物層が設けられている

前記(1)乃至(6)のいずれかに記載の撮像素子。

(8)

前記第2のチップの厚さは、20 μm 以下である

前記(1)乃至(7)のいずれかに記載の撮像素子。

(9)

前記第2のチップに第3のチップがさらに積層されている

前記(1)乃至(8)のいずれかに記載の撮像素子。

(10)

前記第1のチップに対して、2以上の前記第2のチップが配置されている

前記(1)乃至(9)のいずれかに記載の撮像素子。

(11)

前記2以上の前記第2のチップのそれぞれに、不純物濃度が異なる前記不純物層が設けられている

前記(10)に記載の撮像素子。

(12)

前記2以上の前記第2のチップのそれぞれに、キャリアが異なる前記不純物層が設けられている

前記(10)に記載の撮像素子。

(13)

前記第2のチップの不純物濃度は、 1×10^{13} 乃至 $1 \times 10^{14} / \text{cm}^{-3}$ であり、前記不純物層の不純物濃度は、 $1 \times 10^{16} / \text{cm}^{-3}$ 以上である

前記(1)乃至(12)のいずれかに記載の撮像素子。

(14)

20 μm 以下の厚さのチップであり、

前記チップの所定の面には不純物層が設けられている

半導体チップ。

(15)

前記半導体チップを含む複数のチップが積層され、

前記複数のチップのうちの少なくとも1つのチップには、不純物層が設けられている

前記(14)に記載の半導体チップ。

(16)

前記半導体チップは、メモリ、またはロジック回路を搭載するチップである

前記（１４）または（１５）に記載の半導体チップ。

（１７）

フォトダイオードを含む第１のチップと、

前記フォトダイオードからの信号を処理する回路を含む第２のチップと、

メモリ機能またはＡＩ機能を有する第３のチップと

が積層され、

前記第３のチップの前記第２のチップが積層されている第１の面と反対側の第２の面に不純物層が設けられている

撮像素子。

（１８）

前記第２のチップの前記第１のチップが積層されている第３の面と反対側の第４の面に不純物層が設けられている

前記（１７）に記載の撮像素子。

符号の説明

[0216] １０ 撮像装置, １１ レンズ群, １２ 撮像素子, １３ ＤＳＰ回路, １４ フレームメモリ, １５ 表示部, １６ 記録部, １７ 操作系, １８ 電源系, １９ バスライン, ２０ ＣＰＵ, ４１ 画素アレイ部, ４２ 垂直駆動部, ４３ カラム処理部, ４４ 水平駆動部, ４５ システム制御部, ４６ 画素駆動線, ４７ 垂直信号線, ４８ 信号処理部, ４９ データ格納部, １０１ ＣＩＳチップ, １０２ ロジックチップ, １０３ 支持基盤, １０４ ゲート形成層, １０５ ソースドレイン形成層, １１１ オンチップレンズ, １１２ カラーフィルタ, １１３ フォトダイオード, １１４ 配線層, １１５ パッド, １２１ パッド, １２２ 配線, １２３ トランジスタ, １３０ 高濃度不純物層, １５１ Ｐウェル, １５２ Ｎウェル, １５３ 拡散層, １５４ 拡散層, １５５ 素子分離領域,

161 空乏層, 162 欠陥, 201 酸化膜, 251 チップ
, 252 高濃度不純物層, 253 酸化膜, 301 積層チップ,
311 メモリチップ, 330 高濃度不純物層, 351 モノリシ
ックデバイス, 401 チップ, 402 チップ, 403 チップ,
404 支持基盤, 412 バンプ, 414 バンプ, 501 単
層チップ

請求の範囲

- [請求項1] フォトダイオードを含む第1のチップと、
 前記フォトダイオードからの信号を処理する回路を含む第2のチップと
 が積層され、
 前記第2のチップの前記第1のチップが積層されている第1の面と
 反対側の第2の面に不純物層が設けられている
 撮像素子。
- [請求項2] 前記不純物層の不純物濃度は、前記第2のチップを構成する半導体
 基板の不純物濃度よりも濃い
 請求項1に記載の撮像素子。
- [請求項3] 前記不純物層は、前記第2のチップのキャリア型と同じ型のキャリア
 アである
 請求項1に記載の撮像素子。
- [請求項4] 前記不純物層は、前記第2の面の一部または全面に設けられている
 請求項1に記載の撮像素子。
- [請求項5] 前記不純物層は、前記第2のチップの第2の面から離れた位置に形成
 されている
 請求項1に記載の撮像素子。
- [請求項6] 前記不純物層は、前記第2のチップの側面にも設けられている
 請求項1に記載の撮像素子。
- [請求項7] 前記第2の面には、異なる特性の不純物層が設けられている
 請求項1に記載の撮像素子。
- [請求項8] 前記第2のチップの厚さは、20 μ m以下である
 請求項1に記載の撮像素子。
- [請求項9] 前記第2のチップに第3のチップがさらに積層されている
 請求項1に記載の撮像素子。
- [請求項10] 前記第1のチップに対して、2以上の前記第2のチップが配置され

ている

請求項 1 に記載の撮像素子。

[請求項11] 前記 2 以上の前記第 2 のチップのそれぞれに、不純物濃度が異なる前記不純物層が設けられている

請求項 10 に記載の撮像素子。

[請求項12] 前記 2 以上の前記第 2 のチップのそれぞれに、キャリアが異なる前記不純物層が設けられている

請求項 10 に記載の撮像素子。

[請求項13] 前記第 2 のチップの不純物濃度は、 1×10^{13} 乃至 $1 \times 10^{14} / \text{cm}^{-3}$ であり、前記不純物層の不純物濃度は、 $1 \times 10^{16} / \text{cm}^{-3}$ 以上である

請求項 1 に記載の撮像素子。

[請求項14] $20 \mu\text{m}$ 以下の厚さのチップであり、
前記チップの所定の面には不純物層が設けられている
半導体チップ。

[請求項15] 前記半導体チップを含む複数のチップが積層され、
前記複数のチップのうちの少なくとも 1 つのチップには、不純物層が設けられている

請求項 14 に記載の半導体チップ。

[請求項16] 前記半導体チップは、メモリ、またはロジック回路を搭載するチップである

請求項 14 に記載の半導体チップ。

[請求項17] フォトダイオードを含む第 1 のチップと、
前記フォトダイオードからの信号を処理する回路を含む第 2 のチップと、

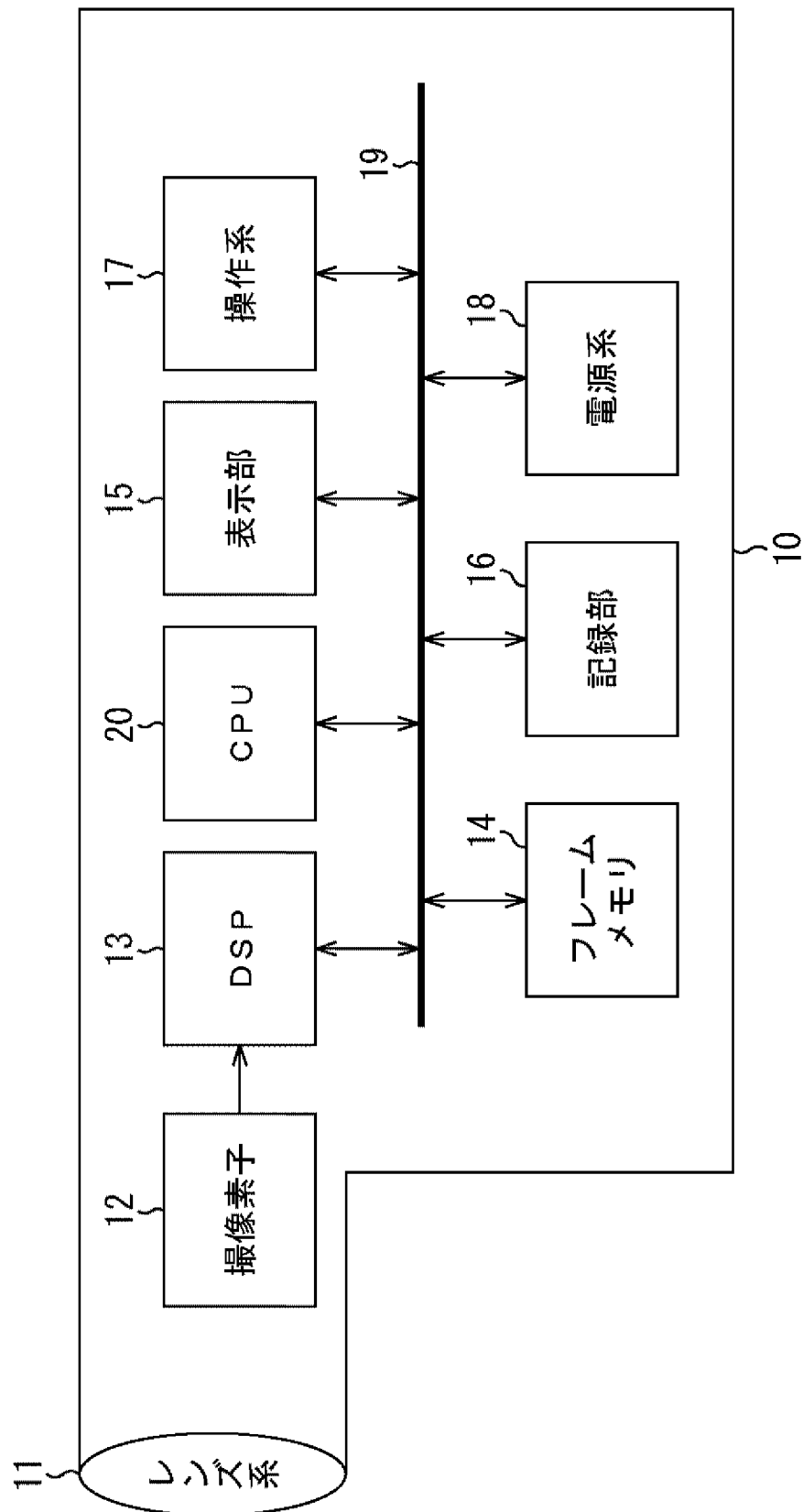
メモリ機能または AI 機能を有する第 3 のチップと
が積層され、

前記第 3 のチップの前記第 2 のチップが積層されている第 1 の面と

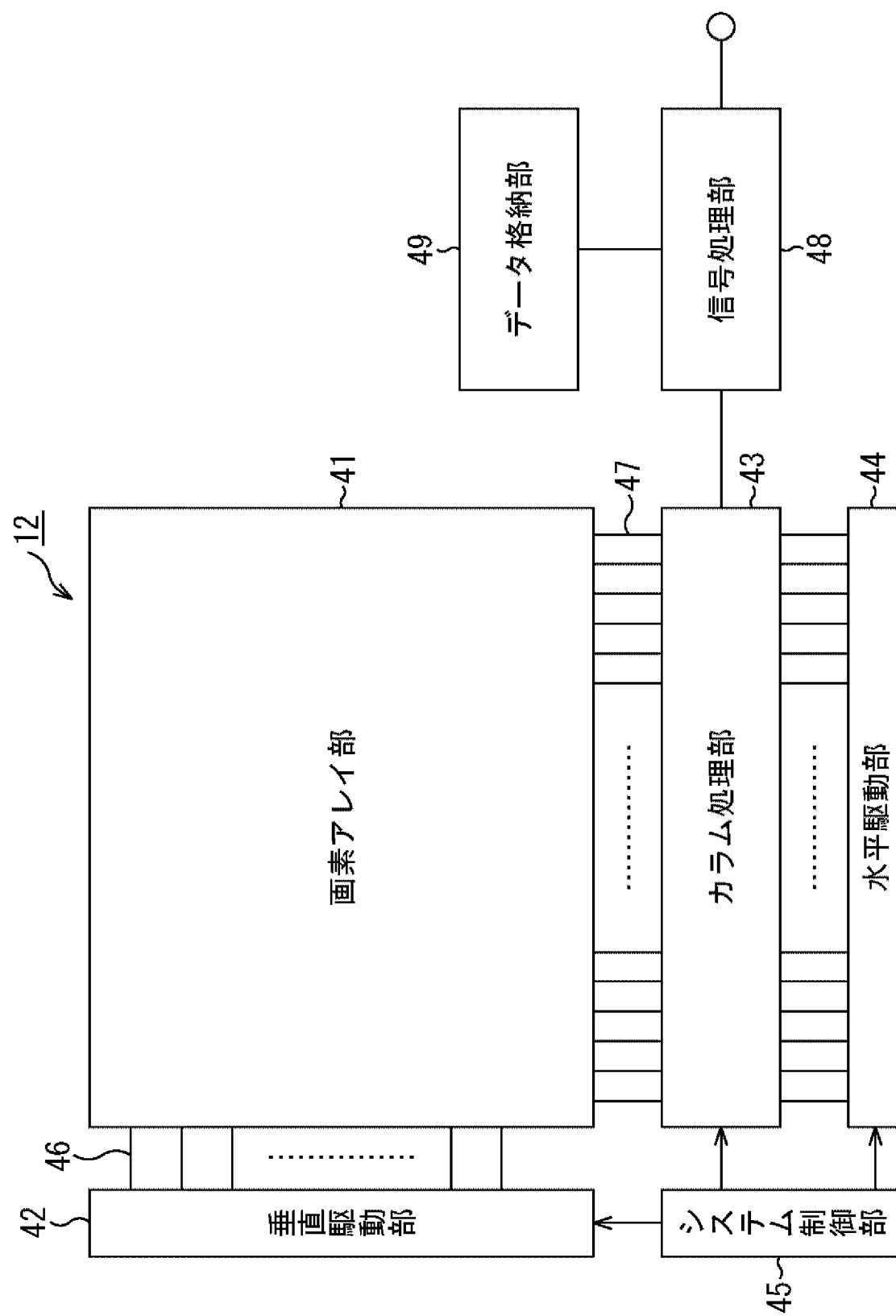
反対側の第 2 の面に不純物層が設けられている
撮像素子。

[請求項18] 前記第 2 のチップの前記第 1 のチップが積層されている第 3 の面と
反対側の第 4 の面に不純物層が設けられている
請求項 17 に記載の撮像素子。

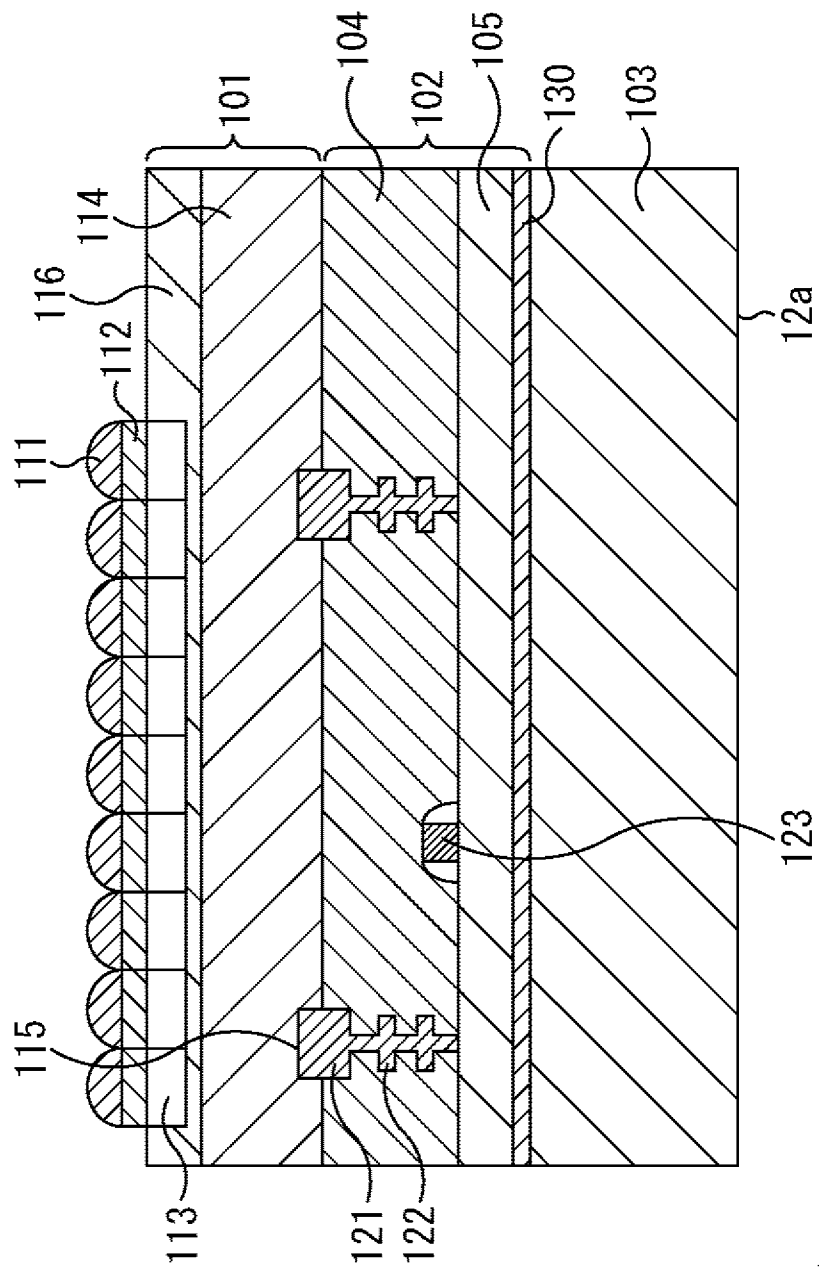
[図1]
FIG. 1



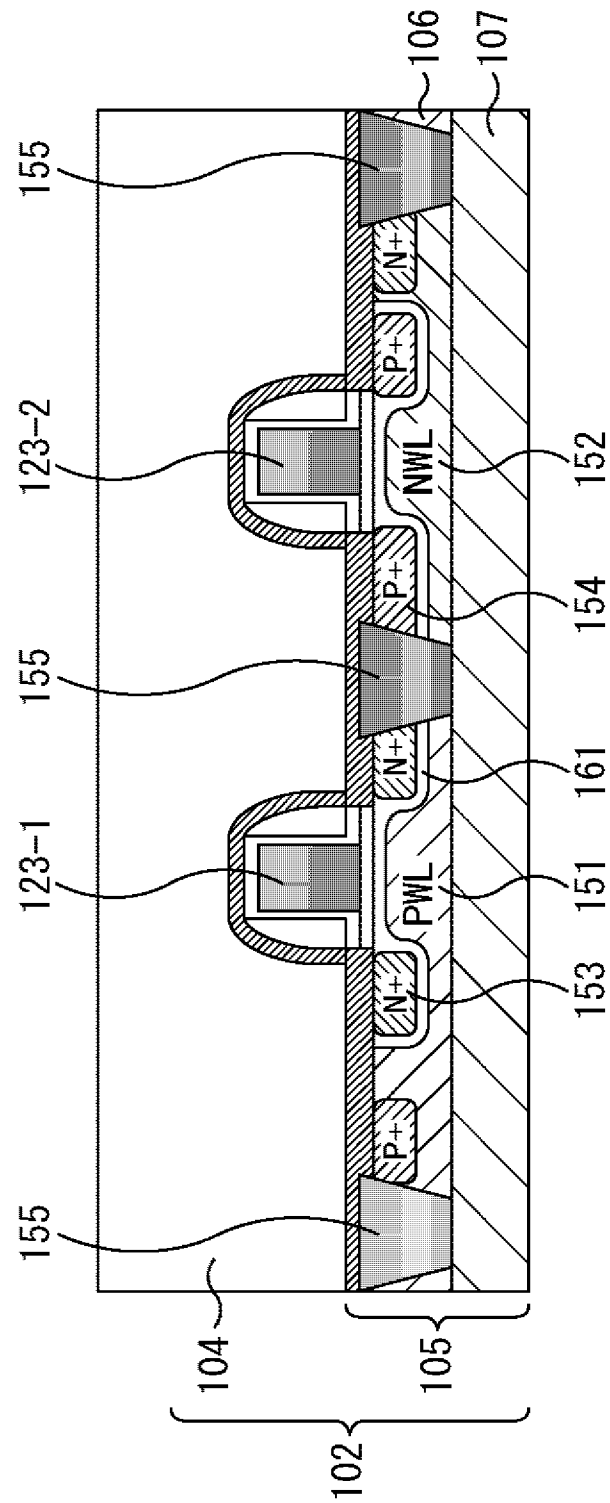
[図2]
FIG. 2



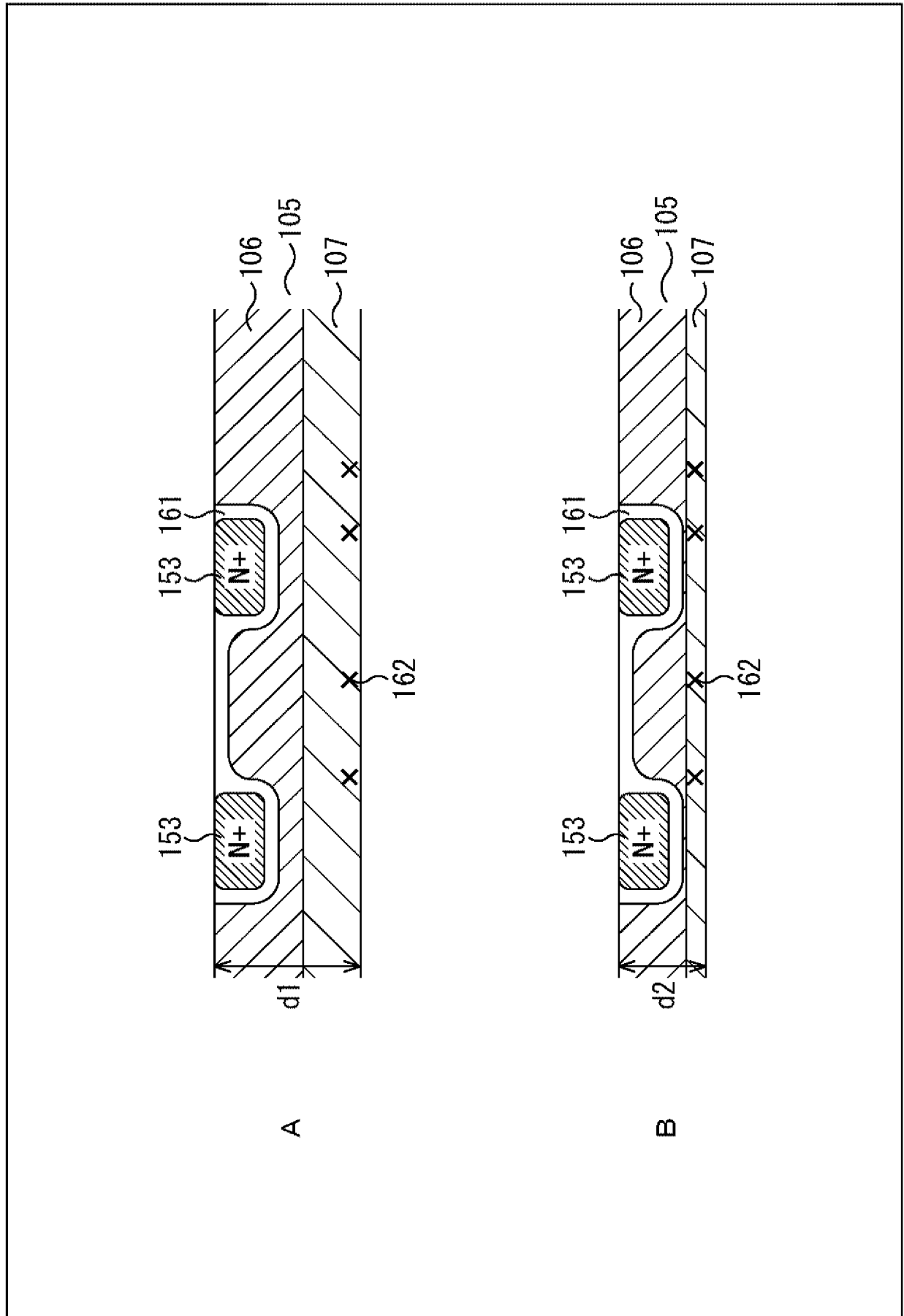
[図3]
FIG. 3



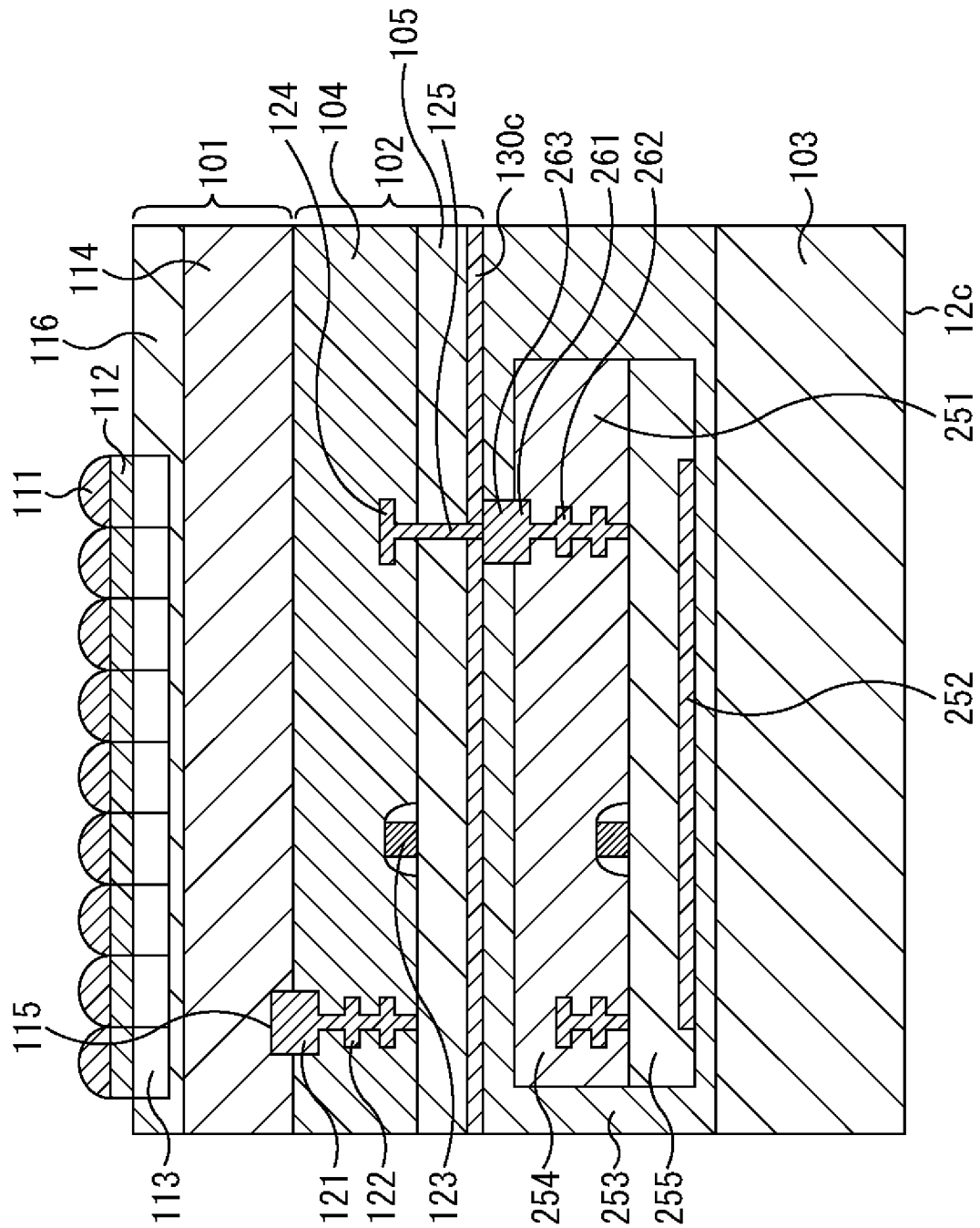
[図4]
FIG. 4



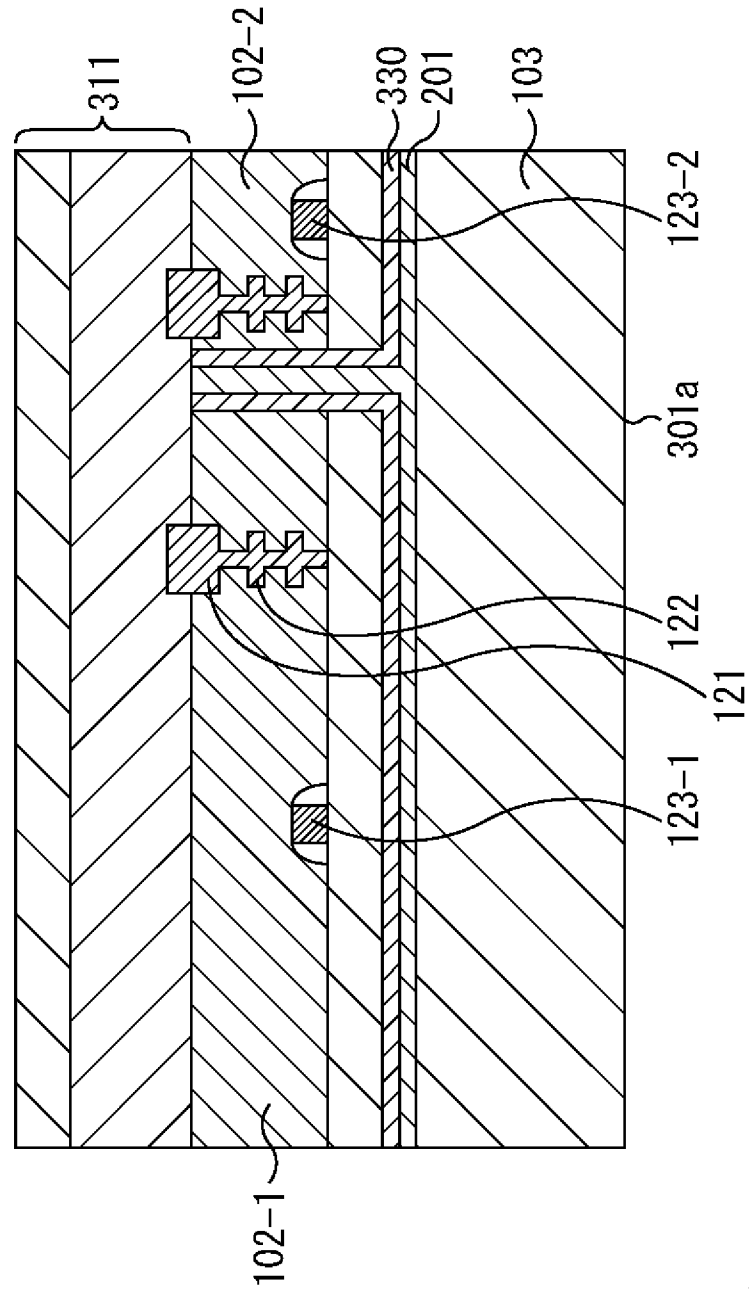
[図5]
FIG. 5



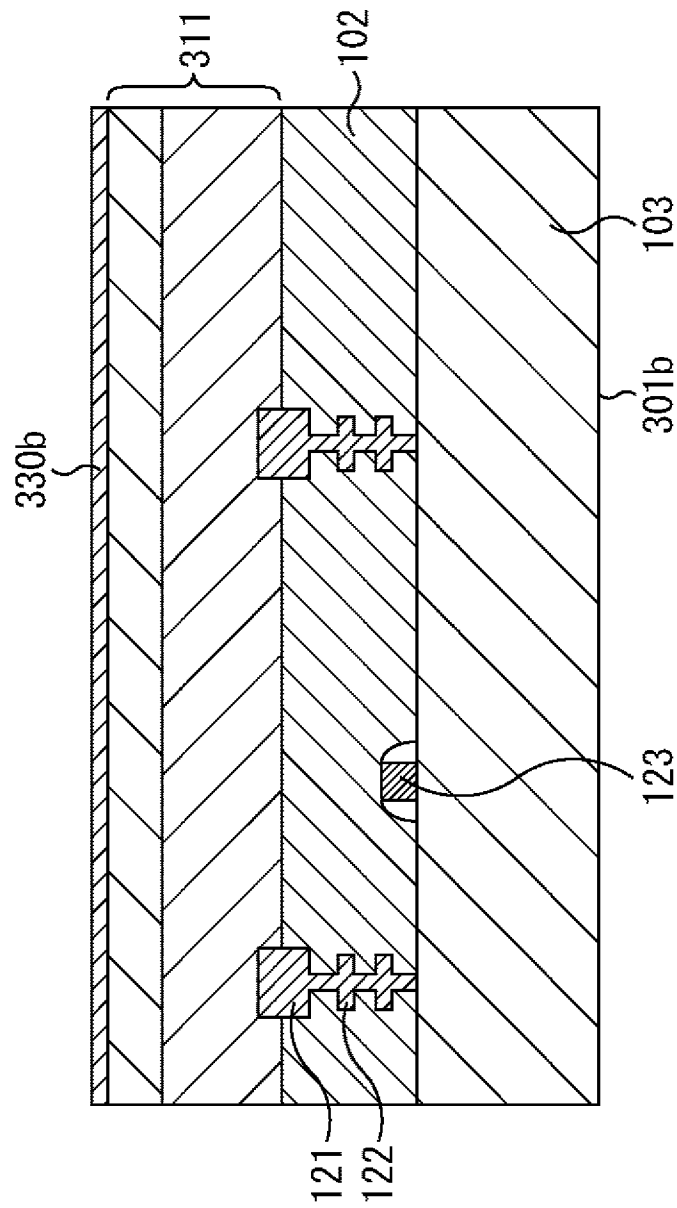
[図9]
FIG. 9



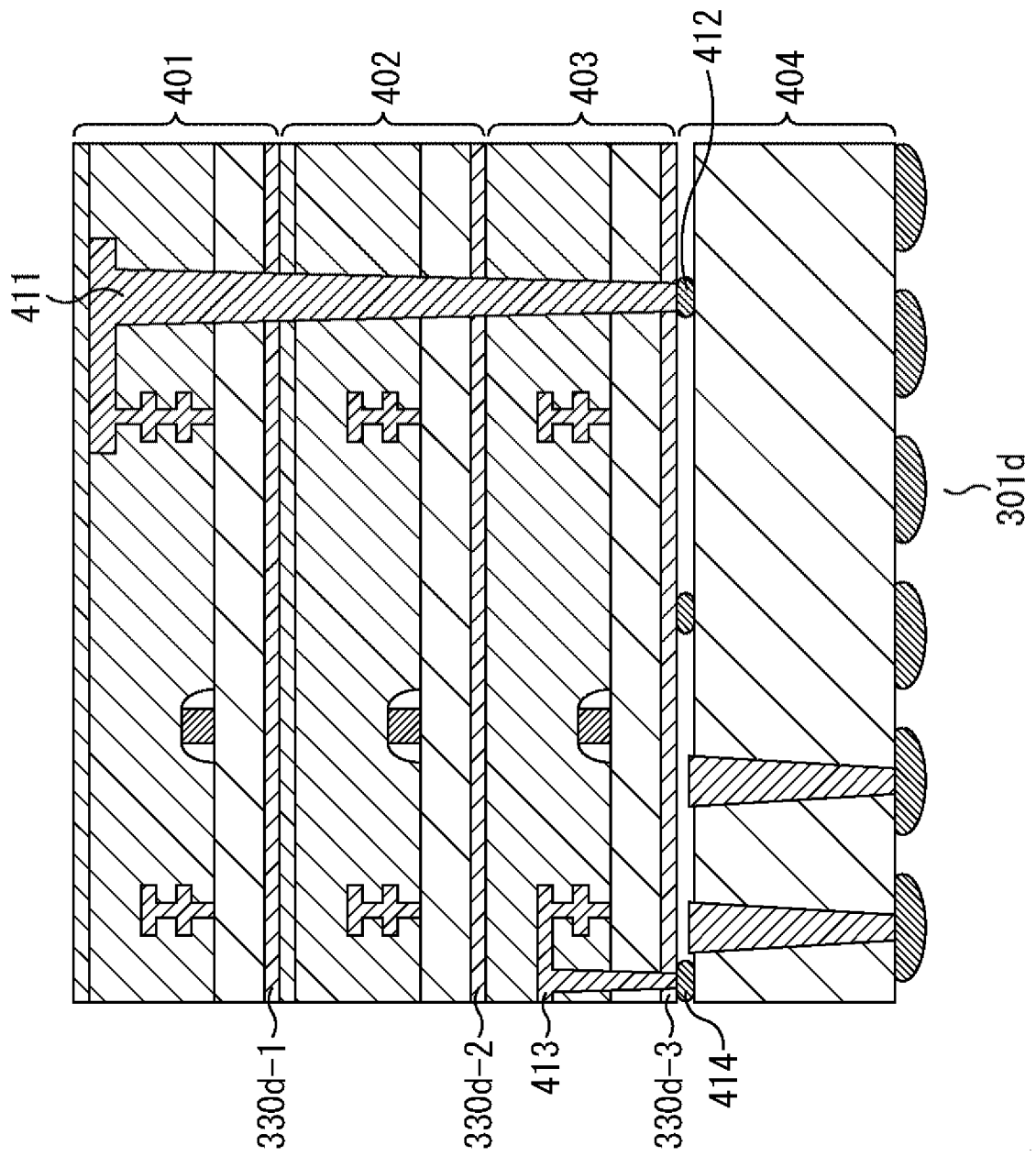
[図10]
FIG. 10



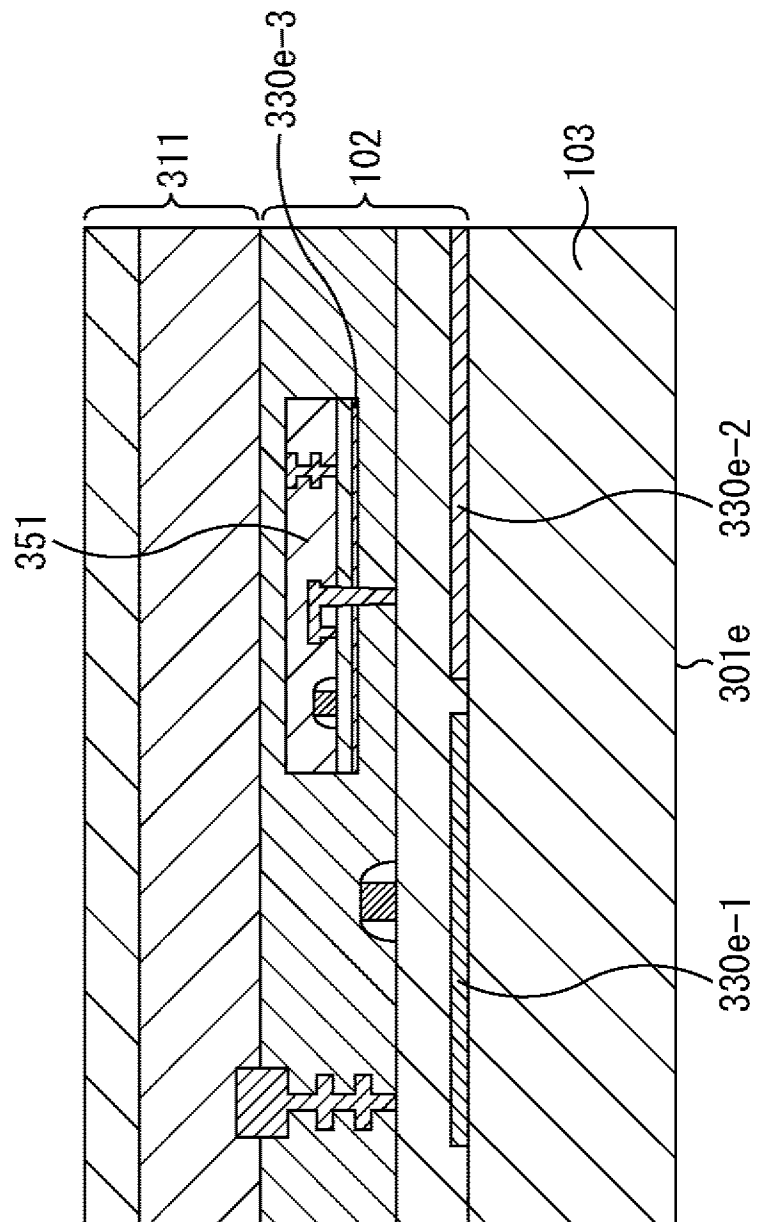
[図11]
FIG. 11



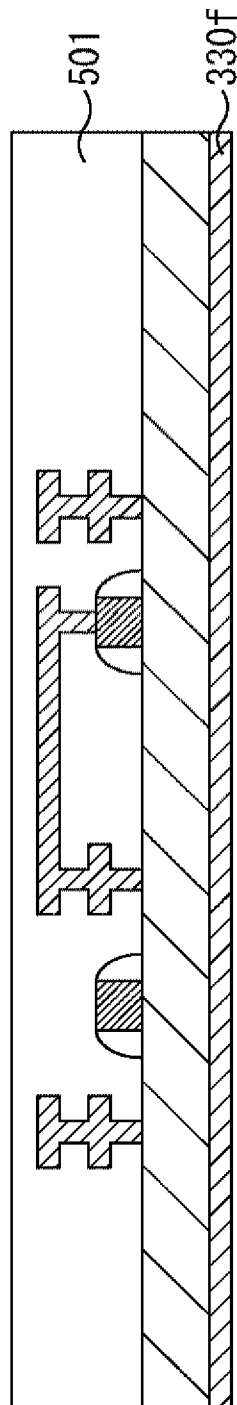
[図13]
FIG. 13



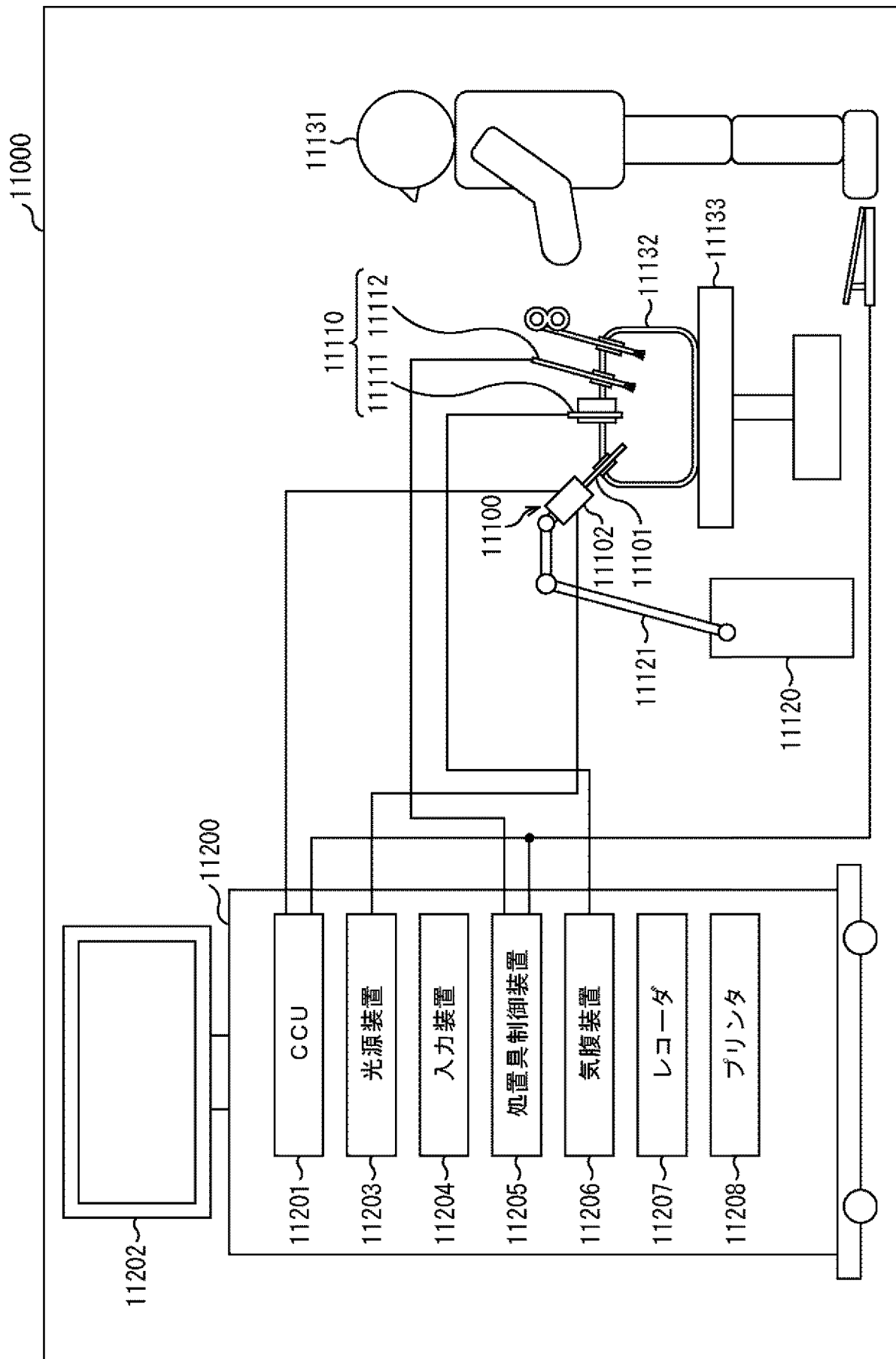
[図14]
FIG. 14



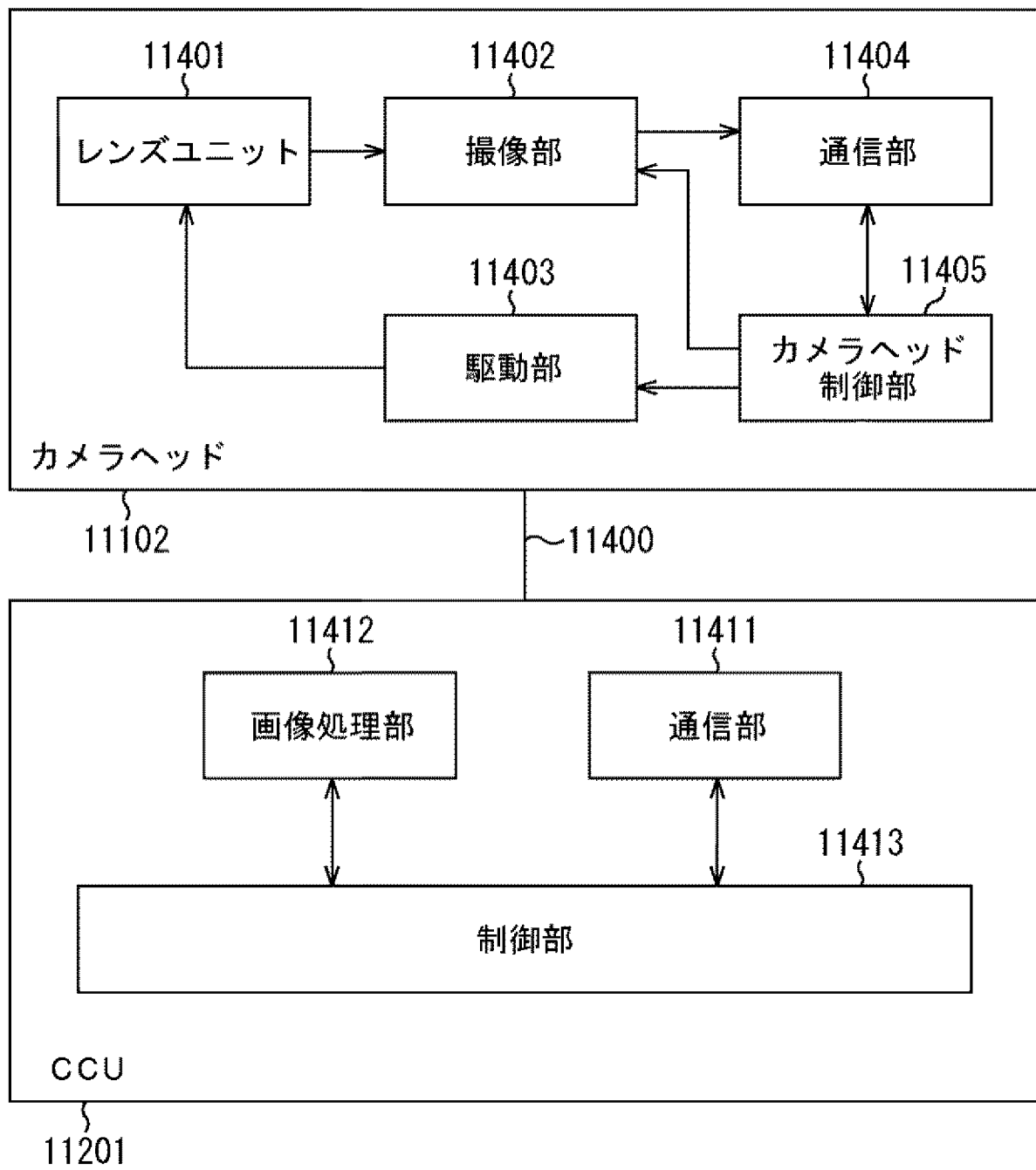
[図15]
FIG. 15



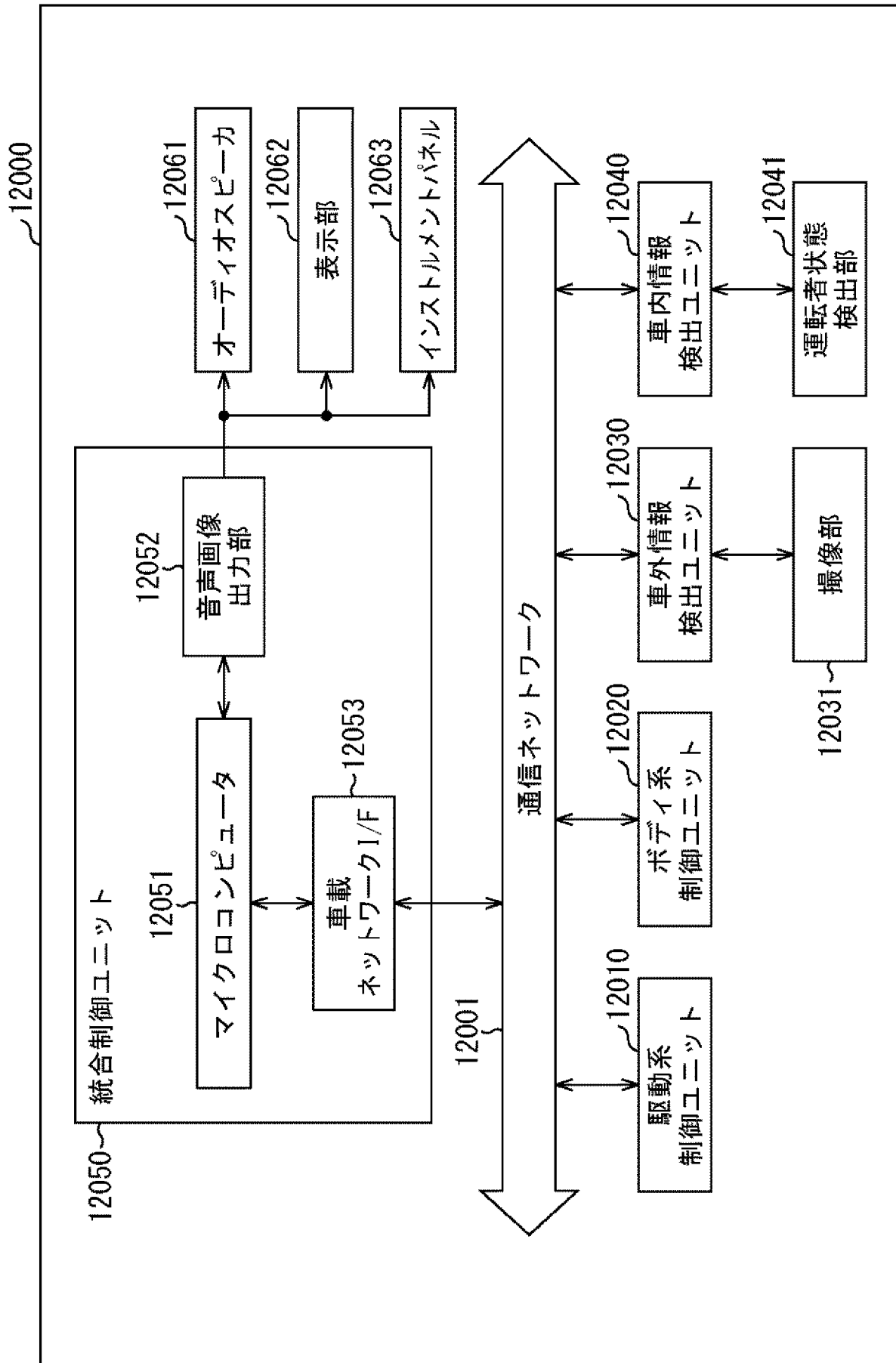
[図16]



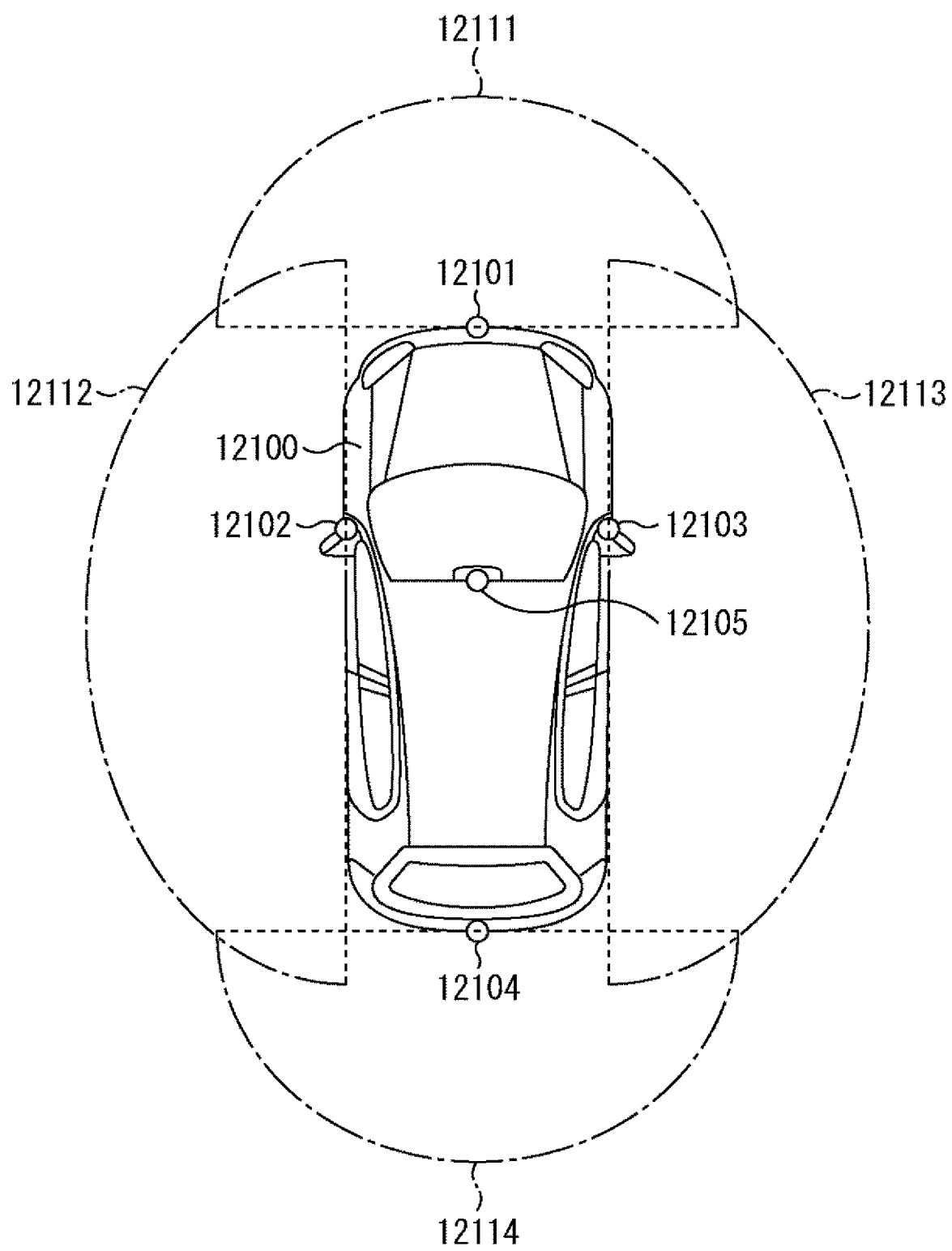
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/008592

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146 (2006.01) i; H04N 5/369 (2011.01) i
FI: H01L27/146 D; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2018/180570 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 04 October 2018 (2018-10-04) paragraphs [0022]-[0030], [0044]-[0055], fig. 1, 4	1-18
A	JP 2019-29583 A (CANON INC.) 21 February 2019 (2019-02-21) entire text, all drawings	1-18
A	JP 2006-202984 A (HAMAMATSU PHOTONICS K.K.) 03 August 2006 (2006-08-03) entire text, all drawings	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 May 2021 (27.05.2021)

Date of mailing of the international search report

08 June 2021 (08.06.2021)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/008592

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/180570 A1	04 Oct. 2018	US 2020/0035735 A1 paragraphs [0033]- [0041], [0055]- [0066], fig. 1, 4 (Family: none)	
JP 2019-29583 A	21 Feb. 2019	(Family: none)	
JP 2006-202984 A	03 Aug. 2006	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 D; H04N5/369														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	WO 2018/180570 A1（ソニーセミコンダクタソリューションズ株式会社）04.10.2018 (2018 - 10 - 04) 段落0022-0030, 0044-0055, 図1, 図4	1-18												
A	JP 2019-29583 A（キヤノン株式会社）21.02.2019（2019 - 02 - 21） 全文, 全図	1-18												
A	JP 2006-202984 A（浜松ホトニクス株式会社）03.08.2006（2006 - 08 - 03） 全文, 全図	1-18												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 27.05.2021	国際調査報告の発送日 08.06.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 西出 隆二 5F 3356 電話番号 03-3581-1101 内線 3516													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/008592

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/180570	A1	04.10.2018	US 2020/0035735 A1 段落0033-0041, 0055-0066, 図1, 図4	
JP	2019-29583	A	21.02.2019	(ファミリーなし)	
JP	2006-202984	A	03.08.2006	(ファミリーなし)	