



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0132179  
(43) 공개일자 2017년12월01일

- (51) 국제특허분류(Int. Cl.)  
*H03F 1/02* (2006.01) *H03F 3/21* (2006.01)
- (52) CPC특허분류  
*H03F 1/0222* (2013.01)  
*H03F 3/211* (2013.01)
- (21) 출원번호 10-2017-7027313
- (22) 출원일자(국제) 2016년03월09일  
심사청구일자 없음
- (85) 번역문제출일자 2017년09월26일
- (86) 국제출원번호 PCT/US2016/021596
- (87) 국제공개번호 WO 2016/160293  
국제공개일자 2016년10월06일
- (30) 우선권주장  
14/675,424 2015년03월31일 미국(US)

- (71) 출원인  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775
- (72) 발명자  
리드워라타워, 종리트  
미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775  
쉬, 송  
미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775  
마테, 레나르트 칼-악셀  
미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775
- (74) 대리인  
특허법인 남앤드남

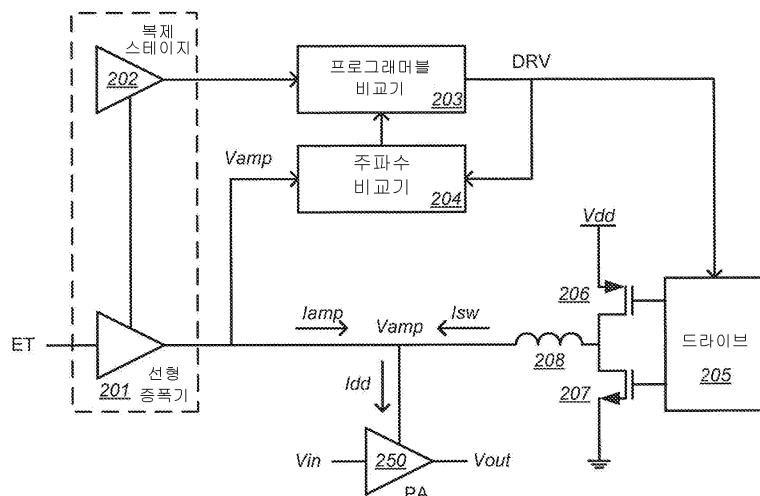
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 적응형 스위칭 주파수를 사용하는 엔벨로프 추적 회로들 및 방법들

### (57) 요 약

본 개시내용은 적응형 스위칭 주파수를 사용하는 엔벨로프 추적 회로들 및 방법들을 포함한다. 일 실시예에서, 회로는, 엔벨로프 추적 주파수를 갖는 엔벨로프 추적 신호를 수신하고 그리고 전력 증폭기 회로의 전력 공급 단자에 전압 및 전류를 출력하기 위한 증폭기를 포함한다. 프로그래머블 비교기는 증폭기로부터 출력 신호를 수신하고 스위칭 주파수를 갖는 스위칭 신호를 생성한다. 스위칭 레귤레이터 스테이지는 스위칭 신호를 수신하고 전력 공급 단자에 스위칭 전류를 출력한다. 주파수 비교 회로는, 스위칭 주파수가 엔벨로프 추적 주파수를 추적하도록, 엔벨로프 추적 주파수 및 스위칭 주파수에 기반하여 프로그래머블 비교기를 구성한다.

### 대 표 도 - 도2



(52) CPC특허분류

*H03F 2200/102 (2013.01)*

*H03F 2200/453 (2013.01)*

*H03F 2200/78 (2013.01)*

---

## 명세서

### 청구범위

#### 청구항 1

회로로서,

엔벨로프 추적 주파수(envelope tracking frequency)를 갖는 엔벨로프 추적 신호를 수신하기 위한 증폭기 – 상기 증폭기는 전력 증폭기 회로의 전력 공급 단자(power supply terminal)에 커플링된 출력을 포함함 –;

상기 증폭기로부터의 출력 신호를 수신하기 위한 입력을 갖는 프로그래머를 비교기 – 상기 프로그래머를 비교기는 스위칭 주파수를 갖는 스위칭 신호를 생성함 –;

상기 스위칭 신호를 수신하기 위한 스위칭 레귤레이터 스테이지 – 상기 스위치 레귤레이터 스테이지는 상기 전력 공급 단자 및 상기 증폭기의 출력에 커플링된 출력을 포함함 – ; 및

상기 엔벨로프 추적 주파수를 갖는 제 1 신호 및 상기 스위칭 주파수를 갖는 제 2 신호를 수신하기 위한 주파수 비교 회로를 포함하고,

상기 주파수 비교 회로는, 상기 스위칭 주파수가 상기 엔벨로프 추적 주파수를 추적하도록, 상기 엔벨로프 추적 주파수 및 상기 스위칭 주파수에 기반하여 상기 프로그래머를 비교기를 구성하는,

회로.

#### 청구항 2

제 1 항에 있어서,

상기 주파수 비교 회로는 상기 프로그래머를 비교기의 히스테리시스 윈도우를 변경하는,

회로.

#### 청구항 3

제 2 항에 있어서,

상기 주파수 비교 회로는, 상기 엔벨로프 추적 주파수가 감소함에 따라 상기 프로그래머를 비교기의 히스테리시스 윈도우를 증가시키고, 상기 엔벨로프 추적 주파수가 증가함에 따라 상기 프로그래머를 비교기의 히스테리시스 윈도우를 감소시키는,

회로.

#### 청구항 4

제 2 항에 있어서,

상기 주파수 비교 회로는, 상기 스위칭 신호의 상기 스위칭 주파수를 변경하기 위해 복수의 시간 기간들 동안 상기 히스테리시스의 윈도우를 교변하여 증가시키고 감소시키는,

회로.

#### 청구항 5

제 1 항에 있어서,

상기 증폭기는 복제 출력 스테이지를 포함하고,

상기 프로그래머를 비교기의 입력은 상기 복제 출력 스테이지의 출력에 커플링되고,

상기 증폭기로부터 상기 전력 공급 단자로의 전류는 상기 프로그래머를 비교기의 입력에 복제 전류를 생성하기 위해 상기 복제 출력 스테이지에서 복제되는,

회로.

## 청구항 6

제 5 항에 있어서,

상기 증폭기는 직렬로 구성된 제 1 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터를 포함하는 출력 스테이지를 포함하고,

상기 복제 출력 스테이지는 직렬로 구성된 제 2 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터를 포함하고,

상기 제 1 PMOS 트랜지스터의 게이트는 상기 제 2 PMOS 트랜지스터의 게이트에 커플링되고, 상기 제 1 NMOS 트랜지스터의 게이트는 상기 제 2 NMOS 트랜지스터의 게이트에 커플링되는,

회로.

## 청구항 7

제 6 항에 있어서,

상기 제 2 PMOS 트랜지스터 및 상기 제 2 NMOS 트랜지스터는 상기 제 1 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터의 크기의 일부(fraction)인,

회로.

## 청구항 8

제 1 항에 있어서,

상기 프로그래머블 비교기는:

상기 증폭기로부터 상기 출력 신호를 수신하기 위한 입력 및 상기 스위칭 신호를 제공하기 위한 출력을 갖는 버퍼;

하나 또는 그 초과의 스위치들; 및

버퍼 입력과 버퍼 출력 사이에 직렬로 구성된 복수의 저항성 컴포넌트들을 포함하고,

상기 하나 또는 그 초과의 스위치들은 상기 버퍼 입력과 상기 버퍼 출력 사이의 저항을 선택적으로 변경하기 위해 하나 또는 그 초과의 저항성 컴포넌트들과 병렬로 구성되는,

회로.

## 청구항 9

제 8 항에 있어서,

상기 버퍼는 직렬로 복수의 인버터 회로들을 포함하는,

회로.

## 청구항 10

제 8 항에 있어서,

상기 스위칭 주파수는 상기 저항이 증가함에 따라 증가하고,

상기 스위칭 주파수는 상기 저항이 감소함에 따라 감소하는,

회로.

## 청구항 11

제 1 항에 있어서,

상기 주파수 비교 회로는 플립 플롭을 포함하는,

회로.

### 청구항 12

제 1 항에 있어서,

상기 증폭기의 출력에 커플링된 입력을 갖는 피크-밸리 검출기(peak-valley detector)를 더 포함하고,

상기 피크-밸리 검출기는 상기 엔벨로프 추적 주파수를 갖는 제 1 신호를 생성하는,

회로.

### 청구항 13

방법으로서,

증폭기에서 엔벨로프 추적 주파수를 갖는 엔벨로프 추적 신호를 수신하고, 그에 따라 전력 증폭기 회로의 전력 공급 단자에 전력 공급 전압 및 제 1 전류를 생성하는 단계;

프로그램머블 비교기에서 상기 증폭기로부터의 출력 신호를 수신하고, 그에 따라 스위칭 주파수를 갖는 스위칭 신호를 생성하는 단계;

스위칭 레귤레이터 스테이지에서 상기 스위칭 신호를 수신하고, 그에 따라 상기 전력 증폭기 회로의 상기 전력 공급 단자에 스위칭 전류를 생성하는 단계; 및

상기 엔벨로프 추적 주파수를 갖는 제 1 신호 및 상기 스위칭 주파수를 갖는 제 2 신호의 주파수들을 비교하고, 그에 따라 상기 스위칭 주파수가 상기 엔벨로프 추적 주파수를 추적하도록 상기 엔벨로프 추적 주파수 및 상기 스위칭 주파수에 기반하여 상기 프로그래머블 비교기를 구성하는 단계를 포함하는,

방법.

### 청구항 14

제 13 항에 있어서,

상기 비교하는 것에 기반하여 상기 프로그래머블 비교기의 히스테리시스 윈도우를 변경하는 단계를 더 포함하는,

방법.

### 청구항 15

제 14 항에 있어서,

상기 프로그래머블 비교기의 히스테리시스 윈도우는 상기 엔벨로프 추적 주파수가 감소함에 따라 증가되고, 상기 프로그래머블 비교기의 히스테리시스 윈도우는 상기 엔벨로프 추적 주파수가 증가함에 따라 감소되는,

방법.

### 청구항 16

제 14 항에 있어서,

상기 스위칭 신호의 상기 스위칭 주파수를 변경하기 위해 복수의 시간 기간들 동안 상기 히스테리시스의 윈도우를 교번하여 증가시키고 감소시키는 단계를 더 포함하는,

방법.

### 청구항 17

제 13 항에 있어서,

상기 프로그래머블 비교기의 입력에서 상기 증폭기의 복제 출력 스테이지에 복제 전류를 생성하는 단계를 더 포함하는,

방법.

### 청구항 18

제 13 항에 있어서,

상기 프로그래머블 비교기는, 버퍼, 하나 또는 그 초과의 스위치들, 및 상기 버퍼 입력과 상기 버퍼 출력 사이에 직렬로 구성된 복수의 저항성 컴포넌트들을 포함하고,

상기 하나 또는 그 초과의 스위치들은 상기 버퍼 입력과 상기 버퍼 출력 사이의 저항을 선택적으로 변경시키기 위해 하나 또는 그 초과의 저항성 컴포넌트들과 병렬로 구성되는,

방법.

### 청구항 19

회로로서,

엔벨로프 추적 주파수를 갖는 엔벨로프 추적 신호를 수신하기 위한 증폭기 – 상기 증폭기는 전력 증폭기 회로의 전력 공급 단자에 커플링된 출력을 포함함 –;

상기 증폭기로부터의 출력 신호에 기반하여 스위칭 주파수를 갖는 스위칭 신호를 생성하기 위한 프로그래머블 비교기 수단;

상기 스위칭 신호를 수신하기 위한 스위칭 레귤레이터 스테이지 – 상기 스위치 레귤레이터 스테이지는 상기 전력 공급 단자 및 상기 증폭기의 출력에 커플링된 출력을 포함함 – ; 및

상기 엔벨로프 추적 주파수를 갖는 제 1 신호 및 상기 스위칭 주파수를 갖는 제 2 신호를 수신하기 위한 주파수 비교 회로를 포함하고,

상기 주파수 비교 회로는, 상기 스위칭 주파수가 상기 엔벨로프 추적 주파수를 추적하도록, 상기 엔벨로프 추적 주파수 및 상기 스위칭 주파수에 기반하여 상기 프로그래머블 비교기를 구성하는,

회로.

### 청구항 20

제 19 항에 있어서,

상기 주파수 비교 회로는 상기 엔벨로프 추적 주파수와 상기 스위칭 주파수를 비교하고 그리고 상기 프로그래머블 비교기 수단을 구성하기 위한 수단을 포함하는,

회로.

## 발명의 설명

### 기술 분야

[0001]

[0001] 본 출원은, 2015년 3월 31일에 출원된 U.S 출원 제14/675,424호를 우선권으로 주장하고, 그 내용은 모든 목적을 위해 그 전체가 인용에 의해 본원에 포함된다.

### 배경 기술

[0002]

[0002] 본 개시내용은 전자 회로들 및 방법들에 관한 것으로, 특히, 적응형 스위칭 주파수(adaptive switching frequency)를 사용하는 엔벨로프 추적 회로들 및 방법들에 관한 것이다.

[0003]

[0003] ET(Envelope Tracking)는 송신 동안 효율을 개선시키기 위해 신호 엔벨로프에 따라 PA(power amplifier)의 전력 공급 전압을 연속적으로 조정함으로써 PA의 효율을 높이는데(boosting) 목적을 둔 기법이다. 도 1은 일 타입의 엔벨로프 추적 시스템의 예시적인 구성을 도시한다. 이 예에서, 입력 신호(Vin)는 전력 증폭된 신호(Vout)를 생성하기 위해 PA(power amplifier)(103)의 입력에 제공된다. PA(103)는 선형 증폭기(101) 및 스위칭 스테이지(102)의 구성으로부터 전력 공급 전압(Vdd) 및 전력 공급 전류(Id)를 수신한다. 선형 스테이지와 스위칭 스테이지는, PA(103)가 더욱 효율적인 동작 영역에서 동작하도록, Vin의 엔벨로프에 기반하여

Vdd의 레벨을 조정하기 위해 함께 작동한다. 이 예에서, 선형 증폭기(101)는, 예컨대, Vin의 엔벨로프를 나타내는 ET(envelope tracking) 신호를 수신한다. 선형 증폭기(101)는 전압(Vdd) 및 전류(Iamp)를 생성할 수 있다. 스위칭 스테이지(102)는 엔벨로프 신호에 기반하여 SW(switiching signal)를 수신한다. 이 예에서, SW는 Iamp를 감지함으로써 생성된다. 스위칭 스테이지(102)는 전압(Vdd) 및 전류(Isw)를 생성한다. 전류들(Iamp 및 Isw)의 합산은 PA(103)에 의해 유도된 전력 공급 전류(Id)이다. 스위칭 레귤레이터 스테이지(102)는 ET의 효율을 높이지만, 잡음이 많다(noisy). 선형 레귤레이터 스테이지(101)는, 더 높은 속도이고, PA의 피크 효율을 달성하기 위해 최적의 전력 공급 전압을 보장하지만, (전력) 손실이 크다(lossy). 불행히도, 잡음 및 효율은 상반되는 성능 요건들이다.

[0004] [0004] 엔벨로프 파형의 넓은 대역폭 범위에 걸쳐 전력-효율 및 잡음 성능을 획득하는 것은 종래의 엔벨로프 추적 증폭기들에 대한 도전과제이다.

### 발명의 내용

[0005] [0005] 본 개시내용은 적응형 스위칭 주파수를 사용하는 엔벨로프 추적 회로들 및 방법들을 포함한다. 일 실시 예에서, 회로는, 엔벨로프 추적 주파수를 갖는 엔벨로프 추적 신호를 수신하고 그리고 전력 증폭기 회로의 전력 공급 단자에 전압 및 전류를 출력하기 위한 증폭기를 포함한다. 프로그래머블 비교기는 증폭기로부터 출력 신호를 수신하고 스위칭 주파수를 갖는 스위칭 신호를 생성한다. 스위칭 레귤레이터 스테이지는 스위칭 신호를 수신하고 전력 공급 단자에 스위칭 전류를 출력한다. 주파수 비교 회로는, 스위칭 주파수가 엔벨로프 추적 주파수를 추적하도록, 엔벨로프 추적 주파수 및 스위칭 주파수에 기반하여 프로그래머블 비교기를 구성한다.

[0006] [0006] 후술하는 상세한 설명 및 첨부 도면들은 본 개시내용의 속성 및 이점들의 더 나은 이해를 제공한다.

### 도면의 간단한 설명

[0007] [0007] 도 1은 일 타입의 엔벨로프 추적 시스템에 대한 예시적인 구성을 도시한다.

[0008] [0008] 도 2는 일 실시예에 따른 엔벨로프 추적 회로를 도시한다.

[0009] [0009] 도 3은 다른 실시예에 따른 예시적인 엔벨로프 추적 회로를 도시한다.

[0010] [0010] 도 4는 일 실시예에 따른 엔벨로프 추적 회로에 대한 예시적인 파형들을 도시한다.

[0011] [0011] 도 5는 일 실시예에 따른 엔벨로프 추적 회로에 대한 예시적인 파형들을 도시한다.

[0012] [0012] 도 6은 일 실시예에 따라 스위칭 주파수를 적응시키기 위한 방법을 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0008] [0008] 본 개시내용은 적응형 스위칭 주파수를 사용하는 엔벨로프 추적 회로들 및 방법들에 관한 것이다. 이하의 설명에서, 설명의 목적들을 위해, 본 개시내용의 완전한 이해를 제공하기 위해 다수의 예시들 및 특정 세부사항들이 설명된다. 그러나, 청구항들에 나타낸 것과 같은 본 개시내용은 이들 예시들의 몇몇 또는 모든 특징들을 단독으로 또는 이하 설명된 다른 특징들과 조합하여 포함할 수 있고, 본원에 설명된 특징들 및 개념들의 변형들 및 등가물들을 추가로 포함할 수 있다는 점이 당업자에게 명백하게 될 것이다.

[0009] [0014] 무선 애플리케이션들에서, 스위칭 주파수는 효율과 RXBN(receiver band noise) 사이의 트레이드오프를 달성하기 위한 주요 파라미터이다. 더 높은 효율을 위해, 가능한 한 높은 스위칭 주파수를 갖는 것이 바람직하다. 더 낮은 잡음을 위해, TX 대역과 RX 대역 사이의 주파수 오프셋보다 훨씬 더 낮은 스위칭 주파수를 갖는 것이 바람직하다. 본 개시내용의 특징들 및 이점들은, 예컨대, 광범위한 엔벨로프 추적 애플리케이션들에 걸쳐 최적의 스위칭 주파수를 달성하기 위해 요구될 수 있는 엔벨로프 과도현상(transient)의 속도로 또는 그 근처의 속도로 스위칭 주파수를 추적하는 성능을 갖는 회로들을 포함한다.

[0010] [0015] 도 2는 일 실시예에 따른 엔벨로프 추적 회로를 도시한다. 일 실시예에서, 엔벨로프 추적 회로는 증폭기(201)(예컨대, 선형 증폭기) 및 스위칭 레귤레이터를 포함한다. 증폭기(201) 및 스위칭 레귤레이터의 출력들은 PA(power amplifier) 회로(250)의 전력 공급 단자에 커플링된다. 이 예에서, 스위칭 레귤레이터는 드라이브 회로(205), 스위치들(206 및 207)(예컨대, PMOS 트랜지스터 및 NMOS 트랜지스터, 각각), 및 인덕터(208)를 포함한다. 증폭기(201)는, 엔벨로프 추적 주파수를 갖는 ET(envelope tracking) 신호를 수신하고, 출력 전압(Vamp) 및 출력 전류(Iamp)를 생성한다. 스위칭 레귤레이터는 스위칭 신호(DRV)(이하에 추가로 설명됨)를 수신

하고, 전압(Vamp)에서 출력 전류(Isw)를 생성한다. 전류(Iamp 및 Isw)는 조합되어 전력 증폭기(250)에 전력 공급 전류(Idd)를 형성한다.

[0011] 본 개시내용의 특징들 및 이점들은, 스위칭 레귤레이터의 스위칭 주파수가 엔벨로프 추적 주파수에서의 변화들을 추적하도록 허용하게 하는 회로를 포함한다. 본 개시내용의 실시예들은, 예컨대, 증폭기(201)로부터 출력 신호를 수신하고 그리고 스위칭 주파수를 갖는 스위칭 신호(DRV)를 생성하기 위한 프로그래머를 비교기(203)를 포함할 수 있다. 결국, DRV는 스위칭 레귤레이터 전류(Isw)를 제어하도록 스위칭 레귤레이터 스위치들(206 및 207)을 활성화하기 위한 입력으로서 드라이브 회로(205)에 제공된다. 일부 실시예들에서, 프로그래머를 비교기(203)는 증폭기 전류(Iamp)의 방향을 검출하고 이에 따라 스위칭 레귤레이터를 제어할 수 있다. 예컨대, Iamp가 포지티브이면, DRV는, PMOS 트랜지스터(206)를 턴 ON하고 NMOS 트랜지스터(207)를 턴 OFF시켜서 Isw를 증가키도록 스위칭 레귤레이터를 구성할 수 있다. Isw가 증가함에 따라, Iamp는 감소할 수 있다. 이에 따라, Iamp가 방향을 변경하는 경우, DRV는 상태를 변경하고, PMOS 트랜지스터(206)를 턴 OFF하고 NMOS 트랜지스터(207)를 턴 ON시켜서 Isw를 감소시키도록 스위칭 레귤레이터를 구성할 수 있다. 다른 한편으로는, Vamp는 ET 신호를 추적한다. 이에 따라, 고속 증폭기(201)에 의해 제공되는 전류(Iamp)는 Vamp가 ET 신호를 추적한다는 것을 보장할 수 있고, 보충 전류(Isw)가 시스템의 효율을 향상시키기 위해 스위칭 스테이지에 의해 제공될 수 있다.

[0012] 또한, 프로그래머를 비교기(203)는 스위칭 신호(DRV)의 스위칭 주파수를 제어할 수 있다. 이에 따라, 본 개시내용의 특징들 및 이점들은 프로그래머를 비교기(203)를 조정하여 DRV의 스위칭 주파수를 동적으로 변경하는 것을 포함한다. 예컨대, 주파수 비교 회로(204)는 엔벨로프 추적 주파수를 갖는 제 1 신호 및 스위칭 주파수를 갖는 제 2 신호를 수신할 수 있다. 이 예에서, 주파수 비교 회로(204)는, (엔벨로프 추적 주파수에서) Vamp를 수신하기 위해 증폭기(201)의 출력에 커플링되고, (스위칭 주파수에서) 스위칭 신호 DRV를 수신하기 위해 프로그래머를 비교기(203)의 출력에 더 커플링된다. 주파수 비교 회로(204)는, 스위칭 주파수가 엔벨로프 추적 주파수를 추적하도록, 엔벨로프 추적 주파수(Fet) 및 스위칭 주파수(Fsw)에 기반하여 프로그래머를 비교기(203)를 구성한다. 예컨대, 일 방법에 따르면, 주파수 비교 회로(204)는 프로그래머를 비교기의 히스테리시스 윈도우(예컨대, 트립 포인트들)을 변경할 수 있고, 이는 스위칭 주파수를 변경시킬 수 있다. 일 실시예에서, 주파수 비교 회로(204)는 엔벨로프 추적 주파수가 감소함에 따라 프로그래머를 비교기의 히스테리시스 윈도우를 증가시키고, 주파수 비교 회로(204)는 엔벨로프 추적 주파수가 증가함에 따라 프로그래머를 비교기의 히스테리시스 윈도우를 감소시킨다. 히스테리시스 윈도우가 증가될 때, DRV의 스위칭 주파수는 감소할 수 있고 더 낮은 주파수에 있을 수 있다. 반대로, 히스테리시스 윈도우가 감소될 때, DRV의 스위칭 주파수는 증가할 수 있고 더 높은 주파수에 있을 수 있다. 이하에 더욱 상세하게 설명된 일 실시예에서, 주파수 비교 회로(204)는 스위칭 신호의 스위칭 주파수를 변경하기 위해 복수의 시간 기간들 동안 히스테리시스의 윈도우(hysteretic window)를 교번하여 증가시키고 감소시킨다. 비교기 내부에서 임계치들 또는 오프셋들을 설정하는 것을 포함하는 다양한 기법들이 비교 회로 내 히스테리시스(트립 포인트들)를 구현하고 조정하는데 사용될 수 있다. 일 실시예에 따른 프로그래머를 비교기의 일 예가 이하에 제공된다.

[0013] 또한, 일부 실시예들의 특징들 및 이점들은 복제 스테이지(202)를 포함한다. 예컨대, 증폭기는 복제 출력 스테이지(202)를 포함할 수 있다. 이 예에서, 프로그래머를 비교기(203)는 복제 출력 스테이지(202)의 출력에 커플링된다. 증폭기(201)로부터 PA의 전력 공급 단자로의 전류(Iamp)는, 프로그래머를 비교기(203)의 입력에서 복제 전류를 생성하기 위해 복제 출력 스테이지(202)에서 복제될 수 있다. 이 접근방식의 하나의 이점은, 복제 출력 스테이지는 더 적은 전류를 사용하고 그리고 어떠한 추가적인 감지 저항기도 사용하지 않아서, 예컨대, Iamp의 방향을 감지하기 위해 더 적은 전력이 소모된다는 점이다.

[0014] 도 3은 다른 실시예에 따른 예시적인 엔벨로프 추적 회로를 도시한다. 엔벨로프 추적 신호(ETDAC)는 포지티브 입력 단자 상의 선형 증폭기(301)에 수신된다. 예컨대, ETDAC는 디지털-아날로그 컨버터에 의해 생성될 수 있다. 선형 증폭기(301)는 출력 스테이지 및 복제 출력 스테이지를 포함한다. 출력 스테이지는 전압 레벨 시프트 회로(302), PMOS 출력 트랜지스터(MP) 및 NMOS 출력 트랜지스터(MN)를 포함한다. 증폭기(301)의 네거티브 입력은, 출력 전압(VAMP)이 ETDAC를 추적하도록, 단일 이득 구성(unity gain configuration)으로 출력에 커플링된다. 전압(Vamp)은 MP 및 MN의 드레인들 사이의 노드 상에 생성되고, PA(power amplifier)(350)의 전력 공급 단자에 커플링된다. 복제 출력 스테이지는 PMOS 트랜지스터(MP1) 및 NMOS 트랜지스터(MN1)를 포함한다. MP1의 게이트는 MP의 게이트에 커플링되고 MN1의 게이트는 MN의 게이트에 커플링되어, 복제 스테이지에서 유동하는 전류가 출력 스테이지에서 유동하는 전류와 실질적으로 동일하게 된다. 일 실시예에서, MP1 및 MN1은 MP 및 MN 각각의 크기의 일부(fraction)(예컨대, 1:N)여서, 복제 스테이지에서의 전류는 출력 스테이지에서의 전류

의 일부가 된다.

[0015] 이 예에서, 복제 스테이지의 출력은, 버퍼(306), 하나 또는 그 초과의 스위치들(307), 및 버퍼 입력과 버퍼 출력 사이에 직렬로 구성된 복수의 저항성 컴포넌트들(R 및 Rhys)을 포함하는 프로그래머블 비교기에 커플링된다. 버퍼는, 예컨대, 직렬의 복수의 CMOS 인버터 회로들을 포함할 수 있다. 버퍼의 입력은, 이 예에서는 Iamp의 축소 버전(scaled down version)인 출력 신호를 수신하기 위해 복제 스테이지의 출력에 커플링된다. 버퍼 및 피드백 저항기의 동작은 이하와 같다. Iamp가 네거티브에서 포지티브로 전이한다고 가정하면, 전이 이전의 버퍼(306)의 입력은 낮을 것이고, 스위칭 신호(ETDRV)인 버퍼의 출력도 또한 낮을 것이다. 따라서, 버퍼의 출력은 버퍼 출력에서 피드백 저항기를 접지에 연결한다. Iamp가 포지티브로 전환함에 따라, MP 및 MP1를 통과하는 전류들은 증가하여 MN 및 MN1을 통과하는 전류들보다 더 크다. MP1을 통과하는 전류는 입력에서 피드백 저항기를 구동시키고, 전압은 증가하기 시작한다. MP1을 통과하는 전류가 출력을 트립(trip)시키기 위해 버퍼의 입력에서 충분한 전압을 생성할 때, 버퍼는 상태들을 스위칭할 것이고, 버퍼의 입력 및 출력은 둘 다 하이가 될 것이며, 스위칭 신호(ETDRV)는 하이로 진행할 것이다. 하이로 진행하는 ETDRV는 스위칭 스테이지 트랜지스터(309)를 턴 ON하고 그리고 트랜지스터(310)를 턴 OFF하여, Isw가 램프 압하도록 야기한다(여기서, Isw는 스위칭 스테이지로부터의 전류이고 이는 또한 인덕터 전류(IL)로도 지칭될 수 있다). VAMP는 증폭기(301)의 단일 이득 구성으로 인해 ETDAC 값으로 유지된다.

[0016] Isw가 램프 압함에 따라, Iamp는 특정 레벨의 VAMP 및 Idd를 유지하기 위해 램프 다운하기 시작한다. Isw가 계속해서 증가함에 따라, Iamp는 포지티브에서 네거티브로 스위칭한다. 이제, 버퍼(306)의 입력은 하이로 될 것이고, 버퍼의 출력도 또한 하이로 될 것이다. 따라서, 버퍼의 출력은 이제 출력에서 피드백 저항기를 하이로(예컨대, Vdd로) 커플링한다. Iamp가 네거티브로 전환함에 따라, MP 및 MP1을 통과하는 전류들은 감소하며, MN 및 MN1을 통과하는 전류는 증가한다. MN1을 통과하는 전류는 버퍼 입력에서 피드백 저항기를 통해 전류를 싱킹하고(sink), 전압은 감소하기 시작한다. MN1을 통과하는 전류가 출력을 트립(trip)시키기 위해 버퍼의 입력에서 충분한 전압 강하를 생성할 때, 버퍼는 상태들을 스위칭할 것이고, 버퍼의 입력 및 출력은 둘 다 다시로우가 될 것이며, 스위칭 신호(ETDRV)는 로우로 진행할 것이다. 로우로 진행하는 ETDRV는 스위칭 스테이지 트랜지스터(309)를 턴 OFF하고 트랜지스터(310)를 턴 ON하여, Isw가 램프 다운하도록 야기한다.

[0022] 하나 또는 그 초과의 스위치들, 이를테면, 스위치(307)는 버퍼의 트립 포인트를 조정하기 위해 버퍼 입력과 버퍼 출력 사이의 저항을 선택적으로 변경하기 위해 저항성 컴포넌트들과 병렬로 구성된다. 예컨대, 스위치(307)가 폐쇄되면, 저항(Rhys)은 단락되고 피드백 저항은 더 작아진다. 버퍼를 트립시키기 위해 복제 스테이지로부터 더 많은 전류가 요구되기 때문에, 더 작은 피드백 저항은 히스테리시스 윈도우를 증가시킨다. 추가적인 히스테리시스를 극복하고 버퍼를 트립하기 위해 요구되는 가외의(extra) 시간은 스위칭 신호의 스위칭 주파수를 감소시킨다. 따라서, 감소된 피드백 저항은 히스테리시스에 대한 증가 및 스위칭 주파수에 있어서의 감소를 야기한다. 다른 한편으로, 스위치(307)가 개방되면, 저항(Rhys)은 저항(R)과 직렬이고, 피드백 저항은 더 크다. 버퍼를 트립시키기 위해 복제 스테이지로부터 더 적은 전류가 요구되기 때문에, 더 큰 피드백 저항이 히스테리시스 윈도우를 감소시킨다. 더 낮은 히스테리시스를 극복하고 버퍼를 트립하기 위해 요구되는 감소된 시간은 스위칭 신호의 스위칭 주파수를 증가시킨다. 따라서, 증가된 피드백 저항은 히스테리시스에 대한 감소 및 스위칭 주파수에 있어서의 증가를 야기한다.

[0023] 전술한 예는, 스위칭 주파수를 변경하기 위해 프로그래머블 비교기의 히스테리시스 윈도우를 변경시키는 일 예시적인 기법을 도시한다. 본 예는 2개의 저항기들 및 하나의 스위치를 갖는 회로를 도시하지만, 더 많은 저항성 컴포넌트들(예컨대, 더 많은 저항기 텁들) 및 더 많은 스위치들이 사용될 수 있음이 이해된다. 예컨대, 다른 등가적인 구현들은 트립 포인트들을 변경시키기 위해 저항을 조정하기 위한 아날로그 기법을 사용할 수 있다. 아날로그 및 디지털 기법들은 또한 다른 실시예들에 따라 트립 포인트들을 조정하기 위해 임계치들 또는 오프셋들을 조정할 수 있다.

[0024] 이 예에서, 주파수 추적은 버퍼(306)의 피드백 저항을 디지털적으로 조정하는 주파수 비교 회로에 의해 수행된다. 예컨대, 적응형 스위칭 제어 회로는 VAMP를 수신하기 위해 증폭기(301)의 출력에 커플링된 입력을 갖는 피크-밸리 검출기(peak-valley detector)(303)를 포함할 수 있다. 피크-밸리 검출기(303)는 엔벨로프 추적 주파수를 갖는 신호를 생성한다. 이하의 도 4 및 도 5에서 예시되는 바와 같이, 이 신호는, 예컨대, 엔벨로프 추적 신호(ET 및 VAMP)에서의 피크들 및 밸리들에서 발생하는 펄스를 포함할 수 있다. 피크-밸리 검출기(303)의 출력은 인버터(304)를 통해 플립 플롭(305)(여기서는, D-플립 플롭(DFF))을 포함하는 주파수 비교 회로에 커플링된다. PKVL 신호는 엔벨로프 추적 주파수를 구현한다. PKVL은 DFF(305)의 리셋 입력에 커플링된다. 스위칭 주파수를 구현하는 스위칭 신호(ETDRV)는 DFF의 클록 입력에 커플링되고, D 입력은 하이(예컨대, Vdd)에

커플링된다. 이 예에서, Qbar 출력(HYS)은 비교기의 히스테리시스를 제어하기 위해 스위치(307)에 커플링되고, 이에 따라 스위칭 주파수를 증가시키거나 또는 감소시킨다.

[0020] 주파수 비교 회로 및 주파수 추적의 동작은 도 4 및 도 5를 참조하여 이해될 수 있다. 도 4는 일 실시 예에 따른 엔벨로프 추적 회로에 대한 예시적인 파형들을 도시한다. 여기서, VAMP에 의해 구현되는 엔벨로프 추적 주파수는, 인덕터 전류(IL)에 의해 구현되는 스위칭 주파수보다 작다. 이 예에서, PKVL은 VAMP의 피크 및 밸리 상에서 발생하는 펄스이다. 엔벨로프 추적 주파수 신호(PKVL) 및 스위칭 주파수 신호(ETDRV)는, DFF에서 비교되고, 스위칭 주파수를 변경시키기 위해 피드백 저항에서 스위치들을 개방하고 폐쇄하는데 사용된다. DFF의 Qbar 출력은 HYS이다. HYS=0은 스위치가 개방된 상태에 대응하며, 이는 큰 저항을 설정하고 스위칭 주파수를 증가시킨다. HYS=1은 스위치가 폐쇄된 상태에 대응하며, 이는 더 낮은 저항을 설정하고 스위칭 주파수를 감소시킨다. PKVL은 DFF(Qbar=HYS=1)를 리셋하고, ETDRV는 1을 출력으로 클록한다(Qbar = HYS = 0). 따라서, 각각의 사이클 상에서, HYS는 0으로 설정되고 스위칭 주파수는 잠시(for a time) 증가되며, 그후 HYS는 1로 설정되고 스위칭 주파수는 잠시 감소되어 평균 스위칭 주파수를 생성한다. 이러한 평균화 기법은, 예컨대, 스위칭 신호의 스위칭 주파수를 변경시키기 위해 복수의 시간 기간들 동안 히스테리시스의 윈도우를 교번하여 증가시키고 감소시키기 위한 하나의 예시적인 메커니즘이다. 엔벨로프 추적 주파수가 스위칭 신호 주파수보다 더 낮을 때, HYS는 엔벨로프 추적 주파수와 스위칭 신호 사이의 주파수 차이에 대응하여 더 긴 시간 기간 동안 1일 것이다. 이 주파수 차이가 감소함에 따라(예컨대, 엔벨로프 주파수가 증가함에 따라), 히스테리시스의 윈도우의 교번 상태들(예컨대, 앞서 설명된 HYS = 1 및 HYS = 0) 사이의 시간 평균은 엔벨로프 주파수가 증가함에 따라 스위칭 주파수가 증가하도록 야기할 것이다. 이에 따라, 스위칭 주파수는 엔벨로프 주파수를 추적한다.

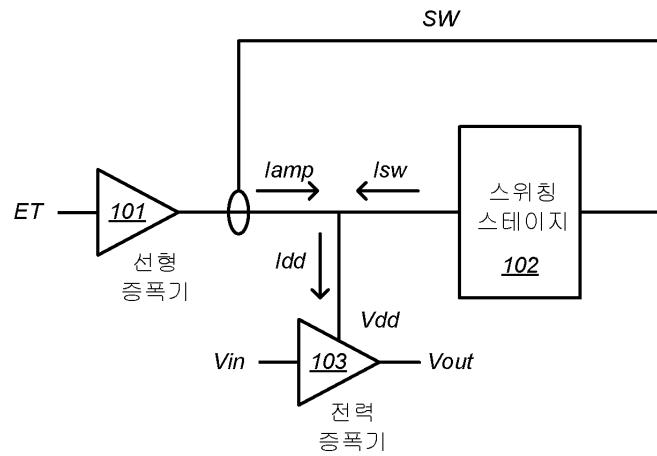
[0021] [0026] 도 5는 일 실시예에 따른 엔벨로프 추적 회로에 대한 예시적인 파형들을 도시한다. 여기서, VAMP에 의해 구현되는 엔벨로프 추적 주파수는, 인덕터 전류(IL)에 의해 구현되는 스위칭 주파수와 대략적으로 동일하다. 이에 따라, PKVL의 주파수는 증가했다. 이 예에서, DFF의 리셋 입력에서 PKVL의 주파수는 ETDRV가 DFF 출력 상태를 변경하는 것을 방지한다. HYS가 0에서 훌륭되고, 스위치(307)가 개방상태로 유지되면, 큰 피드백 저항, 작은 히스테리시스의 윈도우, 및 ETDRV에 대한 더 높은 스위칭 주파수를 초래한다.

[0022] [0027] 도 6은 일 실시예에 따라 스위칭 주파수를 적응시키기 위한 방법을 도시한다. 601에서, 엔벨로프 추적 주파수를 갖는 엔벨로프 추적 신호는 증폭기에서 수신된다. 증폭기는 전력 증폭기 회로의 전력 공급 단자에 대한 전류 및 전력 공급 전압을 생성한다. 602에서, 증폭기로부터의 출력 신호는 프로그래머블 비교기에 수신된다. 프로그래머블 비교기는 스위칭 주파수를 갖는 스위칭 신호를 생성한다. 603에서, 스위칭 신호는 스위칭 레귤레이터에 수신되고, 스위칭 레귤레이터는 전력 증폭기 회로의 전력 공급 단자에 스위칭 전류를 생성한다. 604에서, 엔벨로프 추적 주파수를 갖는 제 1 신호 및 스위칭 주파수를 갖는 제 2 신호의 주파수들은 비교된다. 프로그래머블 비교기는, 스위칭 주파수가 엔벨로프 추적 주파수를 추적하도록, 엔벨로프 추적 주파수 및 스위칭 주파수에 기반하여 구성된다.

[0028] [0029] 전술한 설명은, 특정 실시예들의 양상들이 구현될 수 있는 방법의 예시들과 함께 본 개시내용의 다양한 실시예들을 도시한다. 전술한 예시들은, 유일한 실시예들인 것으로 간주되어서는 안되며, 이하의 청구범위들에 의해 정의되는 것과 같은 특정 실시예들의 유연성 및 이점들을 예시하기 위해 제공된다. 전술한 개시내용 및 이하의 청구항들에 기초하여, 청구항들에 의해 정의된 바와 같은 본 개시내용의 범위를 벗어나지 않고 다른 배열들, 실시예들, 구현들, 및 등가물들이 사용될 수 있다.

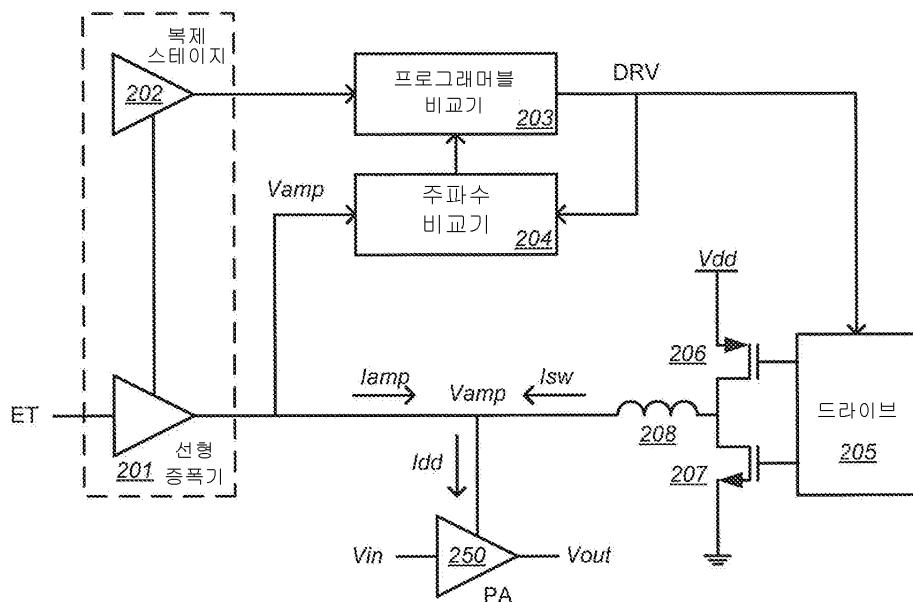
## 도면

## 도면1

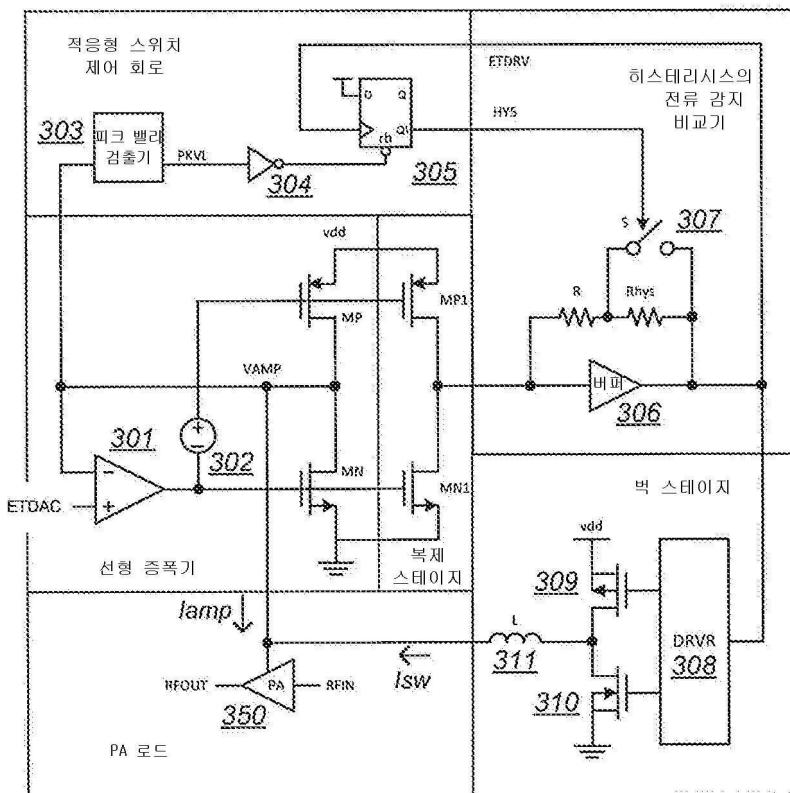


## (종래기술)

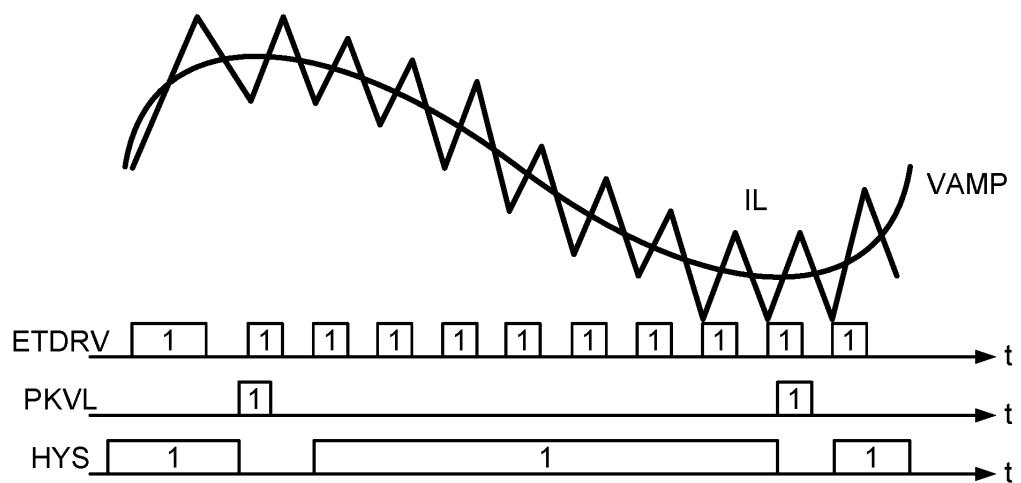
## 도면2



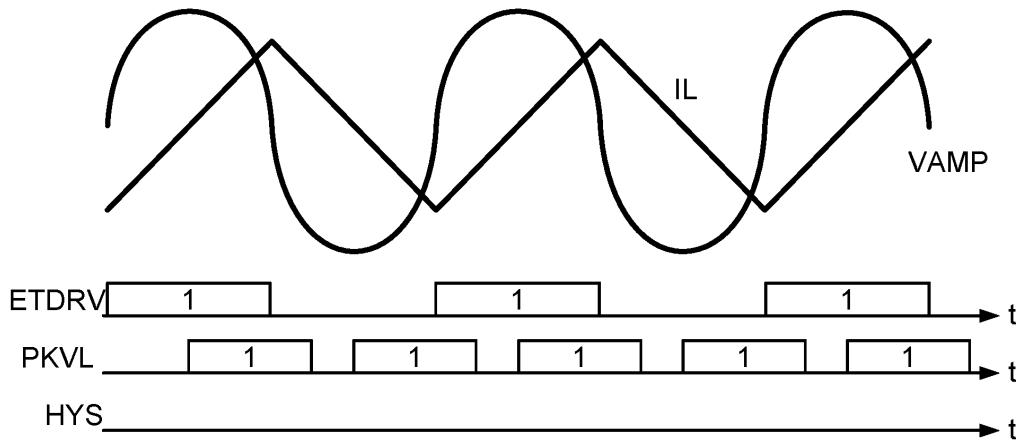
## 도면3



## 도면4



## 도면5



## 도면6

