

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 13 日 (13.10.2016)



(10) 国际公布号
WO 2016/161694 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/079377
- (22) 国际申请日: 2015 年 5 月 20 日 (20.05.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510160939.9 2015 年 4 月 7 日 (07.04.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曹尚操 (CAO, Shangcao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: GOA CIRCUIT BASED ON P TYPE THIN-FILM TRANSISTOR

(54) 发明名称: 基于 P 型薄膜晶体管的 GOA 电路

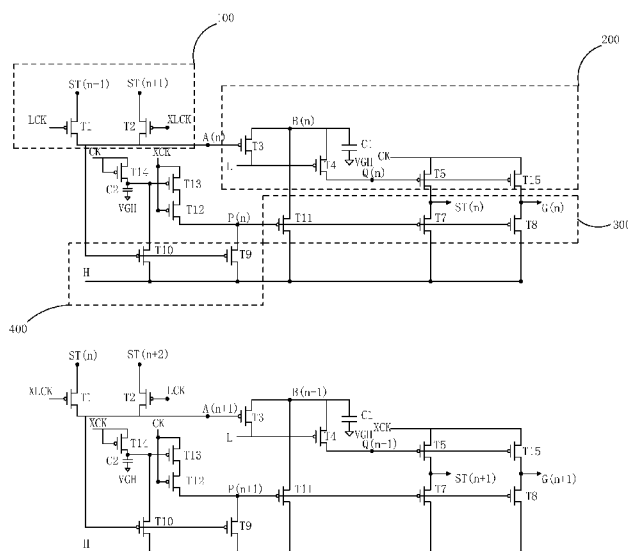


图1

(57) Abstract: A GOA circuit based on a p type thin-film transistor, comprising a plurality of GOA unit circuits in cascade connection, wherein each GOA unit circuit comprises: a forward and reverse scan module (100), an output module (200), a pull-down holding module (300) and a pull-down module (400); an nth GOA unit circuit and an n+1th GOA unit circuit adjacent to the nth GOA unit circuit form a period; and the forward and reverse scan modules (100) adopt a first high-frequency clock signal (LCK) and a first reserve high-frequency clock signal (XLCK) to control forward and reverse scan of the p type thin-film transistor. The GOA circuit based on a p type thin-film transistor is able to reduce deterioration of thin-film transistors in forward and reverse scan modules, reduce power consumption of a circuit, reduce the number of signal lines and realize a narrow bezel design, and is also able to increase the stability of the GOA circuit and ensure successful output of a scan signal (G(n)).

(57) 摘要: 一种基于 P 型薄膜晶体管的 GOA 电路, 包括级联的多个 GOA 单元电路, 每一级 GOA 单元电路均包括: 正反向扫描模块(100)、输出模块(200)、下拉维持模块(300)、及下拉模块(400); 第 n 级 GOA 单元电路与其相邻的第 n+1 级 GOA 单元电路为一周期; 所述正反向扫描模块(100)采用第一高频时钟信号(LCK)与第一反向高频时钟信号(XLCK)控制 P 型薄膜晶体管的正反向扫描。该基于 P 型薄膜晶体管的 GOA 电路, 能够减轻正反向扫描模块中的薄膜晶体

管的恶化, 降低电路功耗, 减少信号线的条数, 实现窄边框设计, 并能够提升 GOA 电路的稳定性, 保证扫描信号(G(n))顺利输出。



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

基于 P 型薄膜晶体管的 GOA 电路

技术领域

5 本发明涉及液晶显示器技术领域，尤其涉及一种基于 P 型薄膜晶体管的 GOA 电路。

背景技术

10 液晶显示器（Liquid Crystal Display, LCD）具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。如：液晶电视、移动电话、个人数字助理（PDA）、数码相机、计算机屏幕或笔记本电脑屏幕等，在平板显示领域中占主导地位。

15 现有市场上的液晶显示器大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在薄膜晶体管阵列基板（Thin Film Transistor Array Substrate, TFT Array Substrate）与彩色滤光片基板（Color Filter, CF）之间灌入液晶分子，并在两片基板上施加驱动电压来控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面。

20 主动式液晶显示器中，每个像素电性连接一个薄膜晶体管（TFT），薄膜晶体管的栅极（Gate）连接至水平扫描线，漏极（Drain）连接至垂直方向的数据线，源极（Source）则连接至像素电极。在水平扫描线上施加足够的电压，会使得电性连接至该条水平扫描线上的所有 TFT 打开，从而数据线上的信号电压能够写入像素，控制不同液晶的透光度进而达到控制色彩与亮度的效果。目前主动式液晶显示面板水平扫描线的驱动主要由外接的集成电路板（Integrated Circuit, IC）来完成，外接的 IC 可以控制各级水平扫描线的逐级充电和放电。而 GOA 技术（Gate Driver on Array）即阵列基板行驱动技术，可以运用液晶显示面板的原有阵列制程将水平扫描线的驱动电路制作在显示区周围的基板上，使之能替代外接 IC 来完成水平扫描线的驱动。GOA 技术能减少外接 IC 的焊接（bonding）工序，有机会提升产能并降低产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

30 通常 GOA 电路包括：基于 P 型薄膜晶体管的 GOA 电路、基于 CMOS 的 GOA 电路、和基于 N 型薄膜晶体管的 GOA 电路，其中基于 P 型薄膜晶体管的 GOA 电路，尤其是以低温多晶硅（LTPS）为材料的基于 P 型薄膜

晶体管的 GOA 电路具有工艺较为简单、漏电较低的特点，发展前景良好。然而，现有的基于 P 型薄膜晶体管的 GOA 电路往往稳定性较差，且功耗较高。

5 发明内容

本发明的目的在于，提供一种基于 P 型薄膜晶体管的 GOA 电路，能够减轻正反向扫描模块中的薄膜晶体管的恶化，降低电路功耗，减少信号线的条数，实现窄边框设计，提升 GOA 电路的稳定性。

为实现上述目的，本发明提供了一种基于 P 型薄膜晶体管的 GOA 电路，包括级联的多个 GOA 单元电路，每一级 GOA 单元电路均包括：正反向扫描模块、输出模块、下拉维持模块、及下拉模块；设 n 为正整数，第 n 级 GOA 单元电路与其相邻的第 $n+1$ 级 GOA 单元电路为一周期；

除第一级与最后一级 GOA 单元电路以外，在第 n 级 GOA 单元电路中：

所述正反向扫描模块包括：第一 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号，源极电性连接于上一级第 $n-1$ 级 GOA 单元的级传信号，漏极电性连接于第一节点；第二 P 型薄膜晶体管，所述第二 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号，源极电性连接于下一级第 $n+1$ 级 GOA 单元的级传信号，漏极电性连接于第一节点；

所述输出模块包括：第三 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位及第四 P 型薄膜晶体管的栅极；第四 P 型薄膜晶体管，所述第四 P 型薄膜晶体管的栅极电性连接于恒压低电位及第三 P 型薄膜晶体管的漏极，源极电性连接于第二节点，漏极电性连接于第三节点；第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于级传信号；第十五 P 型薄膜晶体管，所述第十五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于扫描信号；第一电容，所述第一电容的一端电性连接于第二节点，另一端电性连接于一恒定高电压；

所述下拉维持模块包括：第十一 P 型薄膜晶体管，所述第十一 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于第二节点，漏极电性连接于恒压高电位；第七 P 型薄膜晶体管，所述第七 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于级传信号，漏极电性连接于恒压高电位；第八 P 型薄膜晶体管，所述第八 P 型薄膜晶体管的栅极电性连

接于第四节点，源极电性连接于扫描信号，漏极电性连接于恒压高电位；

所述下拉模块包括：第十 P 型薄膜晶体管，所述第十 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第十三 P 型薄膜晶体管的栅极，漏极电性连接于恒压高电位；第九 P 型薄膜晶体管，所述第九 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第四节点，漏极电性连接于恒压高电位；

所述第 n 级 GOA 单元电路还包括：第十四 P 型薄膜晶体管，所述第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二高频时钟信号，漏极电性连接于第二电容的一端及第十三 P 型薄膜晶体管的栅极；第十三 P 型薄膜晶体管，所述第十三 P 型薄膜晶体管的栅极电性连接于第十四 P 型薄膜晶体管的漏极及第十 P 型薄膜晶体管的源极，源极电性连接于第二反向高频时钟信号，漏极电性连接于第十二 P 型薄膜晶体管的源极；第十二 P 型薄膜晶体管，所述第十二 P 型薄膜晶体管的栅极电性连接于第二反向高频时钟信号，源极电性连接于第十三 P 型薄膜晶体管的漏极，漏极电性连接于第四节点；第二电容，所述第二电容的一端电性连接于第十四 P 型薄膜晶体管的漏极，另一端电性连接于一恒定高电压；

在第 n+1 级 GOA 单元电路中，第一 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号、第二 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号、第五与第十五 P 型薄膜晶体管的源极均电性连接于第二反向高频时钟信号、第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二反向高频时钟信号、第十三 P 型薄膜晶体管的源极与第十二 P 型薄膜晶体管的栅极均电性连接于第二高频时钟信号；

所述第一高频时钟信号与第一反向高频时钟信号的相位相反，所述第二高频时钟信号与第二反向高频时钟信号的相位相反；

所述基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时，所述第一高频时钟信号和第二反向高频时钟信号的时序一致，第一反向高频时钟信号和第二高频时钟信号的时序一致；

所述基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时，所述第一高频时钟信号和第二高频时钟信号的时序一致，第一反向高频时钟信号和第二反向高频时钟信号的时序一致。

所述基于 P 型薄膜晶体管的 GOA 电路的第一级连接关系中，所述第一 P 型薄膜晶体管的源极电性连接于起始信号。

所述基于 P 型薄膜晶体管的 GOA 电路的最后一级连接关系中，所述第二 P 型薄膜晶体管的源极电性连接于起始信号。

所述基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时, 所述第二反向高频时钟信号能够被第一高频时钟信号替换, 所述第二高频时钟信号能够被第一反向高频时钟信号替换;

5 所述基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时, 所述第二高频时钟信号能够被第一反向高频时钟信号替换, 所述第二反向高频时钟信号能够被第一反向高频时钟信号替换。

所述基于 P 型薄膜晶体管的 GOA 电路具有四条高频时钟信号线或两条高频时钟信号线。

10 所述每一级 GOA 单元电路还包括: 第十六 P 型薄膜晶体管, 所述第十六 P 型薄膜晶体管的栅极电性连接于级传信号, 源极电性连接于第四节点, 漏极电性连接于恒压高电位。

所述每一级 GOA 单元电路还包括: 第十六 P 型薄膜晶体管, 所述第十六 P 型薄膜晶体管的栅极电性连接于第四节点, 源极电性连接于第一节点, 漏极电性连接于恒压高电位。

15 所述每一级 GOA 单元电路还包括: 第十六 P 型薄膜晶体管, 所述第十六 P 型薄膜晶体管的栅极电性连接于第四节点, 源极电性连接于第一节点, 漏极电性连接于恒压高电位; 第十七 P 型薄膜晶体管, 所述第十七 P 型薄膜晶体管的源极电性连接于第四 P 型薄膜晶体管的漏极, 漏极电性连接于第三节点, 在第 n 级 GOA 单元电路中, 所述第十七 P 型薄膜晶体管的栅极电性连接于第二反向高频时钟信号, 在第 n+1 级 GOA 单元电路中, 所述第十七 P 型薄膜晶体管的栅极电性连接于第二高频时钟信号; 第三电容, 所述第三电容的一端电性连接于第三节点, 另一端电性连接于级传信号。

25 所述基于 P 型薄膜晶体管的 GOA 电路在输出期间, 第三节点为低电位, 第四节点为高电位; 在输出结束后, 第三节点为高电位, 第四节点为低电位。

各个 P 型薄膜晶体管的材料均为低温多晶硅。

30 本发明还提供一种基于 P 型薄膜晶体管的 GOA 电路, 包括级联的多个 GOA 单元电路, 每一级 GOA 单元电路均包括: 正反向扫描模块、输出模块、下拉维持模块、及下拉模块; 设 n 为正整数, 第 n 级 GOA 单元电路与其相邻的第 n+1 级 GOA 单元电路为一周期;

除第一级与最后一级 GOA 单元电路以外, 在第 n 级 GOA 单元电路中:

所述正反向扫描模块包括: 第一 P 型薄膜晶体管, 所述第一 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号, 源极电性连接于上一级第 n-1 级 GOA 单元的级传信号, 漏极电性连接于第一节点; 第二 P 型薄膜晶体管,

所述第二 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号，源极电性连接于下一级第 $n+1$ 级 GOA 单元的级传信号，漏极电性连接于第一节点；

所述输出模块包括：第三 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位及第四 P 型薄膜晶体管的栅极；第四 P 型薄膜晶体管，所述第四 P 型薄膜晶体管的栅极电性连接于恒压低电位及第三 P 型薄膜晶体管的漏极，源极电性连接于第二节点，漏极电性连接于第三节点；第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于级传信号；第十五 P 型薄膜晶体管，所述第十五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于扫描信号；第一电容，所述第一电容的一端电性连接于第二节点，另一端电性连接于一恒定高电压；

所述下拉维持模块包括：第十一 P 型薄膜晶体管，所述第十一 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于第二节点，漏极电性连接于恒压高电位；第七 P 型薄膜晶体管，所述第七 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于级传信号，漏极电性连接于恒压高电位；第八 P 型薄膜晶体管，所述第八 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于扫描信号，漏极电性连接于恒压高电位；

所述下拉模块包括：第十 P 型薄膜晶体管，所述第十 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第十三 P 型薄膜晶体管的栅极，漏极电性连接于恒压高电位；第九 P 型薄膜晶体管，所述第九 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第四节点，漏极电性连接于恒压高电位；

所述第 n 级 GOA 单元电路还包括：第十四 P 型薄膜晶体管，所述第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二高频时钟信号，漏极电性连接于第二电容的一端及第十三 P 型薄膜晶体管的栅极；第十三 P 型薄膜晶体管，所述第十三 P 型薄膜晶体管的栅极电性连接于第十四 P 型薄膜晶体管的漏极及第十 P 型薄膜晶体管的源极，源极电性连接于第二反向高频时钟信号，漏极电性连接于第十二 P 型薄膜晶体管的源极；第十二 P 型薄膜晶体管，所述第十二 P 型薄膜晶体管的栅极电性连接于第二反向高频时钟信号，源极电性连接于第十三 P 型薄膜晶体管的漏极，漏极电性连接于第四节点；第二电容，所述第二电容的一端电性连接于第十四 P 型薄膜晶体管的漏极，另一端电性连接于一恒定高电压；

在第 $n+1$ 级 GOA 单元电路中, 第一 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号、第二 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号、第五与第十五 P 型薄膜晶体管的源极均电性连接于第二反向高频时钟信号、第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二反向高频时钟信号、第十三 P 型薄膜晶体管的源极与第十二薄膜晶体管的栅极均电性连接于第二高频时钟信号;

所述第一高频时钟信号与第一反向高频时钟信号的相位相反, 所述第二高频时钟信号与第二反向高频时钟信号的相位相反;

所述基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时, 所述第一高频时钟信号和第二反向高频时钟信号的时序一致, 第一反向高频时钟信号和第二高频时钟信号的时序一致;

所述基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时, 所述第一高频时钟信号和第二高频时钟信号的时序一致, 第一反向高频时钟信号和第二反向高频时钟信号的时序一致;

其中, 该基于 P 型薄膜晶体管的 GOA 电路的第一级连接关系中, 所述第一 P 型薄膜晶体管的源极电性连接于起始信号;

其中, 该基于 P 型薄膜晶体管的 GOA 电路的最后一级连接关系中, 所述第二 P 型薄膜晶体管的源极电性连接于起始信号。

本发明的有益效果: 本发明提供的一种基于 P 型薄膜晶体管的 GOA 电路, 采用第一高频时钟信号与第一反向高频时钟信号控制 P 型薄膜晶体管的正反向扫描, 与直流信号控制相比能够减轻正反向扫描模块中相关薄膜晶体管的恶化; 所述第一高频时钟信号和第一反向高频时钟不仅可以作为控制正反向扫描的控制信号, 还可以作为扫描信号输出的信号源, 降低第二高频时钟信号和第二反向高频时钟信号的负载, 减少扫描信号延迟, 保证扫描信号顺利输出, 提升 GOA 电路的稳定性, 并能够减少信号线的条数, 实现窄边框设计; 下拉模块采用二段式设计能够降低电路的功耗。

为了能更进一步了解本发明的特征以及技术内容, 请参阅以下有关本发明的详细说明与附图, 然而附图仅提供参考与说明用, 并非用来对本发明加以限制。

附图说明

下面结合附图, 通过对本发明的具体实施方式详细描述, 将使本发明的技术方案及其它有益效果显而易见。

附图中,

图 1 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第一实施例的电路图；

图 2 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第一实施例的第一级 GOA 单元电路的电路图；

5 图 3 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第一实施例的最后一级 GOA 单元电路的电路图；

图 4 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第二实施例的电路图；

10 图 5 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第三实施例的电路图；

图 6 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第四实施例的电路图；

图 7 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第五实施例的电路图；

15 图 8 为本发明的基于 P 型薄膜晶体管的 GOA 电路正向扫描时的时序图；

图 9 为本发明的基于 P 型薄膜晶体管的 GOA 电路反向扫描时的时序图。

20 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

25 请参阅图 1，图 1 为本发明的基于 P 型薄膜晶体管的 GOA 电路的第一实施例的电路图。如图 1 所示，本发明的基于 P 型薄膜晶体管的 GOA 电路，包括级联的多个 GOA 单元电路，每一级 GOA 单元电路均包括：正反向扫描模块 100、输出模块 200、下拉维持模块 300、及下拉模块 400。设 n 为正整数，第 n 级 GOA 单元电路与其相邻的第 $n+1$ 级 GOA 单元电路为一周期。

30 除第一级与最后一级 GOA 单元电路以外，在第 n 级 GOA 单元电路中：所述正反向扫描模块 100 包括：第一 P 型薄膜晶体管 T1，所述第一 P 型薄膜晶体管 T1 的栅极电性连接于第一高频时钟信号 LCK，源极电性连接于上一级第 $n-1$ 级 GOA 单元的级传信号 ST($n-1$)，漏极电性连接于第一节点 A(n)；第二 P 型薄膜晶体管 T2，所述第二 P 型薄膜晶体管 T2 的栅极电性连接于第一反向高频时钟信号 XLCK，源极电性连接于下一级第 $n+1$ 级

GOA 单元的级传信号 $ST(n+1)$ ，漏极电性连接于第一节点 $A(n)$ 。

所述输出模块 200 包括：第三 P 型薄膜晶体管 T3，所述第三 P 型薄膜晶体管 T3 的栅极电性连接于第一节点 $A(n)$ ，源极电性连接于第二节点 $B(n)$ ，漏极电性连接于恒压低电位 L 及第四 P 型薄膜晶体管 T4 的栅极；第四 P 型薄膜晶体管 T4，所述第四 P 型薄膜晶体管 T4 的栅极电性连接于恒压低电位 L 及第三 P 型薄膜晶体管 T3 的漏极，源极电性连接于第二节点 $B(n)$ ，漏极电性连接于第三节点 $Q(n)$ ；第五 P 型薄膜晶体管 T5，所述第五 P 型薄膜晶体管 T5 的栅极电性连接于第三节点 $Q(n)$ ，源极电性连接于第二高频时钟信号 CK，漏极电性连接于级传信号 $ST(n)$ ；第十五 P 型薄膜晶体管 T15，所述第十五 P 型薄膜晶体管 T15 的栅极电性连接于第三节点 $Q(n)$ ，源极电性连接于第二高频时钟信号 CK，漏极电性连接于扫描信号 $G(n)$ ；第一电容 C1，所述第一电容 C1 的一端电性连接于第二节点 $B(n)$ ，另一端电性连接于一恒定高电压 VGH。

所述下拉维持模块 300 包括：第十一 P 型薄膜晶体管 T11，所述第十一 P 型薄膜晶体管 T11 的栅极电性连接于第四节点 $P(n)$ ，源极电性连接于第二节点 $B(n)$ ，漏极电性连接于恒压高电位 H；第七 P 型薄膜晶体管 T7，所述第七 P 型薄膜晶体管 T7 的栅极电性连接于第四节点 $P(n)$ ，源极电性连接于级传信号 $ST(n)$ ，漏极电性连接于恒压高电位 H；第八 P 型薄膜晶体管 T8，所述第八 P 型薄膜晶体管 T8 的栅极电性连接于第四节点 $P(n)$ ，源极电性连接于扫描信号 $G(n)$ ，漏极电性连接于恒压高电位 H。

所述下拉模块 400 包括：第十 P 型薄膜晶体管 T10，所述第十 P 型薄膜晶体管 T10 的栅极电性连接于第一节点 $A(n)$ ，源极电性连接于第十三 P 型薄膜晶体管 T13 的栅极，漏极电性连接于恒压高电位 H；第九 P 型薄膜晶体管 T9，所述第九 P 型薄膜晶体管 T9 的栅极电性连接于第一节点 $A(n)$ ，源极电性连接于第四节点 $P(n)$ ，漏极电性连接于恒压高电位 H。

所述第 n 级 GOA 单元电路还包括：第十四 P 型薄膜晶体管 T14，所述第十四 P 型薄膜晶体管 T14 的栅极及源极均电性连接于第二高频时钟信号 CK，漏极电性连接于第二电容 C2 的一端及第十三 P 型薄膜晶体管 T13 的栅极；第十三 P 型薄膜晶体管 T13，所述第十三 P 型薄膜晶体管 T13 的栅极电性连接于第十四 P 型薄膜晶体管 T14 的漏极及第十 P 型薄膜晶体管 T10 的源极，源极电性连接于第二反向高频时钟信号 XCK，漏极电性连接于第十二 P 型薄膜晶体管 T12 的源极；第十二 P 型薄膜晶体管 T12，所述第十二 P 型薄膜晶体管 T12 的栅极电性连接于第二反向高频时钟信号 XCK，源极电性连接于第十三 P 型薄膜晶体管 T13 的漏极，漏极电性连接于第四节

点 P(n); 第二电容 C2, 所述第二电容 C2 的一端电性连接于第十四 P 型薄膜晶体管 T14 的漏极, 另一端电性连接于一恒定高电压 VGH。

在第 n+1 级 GOA 单元电路中, 除第一 P 型薄膜晶体管 T1 的栅极电性连接于第一反向高频时钟信号 XLCK、第二 P 型薄膜晶体管 T2 的栅极电性连接于第一高频时钟信号 LCK、第五与第十五 P 型薄膜晶体管 T5、T15 的源极均电性连接于第二反向高频时钟信号 XCK、第十四 P 型薄膜晶体管 T14 的栅极及源极均电性连接于第二反向高频时钟信号 XCK、第十三 P 型薄膜晶体管 T13 的源极与第十二 P 型薄膜晶体管 T12 的栅极均电性连接于第二高频时钟信号 CK 以外, 其它电路结构及连接关系均与第 n 级 GOA 单元电路相同, 此处不再重复描述。

特别的, 所述基于 P 型薄膜晶体管的 GOA 电路中的各个 P 型薄膜晶体管的材料均为低温多晶硅, 该基于 P 型薄膜晶体管的 GOA 电路具有工艺较为简单、漏电较低的特点, 能够提升 GOA 电路的稳定性。

请参阅图 2、图 3, 该基于 P 型薄膜晶体管的 GOA 电路的第一级连接关系中, 所述第一 P 型薄膜晶体管 T1 的源极电性连接于起始信号 STV; 该基于 P 型薄膜晶体管的 GOA 电路的最后一级连接关系中, 所述第二 P 型薄膜晶体管 T2 的源极电性连接于起始信号 STV。

请参阅图 8、图 9, 所述第一高频时钟信号 LCK 与第一反向高频时钟信号 XLCK 的相位相反, 所述第二高频时钟信号 CK 与第二反向高频时钟信号 XCK 的相位相反。

结合图 8 与图 1, 该基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时, 所述第一高频时钟信号 LCK 和第二反向高频时钟信号 XCK 的时序一致, 第一反向高频时钟信号 XLCK 和第二高频时钟信号 CK 的时序一致, 级传信号 ST(n) 与扫描信号 G(n) 的时序及输出时序均一致。具体的正向扫描过程分为第一、第二、第三阶段;

第一阶段: 第一高频时钟信号 LCK 提供低电位, 第一反向时钟信号 XLCK 提供高电位, 第一 P 型薄膜晶体管 T1 打开, 第二 P 型薄膜晶体管 T2 关闭; 第 n-1 级 GOA 单元电路的级传信号 ST(n-1) 提供低电位, 第一节点 A(n) 为低电位, 第三、第四 P 型薄膜晶体管 T3、T4 均打开, 第三节点 Q(n) 被充电至低电位, 第五、第十五 P 型薄膜晶体管 T5、T15 均打开, 第二高频时钟信号 CK 提供高电位, 级传信号 ST(n) 及扫描信号 G(n) 输出高电位; 同时, 第九、第十 P 型薄膜晶体管 T9、T10 受第一节点 A(n) 低电位的控制而打开, 第四节点 P(n) 被抬升到高电位, 第七、第八 P 型薄膜晶体管 T7、T8 关闭, 第十三、第十四 P 型薄膜晶体管关闭, 有利于减小电流和电

路功耗。

第二阶段：第 $n+1$ 级 GOA 单元电路的级传信号 $ST(n+1)$ 提供高电位，第一高频时钟信号 LCK 提供高电位，第一反向时钟信号 XLCK 提供低电位，第一 P 型薄膜晶体管 T1 关闭，第二 P 型薄膜晶体管 T2 打开，第一节点 A(n) 变为高电位，第三 P 型薄膜晶体管 T3 关闭、第四 P 型薄膜晶体管 T4 打开，第三节点 Q(n)，受电容 C1 的影响继续保持低电位，第五、十五 P 型薄膜晶体管 T5、T15 均打开，第二高频时钟信号 CK 提供低电位，级传信号 $ST(n)$ 及扫描信号 $G(n)$ 顺利输出低电位，实现逐行扫描，第四节点 P(n) 保持高电位，第七、第八 P 型薄膜晶体管关闭；同时，第十四 P 型薄膜晶体管 T14 打开，第二电容 C2 充电至低电位。

第三阶段：第一高频时钟信号 LCK 提供低电位，第一反向时钟信号 XLCK 提供高电位，第一 P 型薄膜晶体管 T1 打开，第二 P 型薄膜晶体管 T2 关闭，第 $n-1$ 级 GOA 单元电路的级传信号 $ST(n-1)$ 提供高电位，第一节点 A(n) 保持高电位，第十、第九 P 型薄膜晶体管 T10、T9 均关闭，第二高频时钟信号 CK 提供高电位，第十四 P 型薄膜晶体管 T14 关闭，第十三 P 型薄膜晶体管 T13 在第二电容 C2 低电位的控制下打开，第二反向高频时钟信号 XCK 提供低电位，第十二 P 型薄膜晶体管 T12 打开，第四节点 P(n) 变为低电位，并在一帧余下的时间一直保持低电位，第十一、第七、第八 P 型薄膜晶体管 T11、T7、T8 打开，第三节点 Q(n) 被抬升到高电位，第五、十五 P 型薄膜晶体管 T5、T15 关闭，级传信号 $ST(n)$ 及扫描信号 $G(n)$ 输出高电位，并在一帧余下时间保持这种状态。

特别的，第十四 P 型薄膜晶体管 T14 和第十 P 型薄膜晶体管 T10 非同时打开，第十四 P 型薄膜晶体管 T14 与第十二和第十三 P 型薄膜晶体管 T12、T13 交替打开，这种二段式的设计可以减小功耗。

结合图 9 与图 1，该基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时，所述第一高频时钟信号 LCK 和第二高频时钟信号 CK 的时序一致，第一反向高频时钟信号 XLCK 和第二反向高频时钟信号 XCK 的时序一致。具体的反向扫描过程为上述正向扫描的逆过程。

请参阅图 4，图 4 为本发明的第二实施例的电路图。由于正向扫描时，所述第一高频时钟信号 LCK 和第二反向高频时钟信号 XCK 的时序一致，第一反向高频时钟信号 XLCK 和第二高频时钟信号 CK 的时序一致，因此进行正向扫描时，所述第二反向高频时钟信号 XCK 能够被第一高频时钟信号 LCK 替换，所述第二高频时钟信号 CK 能够被第一反向高频时钟信号 XLCK 替换；而反向扫描时，所述第一高频时钟信号 LCK 和第二高频时钟

信号 CK 的时序一致, 第一反向高频时钟信号 XLCK 和第二反向高频时钟信号 XCK 的时序一致, 因此进行反向扫描时, 第二高频时钟信号 CK 能够被第一高频时钟信号 LCK 替换, 所述第二反向高频时钟信号 XCK 能够被第一反向高频时钟信号 XLCK 替换。图 4 示意出了正向扫描时, 采用所述
5 第一高频时钟信号 LCK 和第一反向高频时钟信号 XLCK 来替换第二反向高频时钟信号 XCK 和第二高频时钟信号 CK, 仅采用两条高频时钟信号线即可实现, 有利于窄边框设计。当然, 也可以选择保留全部四条高频时钟信号线, 但第一高频时钟信号 LCK 和第一反向高频时钟信号 XLCK 可部分替换第二反向高频时钟信号 XCK 和第二高频时钟信号 CK, 以降低第二高频
10 时钟信号 CK 和第二反向高频时钟信号 XCK 的负载, 减少扫描信号 G(n) 的延迟。其余部分均与图 1 相同, 此处不再赘述。

请参阅图 5, 图 5 为本发明的第三实施例的电路图, 图 5 与图 1 的区别在于, 所述每一级 GOA 单元电路还包括第十六 P 型薄膜晶体管 T16, 所述第十六 P 型薄膜晶体管 T16 的栅极电性连接于级传信号 ST(n), 源极电性连
15 接于第四节点 P(n), 漏极电性连接于恒压高电位 H。在输出期间, 扫描信号 G(n) 为低电位, 第十六 P 型薄膜晶体管 T16 打开, 拉高第四节点 P(n) 的电位, 保证 P 点稳定在高电位, 提高扫描信号 G(n) 的输出质量, 输出结束后, 第十六 P 型薄膜晶体管 T16 关闭。其余部分均与图 1 相同, 此处不再赘述。

请参阅图 6, 图 6 为本发明的第四实施例的电路图, 图 6 与图 1 的区别在于, 所述每一级 GOA 单元电路还包括第十六 P 型薄膜晶体管 T16, 所述第十六 P 型薄膜晶体管 T16 的栅极电性连接于第四节点 P(n), 源极电性连
20 接于第一节点 A(n), 漏极电性连接于恒压高电位 H。在非作用期间 (扫描信号 G(n) 输出结束后) 第一节点 A(n) 的电位会受到第一高频时钟信号 LCK 和第一反向高频时钟信号 XLCK 产生的耦合电容的影响, 虽然第一高频时钟信号 LCK 和第一反向高频时钟信号 XLCK 时序相反, 耦合电容可以相当
25 大程度相互抵消, 但考虑器件差异性, 增加第十六 P 型薄膜晶体管 T16 可以稳定非作用期间第一节点 A(n) 点的电位。其余部分均与图 1 相同, 此处不再赘述。

请参阅图 7, 图 7 为本发明的第五实施例的电路图, 图 7 与图 1 的区别在于, 所述每一级 GOA 单元电路还包括第十六 P 型薄膜晶体管 T16, 所述第十六 P 型薄膜晶体管 T16 的栅极电性连接于第四节点 P(n), 源极电性连
30 接于第一节点 A(n), 漏极电性连接于恒压高电位 H; 第十七 P 型薄膜晶体管 T17, 所述第十七 P 型薄膜晶体管 T17 的源极电性连接于第四 P 型薄膜

晶体管 T4 的漏极, 漏极电性连接于第三节点 Q(n), 在第 n 级 GOA 单元电路中, 所述第十七 P 型薄膜晶体管 T17 的栅极电性连接于第二反向高频时钟信号 XCK, 在第 n+1 级 GOA 单元电路中, 所述第十七 P 型薄膜晶体管 T17 的栅极电性连接于第二高频时钟信号 CK; 第三电容 C3, 所述第三电容 C3 的一端电性连接于第三节点 Q(n), 另一端电性连接于级传信号 ST(n), 图 7 除了增加了与图 6 连接相同的第十六 P 型薄膜晶体管 T16 外, 还增加了第十七 P 型薄膜晶体管 T17 及第三电容 C3, 能够减小耦合电容, 稳定第三节点 Q(n) 的电位; 在扫描信号 G(n) 输出阶段, 第十七 P 型薄膜晶体管关闭, 第三电容 C3 能够抬高第十五 P 型薄膜晶体管 T15 的栅极电位, 减小扫描信号 G(n) 的延迟。其余部分均与图 1 相同, 此处不再赘述。

综上所述, 本发明的基于 P 型薄膜晶体管的 GOA 电路, 采用第一高频时钟信号与第一反向高频时钟信号控制 P 型薄膜晶体管的正反向扫描, 与直流信号控制相比能够减轻正反向扫描模块中相关薄膜晶体管的恶化; 所述第一高频时钟信号和第一反向高频时钟不仅可以作为控制正反向扫描的控制信号, 还可以作为扫描信号输出的信号源, 降低第二高频时钟信号和第二反向高频时钟信号的负载, 减少扫描信号延迟, 保证扫描信号顺利输出, 提升 GOA 电路的稳定性, 并能够减少信号线的条数, 实现窄边框设计; 下拉模块采用二段式设计能够降低电路的功耗。

以上所述, 对于本领域的普通技术人员来说, 可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形, 而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种基于 P 型薄膜晶体管的 GOA 电路，包括级联的多个 GOA 单元电路，每一级 GOA 单元电路均包括：正反向扫描模块、输出模块、下拉维持模块、及下拉模块；设 n 为正整数，第 n 级 GOA 单元电路与其相邻的第 $n+1$ 级 GOA 单元电路为一周期；

除第一级与最后一级 GOA 单元电路以外，在第 n 级 GOA 单元电路中：

所述正反向扫描模块包括：第一 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号，源极电性连接于上一级第 $n-1$ 级 GOA 单元的级传信号，漏极电性连接于第一节点；第二 P 型薄膜晶体管，所述第二 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号，源极电性连接于下一级第 $n+1$ 级 GOA 单元的级传信号，漏极电性连接于第一节点；

所述输出模块包括：第三 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位及第四 P 型薄膜晶体管的栅极；第四 P 型薄膜晶体管，所述第四 P 型薄膜晶体管的栅极电性连接于恒压低电位及第三 P 型薄膜晶体管的漏极，源极电性连接于第二节点，漏极电性连接于第三节点；第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于级传信号；第十五 P 型薄膜晶体管，所述第十五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于扫描信号；第一电容，所述第一电容的一端电性连接于第二节点，另一端电性连接于一恒定高电压；

所述下拉维持模块包括：第十一 P 型薄膜晶体管，所述第十一 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于第二节点，漏极电性连接于恒压高电位；第七 P 型薄膜晶体管，所述第七 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于级传信号，漏极电性连接于恒压高电位；第八 P 型薄膜晶体管，所述第八 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于扫描信号，漏极电性连接于恒压高电位；

所述下拉模块包括：第十 P 型薄膜晶体管，所述第十 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第十三 P 型薄膜晶体管的栅极，漏极电性连接于恒压高电位；第九 P 型薄膜晶体管，所述第九 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第四节点，漏极电

性连接于恒压高电位;

所述第 n 级 GOA 单元电路还包括: 第十四 P 型薄膜晶体管, 所述第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二高频时钟信号, 漏级电性连接于第二电容的一端及第十三 P 型薄膜晶体管的栅极; 第十三 P 型薄膜晶体管, 所述第十三 P 型薄膜晶体管的栅极电性连接于第十四 P 型薄膜晶体管的漏极及第十 P 型薄膜晶体管的源极, 源极电性连接于第二反向高频时钟信号, 漏极电性连接于第十二 P 型薄膜晶体管的源极; 第十二 P 型薄膜晶体管, 所述第十二 P 型薄膜晶体管的栅极电性连接于第二反向高频时钟信号, 源极电性连接于第十三 P 型薄膜晶体管的漏极, 漏极电性连接于第四节点; 第二电容, 所述第二电容的一端电性连接于第十四 P 型薄膜晶体管的漏极, 另一端电性连接于一恒定高电压;

在第 $n+1$ 级 GOA 单元电路中, 第一 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号、第二 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号、第五与第十五 P 型薄膜晶体管的源极均电性连接于第二反向高频时钟信号、第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二反向高频时钟信号、第十三 P 型薄膜晶体管的源极与第十二 P 型薄膜晶体管的栅极均电性连接于第二高频时钟信号;

所述第一高频时钟信号与第一反向高频时钟信号的相位相反, 所述第二高频时钟信号与第二反向高频时钟信号的相位相反;

所述基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时, 所述第一高频时钟信号和第二反向高频时钟信号的时序一致, 第一反向高频时钟信号和第二高频时钟信号的时序一致;

所述基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时, 所述第一高频时钟信号和第二高频时钟信号的时序一致, 第一反向高频时钟信号和第二反向高频时钟信号的时序一致。

2、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路, 其中, 该基于 P 型薄膜晶体管的 GOA 电路的第一级连接关系中, 所述第一 P 型薄膜晶体管的源极电性连接于起始信号。

3、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路, 其中, 该基于 P 型薄膜晶体管的 GOA 电路的最后一级连接关系中, 所述第二 P 型薄膜晶体管的源极电性连接于起始信号。

4、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路, 其中, 所述基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时, 所述第二反向高频时钟信号能够被第一高频时钟信号替换, 所述第二高频时钟信号能够被第一

反向高频时钟信号替换;

所述基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时,所述第二高频时钟信号能够被第一高频时钟信号替换,所述第二反向高频时钟信号能够被第一反向高频时钟信号替换。

5 5、如权利要求 4 所述的基于 P 型薄膜晶体管的 GOA 电路,其中,所述基于 P 型薄膜晶体管的 GOA 电路具有四条高频时钟信号线或两条高频时钟信号线。

10 6、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路,其中,所述每一级 GOA 单元电路还包括:第十六 P 型薄膜晶体管,所述第十六 P 型薄膜晶体管的栅极电性连接于级传信号,源极电性连接于第四节点,漏极电性连接于恒压高电位。

15 7、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路,其中,所述每一级 GOA 单元电路还包括:第十六 P 型薄膜晶体管,所述第十六 P 型薄膜晶体管的栅极电性连接于第四节点,源极电性连接于第一节点,漏极电性连接于恒压高电位。

20 8、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路,其中,所述每一级 GOA 单元电路还包括:第十六 P 型薄膜晶体管,所述第十六 P 型薄膜晶体管栅极电性连接于第四节点,源极电性连接于第一节点,漏极电性连接于恒压高电位;第十七 P 型薄膜晶体管,所述第十七 P 型薄膜晶体管的源极电性连接于第四 P 型薄膜晶体管的漏极,漏极电性连接于第三节点,在第 n 级 GOA 单元电路中,所述第十七 P 型薄膜晶体管的栅极电性连接于第二反向高频时钟信号,在第 n+1 级 GOA 单元电路中,所述第十七 P 型薄膜晶体管的栅极电性连接于第二高频时钟信号;第三电容,所述第三电容的一端电性连接于第三节点,另一端电性连接于级传信号。

25 9、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路,其中,所述基于 P 型薄膜晶体管的 GOA 电路在输出期间,第三节点为低电位,第四节点为高电位;在输出结束后,第三节点为高电位,第四节点为低电位。

10、如权利要求 1 所述的基于 P 型薄膜晶体管的 GOA 电路,其中,各个 P 型薄膜晶体管的材料均为低温多晶硅。

30 11、一种基于 P 型薄膜晶体管的 GOA 电路,包括级联的多个 GOA 单元电路,每一级 GOA 单元电路均包括:正反向扫描模块、输出模块、下拉维持模块、及下拉模块;设 n 为正整数,第 n 级 GOA 单元电路与其相邻的第 n+1 级 GOA 单元电路为一周期;

除第一级与最后一级 GOA 单元电路以外,在第 n 级 GOA 单元电路中:

所述正反向扫描模块包括：第一 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号，源极电性连接于上一级第 $n-1$ 级 GOA 单元的级传信号，漏极电性连接于第一节点；第二 P 型薄膜晶体管，所述第二 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号，源极电性连接于下一级第 $n+1$ 级 GOA 单元的级传信号，漏极电性连接于第一节点；

所述输出模块包括：第三 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于恒压低电位及第四 P 型薄膜晶体管的栅极；第四 P 型薄膜晶体管，所述第四 P 型薄膜晶体管的栅极电性连接于恒压低电位及第三 P 型薄膜晶体管的漏极，源极电性连接于第二节点，漏极电性连接于第三节点；第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于级传信号；第十五 P 型薄膜晶体管，所述第十五 P 型薄膜晶体管的栅极电性连接于第三节点，源极电性连接于第二高频时钟信号，漏极电性连接于扫描信号；第一电容，所述第一电容的一端电性连接于第二节点，另一端电性连接于一恒定高电压；

所述下拉维持模块包括：第十一 P 型薄膜晶体管，所述第十一 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于第二节点，漏极电性连接于恒压高电位；第七 P 型薄膜晶体管，所述第七 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于级传信号，漏极电性连接于恒压高电位；第八 P 型薄膜晶体管，所述第八 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于扫描信号，漏极电性连接于恒压高电位；

所述下拉模块包括：第十 P 型薄膜晶体管，所述第十 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第十三 P 型薄膜晶体管的栅极，漏极电性连接于恒压高电位；第九 P 型薄膜晶体管，所述第九 P 型薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第四节点，漏极电性连接于恒压高电位；

所述第 n 级 GOA 单元电路还包括：第十四 P 型薄膜晶体管，所述第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二高频时钟信号，漏极电性连接于第二电容的一端及第十三 P 型薄膜晶体管的栅极；第十三 P 型薄膜晶体管，所述第十三 P 型薄膜晶体管的栅极电性连接于第十四 P 型薄膜晶体管的漏极及第十 P 型薄膜晶体管的源极，源极电性连接于第二反向高频时钟信号，漏极电性连接于第十二 P 型薄膜晶体管的源极；第十二 P 型薄膜晶体管，所述第十二 P 型薄膜晶体管的栅极电性连接于第二反向高频

时钟信号，源极电性连接于第十三 P 型薄膜晶体管的漏极，漏极电性连接于第四节点；第二电容，所述第二电容的一端电性连接于第十四 P 型薄膜晶体管的漏极，另一端电性连接于一恒定高电压；

在第 $n+1$ 级 GOA 单元电路中，第一 P 型薄膜晶体管的栅极电性连接于第一反向高频时钟信号、第二 P 型薄膜晶体管的栅极电性连接于第一高频时钟信号、第五与第十五 P 型薄膜晶体管的源极均电性连接于第二反向高频时钟信号、第十四 P 型薄膜晶体管的栅极及源极均电性连接于第二反向高频时钟信号、第十三 P 型薄膜晶体管的源极与第十二薄膜晶体管的栅极均电性连接于第二高频时钟信号；

所述第一高频时钟信号与第一反向高频时钟信号的相位相反，所述第二高频时钟信号与第二反向高频时钟信号的相位相反；

所述基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时，所述第一高频时钟信号和第二反向高频时钟信号的时序一致，第一反向高频时钟信号和第二高频时钟信号的时序一致；

所述基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时，所述第一高频时钟信号和第二高频时钟信号的时序一致，第一反向高频时钟信号和第二反向高频时钟信号的时序一致；

其中，该基于 P 型薄膜晶体管的 GOA 电路的第一级连接关系中，所述第一 P 型薄膜晶体管的源极电性连接于起始信号；

其中，该基于 P 型薄膜晶体管的 GOA 电路的最后一级连接关系中，所述第二 P 型薄膜晶体管的源极电性连接于起始信号。

12、如权利要求 11 所述的基于 P 型薄膜晶体管的 GOA 电路，其中，所述基于 P 型薄膜晶体管的 GOA 电路进行正向扫描时，所述第二反向高频时钟信号能够被第一高频时钟信号替换，所述第二高频时钟信号能够被第一反向高频时钟信号替换；

所述基于 P 型薄膜晶体管的 GOA 电路进行反向扫描时，所述第二高频时钟信号能够被第一高频时钟信号替换，所述第二反向高频时钟信号能够被第一反向高频时钟信号替换。

13、如权利要求 12 所述的基于 P 型薄膜晶体管的 GOA 电路，其中，所述基于 P 型薄膜晶体管的 GOA 电路具有四条高频时钟信号线或两条高频时钟信号线。

14、如权利要求 11 所述的基于 P 型薄膜晶体管的 GOA 电路，其中，所述每一级 GOA 单元电路还包括：第十六 P 型薄膜晶体管，所述第十六 P 型薄膜晶体管的栅极电性连接于级传信号，源极电性连接于第四节点，漏

极电性连接于恒压高电位。

- 15、如权利要求 11 所述的基于 P 型薄膜晶体管的 GOA 电路，其中，所述每一级 GOA 单元电路还包括：第十六 P 型薄膜晶体管，所述第十六 P 型薄膜晶体管的栅极电性连接于第四节点，源极电性连接于第一节点，漏极电性连接于恒压高电位。

- 16、如权利要求 11 所述的基于 P 型薄膜晶体管的 GOA 电路，其中，所述每一级 GOA 单元电路还包括：第十六 P 型薄膜晶体管，所述第十六 P 型薄膜晶体管栅极电性连接于第四节点，源极电性连接于第一节点，漏极电性连接于恒压高电位；第十七 P 型薄膜晶体管，所述第十七 P 型薄膜晶体管的源极电性连接于第四 P 型薄膜晶体管的漏极，漏极电性连接于第三节点，在第 n 级 GOA 单元电路中，所述第十七 P 型薄膜晶体管的栅极电性连接于第二反向高频时钟信号，在第 n+1 级 GOA 单元电路中，所述第十七 P 型薄膜晶体管的栅极电性连接于第二高频时钟信号；第三电容，所述第三电容的一端电性连接于第三节点，另一端电性连接于级传信号。

- 17、如权利要求 11 所述的基于 P 型薄膜晶体管的 GOA 电路，其中，所述基于 P 型薄膜晶体管的 GOA 电路在输出期间，第三节点为低电位，第四节点为高电位；在输出结束后，第三节点为高电位，第四节点为低电位。

18、如权利要求 11 所述的基于 P 型薄膜晶体管的 GOA 电路，其中，各个 P 型薄膜晶体管的材料均为低温多晶硅。



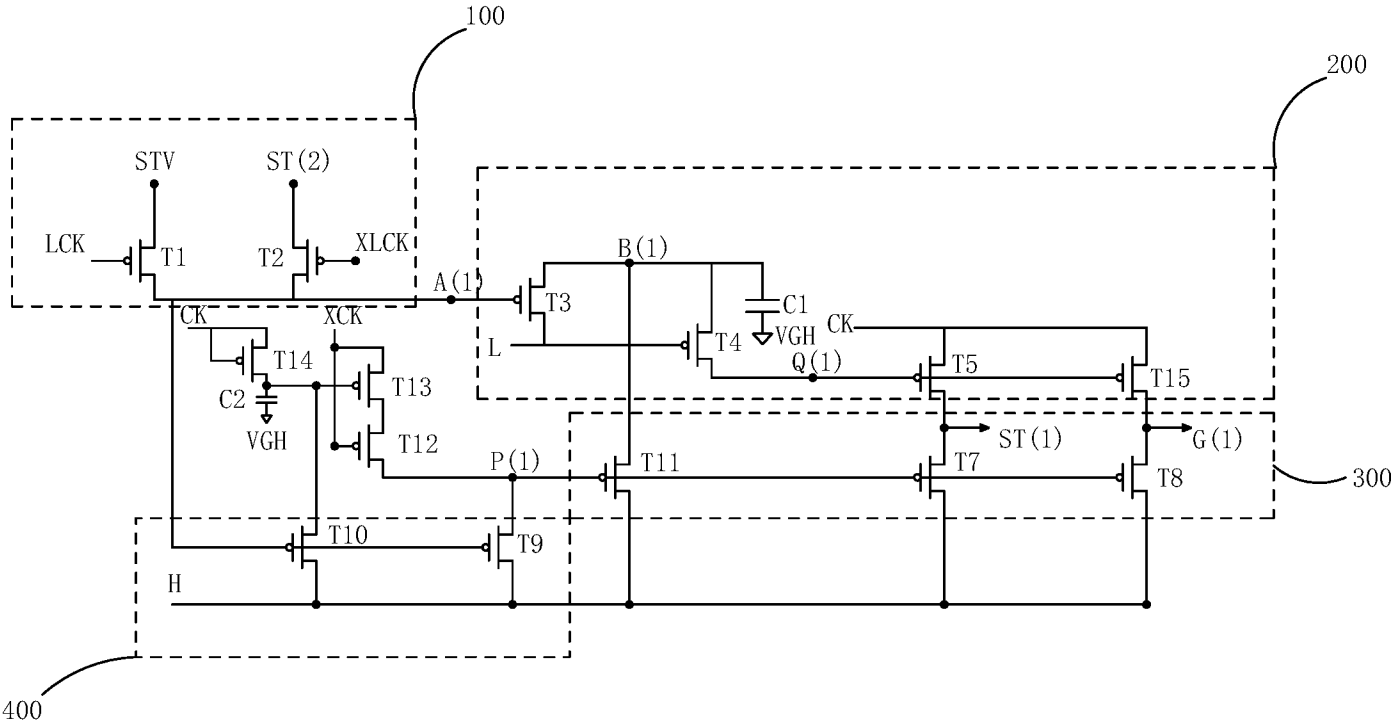


图2

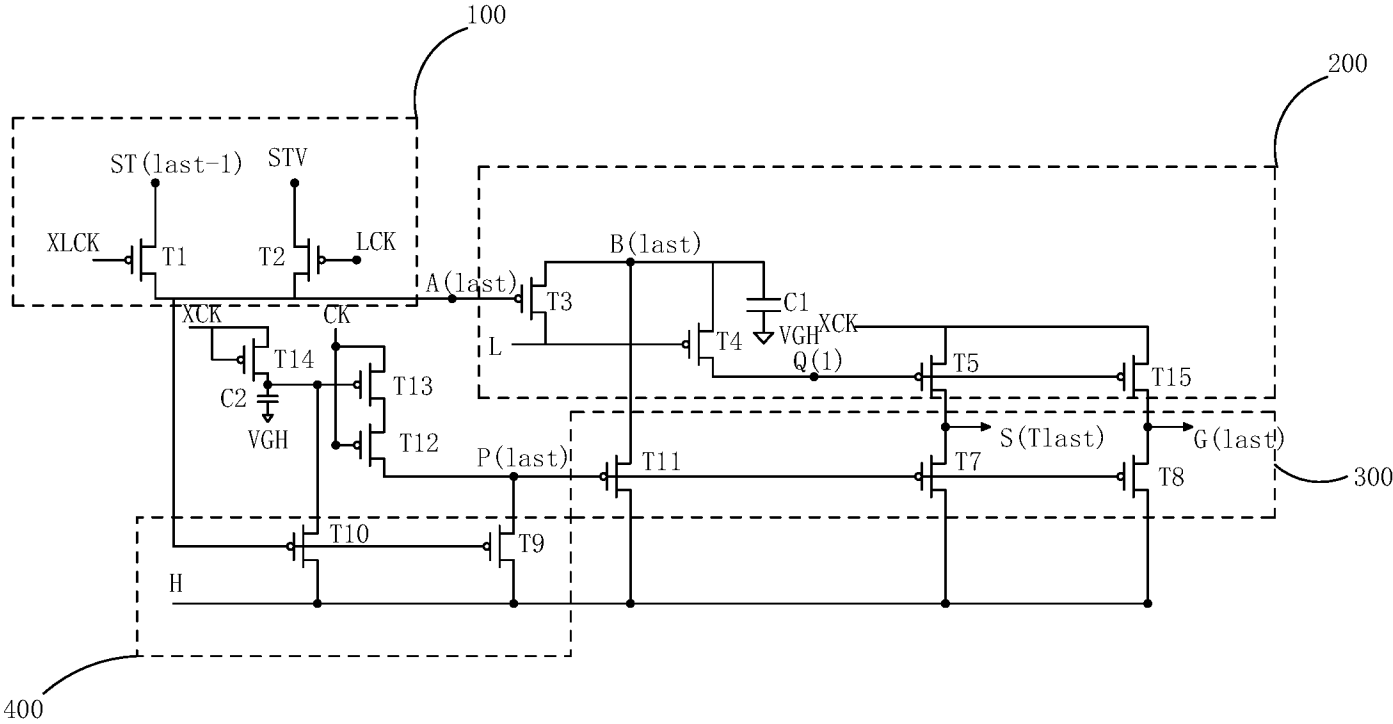


图3

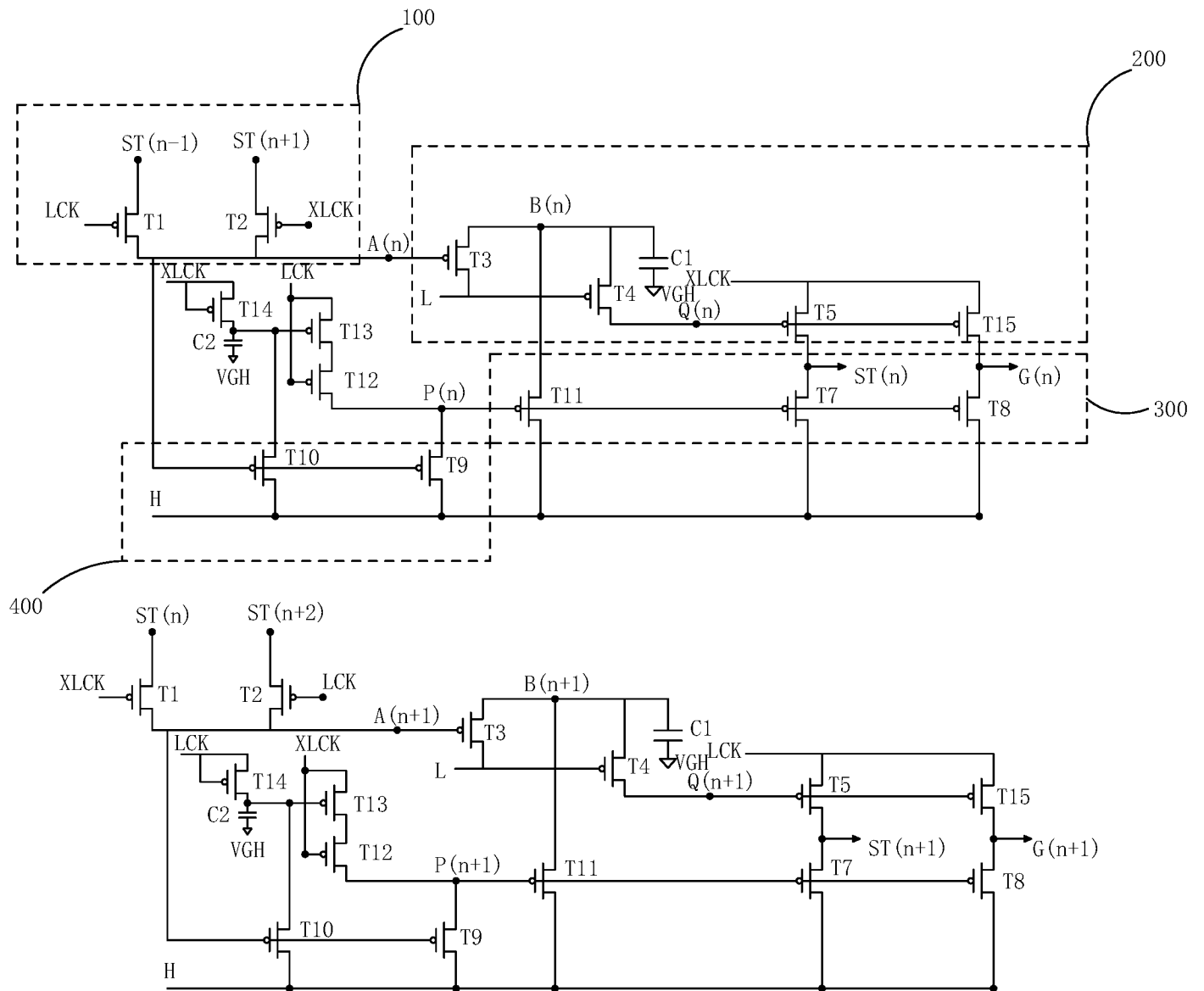


图4

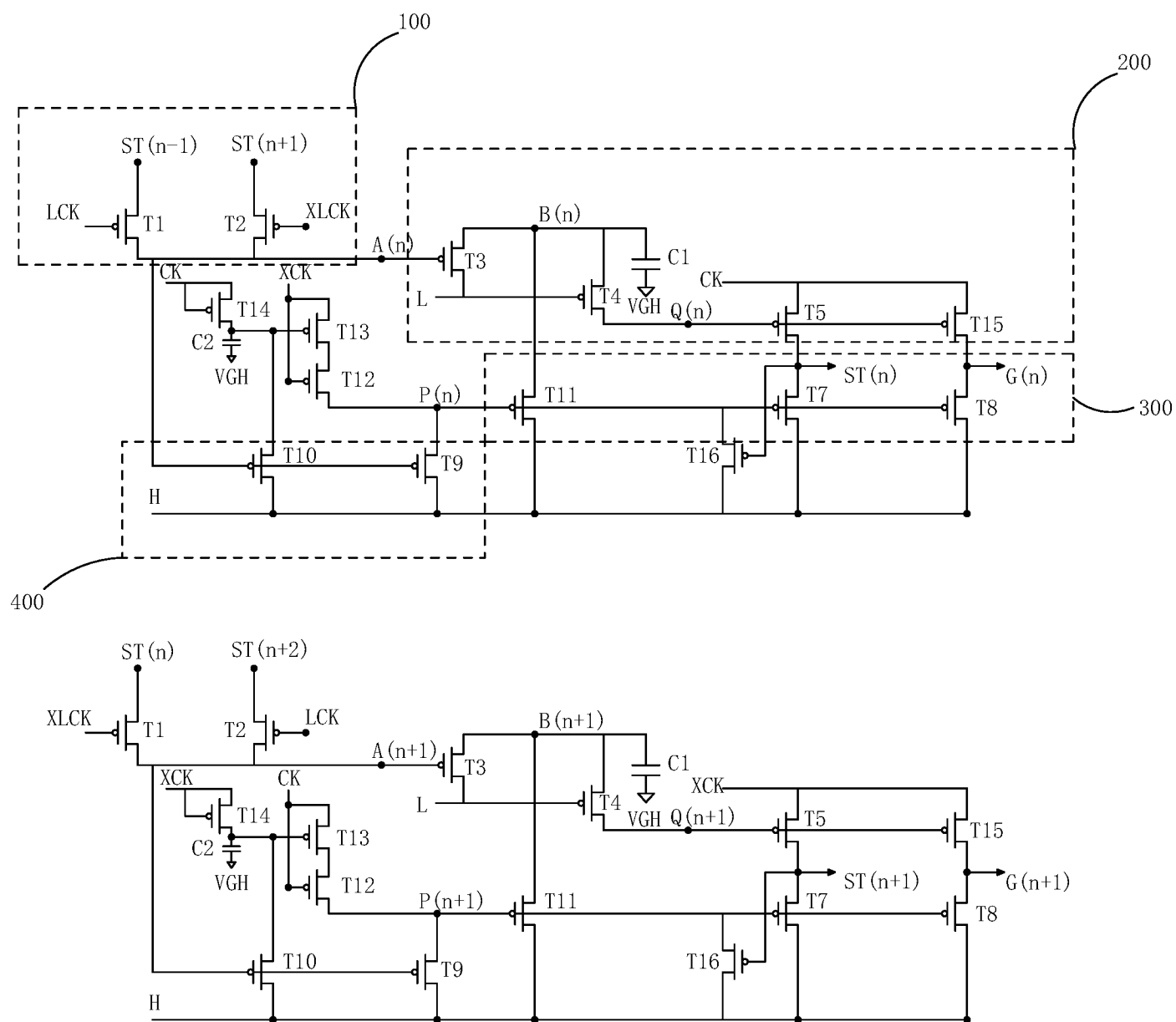


图5

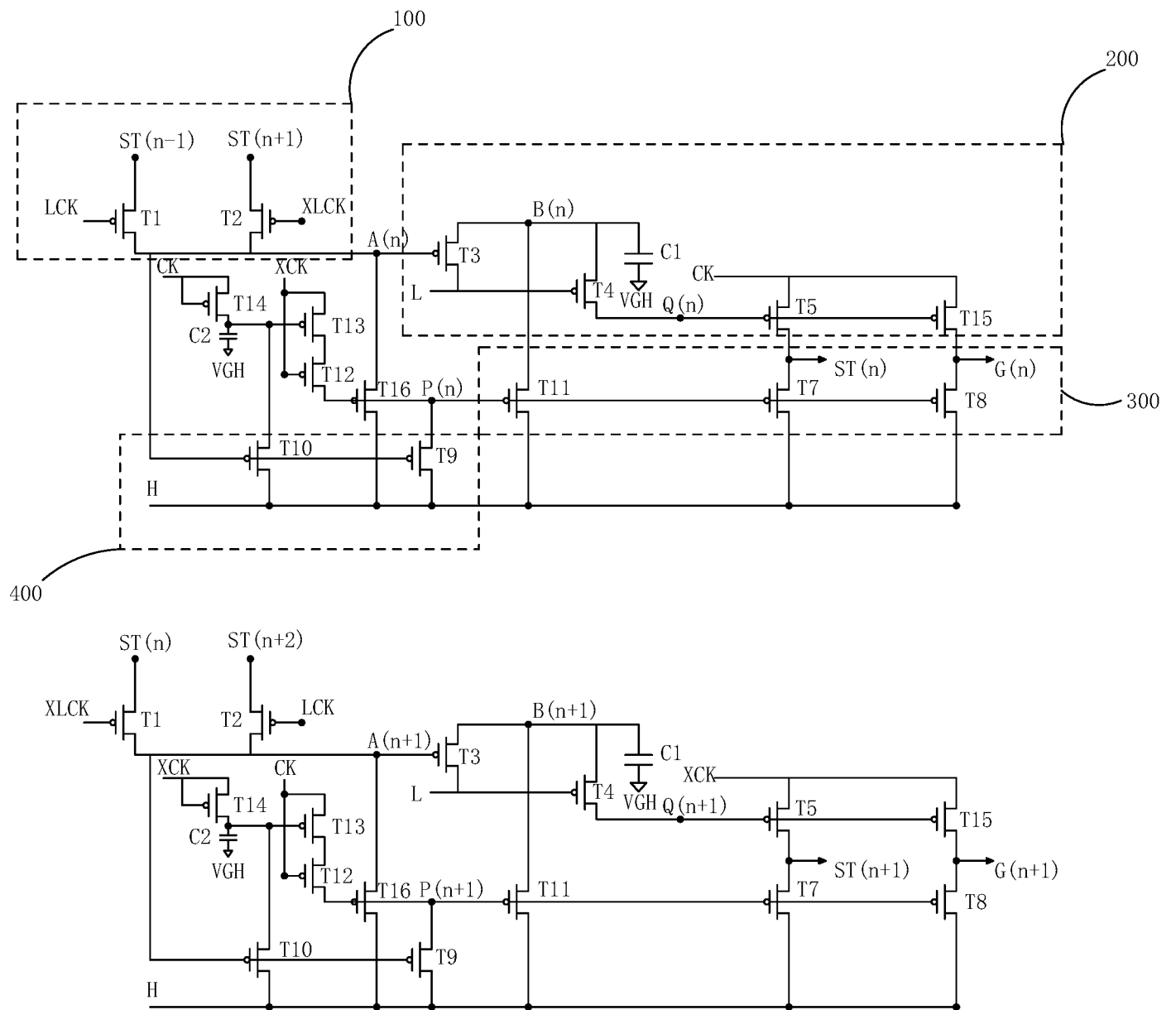


图6

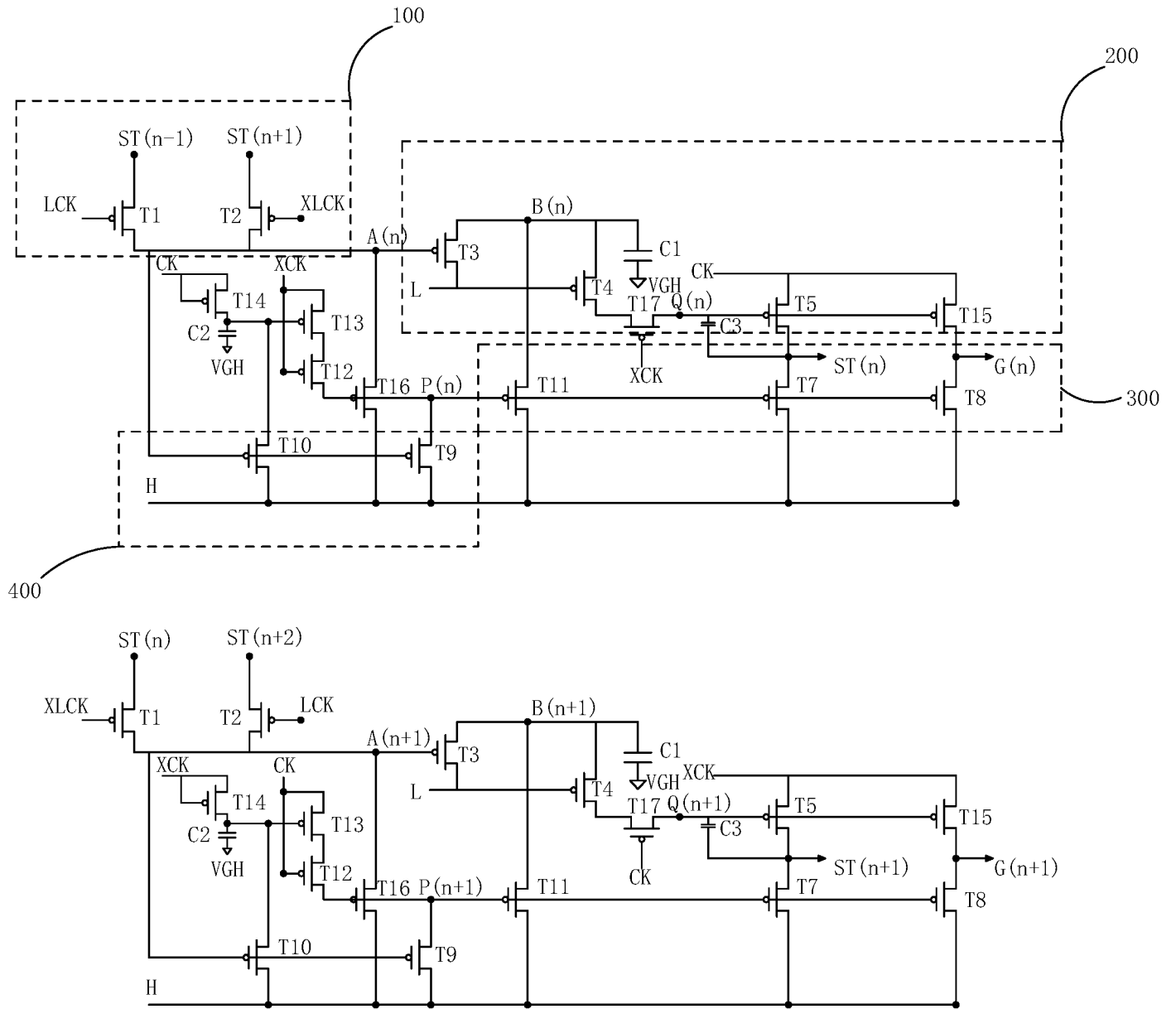


图7

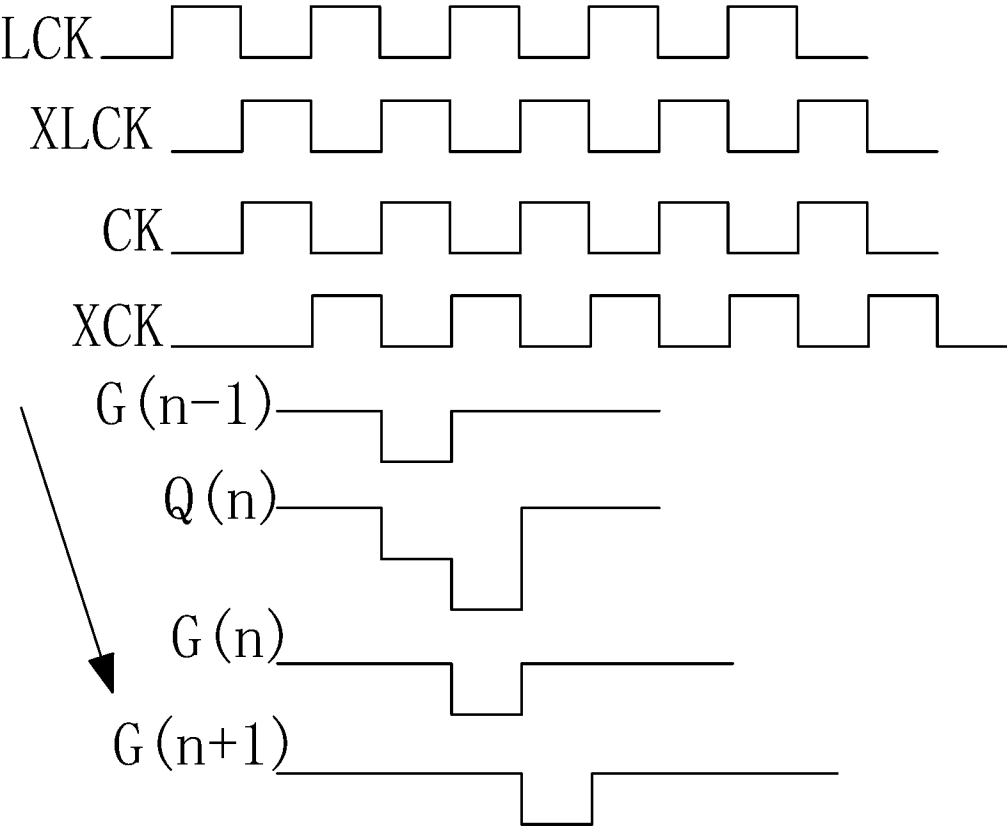
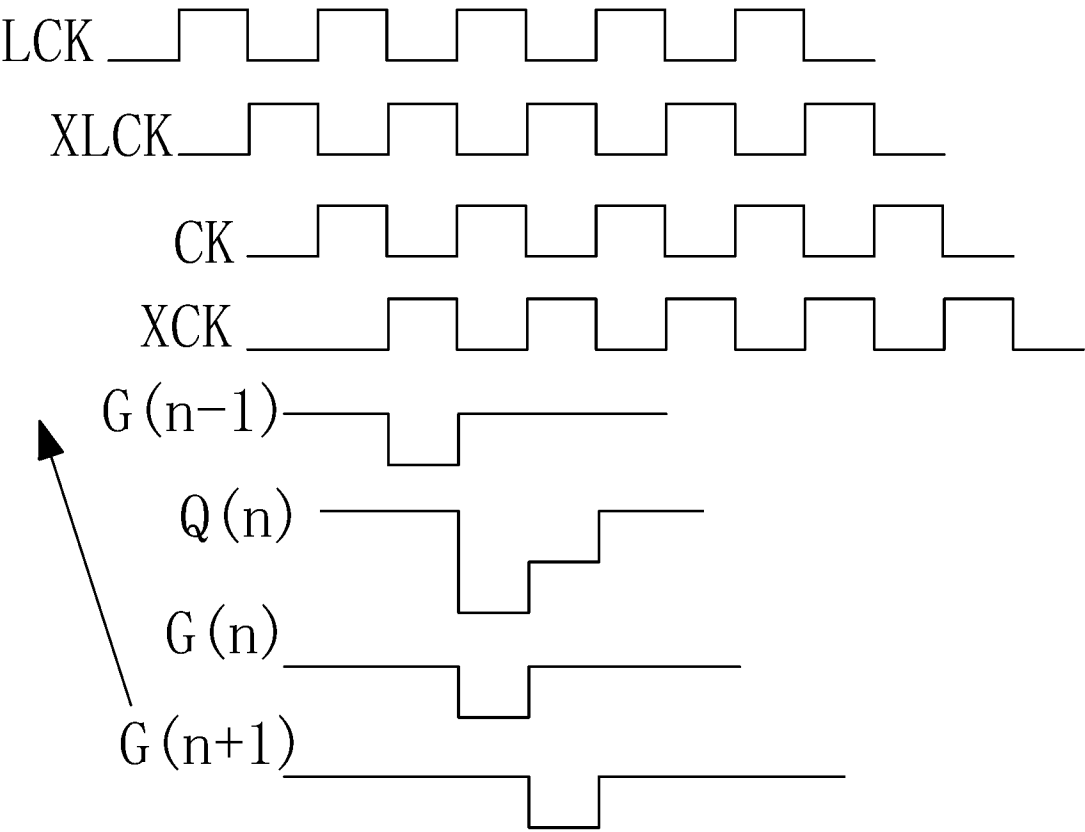


图8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079377

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: forward and reverse, bidirectional, phase position, pull+ 1w down, transistor?, switch, fifteenth, scan+, two, double, clock, high 1w frequency

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102945651 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 27 February 2013 (27.02.2013), description, paragraphs 0052-0111, and figures 1, 3, 4 and 6	1-18
A	CN 103680450 A (AU OPTRONICS CORP.), 26 March 2014 (26.03.2014), the whole document	1-18
A	CN 104282255 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 14 January 2015 (14.01.2015), the whole document	1-18
A	CN 103915052 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 July 2014 (09.07.2014), the whole document	1-18
A	CN 104103244 A (HANNSTAR DISPLAY CORPORATION), 15 October 2014 (15.10.2014), the whole document	1-18
A	US 2009122951 A1 (MITSUBISHI ELECTRIC CORPORATION), 14 May 2009 (14.05.2009), the whole document	1-18

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 October 2015 (08.10.2015)	Date of mailing of the international search report 30 December 2015 (30.12.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Wenfei Telephone No.: (86-10) 62414443

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079377

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011058642 A1 (TSAI, T.T. et al.), 10 March 2011 (10.03.2011), the whole document	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/079377

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102945651 A	27 February 2013	US 2014118237 A1	01 May 2014
		CN 102945651 B	25 February 2015
		US 9123283 B2	01 September 2015
CN 103680450 A	26 March 2014	None	
CN 104282255 A	14 January 2015	None	
CN 103915052 A	09 July 2014	None	
CN 104103244 A	15 October 2014	None	
US 2009122951 A1	14 May 2009	US 7831010 B2	09 November 2010
		JP 2009140608 A	25 June 2009
		JP 5207865 B2	12 June 2013
US 2011058642 A1	10 March 2011	US 8160198 B2	17 April 2012
		TW 201110095 A	16 March 2011
		TW I402817 B	21 July 2013
		US 8023613 B2	20 September 2011
		US 2011293063 A1	01 December 2011

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPODOC: 下拉, 晶体管, 开关, 第15, 第十五, 时钟, 扫描, 正反向, 双向, 高频, 相位, pull+ 1w down, transistor?, switch, fifteenth, scan+, two, double, clock, high 1w frequency		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102945651 A (京东方科技集团股份有限公司 等) 2013年 2月 27日 (2013 - 02 - 27) 说明书第0052-0111段, 图1、3、4、6	1-18
A	CN 103680450 A (友达光电股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-18
A	CN 104282255 A (京东方科技集团股份有限公司 等) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-18
A	CN 103915052 A (北京京东方光电科技有限公司) 2014年 7月 9日 (2014 - 07 - 09) 全文	1-18
A	CN 104103244 A (瀚宇彩晶股份有限公司) 2014年 10月 15日 (2014 - 10 - 15) 全文	1-18
A	US 2009122951 A1 (MITSUBISHI ELECTRIC CORPORATION) 2009年 5月 14日 (2009 - 05 - 14) 全文	1-18
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 10月 8日		国际检索报告邮寄日期 2015年 12月 30日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 李文斐 电话号码 (86-10) 62414443

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2011058642 A1 (TSAI, TSUNG-TING 等) 2011年 3月 10日 (2011 - 03 - 10) 全文	1-18

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/079377

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102945651	A	2013年 2月 27日	US	2014118237	A1	2014年 5月 1日
				CN	102945651	B	2015年 2月 25日
				US	9123283	B2	2015年 9月 1日
CN	103680450	A	2014年 3月 26日	无			
CN	104282255	A	2015年 1月 14日	无			
CN	103915052	A	2014年 7月 9日	无			
CN	104103244	A	2014年 10月 15日	无			
US	2009122951	A1	2009年 5月 14日	US	7831010	B2	2010年 11月 9日
				JP	2009140608	A	2009年 6月 25日
				JP	5207865	B2	2013年 6月 12日
US	2011058642	A1	2011年 3月 10日	US	8160198	B2	2012年 4月 17日
				TW	201110095	A	2011年 3月 16日
				TW	I402817	B	2013年 7月 21日
				US	8023613	B2	2011年 9月 20日
				US	2011293063	A1	2011年 12月 1日